

Application Note

DP83867 トラブルシューティング ガイド



概要

DP83867 は堅牢で低消費電力の、必要な機能を備えた物理層トランシーバです。このアプリケーション ノートは、DP83867 のトラブルシューティングを支援し、PHY が意図したとおりに動作していない場合に何を確認すべきかを説明するために作成されました。

目次

1 DP83867 アプリケーションの概要	2
2 アプリケーションのトラブルシューティング	3
2.1 回路図とレイアウトのチェックアウト.....	3
2.2 デバイスの正常性チェック.....	3
2.2.1 電圧チェック.....	3
2.2.2 RESET_N 信号をプローブします.....	4
2.2.3 RBIAS をプローブします.....	4
2.2.4 XI クロックをプローブします.....	5
2.2.5 初期化中にストラップ ピンをプローブします.....	5
2.2.6 シリアル管理インターフェイス信号のプローブ (MDC、MDIO).....	7
2.3 MDI ヘルス チェック.....	8
2.3.1 磁気.....	8
2.3.2 MDI 信号をプローブします.....	10
2.3.3 リンク品質の確認.....	11
2.3.4 PMA 準拠.....	14
2.4 MII ヘルス チェック.....	15
2.4.1 MII チェック.....	15
2.4.2 GMII チェック.....	17
2.4.3 RGMII チェック.....	18
2.4.4 SGMII チェック.....	22
2.5 ループバックと PRBS.....	23
2.5.1 ループバック モード.....	23
2.5.2 MAC とのパケットの送受信.....	24
2.5.3 BIST を使用してパケットを送受信しています.....	24
3 アプリケーション固有のデバッグ	26
3.1 100Mbps 全二重強制モードでのリンク アップ.....	26
3.2 1Gbps 通信で不安定なリンク アップ デバッグ.....	26
3.3 DP83867PHY と DP83867PHY は 1Gbps でリンク アップできません.....	27
3.4 EMC デバッグ.....	28
3.5 低 IPG のリンクでパケット エラーが発生しました.....	29
3.6 10Base-Te TP_IDL の障害.....	29
3.7 RGMII 立ち上がり立ち下がり時間の遅延.....	29
4 ツールとリファレンス	30
4.1 拡張レジスタ アクセス.....	30
5 まとめ	31
6 参考資料	31
7 改訂履歴	32

商標

すべての商標は、それぞれの所有者に帰属します。

1 DP83867 アプリケーションの概要

DP83867 は堅牢で低消費電力の、必要な機能がすべて揃った物理層トランシーバで、PMD サブレイヤを内蔵しており、10BASE-Te、100BASE-TX、1000BASE-T の各イーサネット プロトコルをサポートしています。

図 1-1 は、代表的な DP83867 のアプリケーションの概略システム ブロック図です。

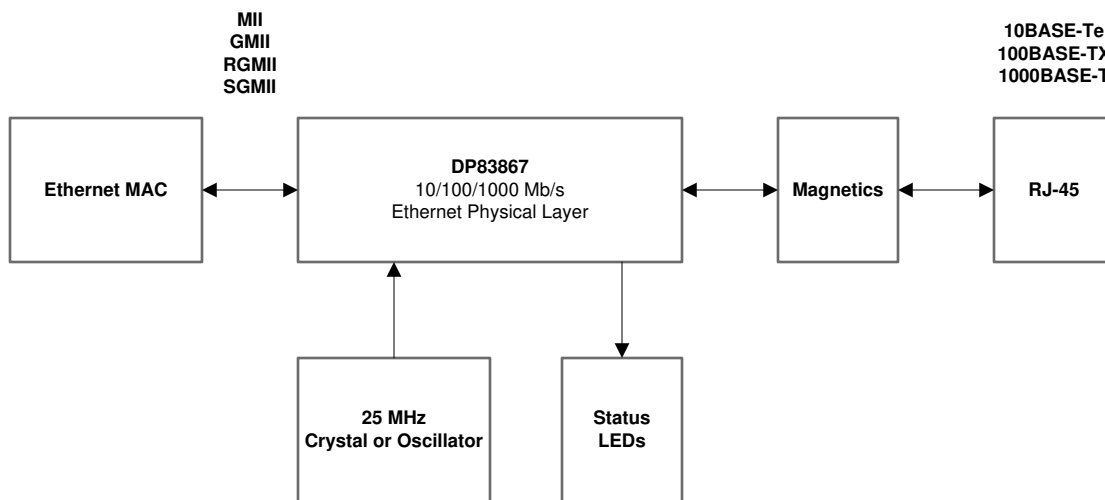


図 1-1. DP83867 のブロック図

DP83867 はイーサネット MAC とメディアに接続できます。メディアへの接続は、変圧器とコネクタを介して行われます。

表 1-1. DP83867 の構成

DP83867 バージョン	MAC インターフェイス	ピン番号/パッケージ
DP83867IR/CR/IS/CS/E	RGMII	48 ピン/QFN パッケージ
DP83867IS/CS/E	SGMII	48 ピン/QFN パッケージ
DP83867IRPAPR	MII/GMII/RGMII	64 ピン/QFP パッケージ

2 アプリケーションのトラブルシューティング

以下のセクションでは、デバッグを高レベルでアプローチし、まず広範囲に影響を与えるアプリケーション特性から始め、次に設計のより具体的な側面に焦点を当てます。

2.1 回路図とレイアウトのチェックアウト

DP83867 回路図チェックリストおよび **DP8386X レイアウト チェックリスト**は、DP83867 を使用した設計のベスト プラクティスを使いやすいドキュメントにまとめたものです。PHY の動作に必要な接続とコンポーネントを詳しく説明するために、このドキュメントを通すことを推奨します。

以下のセクションでは、PHY に電源が供給され、正しく初期化された場合に予想される動作を示します。予期される動作から逸脱した場合、不適切なペリフェラル回路によるエラーが原因である可能性があります。

2.2 デバイスの正常性チェック

このセクションでは、デバイスの電源が供給され、正しく初期化されていることを確認するデバイスの状態チェックについて説明します。DP83867 が次の場合、このセクションはスキップできます。

- リンク パートナーに接続されている場合のリンクアップ (LED 表示またはレジスタ ステータス)、またはイーサネット ケーブルが接続されていない場合の FLP 信号を表示します
- レジスタ アクセスに応答する (該当する場合)。

2.2.1 電圧チェック

DP83867 には十分な電力と以下が必要です

- レールごとに 10nF 1 個と 10uF のデカップリング 1 個
- ピンごとに 100nF 1 個と 1uF のデカップリング 1 個

DP83867 は、[図 2-1](#) と [図 2-2](#) に示す電源に関して、2 つの構成をサポートしています。

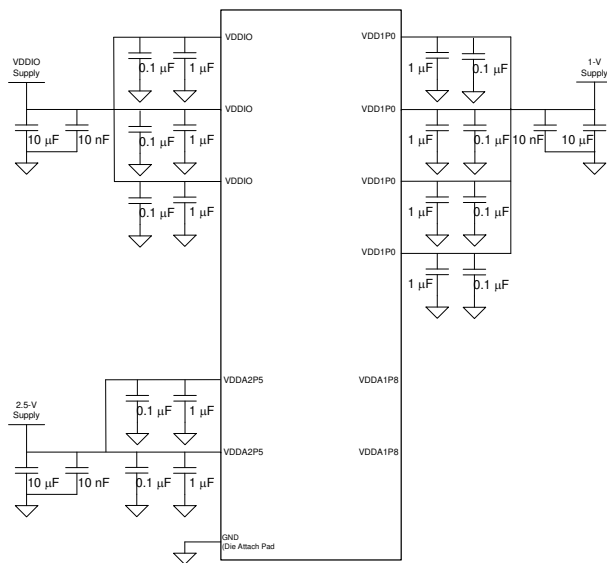


図 2-1. 2 電源設定

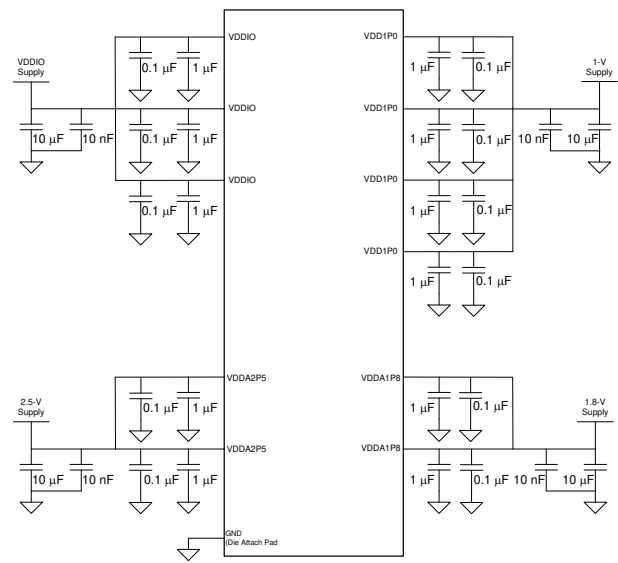


図 2-2. 3 電源設定

3 電源構成で動作している場合、VDDA1P8 は VDDA2P5 の上昇から 25ms 以内に安定している必要があります。VDDA2V5 の後も VDDIO1P8 を供給してください。

- DP83867 の電源をオフにする場合、VDDA1P8 を VDDA2P5 より前にダウンする必要があります。

デバイスに電源を投入し、オシロスコープを使用してこれらの電源のシーケンスを確認します。電源の直流電圧測定は、できるだけピンに近い位置で行ってください。各測定値が、以下で定義されている制限範囲内であることを確認します。

表 2-1. 推奨動作条件

	最小値 (V)	標準値 (V)	Max(V)
VDDIO (1.8V)	1.71	1.8	1.89
VDDIO (2.5V)	2.375	2.5	2.625
VDDIO (3.3V)	3.15	3.3	3.45
VDD1P1 (PAP)	1.045	1.1	1.155
VDD1P0 (RGZ)	0.95	1	1.155
VDDA1P8	1.71	1.8	1.89
VDDA2P5	2.375	2.5	2.625

2.2.2 RESET_N 信号をプローブします

リセット入力はアクティブ Low です。このピンには弱い内部プルアップ抵抗があり、未接続のままにするか、外部で駆動しない場合にデフォルト状態になります。

コントローラが RESET_N 信号を low に駆動していないことを確認します。そうでない場合、デバイスはリセット状態のままになり、応答しなくなります。

2.2.3 RBIAS をプローブします

RBIAS ピンは、DP83869 内の内部基準電流を設定するために使用されます。RBIAS は、公差 1% の 11k Ω 抵抗を使用する必要があります。許容範囲が大きくなる可能性があるため、複数の連続して 1 つの構成部品を使用することをお勧めします。

適切に電力を供給すると、RBIAS ピンをプローブする際に 1V 信号が表示されます。

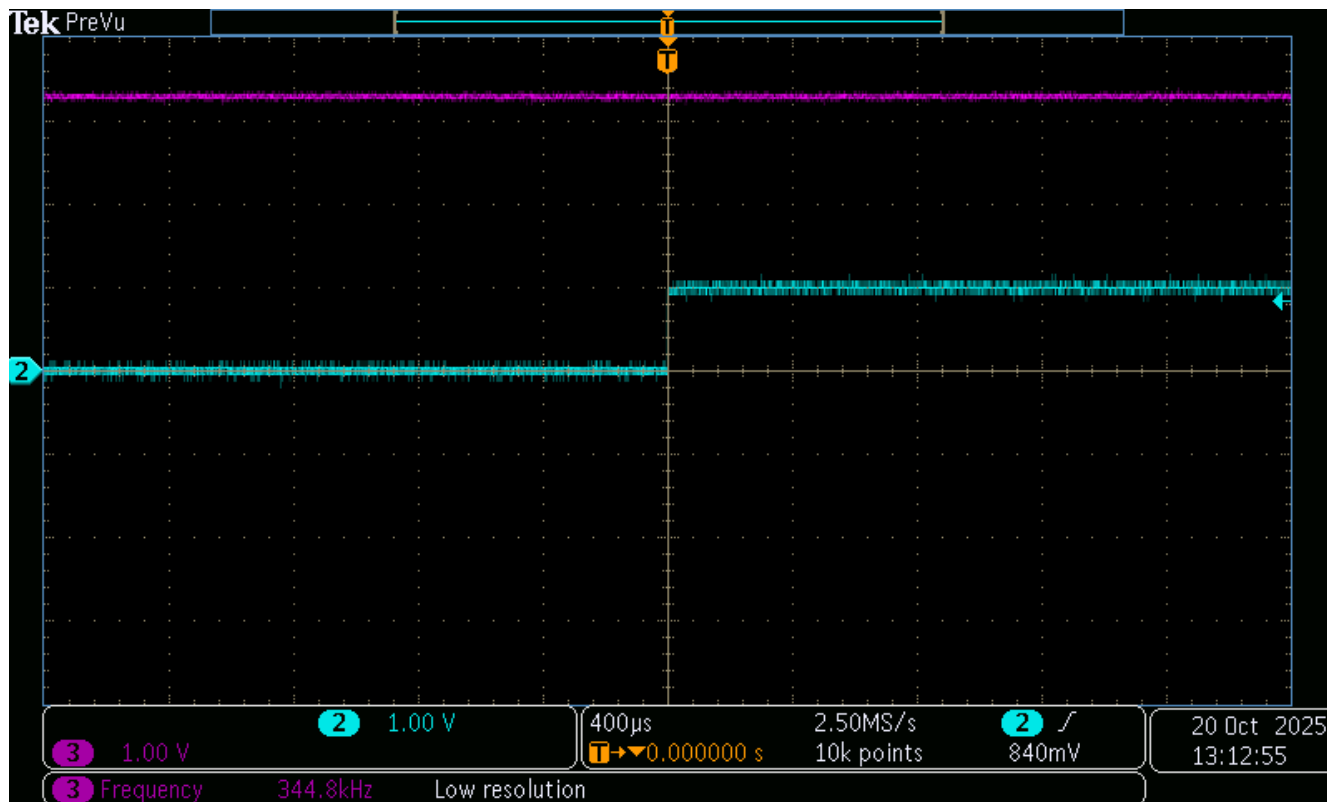


図 2-3. RBIAS 電圧 (青) および VDDIO (紫)

2.2.4 XI クロックをプローブします

以下のガイドラインは、互換性のある入力クロックを参照するための主な仕様です

表 2-2. 25MHz 水晶振動子仕様

パラメータ	最小値	標準値	最大値	単位
周波数		25		MHz
周波数の許容誤差	-50		50	ppm

水晶振動子ノードでプローブを行うと、容量性負荷が変化するため、動作周波数が変化することがあります。水晶振動子をクロックソースとして使用する場合は、CLK_OUT 信号をプローブします。CLK_OUT のデフォルト信号は、XI リファレンスのバッファ付きバージョンであり、代表的な測定値を提供します。

表 2-3. 25MHz 発振器の仕様

パラメータ	最小値	標準値	最大値	単位
周波数		25		MHz
周波数の許容誤差	-50		50	ppm
立ち上がりまたは立ち下がり時間			5	ns
対称	40		60	%
ジッタ RMS			11	ps

1.8V クロック源の場合、XI をクロックソースに直接接続できます。3.3V または 2.5V のクロック源の場合、XI ピン仕様の推奨動作条件を満たすために、クロックソースと XI ピンの間に容量分圧器を使用する必要があります。

注

水晶振動子ネットワークを使った設計の詳細については、アプリケーションノート [テキサス インストルメンツのイーサネット物理層トランシーバ用水晶振動子の選択と仕様](#) を参照してください。

2.2.5 初期化中にストラップピンをプローブします

DP83867 にはデバイスをあらかじめ設定されたモードに構成するためのストラップピンがあります。これらのストラップピンの電圧によって、DP83867 が動作できるモードが決まります。

初期化時に、外部ストラップネットワークと内部抵抗により、PHY がサンプリングする分圧器が形成されます。ライン上の他のコンポーネントが、このネットワークで設定される DC バイアスに影響を与えてはなりません。

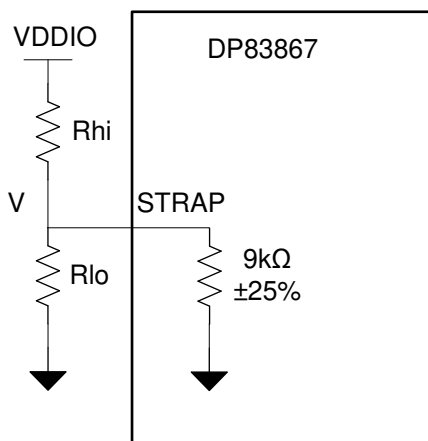


図 2-4. DP83867 のストラップ回路

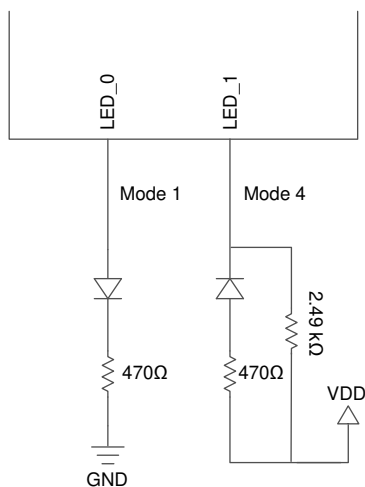


図 2-5. DP83867 LED ストラップ回路

場合によっては、ボード上の他のデバイス (MAC など) がこれらのピンを予期せずプルまたは駆動することがあります。ストラップの値は、レジスタ 0x006E (STRAP_STS1) と 0x006F (STRAP_STS2) から読み取ることができます。問題にパワー サイクルの依存性が存在する場合、ストラップが限界的である可能性があり、このレジスタに対してサイクルごとに観測して、PHY が意図しない状態にストラップされているかどうかを判定できます。

測定は、電源オン時および電源オン後に、RESET_N 信号がアサートされているときに行うことができます。

注

レジスタ 0x6E および 0x6F は拡張レジスタであり、直接アクセスすることはできません。セクション 4.1 を参照してください

2.2.6 シリアル管理インターフェイス信号のプローブ (MDC、MDIO)

シリアル管理インターフェイス (SMI) は、デバッグ中にステータス フィールドを提供するのに役立ちます。このピンは PHY に対してオープンドレインであるため、MDIO ラインに VDDIO へのプルアップ抵抗が接続されていることを確認します。アイドル時は、電圧を VDDIO にする必要があります。SMI アクセスが次のシーケンスに従っていることを確認します：

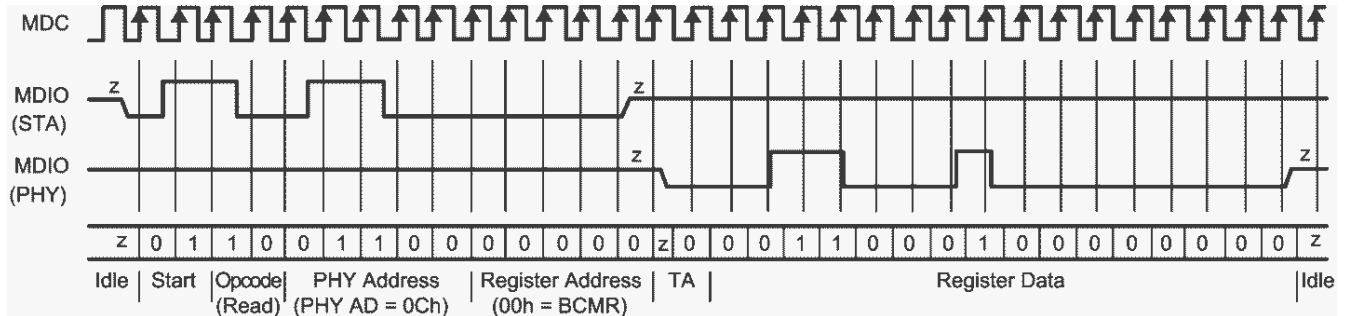


図 2-6. SMI 読み取り動作

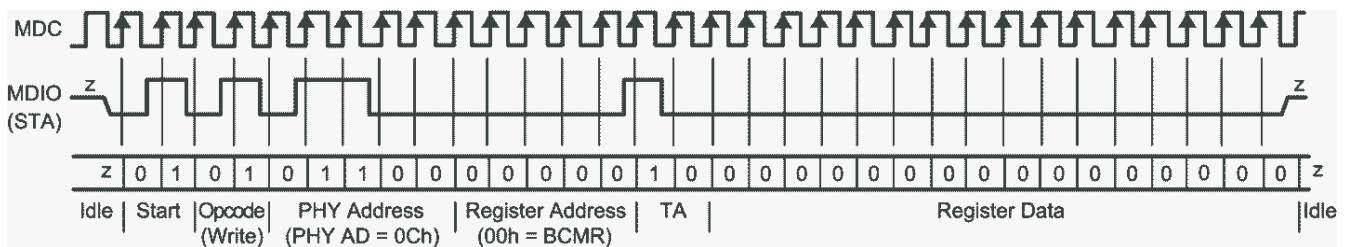


図 2-7. SMI 書き込み動作

プロセッサと PHY の SMI I/O 電圧が同じであることを確認します。ロジック アナライザを使用して MDIO 通信をデバッグすると、役に立ちます。

2.2.6.1 レジスタ値の読み出しと確認

レジスタを読み出し、データシートに示されているデフォルト値を確認します。一部のレジスタは、ストラップ オプションによって異なる場合があることに注意します。オート ネゴシエーションを備えた場合の PHY の動作と 100/100Mbps ででのリンクに対して予測されるレジスタ値の例を表 2-5 に示します

表 2-4 に、PHY の動作と、オートネゴシエーションがイネーブルの場合の 1000Mbps のリンクに対して予測されるレジスタ値を示します。

表 2-4. DP83867 レジスタ値基準

レジスタ・アドレス	レジスタ値		コメント
	100Mbps	1000Mbps	
0x0000	1140	1140	オート ネゴシエーション イネーブル
0x0001	796D	796D	リンク 設立
0x0004	01E1	01E1	DUT 10/100Mbps アドバタイズメント
0x0009	0000	0300	1000Mbps アドバタイズメント
0x0011	6C02	BF02	PHY のステータス

例:PHY に電源を供給し 1000Mbps でリンクした後、Reg 0x11 には値 BF02 が格納されます。これにより、以下が確認されます：

- 1000Mbps モード

- 全二重
- オートネゴシエーション完了
- リンクが確立されました

例:PHY に電源を供給し 10Mbps でリンクした後、レジスタ 0x1 には値 0x7969 が格納されます。この場合、bit[2] は 1 である一方、期待される値は High です。レジスタ 0x1 の Bit[2] はリンクステータスに対応しているため、PHY がリンクされていないことがわかります。

レジスタへのアクセスがすぐに利用できない場合、USB-2-MDIO GUI をテキサスインスツルメンツから入手でき、MSP430F5529™ Launchpad と組み合わせて使用して、TI eStore から購入できます。GUI はレジスタの読み書きやスクリプトファイルの実行に対応しており、DP83869HM や TI のイーサネット製品ラインアップに属する他のデバイスと組み合わせて使用できます。USB-2-MDIO ユーザーズガイドと GUI は、[ダウンロード](#)できます。

2.3 MDIヘルスチェック

このセクションでは、デバイスの MDI セクションが正しく動作していることを確認するデバイスのヘルスチェックについて説明します。DP83867 がリンクアップされており、デバイス経由でトラフィックを送信しているときにレジスタ 0x15 でエラーが報告されない場合、このセクションはスキップできます。

2.3.1 磁気

以下のガイドラインは、互換性のある磁気素子を参照するための主な仕様を示しています。

表 2-5. 磁気絶縁の要件

パラメータ	テスト条件	標準値	単位
巻線比	公差 ±2%	1:1	-
開路のインダクタンス	-	320~350	μH
挿入損失	1~100MHz	-1	dB
リターンロス	1~30MHz	-16	dB
	30~60MHz	-12	dB
	60~100MHz	-10	dB
差動と同相モードの除去比	1~50MHz	-30	dB
	50 ~ 150MHz	-20	dB
クロストーク	30MHz	-35	dB
	60MHz	-30	dB
絶縁	HPOT	1500	Vrms

これらの正確な要件を満たすことができない場合は、次の許容範囲を適用できます：

- 巻数比:3% は許容されます
- 挿入損失:-1 dB または 0dB に近い値
- 反射 (リターン) 損失: 上記の表の値を満たしますか上回ります

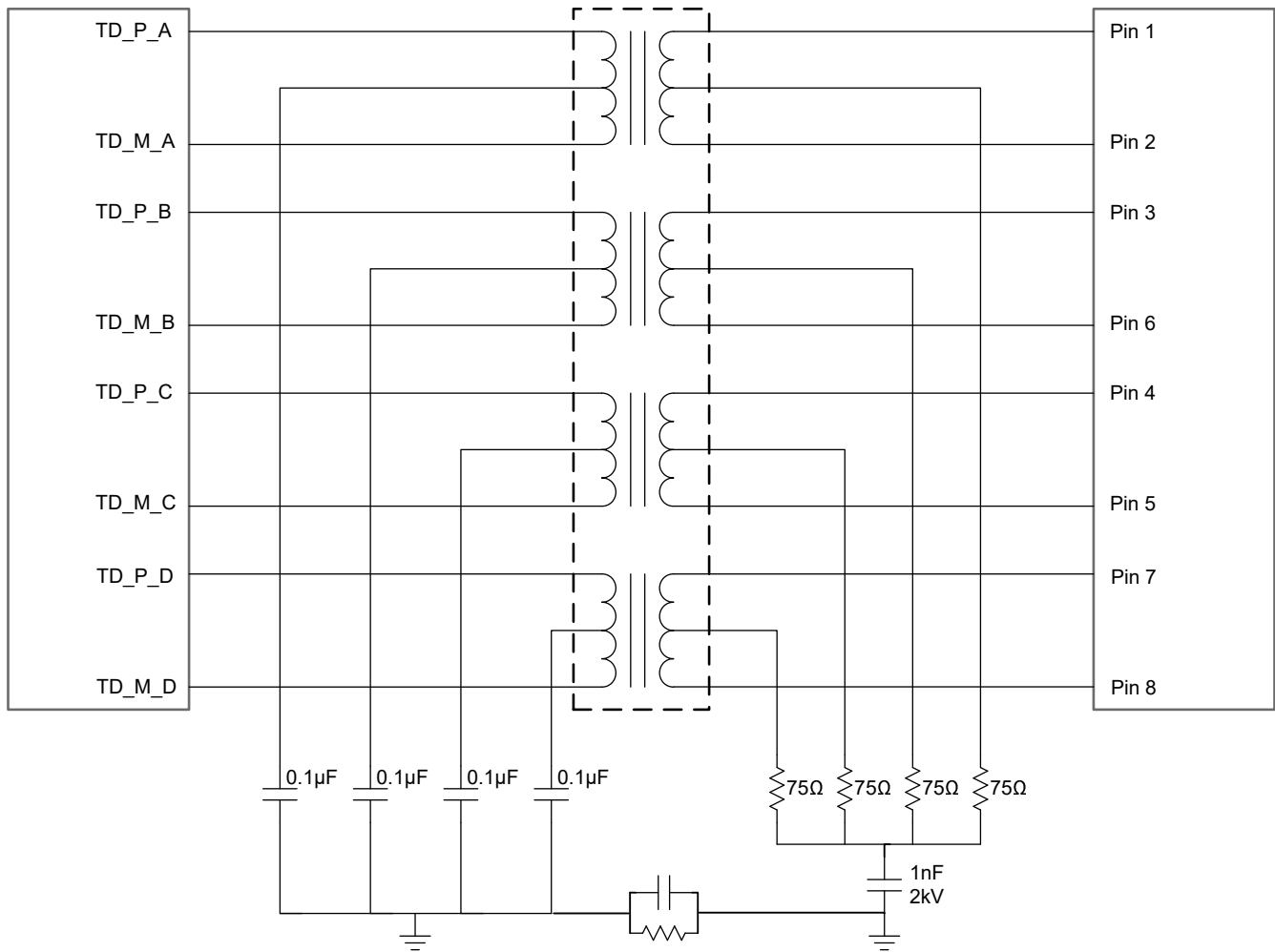


図 2-8. PHY から RJ45 および磁気部品へ

- PHY 側の各センタータップは、互いに絶縁され、デカップリング コンデンサによってグランドに接続されている必要があります。

2.3.2 MDI 信号をプローブします

自動ネゴシエーションが有効な場合、チャンネル A の送信および受信差動ペア (TD_P_A および TD_M_A) にリンクパルスが表示されます。

MDI 信号の測定には、100Ω 終端を備えた短いイーサネットケーブルを使用できます。図 2-9 に、終端ケーブルを示します。図 2-10 に、終端ケーブルを使用して測定を行うための接続図を示します。

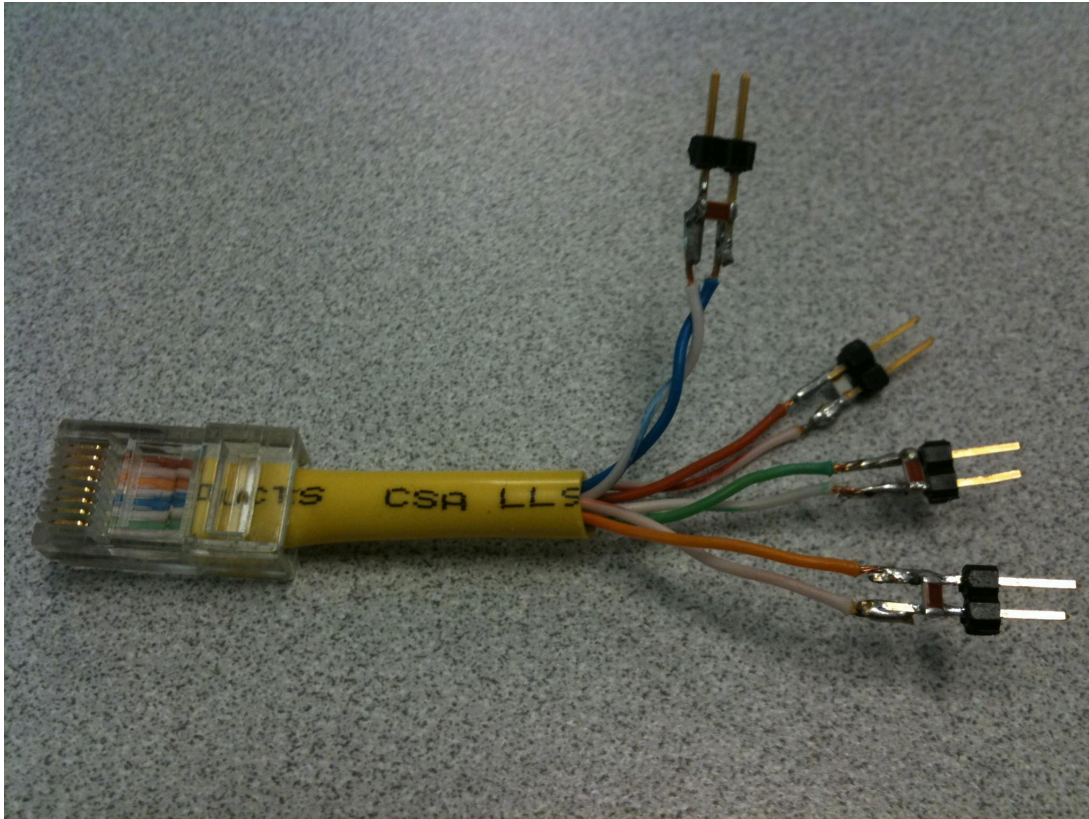


図 2-9. MDI 信号測定用 100Ω 終端ケーブル

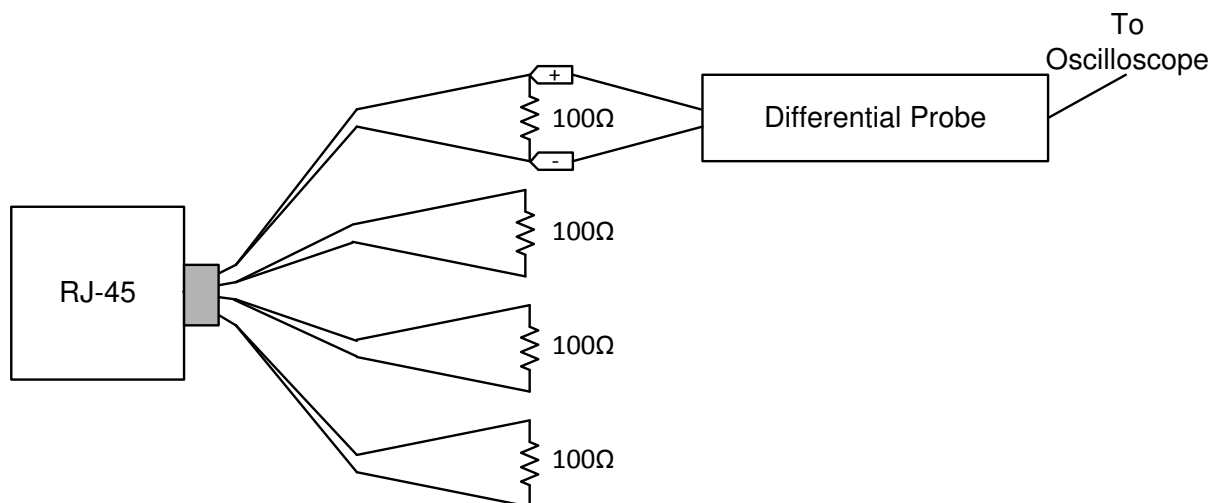


図 2-10. 100M 終端ケーブルの接続図

オートネゴテーションリンクパルスの幅は公称 100ns です。パルスは 62 μ s または 125 μ s によって間隔が空けられ、バースト形式で送信されます。バーストは通常 2ms の持続時間で、16ms ごとに発生します。リンクパルスの例を [図 2-11](#) に示します。

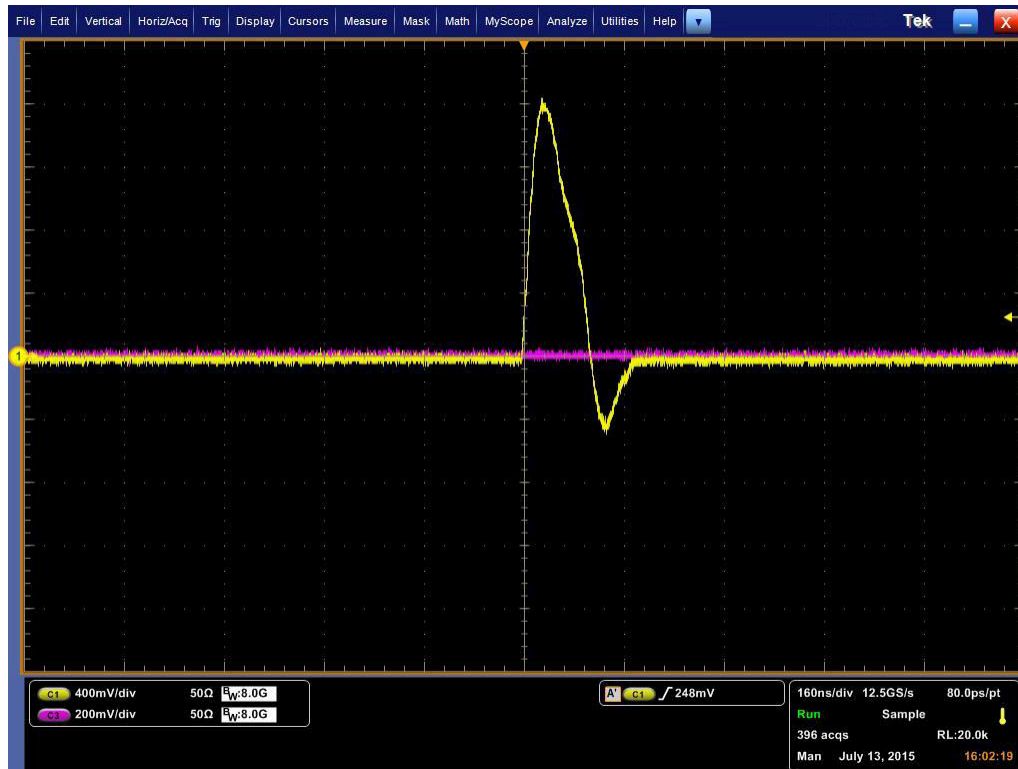


図 2-11. DP83867 リンク パルス

このパルスを観察すると、PHY がオンであり、リンクを試行していることが確認されます。

2.3.3 リンク品質の確認

有効なリンクを確立し、キー ステータスレジスタの値を確認し、リンク LED が点灯していることを視覚的に確認したら、次のデータ転送デバッグ手順で MDI インターフェイスをチェックします。リンクの問題の原因として考えられるものがいくつかあります。

1. リンク パートナーの送信に問題があります
2. ケーブルの長さや品質
3. 25MHz 基準クロック品質
4. MDI 信号品質

PHY に電源を供給し、リンク パートナーに接続している場合、以下のレジスタを使用して、平均二乗エラー (MSE) を決定できます。100Mbps 通信については、チャンネル A のみを参照してください。MSE レジスタは、10Mbps 通信には有効ではありません。MSE 値を指定して、[表 2-7](#) を使用してリンク品質を決定します。

表 2-6. 100Mbps 用のリンク品質 MSE レジスタ

チャンネル	レジスタ・アドレス
A	0x225
B	0x265
C	0x2A5
D	0x2E5

特定のチャンネルについては、レジスタ値を読み出して MSE (平均二乗誤差) を決定し、10 進数に変換してから、以下の表を参照してリンク品質を決定します：

表 2-7. MSE リンク品質変換

リンクの品質	MSE 範囲
非常に良好	0x020A >MSE
良好	0x33B ≥ MSE > 0x020A
不良	MSE > 0x33B

2.3.3.1 ショート ケーブル リンク マージンの改善

DP83867 が長さ 1m 以下の短いケーブルでリンク品質の問題が発生した場合は、以下のセクションを考慮します。

PHY のデジタル信号処理 (DSP) ブロックは、より短いケーブル長さで最適でないフィルタ値に収束し、信号対雑音比 (SNR) が低下する可能性があります。以下のレジスタ構成は、DSP が正しく収束しやすくするようにタイミング帯域幅を調整することで、SNR を改善できます：

```

begin
// Hard Reset
001F 8000
// Threshold for consecutive amount of Idle symbols for Viterbi Idle detector to assert Idle Mode
set to 5
0053 2054
// CAGC DC Compensation Disable
00EF 3840
// Master Training Timers - increasing time in different training states
0102 7477
// Master Training Timers - increasing time in different training states
0103 7777
// Master Training Timers - increasing time in different training states
0104 4577
// Timing Loop Bandwidth
010C 7777
// Timing Loop Bandwidth
01C2 7FDE
// Slave Timers - increasing time in different training states
0115 5555
// Slave Timers - increasing time in different training states
0118 0771
// Timing Loop Bandwidth
011D 6DB2
// Timing Loop Bandwidth
011E 3FFB
// Timing Loop Bandwidth
01C3 FFC6
// Timing Loop Bandwidth
01C4 0FC2
// Timing Loop Bandwidth
01C5 0FF0
// FFE Fix
012C 0E81
// Soft Reset
001F 4000
end
  
```

2.3.3.2 チャネル間リンク マージンの改善

DP83867 は、AGC ゲイン収束回路 (MDI レシーバの自動ゲイン制御) を使用して、より高速なリンクアップを実現しています。ペア間のリンクアップ時間とゲイン ミスマッチの間にはトレードオフがあります。パケット エラーが観測されるアプリケーションでは、次のレジスタ書き込みでゲイン収束時間を長くすることで、ゲイン マッチングを向上できます:

```
begin
// Hard reset
001F 8000
// Increase time for AGC
0102 7477
// No AGC Re-train
00E4 0080
// Soft reset
001F 4000
end
```

2.3.4 PMA 準拠

IEEE PMA 準拠測定は、信号特性を検証するために行うことができます。これらの測定の詳細と PHY を適切に設定する方法については、アプリケーション ノート [イーサネット コンプライアンス テスト用に DP8386x を設定する方法](#) を参照してください。

上記のアプリケーション ノートに従って準拠試験が失敗した場合は、以下を確認してください。

- 準拠性試験のため、MDI ラインの ESD ダイオードを取り外します
- RBIAS の値が 1% の範囲内に収まるようにします
- 磁気素子がデータ シートの仕様に従っていることを確認します。
- 磁気部品のセンター タップを短くしないでください。センター タップのコンデンサをチェックしてください
- MDI ラインの近くにクロックまたはデータ信号が配線されていないことを確認します
- MDI ラインの長さの一致とインピーダンス整合をチェックします

これらのチェックでも問題が解決しない場合、レジスタ 0x00A0、0x00A1、0x00A2、0x00A3 を調整すると、準拠試験に役立ちます。

2.4 MII ヘルス チェック

このセクションでは、MAC インターフェイスが正しく動作していることを確認するデバイスのヘルス チェックについて詳しく説明します。

2.4.1 MII チェック

メディア独立インターフェース (MII) は、PHY を MAC に接続する同期 4 ビット幅ニブル データ インターフェイスです。MII の動作は、DP83867 の PAP バリエーションでのみ利用できます。

MII 信号の概要は以下の通りです。

表 2-8. MII 信号

機能	ピン
データ信号	TX_D[3:0]
	RX_D[3:0]
信号の送受信	TX_EN
	RX_DV
エラー信号	RX_ER

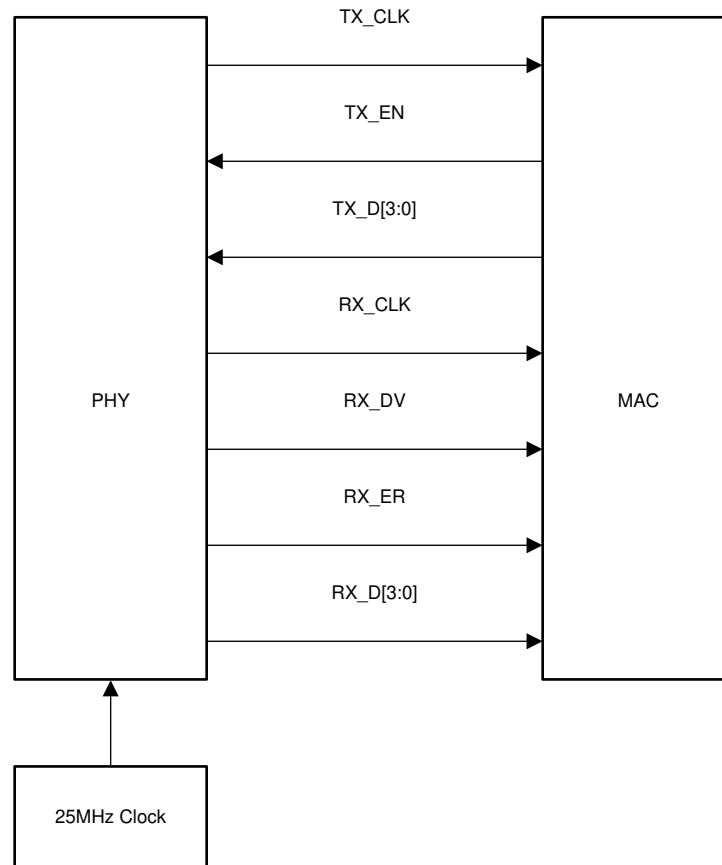


図 2-12. MII シグナリング

TX_D[3:0] のデータは、TX_CLK を基準として PHY でラッチされます。RX_D[3:0] のデータは、RX_CLK を基準として提供されます。MAC の TX または RX バスに問題があると思われる場合は、トレースのレシーバ側のラインを調べ、レシーバのセットアップ時間とホールド時間が満たされていることを確認します。

表 2-9. 100M MII のタイミング

仕様	最小値	標準値	最大値	単位
TX_CLK High / Low 時間	16	20	24	ns
TX_CLK までの TX_D[3:0]、TX_EN のセットアップ	10			ns
TX_CLK からの TX_D[3:0]、TX_EN のホールド	0			ns
RX_CLK High/Low 時間	16	20	24	ns
RX_CLK 立ち上がりからの RX_D[3:0]、RX_ER、RX_DV の遅延	10		30	ns

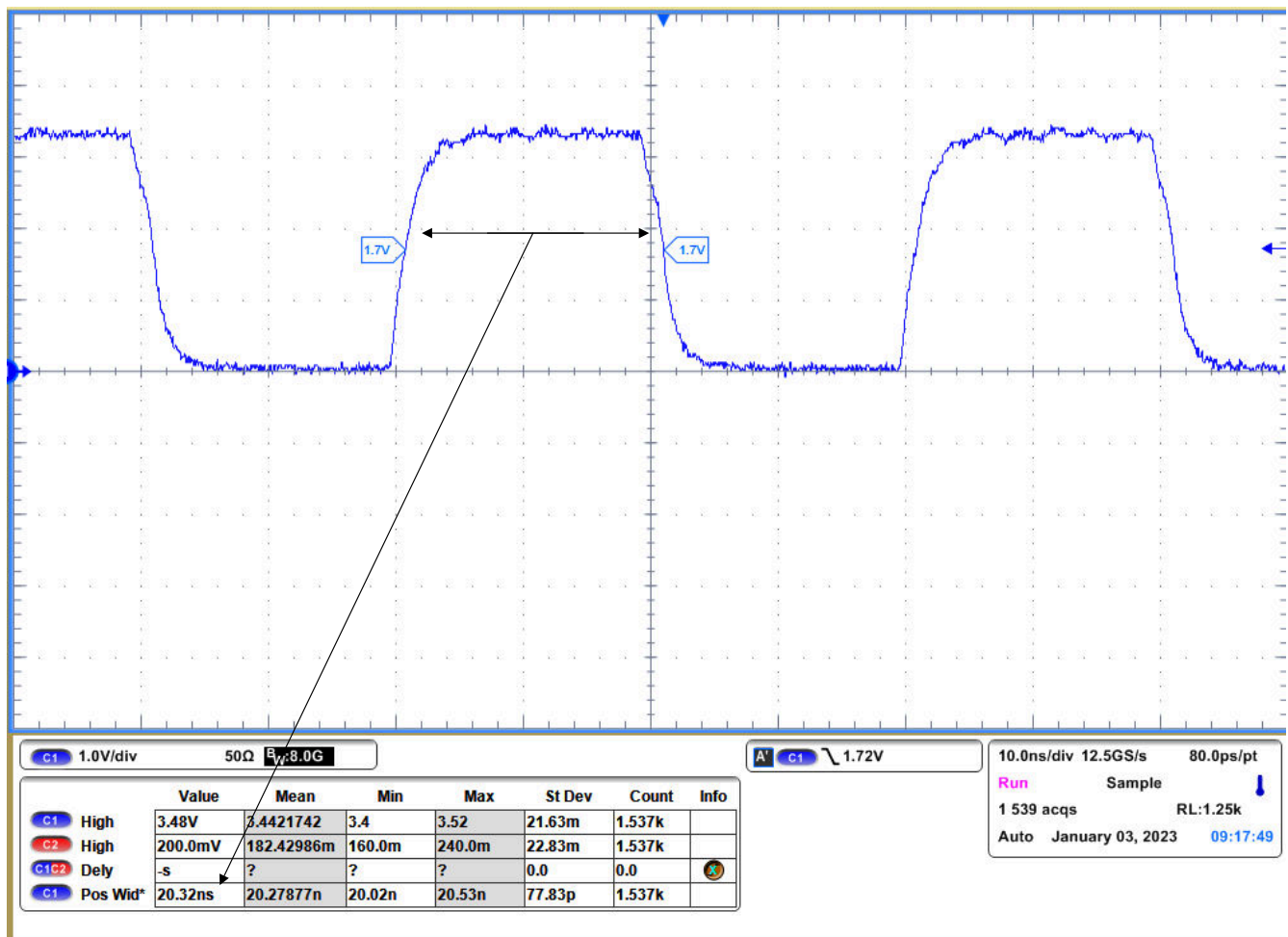


図 2-13. 100M RX_CLK High 時間

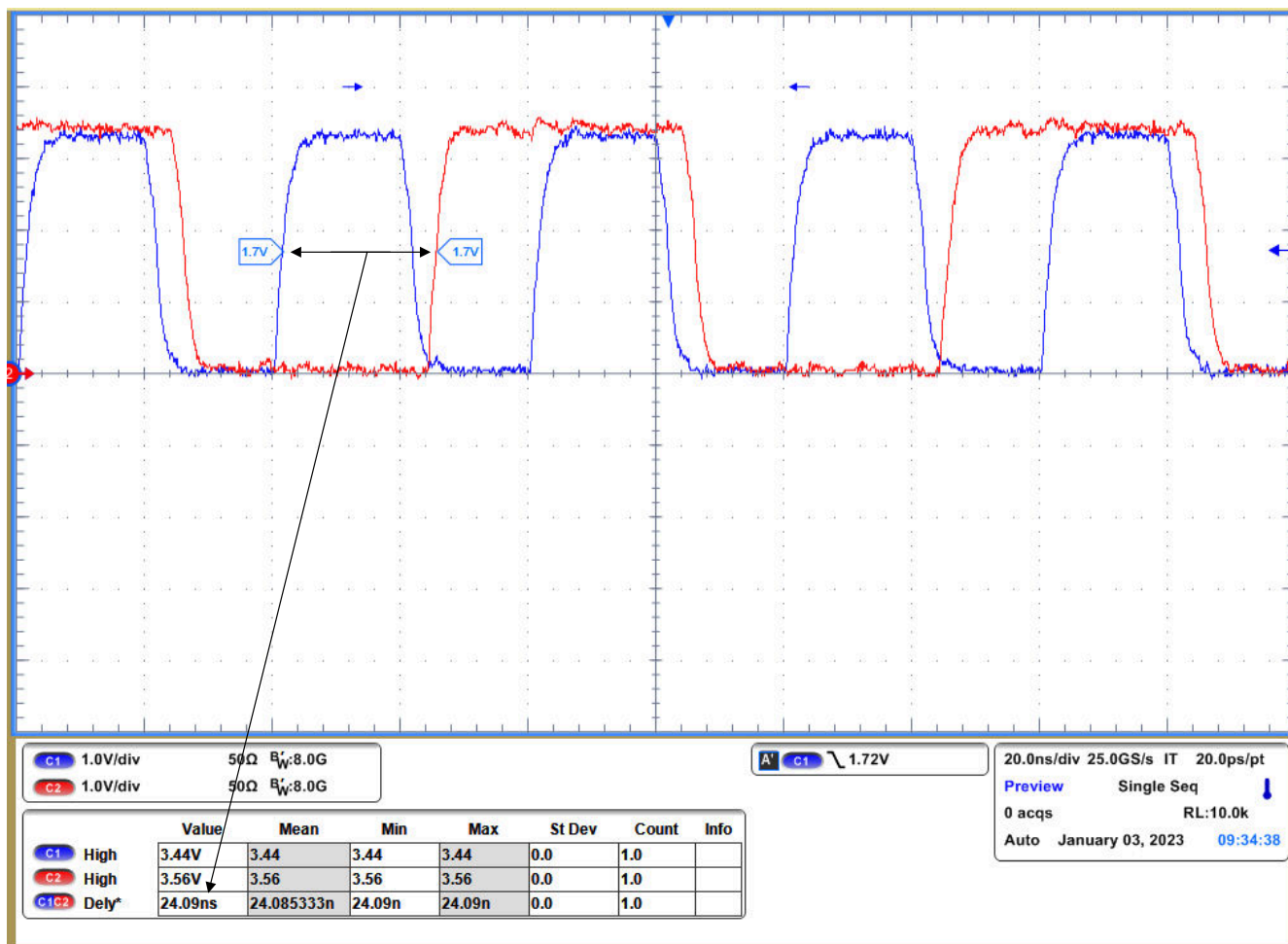


図 2-14. RX_CLK からの 100m RX_D1 の遅延

2.4.2 GMII チェック

ギガビット メディア独立インターフェース (GMII) は、PHY を MAC に接続する同期 8 ビット幅データ インターフェイスです。GMII の動作は、DP83867 の PAP バリエーションでのみ利用できます。

GMII 信号の概要は以下の通りです。

表 2-10. GMII 信号

機能	ピン
データ信号	TX_D[7:0]
	RX_D[7:0]
信号の送受信	TX_EN
	RX_DV
エラー信号	TX_ER
	RX_ER
キャリアと衝突	CRS
	COL

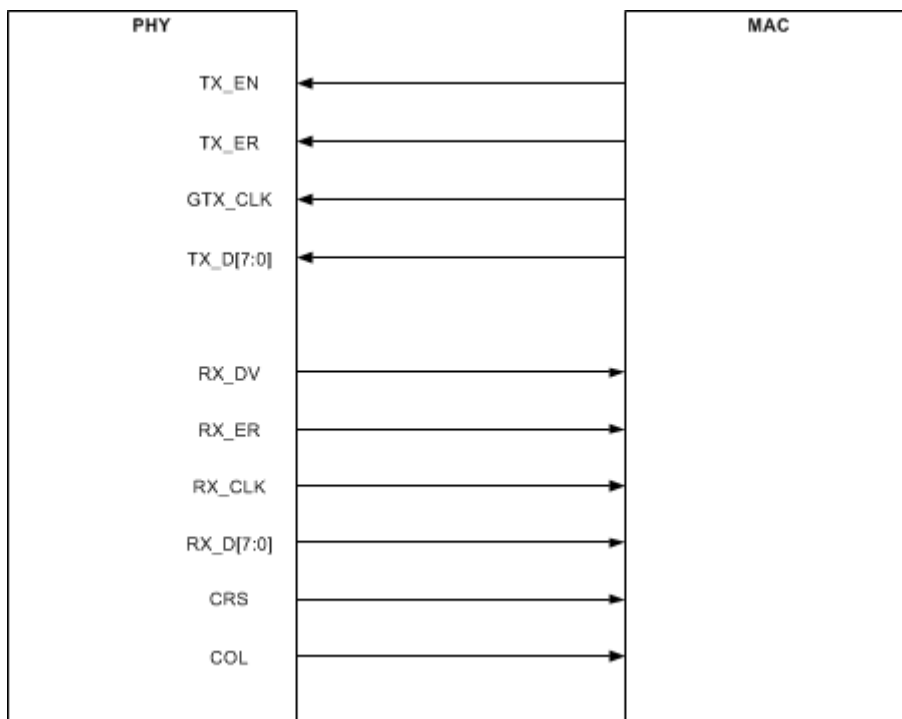


図 2-15. GMII シグナリング

TX_D[7:0] のデータは、GTX_CLK を基準として PHY でラッチされます。RX_D[7:0] のデータは、RX_CLK を基準として提供されます。MAC の TX または RX バスに問題があると思われる場合は、トレースのレシーバ側のラインを調べ、レシーバのセットアップ時間とホールド時間が満たされていることを確認します。

表 2-11. GMII タイミング

仕様	最小値	最大値	単位
GTX_CLK 立ち上がり/立ち下がり時間		1	ns
GTX_CLK までの TX_D、TX_EN、TX_ER のセットアップ	2		ns
GTX_CLK からの TX_D、TX_EN、TX_ER のホールド	0.5		ns
RX_CLK 立ち上がり/立ち下がり時間		1	ns
RX_CLK 立ち上がりからの RX_D、RX_DV、RX_ER の遅延	0.5	5.5	ns

2.4.3 RGMII チェック

リデュースド ギガビットメディア インディペンデント インターフェイス (RGMII) は、4 ビット幅のデータ インターフェイスで、PHY と MAC との間で最大 1000Mbps の通信をサポートします。

RGMII 信号の概要は以下の通りです。

表 2-12. RGMII 信号

機能	ピン
データ信号	TX_D[3:0]
	RX_D[3:0]
信号の送受信	TX_CTRL
	RX_CTRL

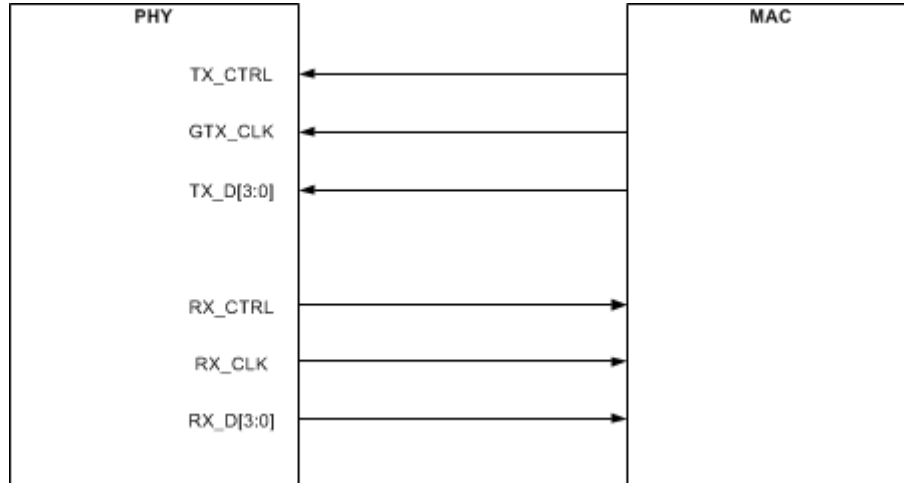


図 2-16. RGMII シグナリング

このセクションの波形を参照して、RGMII のシフト モードおよびアライン モードで予想される MAC データおよびクロック信号を確認してください。データおよびクロック信号をキャプチャするには、レシーバ エンドの近くで測定します。適切な遅延モードを選択する際の以下の要件に注意してください:

表 2-13. 適切な RGMII 遅延モードの選択

MAC の構成が次の場合:	必要な PHY 構成
TX 側の RGMII アライン モード	TX 側の RGMII シフト モード
RX 側の RGMII アライン モード	RX 側の RGMII シフト モード
TX 側の RGMII シフト モード	TX 側の RGMII アライン モード
RX 側の RGMII シフト モード	RX 側の RGMII アライン モード

注

シフト モードでは、クロック スキューは RGMII 遅延制御レジスタ (RGMIIIDCTL) のアドレス 0x0086 を使用して調整できます。

シフトおよびアライン モードにおける RX_D[3:0] と RX_CLK

10/100Mbps の RX アライン モードに設定された PHY の場合、MAC 側でクロックおよびデータ信号をプローブし、以下に示すリファレンス波形と比較します。

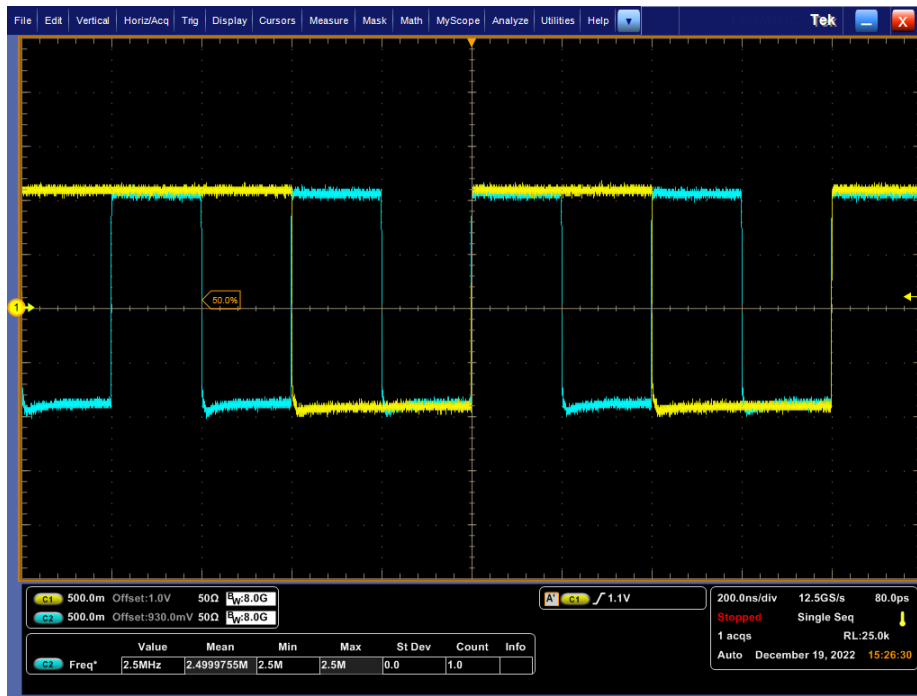


図 2-17. 10Mbps データおよび RX_CLK の整列

クロック (C2) の周波数が 2.5MHz であること、およびデータ (C1) がクロックの立ち上がりエッジでサンプリングされることを確認します。

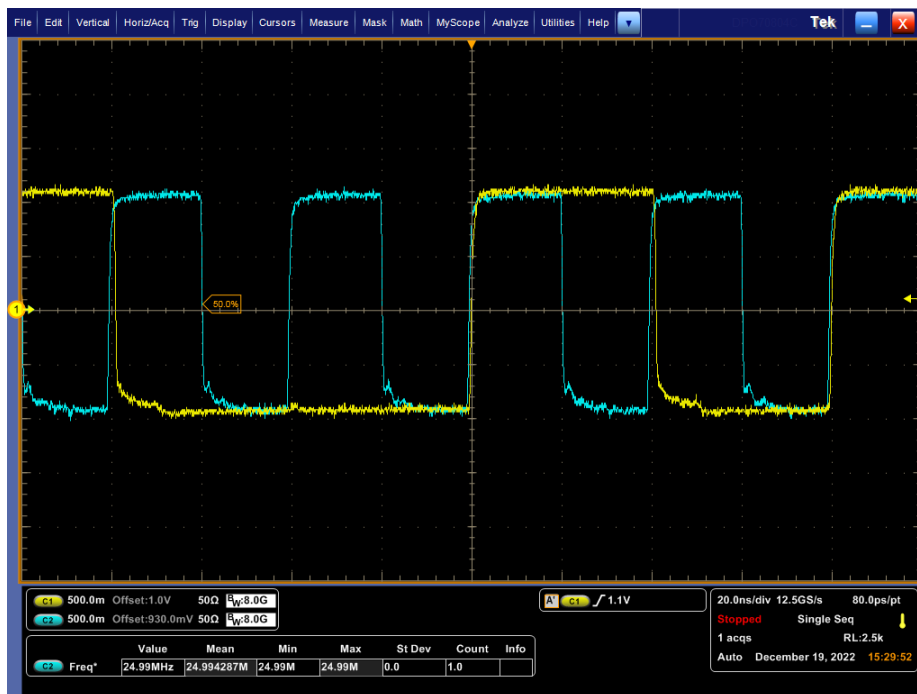


図 2-18. RX_CLK と整列した 100Mbps データ

クロック (C2) の周波数が 25MHz であること、およびデータ (C1) がクロックの立ち上がりエッジでサンプリングされることを確認します。

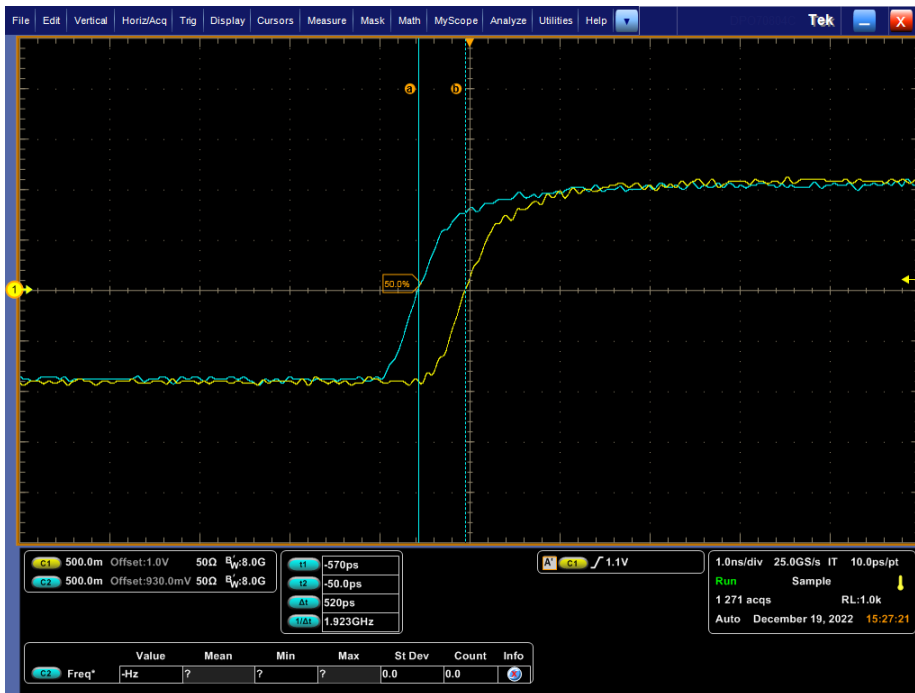


図 2-19. アライン モードでの 10Mbps データおよびクロック遅延

アライン モードで、クロックとデータ間の遅延が 500ps 未満であることを確認します。

10/100Mbps で RX シフト モード (0x32) に設定された PHY の場合、MAC 側のクロックおよびデータ信号をプローブして、以下のリファレンス波形と比較します。

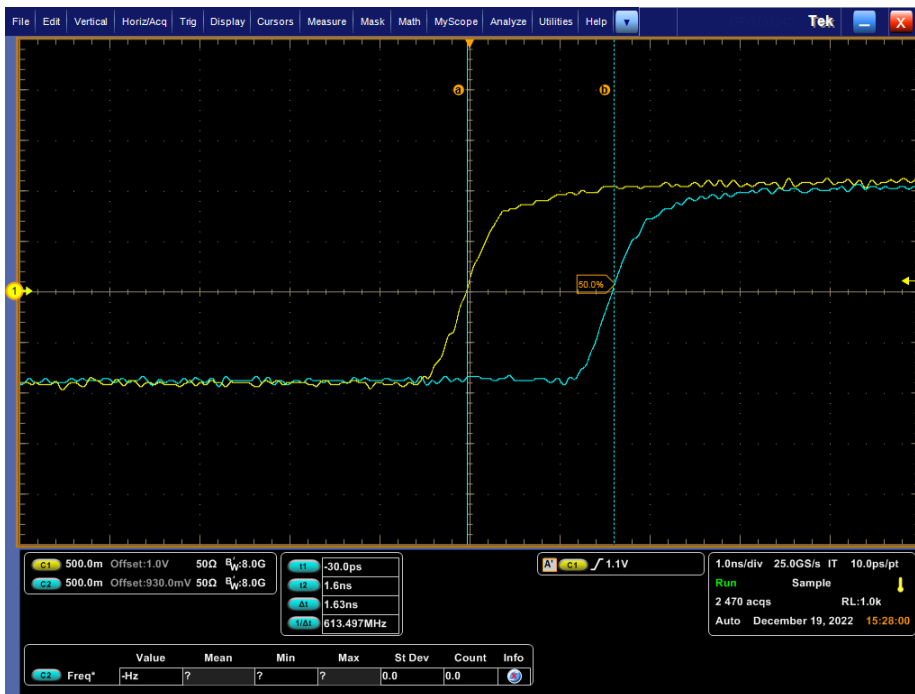


図 2-20. シフト モードの 10Mbps データおよび RX_CLK (プログラムされた遅延 4ns)

シフト モードで、クロックとデータ間の遅延が 1ns を超えることを確認します。プログラムされた遅延は、アライン モードでのクロックの初期位置を基準としています。シフト モードの設定前後のクロック位置の差を測定すると、プログラムされた遅延に近い値が得られます。

シフトおよびアライン モードにおける TX_D[3:0] と TX_CLK

PHY を TX シフトまたはアライン モードに設定して、PHY 側のデータおよびクロック信号をプローブし、以下のタイミング要件が満たされていることを確認します：

表 2-14. RGMII タイミング

パラメータ		最小値	公称値	最大値	単位
T _{skewT}	データからクロック出力へのスキュー (トランスミッタ時)	-500	0	500	ps
T _{skewR}	データからクロックへの入力スキュー (レシーバ時)	1	1.8	2.6	ns
T _{setupT}	データからクロック出力までのセットアップ (トランスミッタ時 — 内部遅延)	1.2	2		ns
T _{holdT}	クロックからデータ出力までのホールド (トランスミッタ時 — 内部遅延)	1.2	2		ns
T _{setupR}	データからクロック入力へのセットアップ (レシーバ時 — 内部遅延)	1	2		ns
T _{holdR}	クロックからデータ入力ホールド (レシーバ時 — 内部遅延)	1	2		ns
T _{cyc}	クロック周期	7.2	8	8.8	ns
Duty_G	ギガビットのデューティ サイクル	45	50	55%	
Duty_T	10/100T のデューティ サイクル	40	50	60%	
T _R	立ち上がり時間 (20% ~ 80%)			0.75	ns
T _F	立ち下がり時間 (20% ~ 80%)			0.75	ns

2.4.4 SGMII チェック

シリアル ギガビット メディア独立インターフェイス (SGMII) は、100M/1000M PHY と MAC の間で、GMII または RGMII に必要な信号ピン数よりも少ない信号ピンでネットワークデータとポート速度を伝送する手段を提供します。SGMII インターフェイスは 1.25Gbps の LVDS 差動信号を使用します。この信号は、GMII または RGMII と比較して EMI 放射を低減するという追加の利点があります。SGMII は DP83867E/IS/CS バリエーションでのみ利用できます。

表 2-15. SGMII 出力仕様

SGMII 出力		最小値	最大値	単位
出力差動電圧	SO_P および SO_N, AC 結合	0.3	0.8	V ピーク差動

すべての SGMII 接続は、0.1uF コンデンサを介して AC 結合する必要があります。

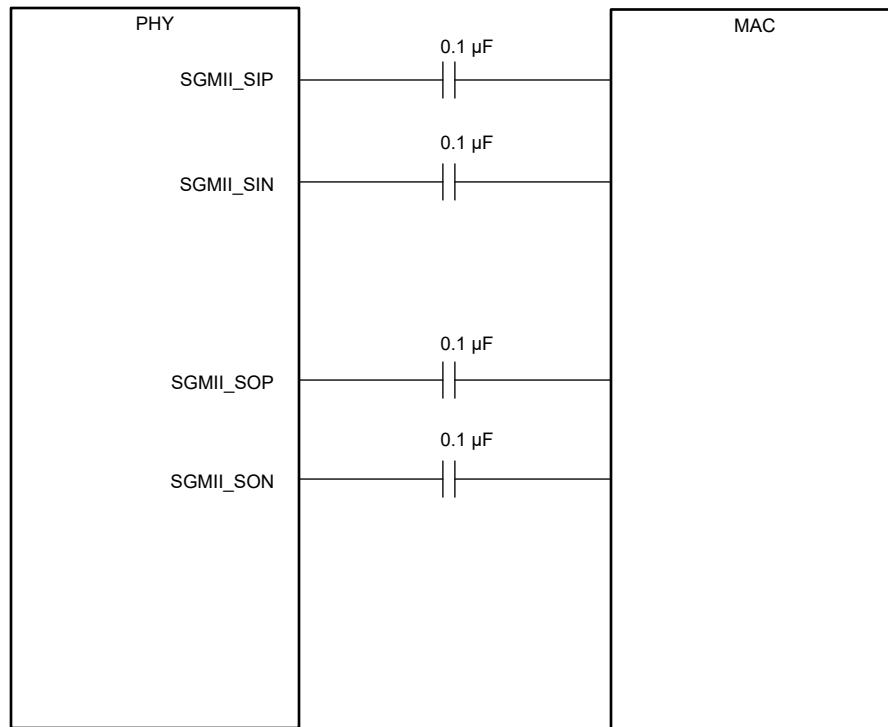


図 2-21. SGMII シグナリング

SGMII が正常に動作していない場合、以下を考慮してください。

1. SGMII の自動ネゴシエーション完了ステータスについては、レジスタ 0x0037[0] を確認します
2. レジスタ 0x0037[1] で、SGMII 制御ページが受信されたかどうかを確認します
3. SGMII 信号が適切なピーク ツー ピーク電圧を持っていることを確認します
4. レジスタ 0x0014[7] の SGMII 自動ネゴシエーションをリセットします

2.5 ループバックと PRBS

2.5.1 ループバック モード

PHY 内の各種機能ブロックをテストおよび検証するループバックの複数オプションがあります。ループバック モードを有効化すると、MII および MDI データパスのインサーキット テストが可能となります。DP8386 7 は、ニアエンド (MII) ループバック モードのいずれか、またはリバース (MDI) ループバック モードに構成できます。

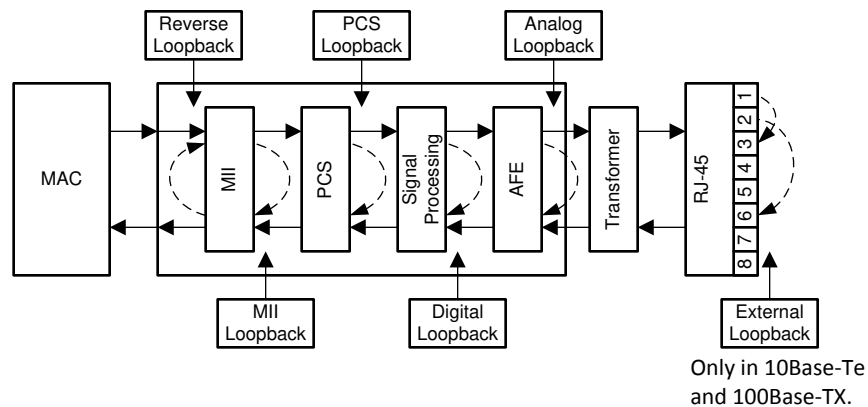


図 2-22. ループバック

ループバックの可用性は、PHY の動作モードによって異なります。これらのループバックモードのリンクステータスも、動作モードの影響を受けます。以下の表は、ループバックが使用できない例外を示します。

表 2-16. ループバックの可用性の例外

動作モード	ループバック	例外
RGMII/GMII (PAP)	PCS	10M
	外部	1000M
SGMII (E/IS/CS)	MII	10M
	デジタル	10M
	アナログ	10M

MII ループバックは通常、MAC インターフェイスの検証に使用できますが、リバース ループバックは、リンク パートナーとともに使用して MDI 上のデータパスを検証します。

- レジスタ 0x0000[14] を設定すると、MII ループバックがイネーブルになります
- レジスタ 0x0016[5] を設定することでリバース ループバックがイネーブルになります

2.5.2 MAC とのパケットの送受信

MAC を使用してパケットを生成およびチェックできる場合、および PHY にリバース ループバック機能を備えた現用リンク パートナーがある場合は、次のように完全なデータパスを確認します。

- PHY を MAC および動作しているリンク パートナーに接続します。
- リンクパートナーでリバース ループバックを有効にします。
- MAC から PHY にテスト パケットを送信します。
- MAC が同じテスト パケットを受信することを確認します。

MAC が同じテスト パケットを問題なく受信した場合、MAC → PHY → MDI を経由するフル データパスが有効になります。このテストに合格しない場合は、MII ループバックを実行して、データパスに沿って問題を切り分けます。

- 電源を入れ、PHY を MAC に接続します。
- PHY 上で MII ループバックをイネーブルにします。
- MAC から PHY にテスト パケットを送信します。
- MAC が同じテスト パケットを受信することを確認します。

MAC が同じテスト パケットを受信すると、MAC → PHY を経由するデータパスが有効であり、問題が MDI データパスに分離されています。このテストに合格しない場合、問題は MAC インターフェイス上にある可能性があります。MAC インターフェイスを確認するには、[MII ヘルス チェック](#)を参照してください。PHY 内部データパスを検証するには、アナログループバックモードを使用して上記の手順を実行します。

2.5.3 BIST を使用してパケットを送受信しています

DP83867 は、内部 PRBS 内蔵セルフテスト (BIST) 回路を備えており、インサーキットテストまたは診断に適しています。BIST 回路を使用して、送信および受信データパスの整合性をテストできます。BIST は、さまざまなループバックモードを使用して実行でき、データパスの特定の部分に問題を切り分けることができます。BIST は、可変コンテンツと IPG を含むパケット化されたデータを生成します。

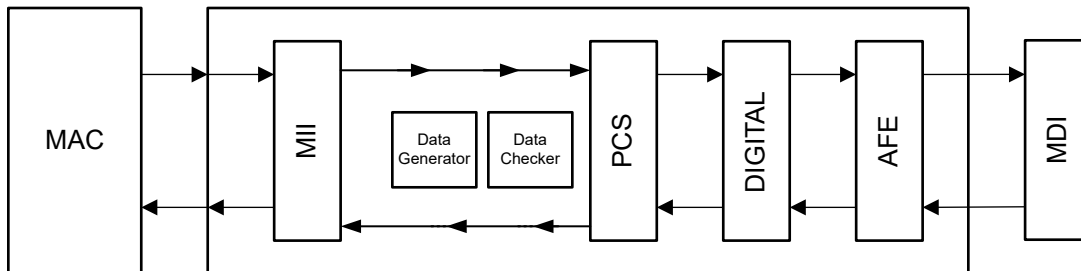


図 2-23. BIST のブロック図

MAC でパケットを生成および確認できない場合は、PRBS パケット生成およびチェック機能を使用してデータパスを確認します。PRBS および現用リンク パートナーでリバースループバックを実行するには、次の手順を実行します。

1. PHY をリンク パートナーに接続します。
2. PHY で PRBS パケット生成をイネーブルします (Reg 0x0016 = 0xF000 を書き込みます)。
3. リンク パートナーでリバースループバックをイネーブルにします (リンク パートナーが DP83867 の場合、Reg 0x0016 = 0020 を書き込みます)。
4. 少なくとも 1 秒待ってから、レジスタ 0x17[11] を読み出して PHY の PRBS ロック ステータスを確認します。

レジスタ 0x17[11] が high の場合、PHY → MDI を経由するデータパスが有効です。このテストに合格しない場合は、PHY の内部データパスまたは MDI に問題がある可能性があります。内部データパスを確認するには、次のスクリプトを使用して、アナログループバックで PRBS を実行します。このスクリプトは、注 (1)、(2)、(3) を使用して適切な速度とループバックをテストすることで、必要に応じて変更できます。

```

// This is how you make a comment. All scripts must start with 'begin'
begin
// hard reset
001F 8000
// disable auto-neg, force 10Mbps (1)
0000 0100
// enable analog loopback (2)
0016 0008
// force mdi mode for 10/100 Mbps (not relevant for 1000Mbps)
0010 5008
// loopback configuration register required
00FE E720
// enable packet gen, keep analog loopback (3)
0016 5008

// (1)
// for 100Mbps, write 0000 to 2100
// for 1000Mbps, write 0000 to 0140
// (2)
// for digital loopback, write 0016 to 0004
// for PCS loopback, write 0016 to 0003
// (3)
// for packet generation with digital loopback, write 0016 to 5004
// for packet generation with PCS loopback, write 0016 to 5003
end
  
```

内部データパスが有効である場合、問題は MDI またはリンク パートナーに切り分けられます。

3 アプリケーション固有のデバッグ

3.1 100Mbps 全二重強制モードでのリンク アップ

DP83867 がレジスタ 0x0000 bit[12] と bit[6,13] を使用して強制 100Mbps 全二重強制モードに構成されており、リンク アップできなかった場合、以下のプロセスを確認してください。

- リンク パートナー PHY をチェックし、リンク パートナー PHY において自動ネゴシエーションが有効になっているかどうかを確認します。
- リンク パートナー PHY の自動ネゴシエーションがオンで、100Mbps の全二重と半二重をアダプタイズできる場合は、リンク アップのためにレジスタ 0x001E[11] を有効にします
- リンク パートナー PHY の自動ネゴシエーションがディセーブルの場合、リンク パートナー PHY も、レジスタ 0x0000 の強制的に 100Mbps 全二重モードにプログラムされていることを確認します。

3.2 1Gbps 通信で不安定なリンク アップ デバッグ

DP83867 と別のリンク パートナーの間でリンク アップとリンク ダウンを繰り返す場合は、次のセクションに従ってデバッグを進めます。

1. レジスタ 0x001F ~ 4000 (ソフトウェア リセット) を書き込み、リンク アップが可能かどうかを確認します。
2. DP83867 が別の TI ギガビット PHY とリンク アップできるかどうかを確認。
3. 「[回路図とレイアウトのチェックリスト](#)」セクションを参照し、基板設計が推奨事項に従っていることを確認します。
4. レジスタ 0x0013 のビット [12] とレジスタ 0x0011 のビット [12] を読み出します。両方のレジスタが 1Gbps 通信で受信されたページを示している場合、DP83867PHY を低消費電力モードから通常動作モードに変更するには、レジスタ 0x01D5 = F508 を書き込みます。

```
begin
// Check page recieved in 1Gbps communication
0012
0013
// changing from lower power mode to normal operational mode
01D5 F508
end
```

3.3 DP83867PHY と DP83867PHY は 1Gbps でリンク アップできません

2 つの DP83867PHY が 10Mbps および 100Mbps でリンクアップ可能ではあるが、1Gbps でリンク アップできない場合、次のデバッグ プロセスを参照してください。

注

このエラーは、DP83867PHY の古いリビジョン (レジスタ 0x0003 = A0F1) でのみ発生します

- DP83867PHY のいずれかにレジスタ 0x001F = 4000 を書き込んでソフトウェアリセットを試し、それによって問題が解決されるかどうかを確認します。
- レジスタ 0x0005[15] を読み出し、0x0005 bit[15] = 0 の場合、
 - 自動 MDIX は、ほとんどの場合、完了していません。両方の PHY が同じチャネルで Auto-MDIX FLP_Brust を同時に送信し、デッドロック状態になります。

ソリューション:

- いずれかの PHY で自動 MDIX タイマを変更すると、デッドロック状態を防止できます。
- DP83867PHY のいずれかのレジスタ 0x002C bit[32] = 0 に変更します

Auto MDIX Timer Configuration Register (AMDIX_TMR_CFG), Address 0x002C

BIT	NAME	TYPE	DEFAULT	DESCRIPTION
15:4	RESERVED	RW	0x141	RESERVED
				Robust Auto MDIX Timer 0000: 32ms 0001: 64ms 0010: 96ms .
3:0	RAMDIX TMR	RW	0xF	1111: 480ms

- PHY をソフトウェアリセットするには、0x001F を 4000 に書き込みます
- レジスタ 0x0005[15] を読み出し、0x0005 bit[15] = 1 の場合
 - Auto-MDIX は完了しており、オート ネゴシエーションの擬似乱数 (PRN) が問題になる可能性が高い。両方の PHY が 1000Base-t で通信しているときに、どの PHY がマスター PHY (ローカルソースからクロック供給される) であり、どちらがスレーブ PHY (受信データストリームの回復クロックからクロック供給される) であるかを決定するために、乱数を送信する擬似乱数 (PRN) これは、レジスタ 0x000A bit[14] によって確認できます。
 - ただし、PRN は厳密にランダムではなく、両方の DP83867 がオート ネゴシエーションを同時に開始した場合、両方の DP83867 がまったく同じランダムシード (PRN) を送信し、デッドロックにつながる可能性もあります。

ソリューション:

- DP83867PHY のいずれかで 0x0009 bit[12:11] を 11 に書き込み、別の DP83867PHY で 0x0009 bit[12:11] を 10 に書き込みます。このレジスタは、疑似ランダム番号 (PRN) プロセスを防止するため、1000Base-T 通信で PHY の 1 つを強制的にマスタにすることができます。
- PHY をソフトウェアリセットするには 0x001F を 4000 に書き込み、オート ネゴシエーションを再開するには 0x0000[9] = 1 を書き込みます

3.4 EMC デバッグ

以下のセクションでは、主に DP83867PHY で EMC の問題をデバッグする方法に関する一般的なガイドラインについて説明します。

- テスト設定を確認してください:

EMC テスト:

- ループ ケーブルなし



- エミッション源またはアンテナからケーブルを離して配置します (主に RE テスト時)
- シールド ケーブルが推奨されます
- テスト ボードとテスト機器が一致していることを確認します (主に CE テスト)
 - ケーブル タイプは CDN テスト装置と一致する必要があります
- オープン時または未使用時は、CLK_OUT をオフにします
- EMI テスト:
 - テスト ボードとテスト機器の両方のグラウンド経路を確認します
 - シールド ケーブルが推奨されます
 - ケーブル タイプがテスト機器と一致していることを確認します (主に CI テスト)
 - ケーブル タイプは CDN テスト装置と一致する必要があります
- 回路図を確認します
 - グラウンド絶縁を確認します
コネクタのグラウンドとアースの間にグラウンド絶縁経路 (R/C) があることを確認する
トランスがデータシートの仕様に従っていることを確認してください
トランスに短絡したセンタータップはありません
トランスのセンター タップに接続されているコンデンサを再確認してください
準拠性試験のため、MDI ラインの ESD ダイオードを取り外します
Rbias の値をチェックし、値が 1% の範囲内にあることを確認します
[セクション 2.1](#) に示す回路図チェックリストの推奨事項に従ってください
- レイアウトを確認してください
 - MDI ラインの近くにクロック信号とデータ信号がないことを確認します
 - MDI ラインの長さの一致とインピーダンス整合をチェックします
 - MDI ラインの周囲にはビアはありません
 - [セクション 2.1](#) のレイアウト チェックリストに従ってください
- お客様が DP83867 PHY の伝導耐性 IEC61000-4-6 に苦勞している場合、以下のスクリプトをプログラムしてください。

```
begin
008A 010F
00C0 0000
00B3 000C
0100 1027
001F 4000
end
```

これらのレジスタは、PHY 内のフィルタを調整し、高周波ノイズをさらに最適化およびフィルタリングして、信号対雑音比を改善します。

3.5 低 IPG のリンクでパケット エラーが発生しました

パケット間ギャップ (IPG) が 12 個以下のイーサネットリンクでパケット エラーが観測された場合、DP83867 内でビタビスレッシュホールドを調整する必要がある場合があります。このスレッシュホールドは、VTM_IDLE_CHECK_CNT_THR レジスタ (0x0053[3:0]) で調整できます。この場合、デフォルト値 0x5 は 12 シンボル以上の IPG を想定しています。

アプリケーションで IPG が 12 シンボルより小さいことが予想される場合、ビタビ スレッシュホールドを 0x4 または 0x3 に調整できます。正確に 12 シンボルの IPG でエラーが検出された場合、デバッグ ステップとしてこのスレッシュホールドを低く調整して、エラーが IPG の結果でないことを確認できます。

3.6 10Base-Te TP_IDL の障害

DP83867 で 10Base-Te TP_IDL テストに失敗した場合は、このアプリケーション ノートの「[回路図とレイアウトのチェックリスト](#)」のセクションに記載されている推奨事項に従って基板レイアウトを確認してください。レイアウトがフォルトになっていないと決定された場合や、レイアウトを変更できない場合は、DP83867 の TP_IDL スイングを調整することを検討してください。

レジスタ 0x0023[15:12] は、10Base-TP_IDL テストで使用される DP83867 出力信号のスイングを制御します。デフォルトのレジスタ値を読み出し、必要に応じて増減します。

3.7 RGMII 立ち上がり/立ち下がり時間の遅延

DP83867 が RGMII トランスミッタ (RX_CLK、RX_D0 など) で低速な RGMII の立ち上がり/立ち下がり時間を示す場合は、次の点を再確認してください。

- RGMII トレースはできる限り短くします。トレースが長いと、トレース容量が増加し、立ち上がり/立ち下がり時間が遅くなる可能性があります。
- 接続されている MAC 入力容量を確認します。MAC が大きい静電容量で RGMII ラインに負荷をかけると、立ち上がり/立ち下がり時間が遅くなります。
- プローブの容量を確認します。RGMII の測定には、低容量プローブを使用する必要があります

これらの考慮事項を考慮し、RGMII の立ち上がり/立ち下がり時間がまだ遅い場合は、アドレス 0x0170 にある IO_IMPEDANCE_CTRL レジスタを調整します。一般に、インピーダンス値が小さいほど、RGMII の立ち上がり/立ち下がり時間は速くなると予想されます。このレジスタを調整する方法の 1 つを以下に示します。

1. IO_IMPEDANCE_CTRL レジスタを読み取ります
2. 読み出し値に基づいて、以下の表に示すように、対応する新しい値を書き込みます。

値 (0x170[4:0])レジスタを読み取ります	新しい値 (0x170[4:0])
0x00、0x01	0x08
0x02、0x03	0x0A
0x04、0x05、0x06、0x07	0x0C
0x08、0x09	0x0E
0x0A、0x0B	0x10
0x0C、0x0D、0x0E、0x0F	0x12
0x10、0x11、0x12、0x13	0x14
0x14、0x15	0x16
0x16、0x17、0x18、0x19	0x18
0x1A、0x1B	0x1A
0x1C、0x1D、0x1E、0x1F	0x1C

4 ツールとリファレンス

次のセクションでは、デバッグに関連するその他のツールと参考資料について説明します。

4.1 拡張レジスタ アクセス

拡張レジスタ空間でレジスタを読み書きするには、以下の手順を参照してください：

MMD「1F」レジスタの書き込み手順：

reg<000D> = 0x001F を書き込みます

reg<000E> = <address> を書き込みます

reg<000D> = 0x401F を書き込みます

reg<000E> = <value> を書き込みます

MMD「1F」レジスタの読み取り手順：

reg<000D> = 0x001F を書き込みます

reg<000E> = <address> を書き込みます

reg<000D> = 0x401F を書き込みます

reg<000E> を読み込みます

注

- MMD「1」レジスタを読み書きするには、1F を 01 に置き換えます。
 - 上記の書き込み/読み取り手順は通常、0x001F を超えるアドレスを持つレジスタに対して使用されます。しかし、手順は一般的に任意のアドレスにも使用できます。
-

5 まとめ

このアプリケーション ノートでは、新しいアプリケーションを評価し、予想される機能を確認するための推奨フローを紹介します。ステップ バイ ステップの推奨事項を活用すると、DP83867 を使用した設計のボード立ち上げと初期評価を容易に実施できます。

6 参考資料

1. テキサス インスツルメンツ、『[IEEE イーサネット準拠テストの合格方法](#)』アプリケーション ノート。
2. テキサス インスツルメンツ、『[イーサネット準拠テスト用に DP838xx を構成する方法](#)』アプリケーション ノート。

7 改訂履歴

Changes from Revision C (April 2024) to Revision D (May 2026)	Page
• 「概要」セクションを追加.....	2
• 「ヘルス チェック」セクションを追加.....	3
• 「MDI ヘルス チェック」セクションを追加.....	8
• 「MII チェック」セクションを追加.....	15
• 「GMII チェック」セクションを追加.....	17
• 「MAC でパケットを送受信する」セクションを追加.....	24
• 「BIST でパケットの送受信」セクションを追加.....	24

Changes from Revision B (December 2022) to Revision C (April 2024)

Page

• DP83867 構成表を更新.....	2
• 回路図とレイアウト チェックリストのハイパーリンクを更新.....	3
• 電源オンシーケンスの注を追加.....	3
• ストラップ イベントが発生するタイミングのタイミング図を追加.....	5
• MDIO/MDC ラインのデバッグ手順を追加.....	7
• レジスタ テーブルを更新.....	7
• リンク品質テストを更新.....	11
• 「準拠デバッグ」セクションを追加.....	14
• SGMII インターフェイスのデバッグのセクションを追加.....	15
• ループバックについてのセクションと BIST の図を追加.....	23
• 100Mbps 全二重強制モードでのリンク アップを追加.....	26
• 不安定なリンク アップ デバッグを追加.....	26
• DP83867 の古いリビジョン シリコンのエラッタ デバッグを追加.....	27
• EMC デバッグ セッションを追加.....	28

Changes from Revision A (April 2016) to Revision B (December 2022)

Page

• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	2
• 回路図とレイアウト チェックリストのセクションを追加.....	3
• 1000Mbps 単位でリンクされた PHY の参照レジスタ値を追加.....	7
• 主要な構成およびステータス レジスタの一覧を削除.....	7
• MAC インターフェイスのデバッグのセクションを追加.....	15
• ループバックおよび BIST のセクションを、テスト手順と対応するスクリプトによって更新.....	23
• アプリケーション固有のデバッグのセクションを追加.....	26
• ツールと参照のセクションを追加.....	30

Changes from Revision * (October 2015) to Revision A (April 2016)

Page

• 2 および 3 電源設定の説明の表現を変更.....	3
• 3 電源シーケンスの説明を変更.....	3
• RBIAS 測定の順序を変更 セクション 2.2.3	4
• ストラップ ステータス レジスタのストラップ値を確認するための推奨事項を追加.....	5
• 主要な構成およびステータス レジスタの一覧に、オートネゴシエーション ステータス レジスタを追加.....	7
• 終端ケーブルのケーブル接続図を追加.....	10

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月