

# Analog Engineer's Circuit

## ディスクリート出力電流昇圧機能付き高電圧アンプ

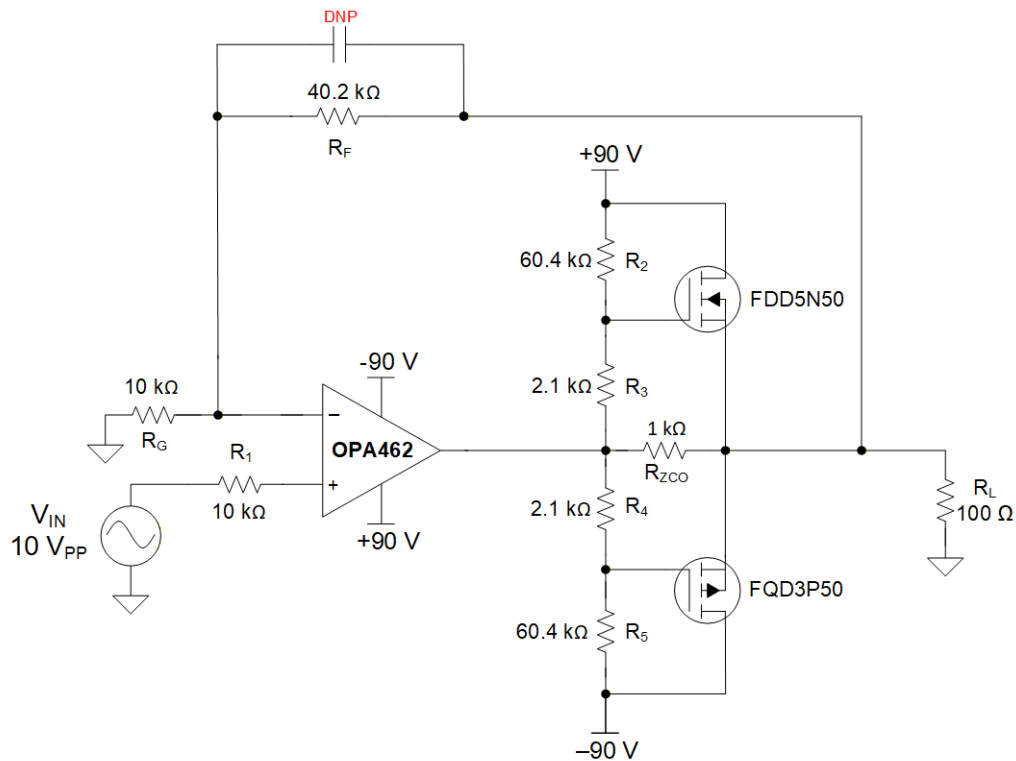


### 設計目標

入力			出力	
$V_{IN}$	帯域幅	ゲイン	$V_{OUT}$	$I_{OUT}$
10V <sub>PP</sub>	20kHz	5 V/V	50V <sub>PP</sub>	500mA

### 設計の説明

この回路は、ディスクリート相補出力トランジスタを駆動するために、ゲインが 5 の非反転アンプを実装しています。この回路は、無視できる歪みで 20kHz で 500mA を供給できます。この回路は、±90V で動作するように設計されています。



OPA462 ディスクリート出力電流昇圧回路

## デザインノート

1. 分圧器回路 ( $R_2$ ,  $R_3$ ,  $R_4$ ,  $R_5$ ) は、 $V_{GS}$  をバイアスする公称電圧を供給します。クロスオーバー歪みを最小限に抑えるが、クロス導通を引き起こさない電圧バイアス回路を選択することは重要です。これにより、金属酸化膜半導体電界効果トランジスタ (MOSFET) と周囲の回路に損傷を与える可能性があります。クロスコンダクションは、両方の MOSFET が同時にオンになると発生します。この場合、大電流サージや熱暴走が発生し、回路が損傷する可能性があります。
2. 回路の出力スイングを最大にするため、高電圧オペアンプを選定します。
3. 帯域幅は、次の式から示されるように、閉ループゲインの関数です。ゲイン帯域幅の大きなアンプを選択することで、周波数応答が広がります。

$$\text{Closed Loop Bandwidth} = \frac{\text{Gain Bandwidth Product}}{ACL} \quad (1)$$

4. 入力電圧が、所定のオペアンプの最大電力帯域幅および出力電圧仕様の範囲内であることを確認します。 $\pm 90V$  電源の場合、スルーに起因する歪みは  $50kHz$  を上回ると大きくなります ([OPA462 データシートの図 28](#) を参照)。これは、次の式で計算できます：

$$V_{pk} = \frac{\text{Slew Rate}}{2 \times \pi \times f} \quad (2)$$

歪みは、出力電圧が電源レールに近いほど大きくなります。ただし、ディスクリートトランジスタのスイッチング特性に起因する出力クロスオーバー領域の歪みは、スルーレートに起因する歪みとは異なります。このクロスオーバー歪みは、トランジスタの入力静電容量と出力静電容量にも依存するので、経験的に計算するのは困難です。したがって、目的の入力周波数が実現可能かどうかを判断する最適な方法は、回路をシミュレーションすることです。

5. 分圧器の設計時は、より小さい抵抗の値を使用して、プッシュプルペア間の遷移時間を短縮します。RC 時定数は、MOSFET のゲート抵抗と入力容量 (FET) によって決まります。したがって、抵抗が小さいほど、FET のスイッチングは速くなります。ただし、抵抗値を小さくすると、バイアスパスを流れる消費電流が増加するため、このトレードオフに注意することが重要です。この設計例では、最良の結果を得るため、 $R_2$  と  $R_5$  を  $60.4k\Omega$  に選択しています。
6. 相補型出力段を選択する際には、バイポーラ接合トランジスタ (BJT) と MOSFET の特性とトレードオフを注意深く検討することが不可欠です (詳細については、アプリケーションノート『[電流ブースタを使用した OPA593 のデュアルフィードバック補償の最適化](#)』の表 3-1 を参照)。
7. 安定性を最適化する柔軟性を高めるため、補償コンデンサ  $C_F$  のフットプリントも含めることを推奨します。出力ノードの容量性負荷、大きな帰還抵抗、反転入力容量が原因で、不安定性が発生する可能性があります。オペアンプの安定性と補償の方法の詳細については、『[オペアンプの安定性理論と補償方法](#)』の技術資料を参照してください。
8. 負荷抵抗  $R_L$  などのトランジスタの出力パス内の部品には、十分な電力定格が必要です。高電圧および大電力の PCB レイアウトガイドラインも順守する必要があります (『[電力と温度に関する TIPL トレーニング](#)』を参照)。回路が発生する可能性のある熱を低減するために、ファンの使用を検討します。

## 設計手順

1. 与えられたゲインと  $R_L$  の最大出力電流を計算します。

$$\text{Given: } V_{IN} = 10V_{PP}, \quad R_G = 10k\Omega, \quad R_F = 40.2k\Omega, \quad R_L = 100\Omega \quad (3)$$

$$I_{OUT} = \frac{V_{OUT}}{R_L} = \frac{V_{IN} \left( \frac{R_F}{R_G} + 1 \right)}{R_L} = \frac{10 \left( \frac{40.2k\Omega}{10k\Omega} + 1 \right)}{100\Omega} = 500.2mA \quad (4)$$

2. 回路の出力電力を計算し、適切な消費電力能力を持つ MOSFET を選択します。出力 FET の電力は、負荷、出力電圧、電源電圧の関数になります。抵抗性負荷で、負荷グラウンドを基準とする場合、出力電圧がグラウンドと電源電圧の間の中間であるとき、電力がピークになります。FET が消費するピーク電流は 500mA であり、TINA-TI シミュレーションの結果では最大出力電力は約 16.2W となっています。アンプの出力は非常に低く、電力の消費電力は 300mW 未満であることを注意してください。この回路構成の利点を示しています。30W 以上の電力損失能力を持つ MOSFET を選択してください。例えば、FDD5N50 や FQD3P50 など、少なくとも 50W の電力損失能力を持つものを選びましょう。抵抗性負荷を使用した出力段での最大消費電力は、次の式で計算できます。消費電力は負荷タイプによって異なることに注意してください (抵抗性対電流)。詳細については、「消費電力と温度に関する TIPL」を参照してください。

$$P_{AC\_MAX\_AVG} = \frac{2 \times V_{CC}^2}{\pi^2 \times R_L} \quad (5)$$

$$P_{AC\_MAX\_AVG} = \frac{2 \times (90V)^2}{\pi^2 \times 100\Omega} \quad (6)$$

$$P_{AC\_MAX\_VG} = 16.414W \quad (7)$$

3. MOSFET がオフのときに回路を駆動するのに十分な電流を供給できるゼロクロスオーバー抵抗 ( $R_{ZCO}$ ) を選択します。この期間中、 $R_{ZCO}$  が負荷を駆動しています。 $R_{ZCO}$  を選択する際は、トレードオフを考慮してください。 $R_{ZCO}$  は、アンプの電流制限を回避するために十分に高くする必要がありますが、ノイズとクロスオーバー歪みを最小限に抑えるために十分に低くする必要があります。大きな  $R_{ZCO}$  を容量性負荷と組み合わせると、過渡電圧が遅くなる可能性があります。ただし、 $R_{ZCO}$  を大きくすると消費電力が小さくなります。

$R_{ZCO}$  の値は、シミュレーションにより繰り返し決定できます。以下に示す結果は、MOSFET がオフのときに 100  $\Omega$  未満の抵抗値でループを駆動できないことを示しています。499 $\Omega$  の抵抗値は 10.1mA の電流を駆動し、1k $\Omega$  は 5.05mA の電流を駆動します。1k $\Omega$  抵抗の熱ノイズは約 4nV/ $\sqrt{\text{Hz}}$  であり、オペアンプの電圧ノイズの 23nV/ $\sqrt{\text{Hz}}$  よりも小さくなっています。そのため、1k $\Omega$  は  $R_{ZCO}$  に最適化し、電圧ノイズと低消費電力の両方を最適化します。

4. 選択した MOSFET または BJT の  $V_{TH}$  に基づいて、分圧抵抗値を計算します。 $V_{CC}$  および  $V_{EE}$  からの消費電力を最小限に抑えるため、 $R_2$  および  $R_5$  には比較的大きな抵抗を使用します。

次のとおりです。  $R_2 = R_5 = 60.4 \text{ k}\Omega$ 。

FDD5N50 データシートから、  $3V < V_{GS(th)} < 5V$ 。

$V_{GS(th)} = 3V$  になるように  $R_3$  と  $R_4$  を選択することで、分圧抵抗回路を最適化します。

クロス導通なしでクロスオーバー歪みを最適化するには、 $V_{GS}$  を公称値 3V に設定します。

$$V_{GS} = \frac{R_3}{R_2 + R_3} \times V_{CC} \quad (8)$$

$$3V = \frac{R_3}{60.4k\Omega + R_3} \times 90V \quad (9)$$

$$R_3 = 2082.76\Omega \quad (10)$$

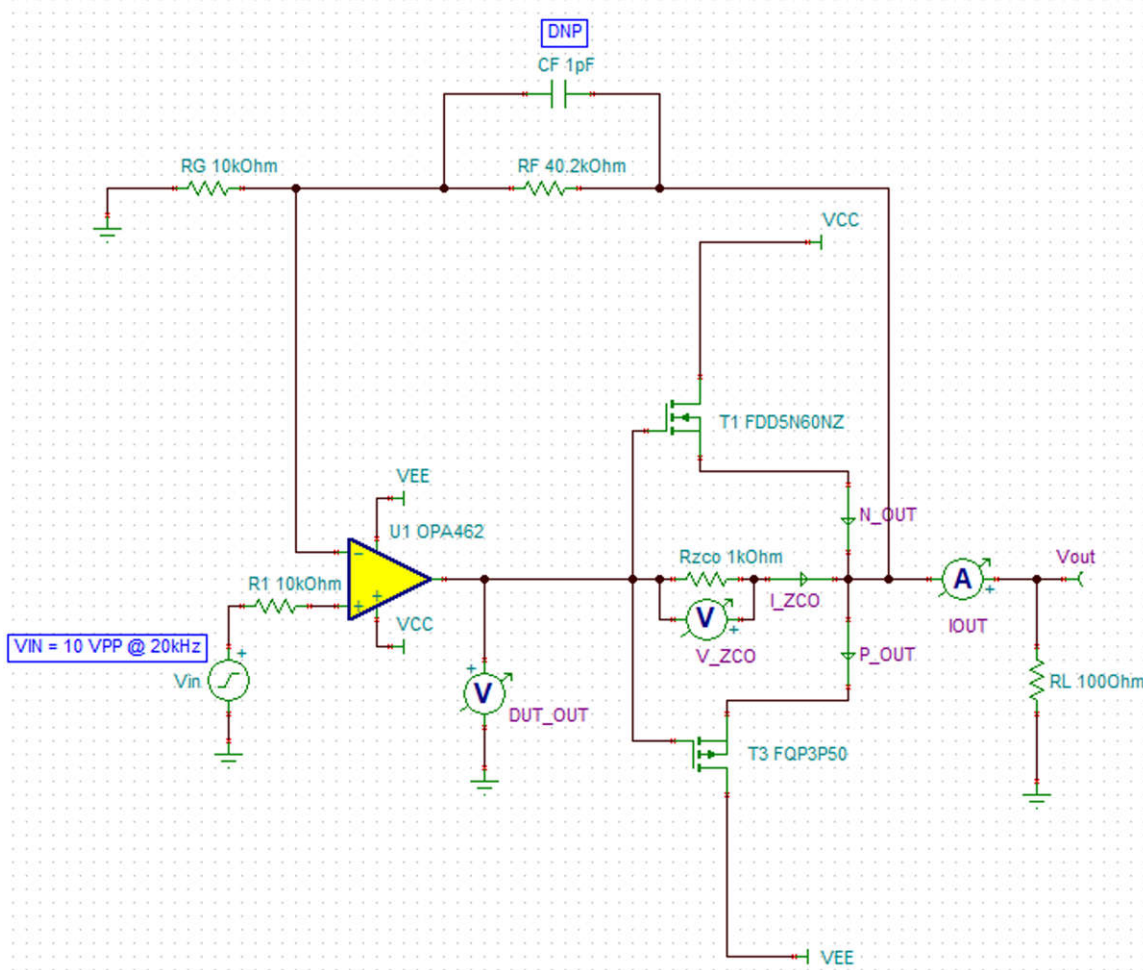
このように標準抵抗値を選択します  $R_3 = 2.1k\Omega$ 。

$$\therefore R_3 = R_4 = 2.1k\Omega$$

(11)

クロスオーバー歪みの経験的に  $R_3$  と  $R_4$  をさらに最適化できます。これは、プロセスの変動によって、選択した MOSFET の個別の  $V_{GS(th)}$  値が変化するためです。ただし、 $V_{GS}$  が大きすぎるとクロスコンダクションが発生する可能性があるため、注意が必要です。

## 設計シミュレーション結果

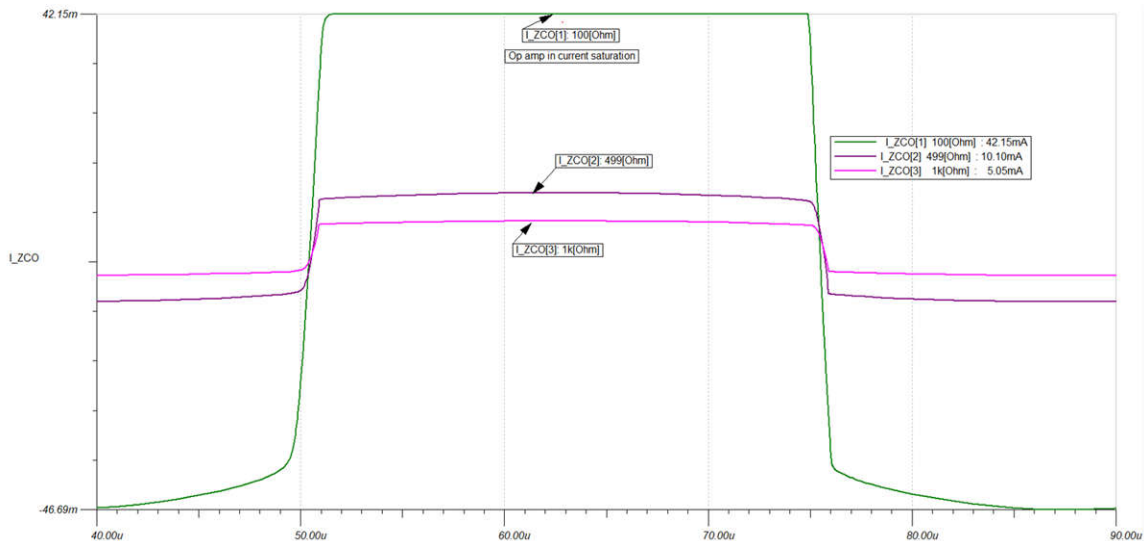


OPA462 ディスクリート出力電流昇圧  $R_{ZCO}$  TINA 回路

### 注

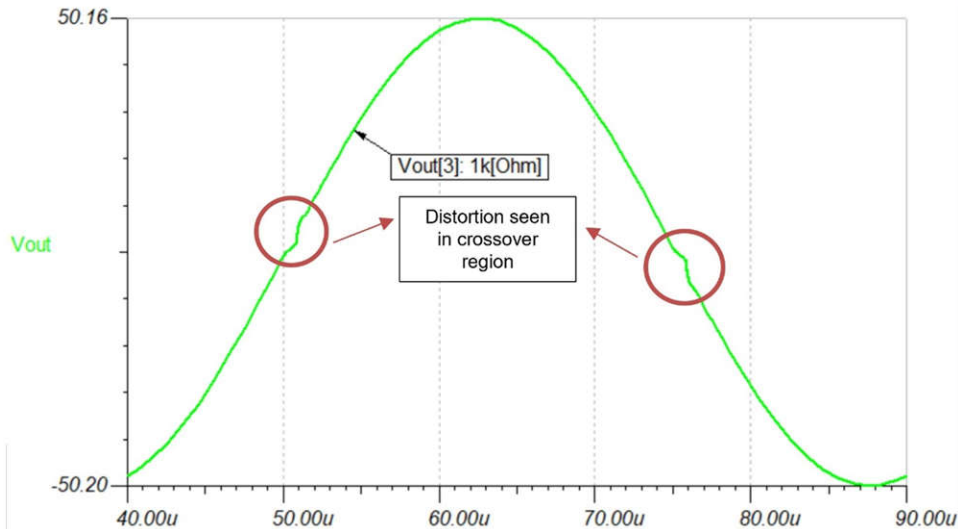
NMOS の 500V バージョンでは利用できるモデルがないため、SPICE モデル FDD5N60NZ をモデル化しました。これらの特性は、シミュレーション結果に近い近似値を提供するのに十分類似しています。

TINA シミュレーションは、元々は回路の一部として分圧器を使用せずに実行されます。これにより、 $R_{ZCO}$  の最適化値を詳しく知ることができます。後で、回路に分圧器を追加し、クロスオーバー歪みをさらに最適化します。



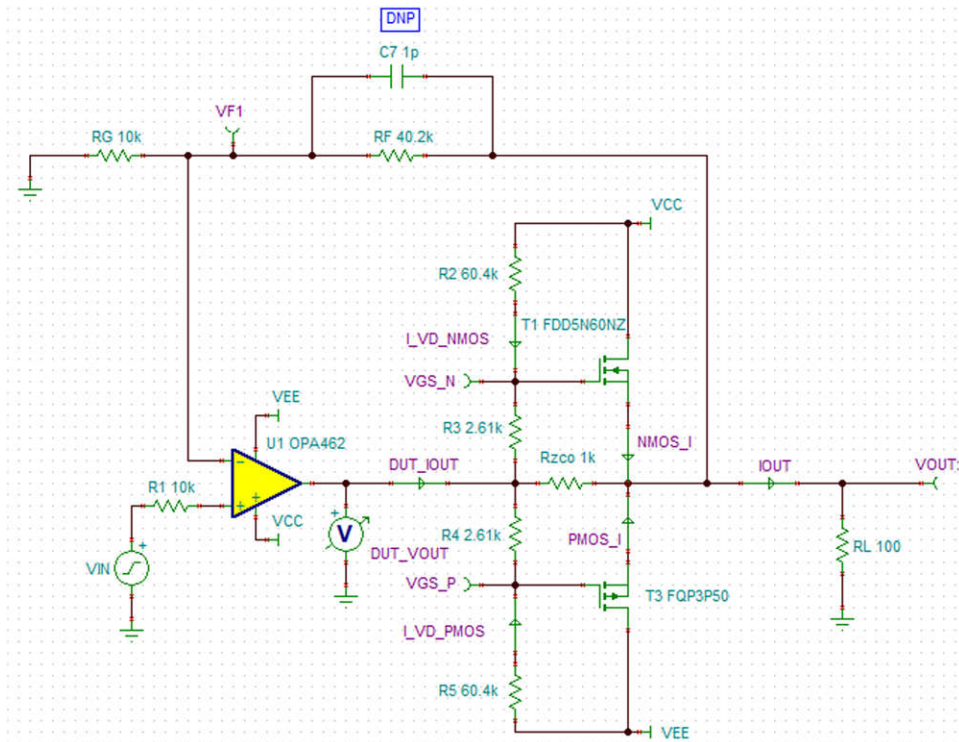
**$R_{ZCO}$  および対応する  $I_{ZCO}$  値のシミュレーション結果**

この回路の入力に、 $10V_{PP}$  の方形波が印加されます。出力応答から、MOSFET がオフのときに負荷を駆動する電流を把握できます。 $R_{ZCO}$  抵抗が小さすぎる ( $100\Omega$ 、 $499\Omega$ ) と、アンプの出力から過剰な電流が流れます ( $I_{ZCO}$  とラベル付けされた)。ここでは、 $499\Omega$  の抵抗での消費電流の  $10mA$  とは対照的に、電流の  $5mA$  が回路に追加されるため、 $1k\Omega$  を  $R_{ZCO}$  として選択しています ( **$R_{ZCO}$  および対応する  $I_{ZCO}$  値のシミュレーション結果** を参照)。さらに、 $499\Omega$  の抵抗と  $1k\Omega$  抵抗のノイズの違いは最小限であるため、 $R_{ZCO}$  には  $1k\Omega$  を推奨します。より値の大きい抵抗を使用することもできますが、回路のノイズが増えることになります。

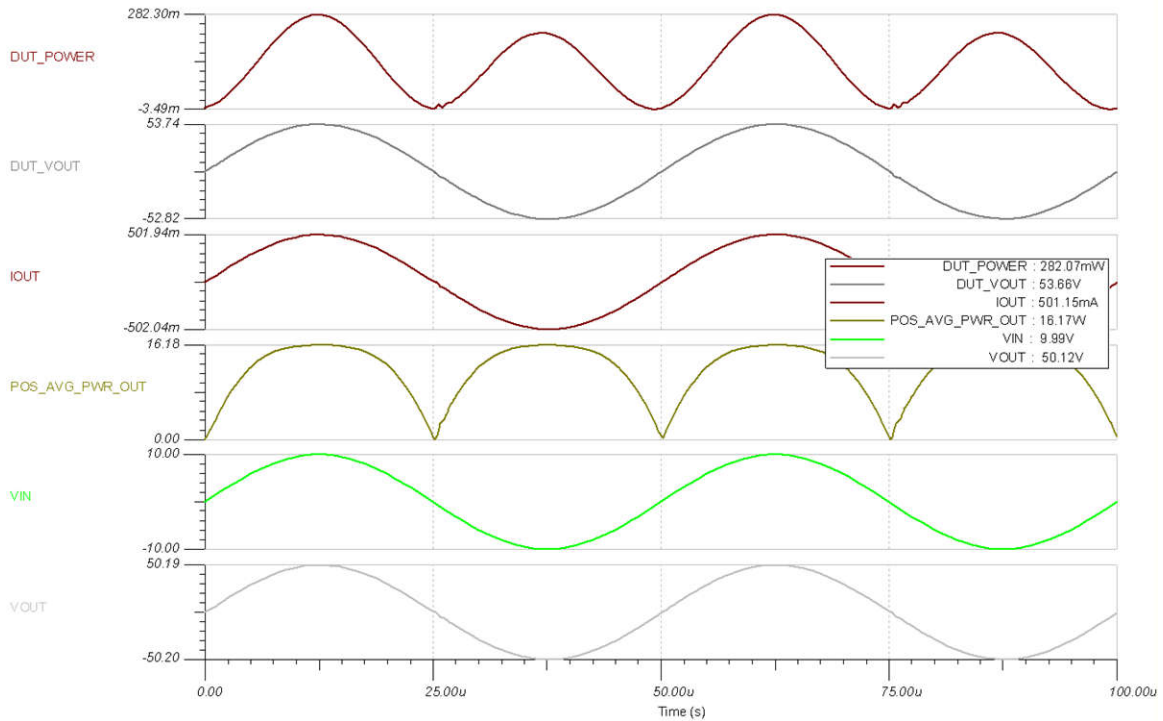


**$R_{ZCO} = 1k\Omega$  の  $V_{OUT}$  分布のシミュレーション結果**

$R_{ZCO} = 1k\Omega$  により歪みは最小になりますが、回路にはクロスオーバー歪みが存在します。回路に分圧器を追加すると、[『OPA462 ディスクリット出力昇圧 TINA 回路』](#)の図を参照して、さらに最適化することができます。



OPA462 ディスクリート出力電流昇圧 TINA 回路



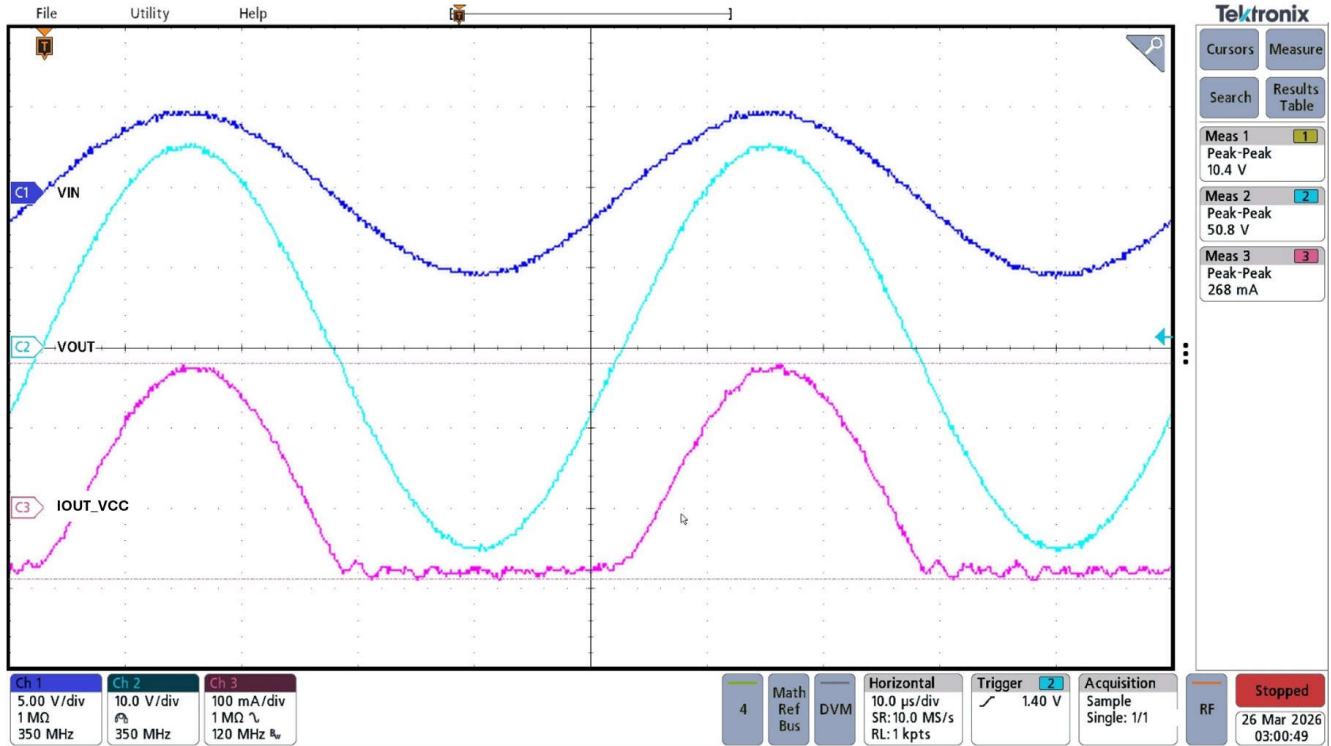
OPA462 ディスクリート出力電流昇圧回路のシミュレーション結果

回路に分圧器を追加し、回路の出力でのクロスオーバー歪みをさらに最小限に抑えています。TINA のポストプロセッサを使用して、回路の平均出力電力を計算します。さらに、ポストプロセッサを使用して、OPA462 の出力電力が最小であり、約 300mW (DUT\_POWER とラベル付け) であることを示します。

## 設計測定結果

$R_3$  を繰り返し増加して、クロスオーバーを最小限に抑えるために最適な値を求めました。歪みを最小限に抑えながら回路を最適化するため、 $R_3 = R_4 = 2.67k\Omega$  の値が見つかりました。この回路のオシロスコープの結果については、以下を参照してください。

入力			出力	
$V_{IN}$	帯域幅	ゲイン	$V_{OUT}$	$I_{OUT}$
10V <sub>PP</sub>	20kHz	5 V/V	50V <sub>PP</sub>	500mA

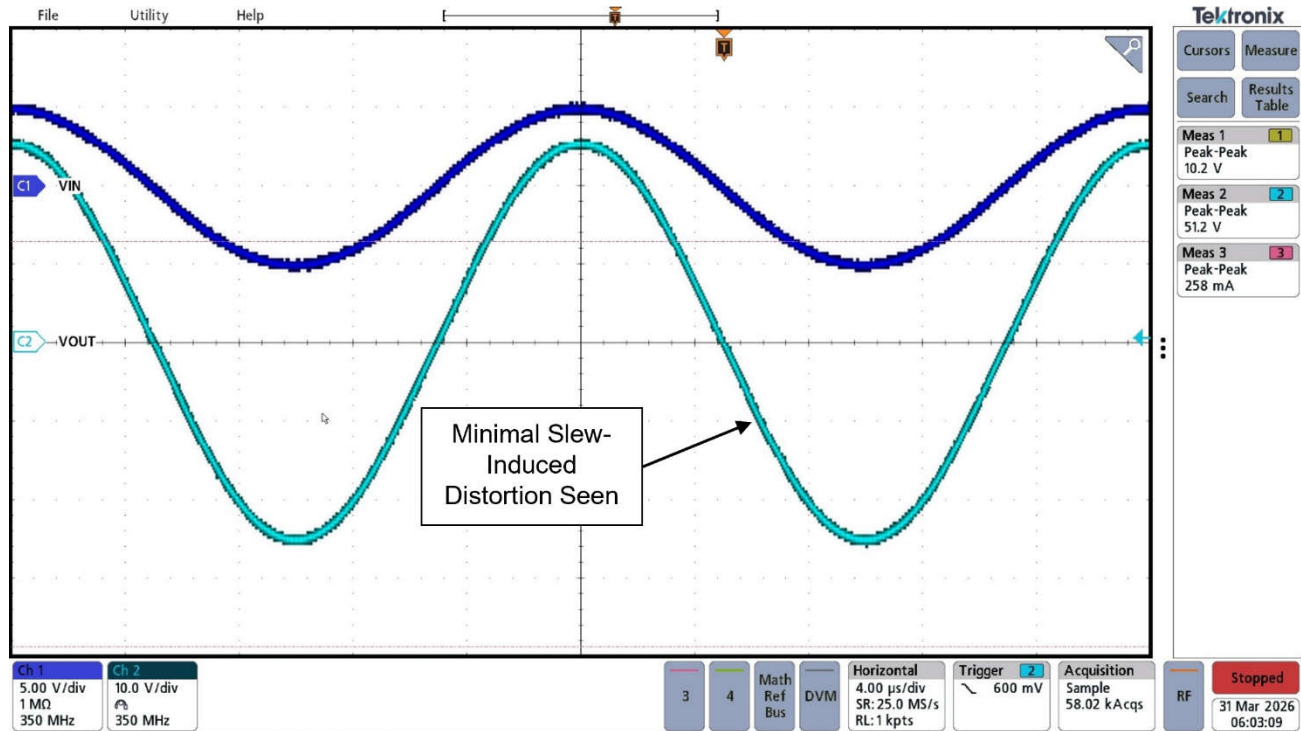


OPA462 のディスクリート出力電流昇圧回路の測定結果 ( $V_{IN} = 10V_{PP} @ 20\text{ kHz}$ )

**注**

$I_{OUT\_VCC}$  の測定は、VCC から測定されます。VOUT には目に見えない歪みは見られません。

入力			出力	
$V_{IN}$	帯域幅	ゲイン	$V_{OUT}$	$I_{OUT}$
10V <sub>PP</sub>	50kHz	5 V/V	50V <sub>PP</sub>	500mA



OPA462 のディスクリート出力電流昇圧回路の測定結果 ( $V_{IN} = 10V_{PP}$  @ 50 kHz)

注

VOUT にはスルーに起因する歪みは最小限ですが、正弦波の振幅には影響しません。

ターゲット アプリケーション

- 高電圧/高信号ジェネレータ
- パラメトリック測定ユニット
- ソース測定ユニット

使用デバイス

OPA462	
$V_{SS}$	12V ~ 180V
$V_{OUT}$	(V-) + 3 から (V+) - 1.5 ( $R_L = 10k\Omega$ の場合)
$V_{OS}$	3.4mV
$I_Q$	3.2mA
ユニティゲイン帯域幅	6.5MHz
スルー レート	32V/ $\mu$ s
<a href="#">OPA462</a>	

## 代替デバイスを設計

OPA455	
$V_{SS}$	12V ~ 150V
$V_{OUT}$	(V-) + 3 から (V+) - 1.5 ( $R_L = 10k\Omega$ の場合)
$V_{OS}$	3.4mV
$I_Q$	3.2mA
ユニティゲイン帯域幅	6.5MHz
スルー レート	32V/ $\mu$ s
<a href="#">OPA455</a>	

## 設計の参照資料

1. テキサス インストルメンツ、『OPA462 ディスクリート出力電流昇圧回路』、TINA-TI シミュレーション ファイル [SBOMCU1](#)
2. テキサス インストルメンツ、『OPA462 TINA-TI Spice モデル』

## その他資料

### 商標

すべての商標は、それぞれの所有者に帰属します。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月