

User's Guide

AM62L (AM62L32, AM62L31) プロセッサ ファミリ回路図設計ガイドライン、設計チェックリストおよびレビュー チェックリスト



概要

AM62L (AM62L32, AM62L31) プロセッサ ファミリ用ユーザー ガイドには、このプロセッサ ファミリのいずれかのプロセッサを使用するカスタム ボード設計者のために、カスタム ボード、回路図設計ガイドライン、プロセッサ ペリフェラル回路実装推奨事項、回路図レビュー チェックリストが含まれています。ユーザー ガイドには、プロセッサの電源、外部クロック、GPIO 構成、サポート対象のプロセッサ ペリフェラル、およびプロセッサ ペリフェラルと、接続された (外部) デバイスとのインターフェイスに関する情報が記載されています。回路図レビュー チェックリスト (各セクションの最後にあります) は、特定のセクションで説明されているペリフェラルの包括的なレビュー ポイントのリストになっています。カスタム ボード設計者には、提供されているレビュー チェックリスト (ポイント) を使用してカスタム ボード回路図設計の実装をレビューし、チェックリスト内の推奨事項またはガイドラインが実装されている (順守されている) のを検証することを推奨します。

また、プロセッサ製品ページ、プロセッサ関連文書、E2E で公開されているプロセッサとプロセッサ ペリフェラルに関する FAQ、およびカスタム基板設計時に一般的に参照される資料のリンク (TI.com の製品ページを含む) が提供されています。カスタム ボード設計者には、カスタム ボード設計中に追加されたリンクを参照することを推奨します。これにより、設計エラーを最小限に抑え、設計時間を最適化し、基板製作の繰り返しを減らし、プロジェクトのタイムラインを最適化できます。

目次

1 概要	2
1.1 ユーザー ガイドの使用に関するガイドライン.....	2
1.2 AM62Lx プロセッサ ファミリのプロセッサ リスト.....	4
1.3 回路設計ガイドラインおよび回路図レビュー チェックリストの更新.....	4
2 関連資料と FAQ	4
2.1 カスタム ボード回路図設計時に一般的に参照される関連資料へのリンク.....	4
2.2 カスタム ボード設計におけるハードウェア設計上の検討事項ユーザー ガイド.....	4
3 プロセッサ固有の情報	5
3.1 AM62Lx プロセッサ ファミリのペリフェラルと IO の変更の概要 (AM62x プロセッサ ファミリに基づく).....	5
3.2 プロセッサ OPN (注文可能な型番) の選択.....	6
3.3 評価基板 (EVM) 回路図のバージョンおよびリビジョンの参照.....	6
3.4 ユーザー ガイドの編集で参照されているプロセッサ固有のデータシートの使用事例とバージョン.....	6
3.5 ペリフェラル インスタンスの命名規則 - データシートと TRM.....	7
3.6 未使用時のプロセッサ ペリフェラルと IO 接続 (未使用).....	7
3.7 AM62Lx プロセッサ ファミリの発注と品質に関する情報.....	7
3.8 必要なプロセッサの GPN (汎用型番) と OPN (注文用型番) の選択に関するチェックリスト.....	7
4 プロセッサの電源アーキテクチャ	8
4.1 プロセッサ固有およびペリフェラル (接続されたデバイス) 用電源レールの生成.....	8
4.2 プロセッサの電源レールの電源制御、シーケンシング、電源過負荷保護機能.....	13
5 一般的な推奨事項	14
5.1 プロセッサ性能評価基板 (EVM).....	14
5.2 プロセッサ固有の評価基板 (EVM) とデータシートの対比.....	15
5.3 プロセッサ固有の SDK.....	19
5.4 カスタム ボード設計を始める前の、一般的な設計推奨事項 (知っておくべきこと).....	19
6 電源、クロック、リセット、ブート、デバッグに関するプロセッサ固有の推奨事項	23
6.1 共通 (プロセッサのスタートアップ) 接続.....	23

6.2 JTAG と EMU を使用したカスタム ボードのデバッグ	52
7 プロセッサ ペリフェラルの電源、インターフェイス、接続.....	55
7.1 サポートされているプロセッサ コア.....	55
7.2 IO グループ用 IO 電源接続.....	55
7.3 メモリ インターフェイス (DDRSS (DDR4/LPDDR4)、MMCSD (eMMC/SD/SDIO)、OSPI/QSPI、GPMC).....	57
7.4 外部通信インターフェイス (イーサネット (CPSW3G0)、USB2.0、UART、MCAN).....	85
7.5 オンボード同期通信インターフェイス (MCSPi、MCASP、I2C).....	100
7.6 ユーザーインターフェイス (DPI、DSI)、GPIO、ハードウェア診断.....	112
7.7 A/D コンバータ (ADC).....	119
7.8 評価基板固有の回路実装 (再利用).....	120
7.9 カスタム基板起動中に基板レベルのテストを実施.....	121
8 カスタム基板回路設計のセルフレビュー.....	124
9 カスタム ボード レイアウトに関する注記 (回路図セクション付近に追加) および一般的なガイドライン.....	125
9.1 レイアウトに関する考慮事項.....	125
10 カスタム ボード設計シミュレーション.....	125
10.1 DDR-MARGIN-FW.....	126
11 その他の参考資料.....	126
11.1 AM64x、AM243x、AM62x、AM62Ax、AM62D-Q1、AM62Px、AM62Lx プロセッサ ファミリーに関する FAQ (よくある質問).....	126
11.2 FAQ — プロセッサ製品ファミリ別および Sitara プロセッサ ファミリー.....	127
11.3 回路図レビュー (セルフ) と回路図レビュー要求 (サプライヤ).....	127
11.4 プロセッサ接続デバイスのチェックリスト.....	127
12 ユーザー ガイドの内容と使用方法の概要.....	128
13 参考資料.....	128
13.1 AM62L.....	128
13.2 AM62P、AM62P-Q1.....	128
13.3 AM62A7、AM62A3、AM62A7-Q1、AM62A3-Q1、AM62A1-Q1.....	129
13.4 AM62D-Q1.....	129
13.5 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP.....	129
13.6 すべてのプロセッサ ファミリーに共通.....	130
13.7 利用可能な FAQ (よくある質問) のマスター リスト - プロセッサ ファミリー別.....	131
13.8 利用可能な FAQ (よくある質問) のマスター リスト - Sitara プロセッサ ファミリー.....	131
13.9 ソフトウェア関連を含む FAQ (よくある質問).....	131
13.10 接続デバイスに関する FAQ (よくある質問).....	131
14 用語.....	131
15 改訂履歴.....	133

商標

WEBENCH® is a registered trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

1 概要

1.1 ユーザー ガイドの使用に関するガイドライン

AM62Lx (AM62L32、AM62L31) プロセッサ ファミリー固有のユーザー ガイド『回路図設計ガイドラインおよび回路図レビュー チェックリスト』には、カスタム ボード設計者がカスタム ボード回路図設計段階で使用できる回路図設計ガイドラインが含まれています。各セクションの末尾には回路図レビュー チェックリストが含まれており、カスタム ボード設計者は、設計完了後、レイアウト開始前にカスタム ボード回路図をレビューするために使用できます。

1.1.1 カスタム ボード回路図設計ガイドライン — ユーザー ガイドで使用されている参照資料

ユーザー ガイドには、選択されたプロセッサと、メモリ (DDR4、LPDDR4、eMMC、OSPI、QSPI、SD カード)、電源、通信インターフェイス、IO、およびその他の回路セクションを含む実装されたペリフェラル (オンボードまたはキャリア (またはアドオン)) のカスタム ボード回路図設計時にカスタム ボード設計者が使用できる回路図設計ガイドラインと回路図レビュー チェックリストが記載されています。

ユーザー ガイドでは、プロセッサとは、選択された AM62Lx プロセッサ OPN を意味し、接続されたデバイスとは、プロセッサと接続される外部 (オンボードまたはキャリア (またはアドオン)) ペリフェラル (設計ターゲットの最終製品とアプリケーションの使用事例に基づいて) を意味します。

1.1.2 プロセッサ ファミリ固有のユーザー ガイド

このユーザー ガイドは、AM62Lx (AM62L32、AM62L31) のプロセッサ (GPN) について説明しています。各プロセッサ GPN は、複数の OPN を持つことができます。このユーザー ガイドには、カスタム ボード設計時に使用できる回路図設計ガイドラインと回路図レビュー チェックリストが掲載されています。プロセッサ ファミリ固有のユーザー ガイドには、プロセッサに特化したガイドラインとチェックリストがまとめられており、特定のプロセッサ ファミリ向けにカスタム ボードを設計する際に役立ちます。このユーザー ガイドは、選択したプロセッサおよびプロセッサ ファミリ向けに構成されており、シンプルで使いやすい内容になっています (例:この場合は AM62Lx)。

1.1.3 回路設計ガイドライン

ユーザーズ ガイドでは、カスタム基板の回路設計段階で使用し、選択したプロセッサでサポートされているペリフェラルとプロセッサとの間に回路接続を実装できる回路設計ガイドラインを提供しています。設計ガイドラインに加えて、関連する FAQ へのリンクが (各セクションのガイドラインの一部として) 追加されています。FAQ (追加リンク) は、実装や使用事例の説明と詳細、お客様とのやり取りからの学習など、特定のペリフェラルやインターフェイスに関するトピックの追加情報を提供します。

カスタム基板設計者は回路設計ガイドラインに従って、基板の機能や性能に影響を及ぼす可能性のある設計エラーを最小化し、カスタム ボードの設計、構築、テスト作業を最適化することを推奨します。

1.1.4 回路図レビュー チェックリスト

カスタム基板設計者が、ユーザー ガイドの各セクションやサブ セクションの末尾に記載した特定のペリフェラルを対象とするカスタム基板回路図設計をレビューする際に使用できる、回路図レビュー チェックリスト。ユーザー ガイドで説明している一般的な推奨事項、プロセッサ電源とプロセッサ ペリフェラルのセクション、サブ セクションには、末尾にチェックリストが含まれています。回路図レビュー チェックリストは「一般」、「回路図レビュー」、「追加」に分類しています。カスタム基板設計者は回路図レビュー チェックリストを使用して、カスタム基板回路設計のセルフレビューを実施できます。セルフレビューにより、機能や性能に関連する懸念に繋がる回路図エラーを最小限に抑えられ、また (社内または社外の) 正式レビュー中のレビュー作業も軽減できます。回路図レビューにより、カスタム基板の起動や性能テストに必要な労力を最適化 (軽減) し、基板設計の品質向上と、予定したスケジュールの遵守を実現できます。

使用可能なチェックリストとファイル形式については、次の FAQ を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62Ax / AM62Px / AM62D-Q1 / AM62L / AM64x / AM243x \(ALV\) / AM335x 設計上の推奨事項 / カスタム基板ハードウェア設計 - 回路図レビュー チェックリスト](#)

1.1.4.1 すべての「回路図設計ガイドライン」と「回路図レビュー」セクションで使用するための共通チェックリスト

1. FAQ リンクや、TI.com の関連アプリケーション ノートを含む、上記セクションを確認済み。
2. プロセッサ固有のデータシートのピン属性および信号説明のセクションを確認済み。
3. タイミングおよびスイッチング特性のセクションと、プロセッサ固有のデータシートに記載されているすべての追加情報を確認済み。

1.1.4.1.1 カスタム ボード回路図設計実装チェックリストのサブセクション説明

回路図実装レビュー チェックリストには、次の 3 つのサブセクションがあります。

全般:

全般セクションには、チェックリスト セクション (設計ガイドライン セクション) で説明されているペリフェラル セクションの機能をサポートするために必要な (想定される) 回路実装が箇条書きでリスト (要約) されています。また、必要なペリフェラルまたはモジュール機能を実装するために別のセクションと接続する際の考慮事項も記載されています (回路実装が不要な場合もあります)。ボードを構築する前に、回路図レビューの一環として、提供されている実装チェックのリストを確認し、更新することを推奨します。

回路図レビュー:

回路図レビュー セクションには、必要な機能をサポートする回路セクションを実装するために、カスタム ボード設計者が追加する必要がある (想定される) 回路実装が箇条書きでリスト (要約) されています。これには、ペリフェラルまたはモジュールを実装する際に従うべき値、接続、およびその他の実装が含まれます。レイアウトを開始する前に、カスタム ボード回路図設計の実装を回路図チェックリストと比較し、実装が設計ガイドラインに従っていることを確認することを推奨します。

追加:

追加セクションには、カスタム ボード設計者が回路設計の最適化を検討する前に、回路実装の根拠 (実装が必要な理由) を理解するため、回路図レビュー セクションと併せて利用できる実装および使用事例が、箇条書きでリスト (詳述) されています。

1.1.5 回路図のセルフレビュー時にユーザー ガイドを使用する際の FAQ (よくある質問) 参照情報

以下の FAQ (よくある質問) では、カスタム ボード設計者が、回路図設計チェックリスト、Excel 形式の一般ガイドライン、図付きの Excel 形式のカスタム ボード回路図レビュー チェックリストなど、利用可能なプロセッサ固有の関連資料を使用してセルフレビューを実行するためのガイドラインを示しています。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62A / AM62D-Q1 / AM62P / AM62L / AM64x / AM243x 設計上の推奨事項 / カスタム ボード ハードウェア設計 – カスタム ボード回路図セルフレビュー](#)

1.2 AM62Lx プロセッサ ファミリのプロセッサ リスト

このユーザー ガイドは、以下にリスト表示されているすべてのプロセッサに適用されます。選択したプロセッサに関する各関連資料は、TI.com の製品ページに掲載されています。以下に示す製品ページのリンクに従って、該当する製品ページを確認することをお勧めします。

OPN の詳細については、以下の製品ページの「発注と品質」セクションを参照してください。

- [AM62L](#)

1.3 回路設計ガイドラインおよび回路図レビュー チェックリストの更新

継続的な改善努力の一環として、TI.com で公開されている現行の改訂版 (お客様からのフィードバック、学習、セクションの追加 / 強化、エラーや改善に基づく) に関して、『回路設計ガイドラインおよび回路図レビュー チェックリスト』ユーザー ガイドのセクションを変更または追加し、次の文書改訂で更新することがあります。

以下の FAQ に、カスタム基板回路設計時 (改訂したユーザー ガイドを TI.com にリリースする前) に、カスタム基板設計者が従う必要のある変更点を提示しています。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x カスタム基板ハードウェア設計 - ハードウェア設計の検討事項と回路設計ガイドライン資料に関する更新情報](#)

カスタム基板設計のすべての段階で、想定される更新について頻繁に FAQ を確認することを推奨します。

2 関連資料と FAQ

以下の FAQ を参照してください。FAQ (よくある質問) には、カスタム基板の設計中に参考にするべき関連資料と、遵守すべき推奨ステップを掲載しています。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP - カスタム基板設計、セルフレビュー、起動のさまざまな段階での参照用資料](#)

2.1 カスタム ボード回路図設計時に一般的に参照される関連資料へのリンク

TI.com のプロセッサ固有の製品ページでは、選択したプロセッサ (ファミリー) に関連する多数のドキュメントを入手できます。カスタム ボード設計者は、カスタム ボード設計を開始する前に、関連資料 (以下の FAQ (よくある質問) に記載) を確認することを推奨します。

以下の FAQ (よくある質問) では、カスタム ボード設計を開始する際に参照できる、主な関連資料をまとめています。

[\[FAQ\] AM62L \(AM62L32, AM62L31\) カスタム ボード ハードウェア設計 – 開発開始のための資料](#)

2.2 カスタム ボード設計におけるハードウェア設計上の検討事項ユーザー ガイド

カスタム ボード設計段階では、以下にリンクを示すプロセッサ固有の『カスタム ボード設計におけるハードウェア設計上の検討事項』ユーザー ガイドで該当する推奨事項を確認し、従うことを推奨します。

[AM62L \(AM62L32, AM62L31\) プロセッサ ファミリーを使用したカスタム ボード設計におけるハードウェア設計の検討事項](#)

3 プロセッサ固有の情報

注

カスタム ボード設計時は、『[AM62L \(AM62L32, AM62L31\) プロセッサ ファミリーを使用したカスタム ボード設計に関するハードウェア設計の検討事項](#)』ユーザー ガイドと、『[回路図設計ガイドラインと回路図レビュー チェックリスト](#)』ユーザー ガイドを参照することを推奨します。

3.1 AM62Lx プロセッサ ファミリーのペリフェラルと IO の変更の概要 (AM62x プロセッサ ファミリーに基づく)

以下に、AM62Lx ベースのカスタム ボード設計時に考慮 (注意) すべきプロセッサ実装、または AM62x プロセッサ ベースの設計から AM62Lx プロセッサ ベースの設計に移行する際に考慮 (注意) すべき変更点を示します。

1. 2× Arm Cortex-A53 (最大 1.25GHz) に対応
2. MCU ドメイン (MCU コア) には非対応
3. GPU には非対応
4. コア電源電圧は 0.75V に固定されています
5. VDDR_CORE は内部で VDD_CORE に接続されています
6. リセット入力 (x2) とリセット ステータス出力 (x1) の数値が最適化されています
7. デュアル電圧 1.8V/3.3V IO に加えて、1.8V のみの IO が実装されています。IO グループ レールの IO 電源には、適切に名前が付けられています。1.8V のみ (VDDS0, VDDS1, VDDS_RTC, VDDS_WKUP) およびデュアル電圧 1.8V/3.3V (VDDSHVx [x = 0:4])
8. バッファタイプ 1P8-LVCMOS および RTC-LVCMOS に対応 (実装済み、「ピン属性」表を参照) し、電気的特性が追加されています
9. CPSW3G0 (3 ポート ギガビット イーサネット スイッチ) や OSPI0 など、一部のプロセッサ ペリフェラルは 1.8V IO レベルのみに対応しています
10. GPMC0 インターフェイスを使用した多重化されていないインターフェイス (アドレス バスとデータ バスが個別に接続) には非対応です
11. カメラ シリアル インターフェイス (CSI-2) には非対応です
12. 対応しているディスプレイ インターフェイスには、MIPI DSI (x4 レーン DPHY) または DPI (24 ビット RGB LVCMOS) を含みます (ディスプレイ インターフェイスのいずれか 1 つはアクティブに対応されており、ブート中に対応しているディスプレイを選択する必要があります)
13. DDR4 と LPDDR4 の DDRSS アドレッシング範囲が減少し (シングル ランクのみに対応)、DDR4 インターフェイスの一部の DDRSS 信号はピンアウトされていません。DDRSS は、DDR0_ALERT_n、DDR0_PAR、DDR0_CKE1、DDR0_CS1_n、DDR0_ODT1 信号 (ピン) をサポートしていません。
14. OSPI0 インターフェイスは x2 デバイスへの接続に対応しています (OSPI0 モジュールは接続されている 2 つのデバイスとのインターフェイスが可能です)
15. オープンドレイン出力タイプの IO バッファ I2C インターフェイスを含む I2C インターフェイス インスタンスが最適化されました
16. オープンドレイン出力タイプ IO バッファ I2C バッファを持つ I2C インターフェイスのピン接続要件が更新されました。プルアップは、IO が使用されているときのみ必要です。
17. IOSET (タイミング クローズのために複数のピンにルーティングされる信号のグループ化) が、複数のペリフェラルに実装されています (プロセッサ固有のデータシートを参照)
18. IO グループのデュアル電圧 IO 電源に電力を供給する内蔵 LDO である VDDSHV3 が追加され、UHS-I SD カードに対応するため、3.3V/1.8V MMC1 SD カード インターフェイス IO 電源の切り替え生成に対応しています。
19. 内蔵 x1 12 ビット A/D コンバータ (ADC0)、最大 2MSPS (プロセッサ固有のデータシートの「ADC 電気的特性」セクションを参照)、x4 アナログ入力 (時間多重化)
20. ADC 入力 (ADC0_AIN0-3) をデジタル入力とした構成には非対応です
21. プログラマブルリアルタイム ユニット サブシステム (PRUSS) には非対応です
22. 複数のブートモード構成方式への対応 — ピン数の削減 — 4 つのブートストラップ ピン BOOTMODE [15:12] のみを使用、ピン数を削減した構成とフル ピン数の構成での eFuse 構成からのブート — ブートストラップ ピン BOOTMODE [15:0] の 16 個すべてを使用
23. イーサネット ブートには非対応です

24. RTC のみまたは RTC + IO + DDR (RTC + DDR) セルフリフレッシュ ローパワー モードに対応しています (CAN/ GPIO/UART ウェークアップ用の部分的 IO は非対応です)
25. EXT_WAKEUP0 および EXT_WAKEUP1 機能 (ピン) が、外部ウェークアップ入力用に追加されています
26. 1 つ (x1) の VTM 温度センサに対応しています (温度センサ 0:DDR/A53)
27. PMIC_LPM_EN0 には特別な出力セルがあり、電力が印加されるとすぐに弱いプルアップをオンにします。弱い内部プルアップは、RTC_PORz 入力の立ち上がりエッジで、出力が "High" に駆動されると同時にオフになります (AM62x プロセッサ ファミリーでは、リセットがアサートされているときに PMIC_LPM_EN0 IO がオフになり、外付けプルアップ抵抗なしでは PMIC がオンにならないため、外付けプルを推奨しています)。
28. 電圧モニタ入力、0.45V (±3%) 固定スレッショルドの VMON_VSYS 機能 (ピン) には非対応です
29. 3.3V プロセッサ VMON_3P3_SOC 用電圧モニタ入力および 1.8V プロセッサ電源 VMON_1P8_SOC 用電圧モニタ入力には非対応です
30. より小さい 11.9mm × 11.9mm、0.5mm VCA、373 ピン FCCSP BGA パッケージ (ANB) で利用可能です

詳細については、次のドキュメントを参照してください。

『AM625x/AM623x および AM62Lx ハードウェア移行ガイド』

3.1.1 シリコンのリビジョン

使用可能なプロセッサのリビジョンについては、プロセッサ固有のデータシートの「デバイス命名規則」セクションを参照してください。サポートされているデバイスの機能については、『AM62Lx Sitara プロセッサ』のデータシートを、特定のシリコンのリビジョンでサポートされている機能の詳細については、『AM62Lx Sitara プロセッサ固有のシリコン エラッタ』を参照してください。

3.2 プロセッサ OPN (注文可能な型番) の選択

カスタム ボードを設計する際、(必要な機能に基づいて) プロセッサ OPN の選択は極めて重要で重大な段階です。プロセッサ ファミリー (AM62L (AM62L32, AM62L31)) のアーキテクチャの概要を把握し、必要な機能と特長、パッケージ (ANB)、および速度グレードに基づいて必要なプロセッサ OPN (カスタム ボードで使用されるプロセッサ) を選択するには、プロセッサ固有のデータシートの「機能ブロック図」、「デバイス比較」、「デバイス命名規則」、「デバイス速度グレード」、「パッケージ情報」の各セクションを参照してください。

選択したプロセッサ OPN で回路図を更新することを推奨します。

AM62Lx プロセッサ ファミリーでサポート対象の (利用可能な) パッケージの詳細については、以下の FAQ を参照してください。

[\[FAQ\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A/AM62D-Q1/AM62P/AM62L カスタム ボード ハードウェア設計 — 利用可能なデバイス パッケージ](#)

3.3 評価基板 (EVM) 回路図のバージョンおよびリビジョンの参照

ユーザー ガイド内のすべての図では、回路図の PROC181E1-1a_SCH_With_Design_Updates..Notes_V1.0.pdf バージョンを参照しています。この図には、カスタム ボード設計で参照できる設計ノートが含まれています。

3.4 ユーザー ガイドの編集で参照されているプロセッサ固有のデータシートの使用事例とバージョン

プロセッサ固有のデータシートには、以下が含まれます。

1. ピン属性 (ボール番号、ピンと多重化機能のマッピング)。
2. 信号の説明。
3. ピンの接続要件。
4. 該当するプロセッサ ペリフェラルの電気的特性、タイミングおよびスイッチング特性、タイミング図。
5. プロセッサ電源レールに関する推奨動作条件。
6. プロセッサ電源レールのシーケンシング (パワーアップとパワーダウン)。
7. 最大動作条件と推奨動作条件です。
8. プロセッサの内部構造の詳細説明。
9. アプリケーション、実装、およびレイアウト
10. デバイスの命名規則 (デバイスの命名規則)、ツール、ソフトウェアなどを含むデバイスおよびドキュメントのサポート。

11. 改訂履歴。
12. メカニカル、パッケージ、および注文情報。

ユーザズ ガイドの編集で参照されているリビジョン番号を含むプロセッサ固有のデータシート:

SPRSPA1A–2025 年 3 月 – 2025 年 9 月改訂 (AM62Lx Sitara プロセッサ データシート)

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 設計上の推奨事項 / カスタム ボード ハードウェア設計 — 現在のデータシートのリビジョン、更新、リビジョン バックアップ、使用上の注意事項](#)

3.5 ペリフェラル インスタンスの命名規則 - データシートと TRM

ペリフェラルの名前および使用できるペリフェラル インスタンスの数について、プロセッサ固有の TRM は汎用的である傾向があり、プロセッサ固有のデータシートの内容は固有です (サポートされているインスタンスの数を含む)。サポートされているペリフェラルおよびペリフェラル インスタンスについては、常にプロセッサ固有のデータシートを参照することを推奨します。

ペリフェラル インスタンスが 1 つでもある場合でも、プロセッサ固有のデータシートの信号の命名ではペリフェラル名に接尾辞番号が割り当てられています。サフィックスは 0 から始まります。

共通のプラットフォーム イーサネット スイッチ 3 ポート ギガビット (CPSW3G0) ポート名の場合、ポート 0 はスイッチの内部 (通信ポート プログラミング インターフェイス (CPPI) ホスト) ポートです。

3.6 未使用時のプロセッサ ペリフェラルと IO 接続 (未使用)

カスタム基板の設計中は、一部のプロセッサ ペリフェラルを使用しません (未使用)。プロセッサ ペリフェラル (専用機能を持つペリフェラルを含む) は、未使用時に特定の接続要件があります。ペリフェラル未使用時の接続については、プロセッサ固有のデータシートの「ピン接続要件」セクションを参照してください。「ピン接続要件」セクションには、電源レールとインターフェイス信号を接続するための推奨事項が含まれています。

プロセッサ GPIO (ペリフェラルや SDIO を多重化した、LVCMOS バッファ タイプまたは 1P8-LVCMOS バッファ タイプ) は代替機能 (多重化) 構成をサポートしており、未使用時には (接続要件が指定されていない場合には) 未接続のままにしておくことができます。ペリフェラルと IO のパッド構成は、リセット状態に設定できます。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 設計上の推奨事項 / カスタム ボード ハードウェア設計 — データシートのピン属性とピン接続に関連する質問](#)

3.7 AM62Lx プロセッサ ファミリの発注と品質に関する情報

選択したプロセッサの発注と品質については、次のリンクを参照してください。

[AM62L の発注と品質](#)

3.8 必要なプロセッサの GPN (汎用型番) と OPN (注文用型番) の選択に関するチェックリスト

総則

カスタム ボードの回路図設計プロセスで、以下の情報、関連資料、およびデータシートのセクションを確認および検証して、必要なプロセッサ OPN を選択します。

1. 一般的に使用されるメモリ インターフェイス、高速通信、オンボード同期および非同期通信インターフェイス、ディスプレイ インターフェイスが利用できること。
2. オンボードのデバッグおよび診断への対応 (JTAG、UART、OBSCCLK[1:0]、および CLKOUT0)。
3. 必要な電源レールの数、電源レールの推奨動作条件、コア、メモリ インターフェイス、アナログ、IO 電源のパワーアップ / パワーダウン シーケンス。
4. 選択したペリフェラルの電気的特性とタイミング情報。

5. アプリケーション ノート、ペリフェラル インターフェイス回路の実装に関する推奨事項と例、レイアウト ガイドラインが利用できること。
6. プロセッサの機能、ブート モード (対応と保守、設定されているブート モードの障害時の回避策)、対象ペリフェラルに関するシリコン エラッタ。
7. 評価のための評価基板や、参照や再利用目的での設計ファイルが利用できること。

4 プロセッサの電源アーキテクチャ

注

カスタム ボード設計時は、『[AM62L \(AM62L32, AM62L31\) プロセッサ ファミリーを使用したカスタム ボード設計に関するハードウェア設計の検討事項](#)』ユーザー ガイドと、『[回路図設計ガイドラインと回路図レビュー チェックリスト](#)』ユーザー ガイドを参照することを推奨します。

TI のパワー マネージメント製品ラインアップの概要については、TI の[パワー マネージメント](#)についてのページを参照してください。

[WEBENCH® 回路設計者ツール](#)には、カスタマイズした電源アーキテクチャの作成に使用できるビジュアル インターフェイスが用意されています。

4.1 プロセッサ固有およびペリフェラル (接続されたデバイス) 用電源レールの生成

選択したプロセッサおよび接続されたデバイスに必要な電源レールは、統合型電源アーキテクチャ (PMIC、ディスクリート DC/DC、ディスクリート LDO を使用) またはディスクリート電源アーキテクチャ (DC/DC、ディスクリート LDO を使用) によって生成できます。

PMIC (統合型電源アーキテクチャ) は、特定のプロセッサまたはプロセッサ ファミリー向けに設計されています。PMIC を使用することで、電源アーキテクチャ (電源レール) の設計が簡素化されます。PMIC は一般的に必要な (使用される) プロセッサと、接続されているデバイス用の電源を生成します。PMIC は、パワーアップ シーケンシング、パワーダウン シーケンシング、電源スルーレート制御、オプションの残留電圧 (電圧減衰) 検出機能を内部的に管理し、プロセッサ固有の電源 (PDN) 要件を満たしています。追加のディスクリート DC/DC およびディスクリート LDO を使用して、使用事例に基づいて必要とされる他のオンボード電源を生成できます。

ディスクリート電源アーキテクチャを使用することで、電源デバイスの選択と電源アーキテクチャの設計を柔軟に行えます。カスタム ボード設計者は、必要な負荷電流を供給できるディスクリート DC/DC および LDO、必要な電源電圧を生成するように調整または構成できる DC/DC および LDO、必要な負荷電流過渡、制御、電源スルーレートに対応し、必要な電源シーケンシングの構成をサポートできる DC/DC および LDO を選定する必要があるため、設計工数が増加する可能性があります。

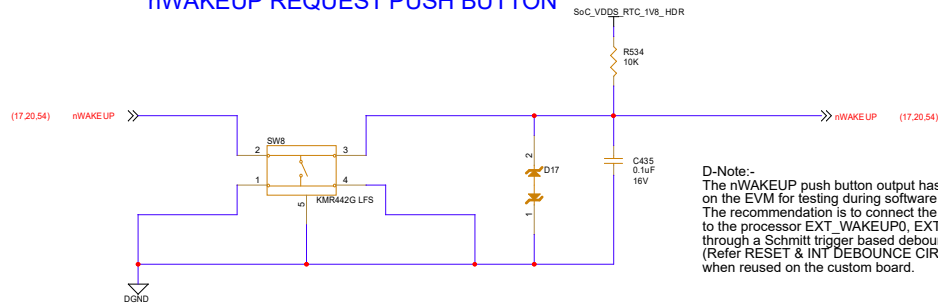
プロセッサの電源レールにはスルーレート要件が規定されています。電源レール (生成またはスイッチングされるもの) については、プロセッサ固有のデータシートの「電源のスルーレート要件」セクションに従うことを推奨します。

PMIC またはディスクリート電源アーキテクチャを使用したオンボード電源の実装に使用できるパワー コンバータ (DC/DC および LDO) 製品のファミリーおよび関連資料を、以下のセクションにまとめます。

4.1.1 AM62Lx プロセッサ ファミリーの電力アーキテクチャ

[図 4-1](#) は PMIC GPIO で制御される VCC_3V3_SYS (SOC IO 電源) シーケンシング用のロードスイッチ U119、および負荷スイッチ出力の近くに配置されているシャント (電流測定または分離用) を含んでいます。プロセッサ固有のデータシートに規定されたプロセッサのスルーレート要件を満たすため、出力電源のスルーレートを制御するコンデンサの配置が含まれています。

nWAKEUP REQUEST PUSH BUTTON



D-Note:-
The nWAKEUP push button output has been provided on the EVM for testing during software development. The recommendation is to connect the nWAKEUP signal to the processor EXT_WAKEUP0, EXT_WAKEUP1 inputs through a Schmitt trigger based debounce logic (Refer RESET & INT DEBOUNCE CIRCUIT) when reused on the custom board.

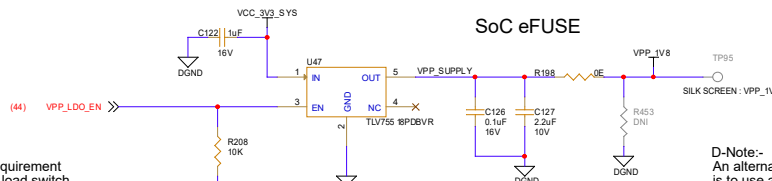
1.8V VPP (eFUSE), 0.5AMPS SUPPLY

D-Note:-
Alternate part suggestion TPS7A21-Q1, Automotive, 500mA, low-noise ultra-low-IQ high-PSRR low-dropout (LDO) voltage regulator.

D-Note:-
Okay to use VCC_3V3_MAIN

D-Note:-
The recommendation is to select an LDO with fast load transient current response and connect the LDO output to the VPP supply pin with low loop inductance path to ensure the LDO is able to source the large transient load current, where the VPP supply is within the ROC when programming the eFuse.

D-Note:-
Given the transient load current requirement during eFuse programming, using load switch or FET based switch may not be a recommended approach. The recommendation is to use an LDO with fast load current transient response and quick output discharge that can be enabled by processor IO. A load switch or FET based switch is likely to have too much voltage drop (out of processor VPP supply ROC) that can't be compensated like when using an LDO.



D-Note:-
An alternate way to source the VPP supply is to use an external supply. The recommended caps and discharge resistor are recommended to be placed near to the SOC VPP supply pin. One of the SOC GPIO output can be used to control the timing of the external power supply output.

VCC_3V3_SYS LOAD SWITCH

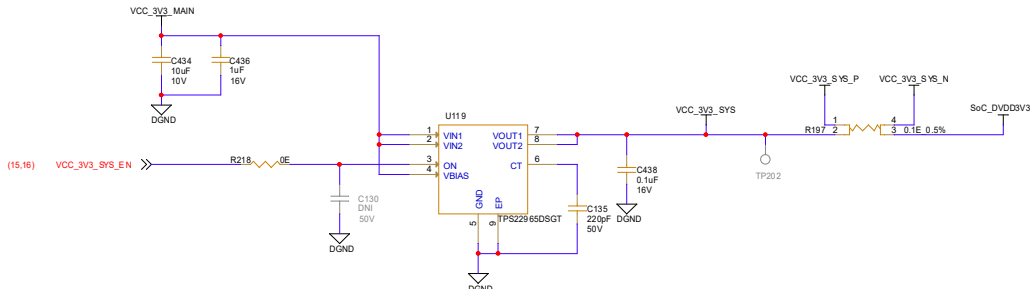


図 4-1. プロセッサ IO 電源シーケンシング用の負荷スイッチ

4.1.1.1 パワー アーキテクチャ ベースのパワー マネージメント IC (PMIC)

サポートされている、またはテスト済みの PMIC ベースの電源アーキテクチャについては、評価基板の回路図を参照してください。TPS65214x PMIC ファミリーは、RTC + IO + DDR ローパワー モードをサポートしています。

DDR4 を使用したカスタム基板設計の場合、PMIC NVM の構成、PMIC によって生成される電源レール、ローパワー モードをサポートする電源アーキテクチャに変更を加えることができます。TI.com の [AM62L](#) プロセッサ製品ページと [TPS65214 PMIC 製品ページ](#) で利用可能な資料を参照するか、DDR4 を使用するカスタム基板を設計する場合には E2E を使用します。

さまざまなアプリケーションの使用事例およびローパワー モードのための [AM62L](#) 電源アーキテクチャの実装の説明については、プロセッサの製品のページにある『[AM62L 電源の実装](#)』のアプリケーション ノートを参照してください。

詳細情報については、以下の [FAQ](#) (よくある質問) を参照してください。

[FAQ] AM62L (AM62L32, AM62L31) の設計に関する推奨事項 / カスタム基板のハードウェア設計 – PMIC など電源アーキテクチャに関する質問

残留電圧と検出の詳細については、次の FAQ (よくある質問) を参照してください。

[FAQ] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 設計に関する推奨事項 / カスタム基板のハードウェア設計 – 残留電圧、検出、電源の減衰に関する質問

4.1.1.1.1 TPS65214x 用 PMIC ベース電源アーキテクチャのチェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. 入力電源と必要な出力電圧 (コア電圧、IO 電圧、DDRSS 電圧の構成) に基づいて PMIC (OPN) を選択
3. 値、帰還の接続、ピン接続など、必要な入力および出力コンデンサの追加に関する PMIC のチェックリスト
4. デイレーティングを考慮して選択したコンデンサの電圧定格
5. PMIC 降圧出力帰還の接続 (出力バルク キャパシタの後)
6. 推奨される PMIC の制御および IO 信号の構成
7. プロセッサの IO 電源シーケンスに必要な制御信号の接続 (ロード スイッチ)
8. PMIC とのインターフェイスに使用される、プロセッサ I2C インターフェイスのインスタンス
9. プロセッサから PMIC へ、および PMIC からプロセッサ IO へのインターフェイス接続
10. PMIC パワー グッド信号のプロセッサ PORz への接続 (ディスクリット バッファまたは直接プルアップ (測定されたスルーに基づいて抵抗値を調整))
11. RTC + IO + DDR 低消費電力モードが実装されている場合の、PMIC IO 出力をプロセッサの RTC_PORz に接続する
12. 電源レールの名前 (構成されている出力電圧レベルを示す)
13. 電流測定またはテストのための PMIC の出力電圧の絶縁の提供
14. ネット名が、プロセッサおよび装着されているデバイスの IO サプライと一致 (同じ名前)
15. 割り込み、MODE/RESET、EN/PB/VSENSE 信号の接続と、PMIC IO に必要なプルの接続

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. カスタム基板要件に従って、プロセッサおよび装着されているデバイスの IO 電源動作電圧に一致する PMIC 出力の構成
2. コンデンサの数、サイズ、値、IO の接続に対応する評価基板回路図を実装したカスタム基板の PMIC 実装
3. PMIC 降圧出力帰還の接続 (出力バルク キャパシタの後に帰還を接続)
4. プロセッサの PORz 入力に直接接続する場合の PMIC nRSTOUT0 スルー (プルアップ値) (ディスクリット プッシュプル出力タイプのバッファを使用することを推奨)
5. プロセッサの IO 電源シーケンスに必要な制御信号の接続 (プロセッサ用のロード スイッチ EN と装着されたデバイスの IO 電源電圧のロード スイッチ EN、および外付けコンデンサを使用するロード スイッチ出力電圧のスルー レートの用意)
6. デイレーティングを考慮して選択したコンデンサの電圧定格 (一般に使用されるガイドラインの 2 倍を上回る)
7. PMIC の出力電圧レベルと、プロセッサおよび装着されたデバイスの電源要件のマッチング (OPN に基づく)
8. PMIC とのインターフェイスに使用されるプロセッサの I2C のインスタンス (評価基板に従うか、使用事例に基づいて必要な I2C インスタンスを確認する)
9. 追加の電源レールを生成するための、PMIC と同時に使用するディスクリット DC/DC 出力と LDO の構成
10. VPP 電源 (eFuse プログラミング)、LDO 出力イネーブル (EN) の制御を生成するための外部 LDO の実装、負荷電流過渡を考慮したバルク キャパシタとデカップリング コンデンサの追加、および VPP 電源の出力イネーブル タイミングのテスト用の絶縁抵抗の配置

さらに

1. カスタム基板設計の電源アーキテクチャが TI の PMIC をベースにする場合、PMIC チーム (事業部または製品ライン) による実装の詳細なレビューを取得することを推奨します。
2. PMIC の出力および最初の基板の構築用の絶縁や電流測定のためのディスクリート DC/DC、LDO に 0Ω の抵抗またはジャンパを推奨します。測定のためにテストポイント (TP) を追加することを推奨します。TP を 0Ω の抵抗またはジャンパに接続するには、ケルビン電流センス接続に従うことを推奨します。
3. PMIC 降圧出力の帰還を、バルク キャパシタの後で接続することを推奨します。0Ω の抵抗の除去が PMIC の動作に影響しないように (抵抗の PMIC 側の接続)、帰還を接続することを推奨します。
4. 配置と配線を簡単にするために、降圧 (DC/DC) 入力と VSYS 用の PMIC 入力バルク キャパシタを個別に、また各ピンの近くに配置することを推奨します。
5. 残留電圧に関連する FAQ (よくある質問) を確認し、従うことを推奨します。
6. TI 以外の PMIC を使用する場合、カスタム基板の設計者向けの推奨事項は、プロセッサ固有のデータシートと最大電流定格のアプリケーション ノートなど、関連するプロセッサの資料を確認し、それらに従うことを推奨します。プロセッサ固有のデータシートの「推奨動作条件」、「電源スルーレートの要件」、「PORz のタイミング要件」、「パワーアップシーケンシング」、「パワーダウン シーケンシング」の各セクションを確認し、選択した PMIC ベースの電源アーキテクチャが上記の要件と残留電圧 (RV) のチェックに対応していることを確認することを推奨します。

4.1.1.1.2 その他の参考資料

詳細については、プロセッサ固有のデータシートの以下のセクションを参照してください。

- デバイスの接続およびレイアウトの基礎
- 電源
- 電源の設計

4.1.1.2 ディスクリート パワー デバイス (DC/DC、LDO) ベースの電源アーキテクチャ

プロセッサと接続されたデバイスの電源レールを生成するために、ディスクリート電源アーキテクチャを検討できます。

電源アーキテクチャは、ディスクリート DC/DC コンバータと LDO をベースに構成できます。

使用可能な、または推奨されるディスクリート電源アーキテクチャの詳細については、TI.com のプロセッサ固有 (AM62L) 製品ページを参照してください。

プロセッサ固有の製品ページは、利用可能な電源アーキテクチャに関する最新情報を提供します。

LDO を使用して RTC 電源を実装し、DC/DC コンバータを使用してメイン 3.3V 電源を生成するには、評価基板 (EVM) 回路図を参照してください。

カスタム (TI または他社) のディスクリート電源アーキテクチャを実装する場合は、すべての電源ランプの後の電源容量 (電流定格)、電源シーケンス、電源スルーレート制御、PORz 入力の L -> H 遅延 (ホールド時間) (発振器の起動および安定化のため) の要件を考慮してください。プロセッサ固有のデータシートに従って、上記の要件が満たされていることを確認することを推奨します。

電源レールのパワーダウン (電源オフ) 中は、電源がランプダウンを開始する前に、PORz 入力が有効なロジック Low レベルに達するようにすることを推奨します。ディスクリート電源アーキテクチャは、いずれかの電源レールが「推奨動作条件」に定義された最小値を下回った場合に、すべての電源レールをオフにし、新しいパワーアップシーケンスを開始する前に、電源レールの減衰が 300mV 未満になったことを監視できるように設計することを推奨します。

PORz 入力は、パワーアップ中、すべてのプロセッサ電源がランプして有効 (安定) になり、さらに内部発振器の起動および安定化のための最小遅延 9.5ms (プロセッサ固有のデータシートで 9500000ns と記載) が経過するまで、Low (アクティブ) に保持することを推奨します (必須) (外部水晶振動子と内部発振器を使用する場合。詳細はプロセッサ固有のデータシートを参照)。または、外部 LVCMOS デジタル クロック源 (発振器) を使用する場合は、すべてのプロセッサ電源がランプして有効になり、外部発振器のクロック出力が安定し、さらに最小遅延 1.2μs (プロセッサ固有のデータシートでは 1200ns と記載) が経過するまで、PORz 入力を Low (アクティブ) に保持します (詳細はプロセッサ固有のデータシートを参照)。

電源容量の決定については、「最大電流定格」アプリケーション ノートを考慮することを推奨します。

次の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62Ax / AM62D-Q1 / AM62Px / AM62L / AM64x / AM243x 設計上の推奨事項 / カスタム ボード ハードウェア設計 – ディスクリート電源アーキテクチャに関する質問](#)

4.1.1.2.1 ディスクリート DC/DC

[TPS63070](#) や [LM5141](#) などのディスクリート DC/DC、または類似のスイッチング電源デバイスを検討することを推奨します。

利用可能なディスクリート DC/DC (降圧) スwitchング デバイスの概要については、「[AC/DC および DC/DC コンバータ \(FET 内蔵\)](#)」のページを参照してください。

また、次のドキュメントおよびビデオ ライブラリを参照してください。

テキサス インストルメンツ、『[アプリケーション ノート:TI 降圧スイッチング DC/DC のクイックリファレンス ガイド](#)』

『[電源設計トレーニング関連リソース – ビデオ ライブラリ](#)』

4.1.1.2.2 ディスクリート LDO

[TPS74501](#) や [TLV75518](#) などのディスクリート LDO デバイス、または類似の LDO を使用することを推奨します。

使用可能なディスクリート LDO の概要については、TI の「[リニアおよび低ドロップアウト \(LDO\) レギュレータ](#)」のページを参照してください。

また、以下のアプリケーション ノートを参照してください。

[低ドロップアウト レギュレータ クイックリファレンス ガイド](#)

[LDO 用リニアレギュレータ設計ガイド](#)

[TI LDO の局所的インデックスに関するアプリケーション ノート](#)

4.1.1.2.3 ディスクリート パワー デバイス (DC/DC、LDO) ベースの電源アーキテクチャ チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み。
2. 電源レールについて、構成済みの出力電圧レベルと電流容量 (定格)。
3. 出力電圧帰還接続と帰還抵抗デバイダの公差。
4. 選択したディスクリート DC/DC がアクティブ放電をサポートしている。
5. ディスクリート DC/DC の出力スルーレートが、プロセッサ要件を満たしている。
6. プロセッサ要件に従った電源レールのシーケンシング。
7. PORz 入力 (DC/DC PG 出力) のスルーレート。
8. ディレーティングを考慮して選択したコンデンサの電圧定格。
9. UHS-I SD カードをサポートする、SD カード インターフェイス向け IO 電源の実装。
10. VPP (eFuse プログラミング) 電源の実装。
11. 電源レールの名前。
12. ディスクリート DC/DC またはディスクリート LDO の電圧レベルの一致。
13. プロセッサおよび接続先デバイスの IO 電源について、ネット名が一致している (同じ名前である)。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. 必要な出力電源電圧を生成するために帰還に接続された許容誤差を含む抵抗デバイダの値が、ディスクリート DC/DC または LDO の計算値と一致している。
2. DC/DC または LDO 出力電流の容量設定。
3. ディスクリート DC/DC または LDO PG 出力が、必要なプルアップを備えており、他の DC/DC または LDO EN に接続して電源シーケンシングを行う。

4. DC/DC または LDO の出力スルーレートを、プロセッサのスルーレート要件と一致している。
5. すべてのプロセッサ電源がランプした後の、PORz 入力 (DC/DC PG 出力) のスルーレート (ディスクリート プッシュプル出力タイプのバッファを使用して接続)、L から H までの遅延 (クロック起動および安定化のための PORz 入力 Low ホールド時間) の実装。
6. DC/DC PG 出力がプロセッサ PORz 入力に直接接続された場合の、電源ランプ後の PORz 入力 Low ホールド時間。
7. 負荷電流の過渡と出力イネーブル (EN) に対応するためのコンデンサを含めた VPP (eFuse プログラミング) 電源の実装。
8. UHS-I SD カードをサポートする、SD カード インターフェイス向け IO 電源の LDO の実装。
9. 電源レールの名前 (構成されている出力電圧を示す)。
10. ディスクリート DC/DC または ディスクリート LDO の電圧レベルが、プロセッサおよび接続デバイスの電源要件と一致している。
11. ディレーティングを考慮して選択したコンデンサの電圧定格 (一般に使用されるガイドラインは、ワーストケースの印加電圧の 2 倍以上)。
12. 出力電源電圧レール (動作電圧 / 振幅) および電流定格、アクティブ放電、イネーブル用の実装オプション、スルーレート制御、残留電圧検出 (パワーダウン後に電源電圧が 300mV 未満の場合にのみパワーアップを許可) を含む、ディスクリート電源デバイスの選択。

さらに

1. カスタム ボード設計の電源アーキテクチャが TI の電源に基づいている場合、関連する事業部または製品ラインに実装の詳細なレビューを依頼することを推奨します。
2. 基板の初期組み立て時には、絶縁や電流測定のため、ディスクリート DC/DC と LDO の出力側に 0Ω の抵抗またはジャンパを接続することを推奨します。測定のためにテスト ポイント (TP) を追加することを推奨します。TP を 0Ω の抵抗またはジャンパに接続するには、ケルビン電流センス接続に従うことを推奨します。
3. 可変出力タイプのディスクリート DC/DC または ディスクリート LDO を使用する場合、ディスクリート DC/DC または ディスクリート LDO の出力にツェナーを追加することを推奨します。

4.2 プロセッサの電源レールの電源制御、シーケンシング、電源過負荷保護機能

4.2.1 ロード スイッチ (プロセッサ電源レールの電源スイッチング)

ロード スイッチは、プロセッサおよび接続されているデバイスの電源レールの切り替えとシーケンス制御に使用されます。ロード スイッチは、複数のディスクリート DC/DC または LDO を使用して電源を生成する代わりに、同じ入力電源レールを基準とする (電力が供給される) 特定のペリフェラルまたはサブシステムへの電源を電力を制御 (オン / オフ) するために使用されます。一部のアプリケーションでは、推奨されるパワーアップおよびパワーダウン シーケンスに従うことを推奨します。ロード スイッチを使用すると、パワーアップおよびパワーダウン シーケンスのタイミング要件を満たすための電源シーケンスの実装が簡素化されます。プロセッサの電源シーケンス要件を満たすため、ロード スイッチのイネーブルは PMIC または ディスクリート DC/DC の PG 出力により制御できます。

[TPS22965](#)、[TPS22918](#)、[TPS22902](#)、[TPS22946](#) などのロード スイッチを検討してください。

利用可能なロード スイッチ ファミリの概要については、TI の [ロード スイッチ](#) のページを参照してください。

4.2.1.1 ロード スイッチ (プロセッサ電源レール電源スイッチング) のチェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み。
2. ロード スイッチ電流のサイズ
3. ロード スイッチ イネーブルの接続とシーケンシング
4. 出力電圧スルーレート制御構成
5. ロード スイッチのデータシートの推奨事項に従って、出力にコンデンサを追加する

6. デイレーティングを考慮して選択したコンデンサの電圧定格

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. 入力および出力コンデンサの値、データシートに記載されている比率、およびコンデンサの電圧定格。
2. 出力電圧スルーレートが、プロセッサ IO 電源のスルーレート要件に従って構成されている (コンデンサ値の選定)。

4.2.2 eFuse IC (パワー スイッチングおよび保護)

カスタム ボード設計では、保護のため電源入力に eFuse を使用できます。eFuse 電源スイッチングおよび保護 IC は、障害発生時に回路電流および電圧を安全なレベルに制限するために使用される、パワー パス保護機能を統合したデバイスです。eFuse は設計に多くの利点をもたらし、ディスクリット部品では実装が難しい保護機能も備えています。利用可能な eFuse ファミリの概要については、TI の [eFuse およびホット スワップ コントローラ](#)のページを参照してください。

5 一般的な推奨事項

注

カスタム ボード設計時は、『[AM62L \(AM62L32, AM62L31\) プロセッサ ファミリーを使用したカスタム ボード設計に関するハードウェア設計の検討事項](#)』ユーザー ガイドと、『[回路図設計ガイドラインと回路図レビュー チェックリスト](#)』ユーザー ガイドを参照することを推奨します。

カスタム設計を開始する前に従うことが推奨される、一般的な推奨事項を以下に示します。このセクションでは、評価基板 (EVM) の関連資料 (回路図を含む) を参照として使用する際や、カスタム基板の回路図を設計する際の一般的な推奨事項についても説明しています。

次の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x / AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 設計上の推奨事項 / カスタム ボード ハードウェア設計 – プロセッサ コア、VDD_CORE、VDDR_CORE、VPP などのコア電源に関する情報](#)

5.1 プロセッサ性能評価基板 (EVM)

プロセッサ (ハードウェア) の性能評価基板とプラットフォーム (評価基板) はリファレンス デザインではありません。これらのモジュールとプラットフォームは、ボードや最終製品の機能を適切または完全に実装したものではありません。場合によっては、プロセッサの設計が完了する前に、評価基板が部分的または完全に設計され、製造用にリリースされたものもあります。タイムラインは、最初のシリコンが利用可能になるときにハードウェア プラットフォームが利用可能になるようなものです。プロセッサの立ち上げ時とベンチ検証時に、新しい (追加の) プロセッサ要件が発生します。評価基板 (ハードウェア評価プラットフォーム) では、すべての新しい要件が考慮されていない場合があります。そのため TI では、カスタム ボード設計者が、カスタム ボードを設計する際に、プロセッサ固有のデータシート、シリコン エラッタ、ハードウェア設計上の検討事項のユーザーガイド、回路図設計ガイドライン、および TRM に定義されているすべての要件を注意深く確認し、従うことを前提にしています。

プロセッサ (ハードウェア) 性能評価プラットフォームは、EMI または EMC (電磁干渉、放射感受性、放射ノイズ、ESD を含む電磁両立性テスト)、ノイズ感受性、熱管理、などのカスタム ボードや最終製品に特有のあらゆる要件をすべて網羅するように設計されているわけではありません。

カスタム ボード設計者が評価基板の回路図とともに参照できる設計の更新に関するノートについては、以下の FAQ を参照してください。

[\[FAQ\] AM625/AM623/AM620-Q1/AM62Ax/AM62Px/AM62D-Q1/AM62L 設計上の推奨事項 / カスタム ボード ハードウェア設計時に一般的に観測されるエラー — 設計の更新に関するノートのための SK 回路図の更新](#)

5.1.1 評価基板 (スタータキット) チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. 参照される評価基板 (EVM) 回路図のリビジョンに、D-Notes、R-Notes、CAD Notes が含まれている

5.2 プロセッサ固有の評価基板 (EVM) とデータシートの対比

カスタム ボード設計の設計段階で、プロセッサの評価またはカスタム ボードの設計時に、プロセッサ固有の評価基板 (EVM) とプロセッサ固有のデータシートの間で不一致が見られる場合は、プロセッサ固有のデータシートに従うことを推奨します。評価基板 (EVM) の設計者が最善の努力を行っても、EVM の回路図には、機能上は動作するものの、プロセッサ固有のデータシート仕様と完全には整合していない誤りが含まれる可能性があります。

5.2.1 部品の選択に関する注意事項

注

評価基板の回路図に記載されている部品の値、パッケージ サイズ、電圧定格は、カスタム基板設計者の出発点として指定されており、必ずしも最適化されているとは限りません。カスタム基板設計者のための推奨事項は、値、サイズ、電圧定格が、特定のカスタム基板の実装に適しているかどうかを検証し、必要な更新を行うことです。

カスタム基板の設計要件について評価基板の BOM を確認し、プロセッサ固有のデータシートの推奨、アプリケーションの要件、従っているカスタム基板の設計手法、利用可能な (会社固有または汎用の) 設計または部品選択のガイドラインに基づいて、部品を最適化することを推奨します。

回路実装のための設計の計算を実行し、基板レベルのテストと測定を実行し、部品 (値、パッケージ、電圧定格、電力定格) を確定する前に、内部設計レビューを実施することを推奨します。

5.2.1.1 直列抵抗

使用事例を基に、プロセッサ IO インターフェイス上の直列抵抗 (0Ω) の使用を推奨します。評価基板回路図で使用している直列抵抗の値は、カスタム基板設計の出発点として使用できます。カスタム基板設計者には、カスタム基板上の値を検証し、それに応じて調整することを推奨します (ピンで発生するステップ関数は中電圧付近の値ではありません)。値を確定するには、必要に応じてシミュレーションを実行することを推奨します。

5.2.1.2 並列プル抵抗

注

プル要件が業界標準で定義されていない限り、外部プルに関する明確なルールや要件はありません。プルに関する業界標準が定義されていることが、eMMC および SD カード信号に対して外部プルを明確に推奨できる主な理由です。その他の周辺装置については、お客様が、カスタム基板上の各プロセッサ信号に接続された装着されたデバイスの機能を評価し、適切な技術的 / エンジニアリング判断を適用して、装着されたデバイスの入力バッファがオンになったときに入力がフローティングにならないようにするための外部プルを使用する必要性を判断することを推奨します。設計ガイドに記載されている推奨事項は汎用的なものであり、実装前に設計要件と接続デバイスの内部プルの有無を確認することが期待されます。また、内部プルと競合する外部プルを追加しないようにしてください。例:たとえば、接続デバイス側の内部プルと競合する外部プルを追加してしまうと、競合により信号 (入力) が中電圧となる可能性があります。

パターンが接続されており、アクティブに駆動されていないプロセッサ IO か、またはフローティングになる可能性がある装着されているデバイスの入力に接続されている IO に対して並列プルを配置することを推奨します (ホストソフトウェアが IO を構成するまで、装着されているデバイスの入力がフローティングにならないようにするため)。並列プルの極性とプル値は、特定の周辺装置の接続に関する推奨事項、プロセッサの性能と信頼性を向上させるための推奨事項、関連するインターフェイスまたはインターフェイスの規格の要件に応じて異なります。プルアップの推奨事項が指定されています。

プロセッサ固有の評価基板で使用されるプル値は、出発点として使用できます。また、カスタム基板の設計者は、プロセッサおよび装着されたデバイスの推奨事項、または特定のボード設計の要件に基づいて適切なプル値を選択できます。特定の推奨事項がない I/O またはインターフェイスに対しては、10k Ω または 47k Ω (部品の選択および BOM を標準化できるプルアップの選択) のプル値が推奨されます。プル値は基板の設計に基づいて、部品の使用を最適化したり、電流を低減したり、ノイズ性能を改善したりするために選択できます。

パターンがプロセッサピン (IO パッド) に接続されていて、IO がアクティブに駆動されていない (フローティング) 場合は、並列プルの 47k Ω を推奨します。プロセッサの IO バッファ (TX (出力) および RX (入力)) はリセット中およびリセット後にオフになり、内部プル (プルアップおよびプルダウン) はリセット中およびリセット後にオフになります。この IO はハイインピーダンス状態で、実質的にノイズを拾う可能性のあるアンテナとして動作します。並列プルがない場合、IO はハイインピーダンス状態になります。ハイインピーダンスが原因で、フローティング信号パターンとノイズが簡単に結合し、電位が IO の推奨動作条件を超える可能性があります。この電位によって IO に電氣的オーバーストレス (EOS) が発生します。プロセッサ内蔵の静電放電 (ESD) 保護回路は、PCB へ取り付けられる前の処理時にデバイスのみを ESD から保護するように設計されていました。

5.2.1.3 駆動強度またはスルー構成

サポートされている駆動強度 (LVCMOS バッファタイプのみ) のデュアル電圧 IO) またはスルーレート (固定電圧 IO、1P8-LVCMOS バッファタイプのみ) の構成に関する情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62Ax / AM62Px / AM62D-Q1 / AM62L / AM64x / AM243x 設計上の推奨事項 / カスタム ボード ハードウェア設計 — デュアル電圧 LVCMOS と SDIO IO バッファ、および固定 1.8V 1P8-LVCMOS バッファの駆動強度構成](#)

5.2.1.4 プロセッサ固有のデータシートに関する推奨事項

カスタム ボード設計者は、必要な、もしくは推奨の回路を実装して、カスタム ボード設計がプロセッサ固有のデータシートのピン接続要件に従っていることを確認する責任があります。例: I2C オープンドレインの電氣的特性の要件 — 3.3V 電源にプルしたときの入力スルーレートの制限要件。

プロセッサ固有のデータシートに関する推奨事項が利用できない場合、回路図設計ガイドラインに従うか、評価基板の回路図実装を開始点として従うことを推奨します。

5.2.1.5 プロセッサ IO の保護 — 外部 ESD 保護デバイス用の実装

外部入力に直接接続するか、外部コネクタに接続するプロセッサ IO には、外部 ESD 保護が推奨されます。内部 ESD 保護は、ボードレベルの ESD 要件に対応するようには設計されていません。ESD 保護デバイスの概要については、TI の [ESD 保護](#) ページを参照してください。

5.2.1.6 ペリフェラル クロック出力の直列抵抗

クロックはリタイミングにも使用されるため、クロック出力に直列抵抗 (22 Ω) を (MCSPi と MCASP の) プロセッサ クロック出力ピンの近くに追加することを推奨します。直列抵抗はさらに、発生し得る反射の制御 (信号歪み) にも対応できます。

MMC0、MMC1、MMC2、OSPI0、GPMC0 インターフェイスでは、非結合パッドは (内部で) リタイミング (ループバック) に使用されます。キャプチャクロックとしては、PCB 経路で接続されているデバイスに送信されるクロックと同じクロックは使用しません。出力クロックをデバイス内部の 2 つのパスに分岐させ、そこではクロックが 2 つの個別 IO セルに送信されます。1 つの IO セルはパッケージ ボールに接続されており、接続されたデバイスにクロックを供給するために使用されます。もう 1 つの IO セルは非結合です (どのパッケージ ボールにも接続されていません)。受信キャプチャクロックとして使用されるクロックは、ボンディングされていない IO セルを経由して送信され、キャプチャクロックとして使用される前にデバイスにループバックされます。これは、接続されたデバイスに向かって出て行くクロックに挿入された遅延と、接続されたデバイスから戻ってくるデータに挿入された遅延と同じ遅延をクロックに確実に挿入するためです。ボンディングされていない IO セルパッドでは、PCB 信号パターンのソース側で発生する電圧ステップが発生することはありません。発生し得る信号反射を制御するため (シグナル インテグリティの向上)、値の小さい直列抵抗 (0 Ω から始める) を (配置) 推奨します。

5.2.1.7 ペリフェラル クロック出力のプルダウン抵抗

装着されたデバイスのクロック入力付近に装着されたデバイスに接続されたペリフェラル クロック出力 (eMMC、SDIO、SD カード、OSPI0、MCSPi、MCASP、GPMC0) に、プルダウンを配置することを推奨します。オプションとして、コンデ

ンサ (8 ~ 10pF) を配置し、実装なしとして構成することができます。基板レベルのシグナル インテグリティに関連する問題が見つかった場合は、コンデンサを取り付けることができます。コンデンサは、装着されているデバイスのクロック入力に最短のスタブを使用して接続することを推奨します。

5.2.1.8 部品選定チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み。
2. 抵抗値、許容誤差、サイズ、ワット数の選択。
3. 特定の抵抗には、許容誤差が $\pm 1\%$ の要件があります (プロセッサまたは接続されているデバイスのデータシート、SK の回路図、または評価基板を参照)。
4. 標準公差の抵抗は、プルアップ、プルダウン、LED 電流制限、接続デバイスのアドレス構成、直列抵抗など、他の使用事例で使用できます。
5. カスタム ボード上のプルの実装値を評価基板の回路図と比較することを推奨します。
6. 使用するコンデンサの電圧定格にはディレーティングが含まれます (非極性コンデンサの場合、一般に使用されるガイドラインは、ワーストケースの印加電圧の 2 倍以上)。
7. CAP_VDD5_xxx については、コンデンサの電圧定格を (推奨値の範囲内で) 選択する際に、DC バイアス効果 (10V 以上を使用) とコンデンサの許容誤差 (10%) が考慮されていること
8. ディスクリット部品のパッケージ選択 (アプリケーションや使用事例によって異なるが、電圧定格、許容誤差、経年劣化、温度範囲を考慮)。
9. 互換性のある接続デバイスの選択 (DDR4、LPDDR4、eMMC、OSPI、QSPI、SD カード、EPHY)。
10. 必要なメモリ サイズ (DDR4、LPDDR4) の選択と、必要に応じたメモリ拡張の準備。
11. 受動部品の値、許容誤差、電圧定格に関連する FAQ が確認されていること。

評価基板と SK で使用される主要な部品、部品の値、許容誤差の詳細への手がかりとして、以下の FAQ を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62Ax / AM62Px / AM62D-Q1 / AM62L / AM64x 設計に関する推奨事項 / カスタム ボード ハードウェア設計 — スタータ キット / 評価基板バリエーション \(バージョン\) と主要デバイス \(コンポーネント\) リスト](#)

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 設計に関する推奨事項 / カスタム ボード ハードウェア設計 - 受動部品の値、許容誤差、電圧定格に関する問い合わせ](#)

5.2.2 評価基板の設計 (回路図、基板) および再利用に関する追加情報

5.2.2.1 設計、レビュー、CAD 注記を追加した評価基板回路図の更新

カスタム基板設計中に、設計プロセスの一環として、カスタム基板設計者は評価基板設計 (CAD ファイル) を再利用し、必要な編集を行えます。この機能はよく利用されます。またカスタム基板設計者は、プロセッサ、メモリ、電源、高速通信インターフェイスなど、一般的な回路実装 (セクション) を再利用できます。評価基板設計では機能追加の可能性があるため、カスタム基板設計者は、カスタム基板要件に応じて評価基板回路設計を最適化する傾向があります。一方、評価基板の回路図を最適化する際にカスタム基板設計にエラーが混入し、機能、性能、信頼性の問題を引き起こす可能性もあります。評価基板の回路図を最適化する際に、カスタム基板設計者が評価基板回路の実装に疑いを持つ場合があります。回路図のレビュー時とカスタム基板のデバッグ時に、複数のカスタム基板設計にわたって一般的な設計エラーと最適化エラーが判明しました。お客様からの問い合わせや情報、社内の提案、データシートのピン接続の推奨を基に、評価基板回路図の各セクション付近に、カスタム基板設計者がレビューし遵守するための包括的な設計ノート (D-Note)、レビュー ノート (R-Note)、CAD ノート (CAD-Note) を追加しています (推奨事項を実践して基板設計エラーを最小限に抑えます)。

利用可能でダウンロードできる設計資料を、以下の FAQ に記載しています。

[\[FAQ\] AM62L \(AM62L32, AM62L31\) カスタム基板ハードウェア設計 - EVM TMDS62LEVM 回路図の再使用に関する設計ノートとレビューノート](#)

製品概要ドキュメントは現在作成中です。上記の FAQ をレビューするか、TI.com での入手可能性を頻繁に確認することを推奨します。

5.2.2.2 カスタム基板設計に再利用する評価基板設計ファイル

カスタム基板設計とプロジェクトのスケジュール中に、実施されている設計アプローチを基に、評価基板設計ファイルを出発点として使用し、必要な更新 (カスタム基板要件による変更) を行います。実装の前に、評価基板の回路設計をレビューすることを推奨します。カスタム基板の機能要件と性能要件に応じて、サイズ、許容誤差、電圧定格について、部品の選定をレビューすることを推奨します。

次の FAQ には、PDF の回路図と評価基板に関連する追加情報が含まれています。

[\[FAQ\] AM62L \(AM62L32, AM62L31\) カスタム基板ハードウェア設計 - TI EVM 設計ファイルの再利用](#)

5.2.2.2.1 モジュールの回路図セクション

この評価基板の回路図のページ数は増加しています。それぞれのページに固有のセクションがあり、確認と再利用が簡単になりました。ページは、優先順位の高い順に並べられています。評価基板の回路図でよく使用されるセクションは、回路図の先頭ページに記載されています。性能を強化するためのセクション、またはカスタム基板の設計のオプションであるセクションは、よく使用される回路図のセクションの下に記載されています。

5.2.2.2.2 カスタム基板設計に再利用可能な評価基板設計ファイル - チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み。
2. 選択した、または必須の評価基板設計ファイルの最新バージョン (関連資料) を参照していること。
3. 回路図セクションの近くに追加した **D-Note** と **R-Note** をレビューし、検討したこと。
4. **DNI** プロパティがリセットされた部品の **DNI** プロパティを再構成したこと (評価基板設計ファイルを別のプロジェクトとして保存したとき、または回路図ページまたは回路図セクションを再度整理したときに、カスタム基板設計実装回路部品の取付オプションプロパティがリセットされます (**DNI** 構成がリセットされ、すべての部品が装着と表示されます))。
5. 回路設計を代替 CAD ツールに翻訳したときに、ページ外接続を含む回路接続 (接続の欠落) を変更していること。

5.2.2.3 評価基板の回路図ページのシーケンシング (機能や再利用に基づく) と評価基板のレイアウト

現在リリース中、または動作中 (将来リリース予定) の評価基板回路図の改訂については、簡単に再利用できるように、TI では回路図ページをモジュール形式で整理 (シーケンシング) しています。回路図のページのフローは、プロセッサ電源の生成、プロセッサ電源とペリフェラルの接続、付属デバイス回路の実装などを含む、必要なページから始まります。オプションのデバッグと監視のセクションは、必要なページの後に追加されます。この整理により、カスタム基板設計者は、カスタム基板設計で使用されていない回路図セクションを削除できます。

この評価基板設計の実装では、プロセッサと付属デバイスを同じ基板上に統合した、フラット アーキテクチャを採用しています。カスタム基板設計者は、フラット アーキテクチャのカスタム基板を設計する場合には、評価基板の実装に従います。お客様の基板アーキテクチャが **SOM** (システム オン モジュール) とキャリア基板の場合、基板レイアウトのアプローチ (信号配線要件) や推奨事項が変更されることがあります。以下のガイドラインを確認し、一般的な **SOM** 設計とレイアウトのガイドラインに従って、基板レベル信号の完全性の懸念に対処することを推奨します。

1. **SOM** とキャリア基板間の (極性を含む) 信号接続 (高速の差動信号)
2. 基板間で高速信号が遷移する際に基板の機能や性能に影響しない、高速コネクタ (低接触抵抗かつ低インダクタンス) を選択
3. 信号をシールドして基板性能を最適化 (信号の完全性に関連する懸念を最小限に抑える) ため、コネクタ上の信号間に適切な数のグラウンド パッドを実装
4. メモリと他の高速または低速ペリフェラルに推奨される、または必要とされる終端を設置済み
5. **SOM** とキャリア基板の信号間のフェイルセーフ動作要件に対処済み
6. **SOM** とキャリア基板にまたがって接続した回路実装の完全性
7. **SOM** とキャリア基板の信号間での **IO** レベルの互換性
8. プロセッサに接続した、フローティングになり得るプロセッサ **IO** または付属デバイス **IO** のすべてに並列プルを設置して、極性を検証済み
9. 基板の構築を開始する前に、必要なシミュレーションを実施済み (**SOM** とキャリア)。

SOM ベースの設計を含む高速設計の追加の入力については、以下の FAQ を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x/ AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 基板レイアウト - 一般的な高速レイアウト ガイドライン関連文書へのリンク](#)

5.3 プロセッサ固有の SDK

カスタム ボード設計が新しいプラットフォーム向けである場合、または既存のプラットフォームのアップデートを行う場合は、TI.com に掲載されているソフトウェア開発ツールの最新バージョン / リビジョンを使用することを推奨します。

必要な SDK バージョンをダウンロードするには、次のリンクを参照してください。

AM62L-PROCESSOR-SDK

1. **AM62L-FREERTOS-SDK**: AM62L デバイス ファミリー向け FreeRTOS SDK
2. **AM62L-LINUX-SDK**: AM62L デバイス ファミリー向け Linux SDK

「AM62LX ソフトウェア ビルド シート」(AM62Lx プロセッサ ファミリーでサポートされている機能をまとめたビルド シート) を参照してください。

古いバージョン / リビジョンを使用する場合は、リリース ノートで互換性を確認するか、必要に応じて TI に (E2E を通じて) 問い合わせることを推奨します。

5.4 カスタム ボード設計を始める前の、一般的な設計推奨事項 (知っておくべきこと)

5.4.1 プロセッサ関連ドキュメント

カスタム ボード設計段階では、最新バージョンの関連資料を参照 / 使用することを推奨します。例としては、プロセッサ固有のデータシート、シリコンの正誤表、TRM、その他の一般的に参照されるボード設計関連資料があります。TI.com でプロセッサ固有の製品ページを頻繁に確認し、入手可能な最新のドキュメント改訂版や新規ドキュメントの追加がないか確認してください。

ドキュメント検索のヒント: 文書内で、推奨 (recommended)、必須 (require)、禁止 (do not)、注意 (note)、ピン接続 (pin connectivity) などの単語を検索してください。プロセッサの重要な基準には、これらの単語のいずれか、または複数が含まれています。

最新情報を入手するためのヒント: TI.com のプロセッサ製品ページには、「通知」ボタンがあります。このボタンから登録すると、プロセッサ関連ドキュメントの変更を自動的に通知できます。

プロセッサ固有のデータシートやその他の関連資料の最新リビジョンは、TI.com で入手できます。将来使用するために、古いリビジョンを内部でアーカイブすることをお勧めします。

5.4.2 プロセッサのピン属性 (ピン配置) の検証

カスタム基板設計で使用するプロセッサ ピンについて、次の属性を確認します。

- プロセッサ ピン番号のラベルと名前 (プロセッサ シンボルのセクションに関連付けられているピン番号) は、プロセッサ固有のデータシートの「ピン属性」セクションに記載している正しいピン番号に対応しています。プロセッサ固有のデータシート名をシンボル内部に維持し、アプリケーションの使用事例に応じて機能 (ネット) 名を変更することを推奨します。
- プロセッサの電源ピンに接続する電源電圧は、「推奨動作条件」に従います。
- 予約済みピンを含むすべてのプロセッサ ピン (機能別にグループ化し、個別のシンボル ブロックを持つ) が回路図に含まれており、ツール関連のエラーと機能エラーを最小限に抑えることができます。
- 多くのプロセッサ IO の TX (出力) と RX (入力) では、リセット中とリセット後、バッファがオフになり、内部プル抵抗 (プルアップとプルダウン) がオフになります。パターンを接続して IO をアクティブに駆動していないとき、ソフトウェアが IO を初期化するまで、装着デバイスの入力を有効な状態に保持するよう、外部プル抵抗 (10kΩ または 47kΩ) の設置を推奨します。TP をプロセッサ IO に接続している場合は、並列プル抵抗 (10kΩ または 47kΩ) を推奨します。プル抵抗を追加できない場合は、パターンを高周波信号から離すことを推奨します。
- カスタム基板の性能を向上させるには、プロセッサの電源レール (電圧) の外部測定、電源レールの電流引き込みとホットスポットでのオンボード温度測定を考慮した配置を検討してください。

プロセッサ固有のデータシートのピン属性に関する問い合わせについては、次の FAQ を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 設計に関する推奨事項 / カスタム基板ハードウェア設計 - SOC データシートのピン属性に関連する問い合わせ Excel 形式](#)

5.4.3 デバイス比較、IOSET および電圧競合

比較表に記載されている機能が利用できるかどうかは、IO ピン構成と必要なペリフェラル機能によって決まります。内部で実装されるペリフェラル機能は、限られた数のピンに多重化されています。SysConfig-PinMux ツールを使用して、必要な信号機能をピンに割り当てることを推奨します。SysConfig-PinMux ツールを使用すると、ピン マルチプレクシングに伴う制約をよりよく理解できます。

プロセッサ ペリフェラルは、IOSET としてグループ化された IO を使用してタイミング クローズされています。IOSET は、インターフェイスに固有の信号をグループ化したもので、セットとしてタイミング クローズされています。IOSET を備えたインターフェイスでは、同じ IOSET からすべてのインターフェイス信号を選択することを推奨します。一部のインターフェイス信号は、複数の IOSET で共有される場合があります。特定のペリフェラルをサポートする IOSET の有効なピン組み合わせについては、SysConfig-PinMux ツールを参照してください。

電圧の競合:

信号は電源ドメインではなく機能 IO ドメイン別にグループ化されます。一部のペリフェラル IO 構成では、電圧競合の警告が発生する可能性があります。この警告は、推奨電圧と IO に構成された電圧の違いを示すためのものであり、実際に電圧競合がある場合に、カスタム ボード設計者が必要な対応を行えるようにすることを目的としています。この警告は、異なる電圧ドメインからの GPIO 信号をグループ化する場合に最も役立ちます。現在のツール構成では、ペリフェラルごとに推奨電圧が 1 つしか許可されていないためです。異なる電圧レベルの IO (ピン) を含むペリフェラルには、警告が表示されます。この警告が表示されるのは、推奨電圧が IO (ピン) 電圧と異なるレベルであるためです (例: 推奨電圧は 3.3V で、ピン電圧は 1.8V)。選択された IO (ピン) の意図する電圧が 1.8V である限り、この警告は抑制できます。競合の表示は、ハードウェアの問題やツールのバグではなく、推奨電圧が構成済みの IO (ピン) 電圧と異なることを通知するものです。この警告は、単に推奨動作電圧と選択された (構成済みの) 動作電圧との競合を明確にするためにあります。競合の理由を理解していれば、警告を抑制できます。

電圧競合と IOSET の詳細については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 設計に関する推奨事項 / カスタム ボード ハードウェア設計 — SysConfig-PinMux の IOSET および電圧競合に関する質問](#)

5.4.4 RSVD0 予約済みピン(信号)

RSVD0 というピンは予約済みです。プロセッサ固有のデータシートで推奨されているように、RSVD0 ピンを未接続のままにすることを推奨します (PCB のパターンやテスト ポイント (TP) を接続しません)。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP / AM62L \(AM62L32, AM62L31\): カスタム ボード ハードウェア設計 – RSVD または RSDV0 ピンの接続に関する推奨事項](#)

5.4.5 PADCONFIG レジスタに関する注意事項

多くのプロセッサ IO (LVCMOS または SDIO バッファタイプ) は、同じピン上で複数の (異なる) 機能のマルチプレクシングをサポートしています。必要な IO 機能は、サポートされている複数の機能から選択できます。各 IO (パッド) で利用可能な機能のリストは、プロセッサ固有のデータシートの「ピン属性」表の信号名の列に記載されています。

必要な機能は、適切な (関連する) パッド構成レジスタの MUXMODE フィールドを使用して構成されています。PADCFG_CTRL0_CFG0_PADCONFIG0 ~ PADCFG_CTRL0_CFG0_PADCONFIG146 レジスタは、プロセッサの MAIN ドメインの IO の信号マルチプレクシングをサポートします。

プロセッサ固有の TRM の「パッド構成レジスタ」セクションの「パッド構成レジスタの機能説明」サブセクションに掲載されている「パッド構成レジスタビットの説明」の表では、ビットフィールドの説明、サポートされている構成、および PADCONFIG レジスタのリセット値について要約されています。PADCONFIG レジスタを構成する場合は、この表の末尾に記載されている注意事項を確認し、従うことを推奨します。それぞれの PADCONFIG レジスタに関連付けられている

ピンに有効なロジック入力 that 供給されない場合は、RXACTIVE ビットを設定しないでください。フローティング入力は、プロセッサの IO に損傷を与えたり、プロセッサの信頼性に影響を与える可能性があります。ST_EN ビットは、デフォルトで設定されています。ST_EN ビットを検証し、ビット値が 0 にリセットされている場合にビットを 1 に設定することを推奨します。ビットのデフォルト値は変更しないことをお勧めします。すべての PADCONFIG レジスタのデフォルト構成の概要は、プロセッサ固有の TRM の「パッド構成レジスタ」セクションの「パッド構成 PADCONFIG レジスタ」サブセクションにある「パッド構成 PADCONFIG レジスタ」表に記載されています。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x/ AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 設計上の推奨事項 / カスタム基板のハードウェア設計 – PADCONFIG ビットに関する情報および PADCONFIG レジスタのデフォルト値の概要](#)

5.4.6 フェイルセーフ動作のためのプロセッサ IO (信号) 絶縁

フェイルセーフ動作に関連する違反が発生しないように、IO グループのプロセッサ IO 電源と、接続されたデバイス (または FPGA、MCU、プロセッサ) の IO 電源を、同じ電源から供給することを推奨します。プロセッサと、接続されたデバイスまたは追加のプロセッサを異なる電源に接続する (異なる電源から供給する) 場合は、多くのプロセッサ IO はフェイルセーフではないため、信号絶縁を推奨します。入力として接続されているデバイスに対して IO 電源が有効でないときは常に、2 つのデバイスを絶縁するように設計された FET バス スイッチ回路を経由して信号を接続することを推奨します。FET バス スイッチと制御ロジックは、常時オンの電源から給電し、複数の (異なる) 電源からのパワー グッド信号の AND 関数によってのみ有効にすることを推奨します。

5.4.7 ピン接続要件とプロセッサ固有の評価基板の参照

プロセッサ固有のデータシートの「信号の説明」と「ピン接続要件」セクションには、プロセッサ ファミリー固有のペリフェラル、IO、ピン (機能) の接続に関する推奨事項を記載しています。

プロセッサ固有のデータシートに特定の接続要件が記載されていない場合、プロセッサ固有の評価基板を参照してください。

5.4.8 カスタム ボード高速インターフェイス設計ガイドライン

USB2.0 信号の接続と配線に関する推奨事項については、『[高速インターフェイスのレイアウト ガイドライン](#)』を参照してください。カスタム ボード設計時に従う必要がある配線要件について、適切な制約または注記を含めることを推奨します。

USB インターフェイスについては、カスタム ボードが過酷な産業環境で動作することが想定される場合、カスタム ボードの USB インターフェイスのノイズ耐性性能を改善するために、同相モードを追加することも選択肢になります。同相モードチョークを追加すると、信号振幅が低下し、USB インターフェイスの性能が低下する可能性があります (速度やデータスループットの低下、通信エラー)。0Ω の抵抗を使用して同相モード チョークをバイパスする機能を追加することを推奨します。アプリケーション要件に基づいて、USB インターフェイスと USB 電源に外部 ESD 保護機能を追加することを推奨します。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x/ AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 基板レイアウト - 一般的な高速レイアウト ガイドライン関連文書へのリンク](#)

5.4.9 LVCMOS (GPIO) 出力の電流ソースまたは電流シンクに関する推奨事項

出力として構成されたプロセッサ IO から供給される DC 電流出力は、「電気的特性」表に定義された V_{OL} 最大値および V_{OH} 最小値を達成するために定義された、最大 I_{OH} 値および I_{OL} 値を下回る必要があります。プロセッサ固有のデータシートに定義されている出力電流は、定常状態電流の制限値として使用しないでください。データシートの出力電流制限値に達することが想定されるのは、信号容量を充電または放電して、信号を Low から High、または High から Low に遷移させるときのみです。信号が有効なロジック状態に達すると、定常状態電流はデータシートの電流制限値よりもはるかに低くなるのが予想されます。出力は、標準的なプル抵抗をオーバードライブするために必要とされる、ある程度の定常状態電流は許容しますが、LED または同様の負荷を連続的に駆動するために必要とされるような、大きな定常状態電流は想定されていません。連続電流を引き込む可能性のある LED または同様の負荷を駆動する場合は、プロセッサ IO で制御された外部 FET またはトランジスタ スイッチを使用することを推奨します。

5.4.10 低速ランプ信号 (入力) またはコンデンサ負荷 (IO 出力での大きな値) のプロセッサ IO への接続

LVC MOS (SDIO) 入力にはスルーレート要件が規定されています (電氣的仕様の一部として)。低速ランプ入力 (信号) を LVC MOS (SDIO) 入力に直接接続することは推奨しません。印加された入力 (信号) が、 V_{IHSS} と V_{ILSS} の間の電圧領域でより多くの時間を費やす場合、入力バッファには長期的な信頼性の問題 (懸念) を伴う可能性があります。許容される遷移時間 (推奨) は 1,000ns 未満です。スルーレートは周波数に依存します。信号のトグル レートが高くない場合、最大スルーレート 1,000ns を推奨します (周波数非依存の制限)。(例として) IO が 1.8V で動作している場合、信号トグル レートが 100kHz 未満の場合、 $1.8E+6V/s$ の周波数非依存制限はより大きな値になります。信号のトグル レートが 100kHz を上回ると、 $18V/s$ の周波数依存制限 ($f =$ 入力信号のトグル周波数 (Hz)) はより大きな値になります。低速ランプ入力が印加されると (入力が中電圧のとき)、貫通電流が VDD から、部分的にオンになっている P チャネルトランジスタと部分的にオンになっている N チャネルトランジスタを経由して VSS に流れる可能性があります。低速ランプ入力が遅い状態にさらされ続けると、IO 性能、ボード性能、プロセッサの信頼性に関する懸念が生じます。

LVC MOS (SDIO) 出力に大容量のコンデンサを直接接続することは推奨しません。LVC MOS (SDIO) 出力バッファは、大きな容量性負荷を駆動するようには設計されていません。LVC MOS (SDIO) タイプの IO を出力として構成し、コンデンサを出力に接続する場合、許容されるコンデンサの値については、プロセッサ固有のデータシートでの推奨事項に従うこと、または直列抵抗を追加して IO 電流の引き込みを制限することを推奨します。シミュレーションを実行して、コンデンサの値を確定することを推奨します。

5.4.11 カスタム ボード設計時のプロセッサおよびプロセッサ ペリフェラル設計に関するクエリについて

カスタム ボード設計では、プロセッサおよびプロセッサ ペリフェラルに関する質問 (クエリ) が発生することがあります。プロセッサやプロセッサ ペリフェラルに関するクエリは、E2E フォーラムに投稿してデバイス専門家のサポートを受けることを推奨します。割り当てや回答の遅延を最小限に抑えるために、設計特定部分や特定のペリフェラルに関する質問は、個別の E2E クエリとして投稿することを推奨します。

5.4.12 「カスタム ボード設計チェックリスト」を始める前の、一般的な設計推奨事項 (知っておくべきこと)

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. 選択した評価基板設計関連資料の最新バージョンを参照していること。
3. TI.com 上の関連資料を、カスタム ボード設計時のエラー (設計の労力) を最小限にするために参照していること。
4. カスタム ボード回路図で使用されるプロセッサ回路図シンボルが、プロセッサ固有のデータシートの「属性」セクションに従って、ボール名、ピン番号を付与していること。
5. 特定のペリフェラルについては、IOSET グループの推奨事項に従っていること (SYSCONFIG IOSET グループに従う)
6. 必要な IO 機能と必要な PADCONFIG 構成が考慮されていること。
7. プロセッサ IO のバッファリング (出力、使用事例に基づいて) — より高い負荷を駆動するため。
8. プロセッサ IO のフェイルセーフ動作が検討されていること。
9. 出力コンデンサの負荷要件、実負荷値と許容値の比較、シミュレーションで検証するか必要な分析の実施
10. 最新のドキュメントリビジョン (関心のあるドキュメントについて) を TI.com の製品ページで頻繁に確認することをお勧めします。
11. E2E を使用することを推奨します (推測するのではなくて明確化するため)。

5.4.13 装着されるデバイスに関する推奨事項

TI は、カスタム基板の設計に関する装着デバイスに関する推奨を提供していません。

DDR4 または LPDDR4 メモリの選択については、プロセッサ固有のデータシートの「DDR の電氣的特性」セクションを参照することを推奨します。

MMC0 に関連付けられた MMCS D ホスト コントローラおよび PHY は、プロセッサ固有のデータシート (および TRM) に記載されているように、規格に準拠するように設計されています。eMMC を選択する際は、プロセッサ固有のデータシートの「MMC0 - eMMC/SD/SDIO インターフェイス」セクションを参照することを推奨します。

カスタム基板の設計時には、評価基板と SK で使用される主要なデバイス (部品) に関する情報に関する出発点として、以下の FAQ (よくある質問) を参照してください。

[FAQ] AM625 / AM623 / AM620-Q1 / AM62Ax / AM62Px / AM62D-Q1 / AM62L / AM64x / AM243x の設計推奨事項 / カスタム基板のハードウェアの設計 - スタータ キット / 評価基板のバリエーション (バージョン) および主要なデバイス (部品) のリスト

6 電源、クロック、リセット、ブート、デバッグに関するプロセッサ固有の推奨事項

注

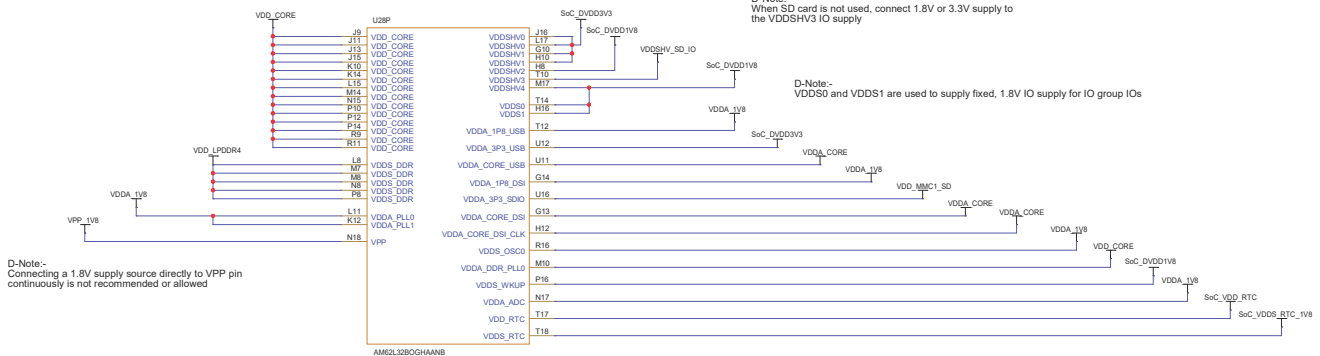
カスタム ボード設計時は、『AM62L (AM62L32, AM62L31) プロセッサ ファミリーを使用したカスタム ボード設計に関するハードウェア設計の検討事項』ユーザー ガイドと、『回路図設計ガイドラインと回路図レビュー チェックリスト』ユーザー ガイドを参照することを推奨します。

6.1 共通 (プロセッサのスタートアップ) 接続

6.1.1 電源

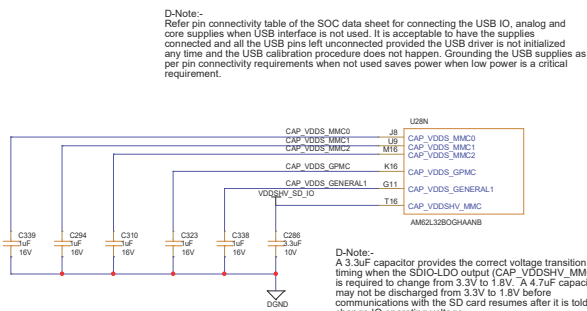
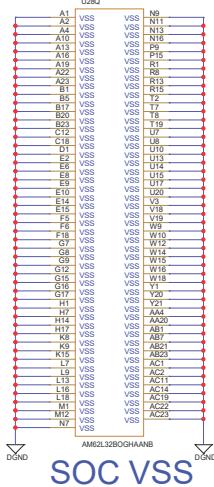
図 6-1 に、コア電源とペリフェラル コア電源、DDR PHY IO 電源、ペリフェラル アナログ電源、プロセッサ IO グループの固定電圧電源、IO グループのデュアル電圧 IO 電源、RTC コア電源、LFOSC0 および RTC IO グループの固定電圧電源の接続が記載されています。

D-Note:-
A trace connected to SOC pad (IO) is effectively an antenna that can pick up noise. A potential will be generated on the trace when noise couples into the antenna. This potential will be largest on the highest impedance end of the trace. By placing a pull-up or pull-down near the SOC pin (input), we force the highest potential to the open-circuit end of the trace rather than the SoC IO end of the trace.



D-Note:-
Connecting a 1.8V supply source directly to VPP pin continuously is not recommended or allowed

D-Note:-
Common SOC LVCMOS IO interface guidelines
1. Most of the SOC IOs are not fail-safe. No input should be applied before SOC supplies ramps.
2. SOC LVCMOS inputs have minimum slew rate requirements specified.
3. SOC IO buffers are off during Reset and after Reset. A pull is required in case SOC IOs or the attached device inputs could float.
4. Any SOC IO that has a trace connected and not being actively driven needs a parallel pull.
When adding pull is not feasible, ensure the traces are routed away from noisy signals



プロセッサの電源アーキテクチャを選択したり設計したりする場合は、以下に示すガイドラインを考慮することを推奨します。

- 各電源レールの電流 (電源) 要件は、使用するインターフェイスと動作環境に応じて異なります。
- プロセッサの電源レールの電流引き込みは、特定の使用事例に対応する電力推定ツール (PET) を使用して推定します。
- 電源レールが他のオンボード装着 (ペリフェラル) デバイスに電力を供給する場合は、装着されているデバイスの最大引き込み電流を含めて、電源レールのサイズを決定します。
- 電源のサイズを決定する場合は、プロセッサ電源レールの最大電流を考慮することを推奨します。各種の電源レールの最大電流定格の情報については、プロセッサ (AM62L) の製品ページを頻繁に確認することを推奨します。
- 選択された電源アーキテクチャ (PMIC、ディスクリット DC/DC、ディスクリット LDO など) の出力電流定格が、選択したプロセッサおよび装着されたデバイスの最大電流定格を満たすようにすることを推奨します。設計または製造の差異に対してマージンを追加することをお勧めします。
- 電源シーケンス (電源オンおよび電源オフ) と電源スルーレートが、プロセッサ固有のデータシートに従っているかどうかを確認することを推奨します。推奨される電源シーケンス要件については、プロセッサ固有のデータシートの「電源シーケンス」セクションを参照してください。

プロセッサの推奨動作条件 (ROC) の詳細については、次の FAQ を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62Ax / AM62D-Q1 / AM62Px / AM62L / AM64x / AM243x 設計に関する推奨事項 / カスタム基板ハードウェア設計 – SOC ROC の推奨動作条件](#)

プロセッサの電源アーキテクチャを選択したり設計したりする際には、以下のガイドラインを考慮します。

- 電源レールが必要な動作電圧レベルに構成され、電源出力がプロセッサの ROC の範囲内にある。
- 電源アーキテクチャが、プロセッサのデータシートに規定されているパワーアップおよびパワーダウン シーケンスに従っている。
- 電源アーキテクチャが、プロセッサ固有のデータシートで電源レールに対して規定されているスルーレート要件を満たす。
- すべての電源がランプアップされ、PORz 入力が解除される (デアサート) 前に安定している。
- プロセッサの電源のランプアップから PORz の入力が High になるまでの遅延が、プロセッサ固有のデータシートの推奨事項 (最小 9.5ms) に従っている。
- コールドリセット時に電源電圧が 300mV (残留電圧なし) 未満にランプダウンされた場合にのみ、電源を有効化することを推奨。
- すべての電源レールが、パワー サイクル後にいずれかの電源レールがランプアップできるようになるまでに 300mV 未満に減衰する (この要件には、時間または減衰電圧の許容誤差はありません)。
- PORz の入力スルーを最小にして、内部リセット回路のグリッチを回避する (PORz 入力を、最小スルーのディスクリット プッシュプル出力タイプ バッファを使用して接続することを推奨します)。

残留電圧と検出の詳細については、次の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 設計に関する推奨事項 / カスタム基板のハードウェア設計 – 残留電圧、検出、電源の減衰に関する質問](#)

注

RSVD0 という名前の電源レールとプロセッサ信号を接続するには、プロセッサ固有のデータシートの「ピン接続要件」セクションの最初にある注記を参照してください。

プロセッサの電源ピンのマッピングと、電圧レベルなどの推奨される電源の接続を確認することを推奨します。次の FAQ に従って、ピンのマッピングを確認します。

[\[FAQ\] AM625 / AM623 / AM625-Q1 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x カスタム基板のハードウェア設計 - プロセッサのピンのマッピングと SK 基板の接続 \(電源レール、コンデンサ、フェライト\)。](#)

6.1.1.1 コアとペリフェラルの電源

正常に動作させるため、すべての電源ピン (ボール) を、プロセッサ固有のデータシートの「推奨動作条件」セクションに記載している推奨電源電圧に接続することを推奨します。特定の接続要件を持つ電源ピンは、プロセッサ固有のデータシートの「ピン接続要件」セクションに記載しています。

このプロセッサ ファミリーは、0.75V の固定電源を VDD_CORE とペリフェラル コア電源レールに接続できます。プロセッサ コア電源 VDD_CORE とペリフェラル コア電源 VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、VDDA_DDR_PLL0 には、同じ電源から給電することを推奨します。固定 0.75V 動作 (推奨動作条件 (ROC) に従って規定される公称動作電圧) になるよう電源を構成することを推奨します。カスタム基板設計者は、VDD_CORE と VDDA_CORE_USB の間の電圧差が $\pm 1\%$ 以内になるよう注意する必要があります。

常に VDDOSC0 電源を接続することを推奨します。

プロセッサ ファミリーは、敏感なアナログ回路に電源を供給する複数のアナログ電源ピン VDDOSC0、VDDA_PLL0、VDDA_PLL1、VDDA_ADC、VDDA_1P8_DSI、VDDA_1P8_USB をサポートしています。アナログ電源には、フィルタ付き (フェライト) 電源を推奨します。

USB2.0 インターフェイスをサポートするには、VDDA_3P3_USB を 3.3V アナログ電源に接続することを推奨します。

詳細については、プロセッサ固有のデータシートの「推奨動作条件」と「電源シーケンス」セクションを参照してください。

6.1.1.1.1 電源ランプ (スルーレート) の要件とダイナミック電圧スケーリング

すべてのプロセッサ電源について、制御された電源ランプ (電源スルー要件に従う) を許容することを推奨します。詳細については、プロセッサ固有のデータシートの「電源のスルーレート要件」セクションを参照してください。

このプロセッサ (ファミリー) は、プロセッサ コア、ペリフェラル コア、ペリフェラル アナログ電源に対するダイナミック電圧スケーリング (変更) をサポートしていません。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62Ax / AM62Px / AM62D-Q1 / AM62L / AM64x / AM243x 設計に関する推奨事項 / カスタム基板ハードウェアの設計 – SOC コア \(VDD_CORE\)、ペリフェラル コア、アナログ電源のダイナミック電圧スケーリング](#)

6.1.1.1.2 追加情報

プロセッサの電源シーケンスの要件の詳細については、以下の FAQ を参照してください。

[\[FAQ\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: カスタム ボード ハードウェアの設計 — パワーアップとパワーダウンに対応するプロセッサの電源シーケンスの要件](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリーにも使用できます。

フェライトを使用したプロセッサの電源レールのフィルタリングの詳細については、以下の FAQ を参照してください。

[\[FAQ\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP カスタム ボード ハードウェア設計 — SoC 電源レールのフェライト \(電源フィルタ\) の推奨事項](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリーにも使用できます。

6.1.1.1.3 プロセッサ コアとペリフェラル コア電源のチェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み。
2. プロセッサ コア VDD_CORE とペリフェラル コア VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、および VDDA_DDR_PLL0 電源の接続 (0.75V のみの固定)
3. ROC、プロセッサ固有のデータシートに基づくスルーレートと、プロセッサ コアおよびペリフェラル コア電源レールの電圧シーケンス要件。

- 必要なバルクおよびデカップリング コンデンサ、ペリフェラル コア電源フィルタの追加。
- 特定のペリフェラルを使用しない場合の、ペリフェラル コア電源ピンの接続。
- ペリフェラルを使用しないが、バウンダリ スキャン機能が必要な場合の、ペリフェラル コア電源 VDDA_CORE_DSI、VDDA_CORE_DSI_CLK (DSITX0) の接続。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

- 電源レール用のバルクおよびデカップリング コンデンサの実装を、評価基板の回路図の実装と比較するか、PDN アプリケーション ノートを参照することを推奨します
- プロセッサ コア VDD_CORE およびペリフェラル コア VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_CORE_USB、VDDA_DDR_PLL0 の電源レールには、0.75V の固定および推奨の電源電圧が印加されます
- プロセッサ コア電源とペリフェラル コア電源に接続された電源レールの動作電圧が ROC に追従します
- USB 2.0 インターフェイスに対応するため、電源レール VDDA_3P3_USB を 3.3V 電源に接続することを推奨します。3.3V 電源電圧を内蔵 LDO 入力 VDDA_3P3_SDIO (リセット可能な SD カード電源制御パワースイッチの出力と同じ) に接続することを推奨します。
- ペリフェラル コア電源 (DSI、USB) 用にフェライト フィルタが用意されています
- ピン接続要件に従って特定のペリフェラルが使用されない場合のコア電源の接続
- コア電源 (DSITX0 の VDDA_CORE_DSI、VDDA_CORE_DSI_CLK) の接続。ペリフェラルを使用しないが、バウンダリ スキャン機能が必要な場合は、データシートのピン接続要件に従ってください

さらに

- PMIC DC/DC またはコア電源の LDO 出力に分離または電流測定用に、0Ω の抵抗またはジャンパを追加することを推奨します。測定のためにテスト ポイント (TP) を追加することを推奨します。TP の接続に際しては、ケルビン電流センスの接続に従うことを推奨します。電源レール電流と抵抗電流キャパシティに基づいて、抵抗パッケージを選択します。
- コア電源の動的電圧スケーリング (DVS) には対応していません (推奨されていない、もしくは許容されていません)。
- デバイスがリセット状態から解除された後にコア電圧を変更することはできません。コア電源がオフのとき、パワーダウンシーケンスに従ってすべての電源レールを降下し、すべての電源レールが 300mV を下回るまで待ってから、電源をオンにすることを推奨します。
- USB ドライバが初期化されず、USB のキャリブレーション手順が実行されない場合は、電源を接続し、USB0、USB1、またはその両方に対応するすべての USB ピンを残しても問題ありません。両方の USB インターフェイスを使用しない場合、ピン接続要件に従って USB 電源を接地することで、低消費電力が重要な要件である場合に電力を低減できます。

6.1.1.1.4 ペリフェラル アナログ電源のチェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

- ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み。
- 推奨電源電圧の、ペリフェラル アナログ電源レール VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_ADC、VDDA_1P8_DSI、VDDA_1P8_USB への接続。
- 3.3V USB アナログ電源 VDDA_3P3_USB の接続。
- プロセッサ電源 ROC、プロセッサ固有のデータシートに従ったスルーレート、ペリフェラル アナログ電源レールの電圧シーケンス要件。
- 必要なバルク コンデンサとデカップリング コンデンサ、ペリフェラルのアナログ電源フィルタを追加
- 特定のペリフェラルを使用しない場合のペリフェラル アナログ電源ピンの接続。
- 特定のペリフェラルを使用しないが、バウンダリ スキャン機能が必要な場合のペリフェラル アナログ電源 (DSITX0 用) の接続。

回路図レビュー


カスタム回路図設計については、以下のリストに従ってください。

1. 電源レール用のバルクおよびデカップリング コンデンサの実装を、評価基板の回路図の実装と比較することを推奨します。
2. ペリフェラル電源に接続された電源レールの動作電圧が ROC に準拠している。
3. 推奨電源電圧 1.8V が、ペリフェラル アナログ電源レール VDDS_OSC0、VDDA_PLL0、VDDA_PLL1、VDDA_ADC、VDDA_1P8_DSI、VDDA_1P8_USB に接続されている。
4. USB2.0 インターフェイスをサポートするために、電源レール VDDA_3P3_USB を 3.3V アナログ電源に接続することを推奨します。内蔵 LDO の入力として、3.3V を VDDA_3P3_SDIO (スイッチング、SD カード電源制御パワー スイッチの出力と同じ) に接続することを推奨します。
5. アナログ電源レールのスルーレートが、データシートの要件に従っている。
6. 評価基板の回路図の実装に基づき、ペリフェラル アナログ電源 (DSI、PLL、USB (1.8V)、WKUP_OSC0) 用にフィルタ (フェライト) が搭載されている。
7. 特定のペリフェラルをピン接続要件に従って使用しない場合のペリフェラル アナログ電源の接続。
8. 特定のペリフェラルを使用しない場合が、ピン接続要件に従ってバウンダリ スキャン機能が必要な場合のペリフェラル アナログ電源 (DSITX0 の VDDA_1P8_DSI) の接続。フェライトとバルク コンデンサはオプションです。

さらに

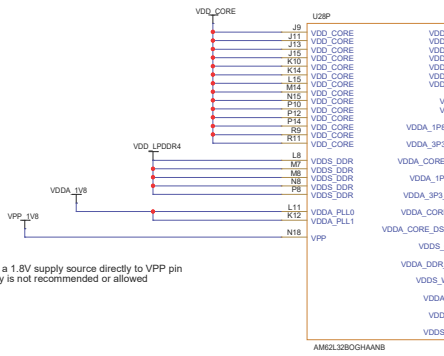
1. アナログ電源の PMIC DC/DC または LDO 出力で、絶縁または電流測定用に 0Ω の抵抗またはジャンパを追加することを推奨します。測定のためにテスト ポイント (TP) を追加することを推奨します。TP の接続に際しては、ケルビン電流センスの接続に従うことを推奨します。電源レール電流と抵抗電流キャパシタンスに基づいて、抵抗パッケージを選択します。
2. アナログ電源の動的電圧スケーリング (DVS) には対応していません (推奨されていない、もしくは許容されていません)。
3. USB ドライバが初期化されず、USB のキャリブレーション手順が実行されない場合は、電源を接続し、USB0、USB1、またはその両方に対応するすべての USB ピンを残しても問題ありません。どちらの USB インターフェイスも使用しない場合は、ピンの接続要件に従って USB 電源をグランディングすることによって電力を節約できます。

6.1.1.2 IO グループの IO 電源

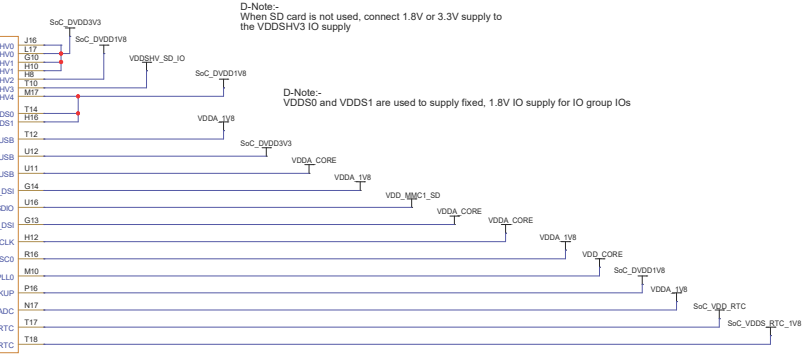
 **6-2** には、SDIO_LDO (3.3uF) および General1、GPMC、MMC0、MMC1、MMC2 IO グループ (1uF) への外付けコンデンサの接続を示しています。

電源、クロック、リセット、ブート、デバッグに関するプロセッサ固有の推奨事項

D-Note-
A Trace connected to SOC pad (IO) is effectively an antenna that can pick up noise. A potential will be generated on the trace when noise couples into the antenna. This potential will be largest on the highest impedance end of the trace. By placing a pull-up or pull-down near the SOC pin (input), we force the highest potential to the open-circuit end of the trace rather than the SoC IO end of the trace.



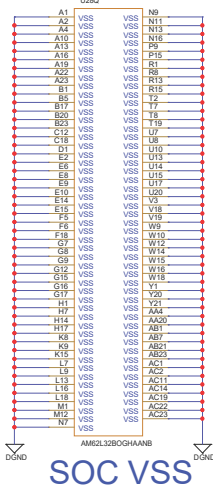
D-Note-
Connecting a 1.8V supply source directly to VPP pin continuously is not recommended or allowed



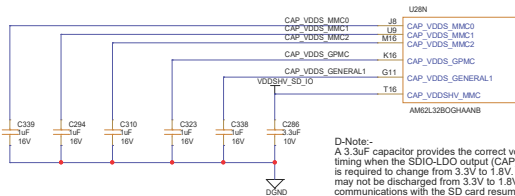
D-Note-
When SD card is not used, connect 1.8V or 3.3V supply to the VDDSHV3 IO supply

D-Note-
VDDSO and VDDSI1 are used to supply fixed, 1.8V IO supply for IO group I/Os

- D-Note-
Common SOC LVCMOS IO interface guidelines
1. Most of the SOC IOs are not fail-safe. No input should be applied before SOC supplies ramps.
 2. SOC LVCMOS inputs have minimum slew rate requirements specified
 3. SOC IO buffers are off during Reset and after Reset. A pull is required in case SOC IOs or the attached device inputs could float.
 4. Any SOC IO that has a trace connected and not being actively driven needs a parallel pull. When adding pull is not feasible, ensure the traces are routed away from noisy signals



D-Note-
Refer pin connectivity table of the SOC data sheet for connecting the USB IO, analog and core supplies when USB interface is not used. It is acceptable to have the supplies connected and all the USB pins left unconnected provided the USB driver is not initialized any time and the USB calibration procedure does not happen. Grounding the USB supplies as per pin connectivity requirements when not used saves power when low power is a critical requirement.



D-Note-
Select capacitor with ESR < 1 ohm
Ensure the PCB loop inductance is < 2.5 nH
Select 0201 package or smallest possible package nearest to 0201
Refer SOC Data sheet

D-Note-
A 3.3uF capacitor provides the correct voltage transition timing when the SDIO-LDO output (CAP_VDDSHV_MMC1) is required to change from 3.3V to 1.8V. A 4.7uF capacitor may not be discharged from 3.3V to 1.8V before communications with the SD card resumes after it is told to change IO operating voltage.

図 6-2. IO グループ接続用外部コンデンサ CAP_VDDSHV_xxx

以下の FAQ (よくある質問) には、CAP_VDDSHV_xxx コンデンサの値と、コンデンサアセンブリ (実装または短絡) の影響に関する推奨事項が示されています。

[FAQ] AM625 / AM623 / AM620-Q1 / AM62L / AM62Ax / AM62D-Q1 / AM62Px / AM64x / AM243x 設計上の推奨事項 / カスタム ボード ハードウェア設計 – CAP_VDDSHVx CAP_VDDSHVx に関する質問

このプロセッサ ファミリーは、IO 用の電源レールとして、IO グループ用デュアル電圧 1.8V/3.3V IO 電源、および IO グループ用固定電圧 1.8V IO 電源をサポートしています。

IO グループのデュアル電圧 1.8V/3.3V IO 電源は、IO グループ用の固定 1.8V/3.3V IO 電源と、IO グループ用の動的にスイッチされる 1.8V/3.3V IO 電源の 2 つのタイプがあります。

6.1.1.2.1 IO グループ用デュアル電圧 1.8V/3.3V IO 電源

このプロセッサ ファミリーは、IO グループ用の x5 (5 つの) デュアル電圧 IO 電源 (VDDSHVx [x = 0:4]) に対応しています。IO グループの各 IO 電源は、固定された IO セットに接続され (基準とされ) ます。IO グループの各 IO 電源は、固定の (VDDSHV2、VDDSHV3、および VDDSHV4 は動的な電源スイッチングに対応しています) 3.3V または 1.8V 電源に個別に接続できます。IO グループの IO 電源は、すべての IO (固定セット) の共通の動作電圧を決定します。

CAP_VDDSHV_xxx [合計 5 本のピン] と CAP_VDDSHV_MMC として指定されたプロセッサのパッド (ピン) は IO グループの IO 電源が 3.3V 電源に接続されている場合 (IO グループの IO 電源が 1.8V に接続されている場合は任意)、外部コンデンサを IO グループ電源の内部 IO 電源に接続します。

1 μ F (許容誤差 $\pm 10\%$ 、電圧定格 10V 以上を CAP_VDDSHV_0xxx ピンと VSS の間に接続、プロセッサ固有のデータシートを参照) コンデンサを推奨します。CAP_VDDSHV_0xxx ピンについては、DC バイアス、許容誤差、周波数、経年劣化を考慮して、コンデンサの値を 0.8 ~ 1.5 μ F 内にすることを推奨します。IO グループの IO 電源が 3.3V に接続されている場合、定常状態の DC 出力 VDDSHVx/2 は、DC バイアス効果を考慮してコンデンサの電圧定格を選択するために考慮される電圧です。3.3 μ F (推奨許容誤差は $\pm 10\%$ 、10V 以上の電圧定格を CAP_VDDSHV_0xxx と VSS の間に接続)。コンデンサの値は、DC バイアス、許容誤差、周波数、経年変化を考慮して 3.3 μ F $\pm 20\%$ 以内にすることを推奨します。プロセッサ固有のデータシートを参照してください。

PCB ループ インダクタンスを最小限に抑えるため、PCB の裏面の BGA のアレイ内にコンデンサを配置します。コンデンサの電圧定格の選択は、コンデンサのパッケージ (サイズ) の選択に影響します。

ESR が 1 Ω 未満のコンデンサを選択することを推奨します。パターンループ インダクタンスは 2.5nH 未満に維持します。

6.1.1.2.1.1 IO グループ用デュアル電圧 IO 電源チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. 有効な固定電源ソースが、プロセッサ固有のデータシートの ROC に従い、IO グループのすべてのデュアル電圧 IO 電源 (VDDSHV0、VDDSHV1) に接続されている
3. 有効な電源ソース (動的にスイッチング可能) が、プロセッサ固有のデータシートの ROC に従い、IO グループの動的にスイッチングされるすべてのデュアル電圧 IO 電源 (VDDSHV2、VDDSHV3、VDDSHV4) に接続されている
4. プロセッサ固有のデータシートに従い、IO グループの IO 電源レールのスルーレート要件を満たしている
5. IO 電源が 3.3V または 1.8V の場合、IO グループ用 IO 電源の CAP_VDDSHV_0xxx ピンに推奨される外付けコンデンサを接続している (許容誤差、電圧定格は評価基板 (EVM) 回路図を参照、CAP_VDDSHV_0xxx ピンと VSS の間に接続)。
6. SD カード IO 電源用の推奨される外付けコンデンサを CAP_VDDSHV_0xxx に接続している (許容誤差、電圧定格は評価基板 (EVM) 回路図を参照、CAP_VDDSHV_0xxx ピンと VSS の間に接続)
7. プロセッサ固有のデータシートに記載されている電源シーケンスの推奨事項を満たしている

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. IO グループの IO 電源が 3.3V 電源に接続されている場合、推奨されるコンデンサを CAP_VDDSHV_0xxx ピンと VSS に接続している (1.8V 電源が接続されている場合は任意)
2. 許容誤差、経年変化、温度ドリフト、および直流バイアスの影響を含め、0.8 ~ 1.5 μ F の範囲内の静電容量値を持つ、選定されたコンデンサの定格電圧および許容誤差
3. CAP_VDDSHV_0xxx コンデンサ パッケージ (ループ インダクタンスを最小にするため、可能な限り小さい (0201 以上のパッケージで、0201 に最も近い) パッケージを使用)
4. IO の使用に関係なく、IO グループのすべての IO 電源レールに有効な電源がある
5. 接続されている電源レールが ROC に準拠している
6. 各 CAP_VDDSHV_0xxx ピンには、VSS (グランド) に対して個別の 1 μ F コンデンサを接続する必要がある
7. ESR が 1 Ω 未満の CAP_VDDSHV_0xxx コンデンサを選択し、パターンループ インダクタンスは 2.5nH 未満に維持する
8. 必要なバルク キャパシタとデカップリング コンデンサは、IO グループの IO 電源に接続する (評価基板 (EVM) 回路図に従う)。

さらに

1. すべての電源レールについて、電源レールの出力での絶縁または電流測定には、0 Ω の抵抗またはジャンパを使用することを推奨します。電源レール電流と抵抗の電流量に基づいて、抵抗のパッケージを選択します。

2. VDDSHVx 電源レールのいずれかが 3.3V 電源から供給される場合、VDDSHVx を基準とするすべての IO が 3.3V の IO レベルで動作する必要があります。VDDSHVx 電源レールに 1.8V 電源から供給される場合、VDDSHVx を基準とするすべての IO は、1.8V の IO レベルで動作する必要があります。
3. 一部のインターフェイスは複数の VDDSHVx に対応します。いずれかのインターフェイスを使用する場合、そのインターフェイスをサポートするすべての VDDSHVx ドメインが、同じ電圧源を共有する必要があります。
4. ほとんどのプロセッサ IO はフェイルセーフではありません。対応する VDDSHVx 電源がオフのときに IO に入力電圧を印加することは推奨されず、許可されません。
5. 各 VDDSHVx のすべての IO ピンが単一の電圧レベルにのみ接続されていることを確認します。
6. フェライトやコンデンサの実装については、プロセッサ固有の評価基板 (EVM) に従ってください。
7. VDDSHVx レールを未接続のままにすることは推奨しません。使用事例と ROC に応じて、電源ピンを 1.8V または 3.3V のいずれかに接続します。

6.1.1.2.2 (ペリフェラル) IO グループの固定電圧 1.8V IO 電源

プロセッサ ファミリーは、IO グループ電源 (VDDS0、VDDS1、VDDS_WKUP、VDDS_RTC) 用の 3 つの固定電圧 1.8V IO 電源に対応しており、固定された IO セットに各ドメインが電源を供給します。

これらは 1P8-LVCMOS バッファ タイプです。カスタム ボード設計者は、IO グループ用の固定電圧 1.8V IO 電源を基準とする IO を、1.8V の IO レベルで接続されているデバイスと接続する役割を担っています。

6.1.1.2.2.1 (ペリフェラル) IO グループの固定電圧 1.8V IO 電源チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み
2. 汎用 IO (VDDS0、VDDS1)、WKUP、RTC IO グループの固定電圧電源の接続
3. ROC、プロセッサ固有のデータシートに基づく電圧シーケンス、および IO グループのプロセッサ固定電圧電源のスルーレート要件
4. 固定電圧電源 IO グループに必要なバルク キャパシタとデカップリング コンデンサの追加

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. IO の使用に関係なく、IO グループのすべての IO 電源レールに有効な電源が接続されている
2. 接続されている電源レールがプロセッサの ROC に準拠している
3. IO の電源レベルが、IO グループの VDDS0、VDDS1、VDDS_WKUP、VDDS_RTC 固定電源電圧と一致している
4. スルーレート要件が、プロセッサの要件を満たしている
5. プロセッサ固有のデータシートに記載されている電源シーケンスの推奨事項を満たしている

さらに

1. VDDS0、VDDS1、VDDS_WKUP、VDDS_RTC を基準とするすべての IO は、1.8V IO レベルで動作する必要があります
2. 多くのプロセッサ IO はフェイルセーフではありません。対応する VDDS0、VDDS1、VDDS_WKUP、VDDS_RTC 電源がオフのときに IO に入力電圧を印加することは推奨されず、許可されません。
3. VDDS0、VDDS1、VDDS_WKUP、VDDS_RTC のすべての IO ピンが 1.8V 電圧レベルのみに接続していることを確認することを推奨します。
4. フェライトやコンデンサの追加の実装については、プロセッサ固有の評価基板 (EVM) に従うことを推奨します
5. VDDS0、VDDS1、VDDS_WKUP、VDDS_RTC のレールを未接続のままにすることは推奨されません。電源ピンを 1.8V に接続することを推奨します。

6.1.1.2.3 追加情報

多くのプロセッサ IO はフェイルセーフではありません。使用可能なフェイルセーフ IO の詳細については、プロセッサ固有のデータシートを参照してください。カスタム ボード設計が、電力が供給されていないプロセッサ IO 電源に電位を供給しないようにするために、接続されているデバイスの IO 電源を、IO グループのそれぞれのプロセッサ IO 電源 (VDDSHVx、VDDsx、VDDs_WKUP、または VDDs_RTC) に接続されているのと同じ電源に接続することを推奨します。IO グループ電源用の IO 電源が利用できない場合にフェイルセーフではない IO に外部入力を印加すると、プロセッサの機能、性能、信頼性に影響を及ぼす可能性があります。

フェイルセーフ動作のための信号絶縁など、プロセッサと接続デバイス間の電源シーケンス要件の詳細については、以下の FAQ を参照してください。

[\[FAQ\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP: カスタム ボード ハードウェア設計 — SOC \(プロセッサ\) と接続デバイス間の電源シーケンス \(フェイルセーフ\)](#)


FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリにも使用できます。

注

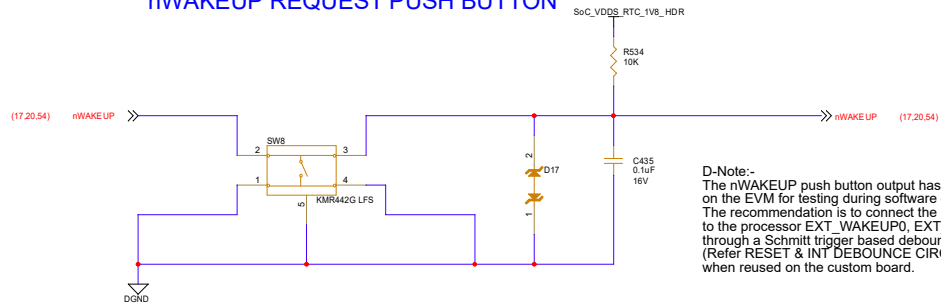
関連するプロセッサ IO またはペリフェラルに入力を印加する前に、VDDSHVx、VDDsx、または VDDs_WKUP の有効な電源電圧が供給されているのを確認することを推奨します。

プロセッサの IO やペリフェラルの使用に関係なく、VDDSHVx 電源と関連する CAP_VDDs_xxx (接続されている IO 電源が 3.3V の場合、1.8V の場合はオプション) にコンデンサを接続することを推奨します。

6.1.1.3 VPP 用電源 (eFuse ROM プログラミング)

 **6-3** には、VPP_1V8 電源生成用 LDO U47、プルダウン付きの VPP_LDO_EN 信号 (IO) (LDO は通常無効になる想定)、過渡負荷電流に対応するための LDO 出力のバルク キャパシタおよびデカップリング コンデンサ、LDO 出力電圧値やタイミングのテスト時に VPP 電源ピンを分離するための LDO 出力の 0Ω 抵抗が含まれています。

nWAKEUP REQUEST PUSH BUTTON

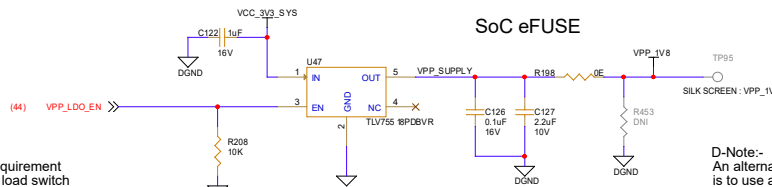


D-Note:-
The nWAKEUP push button output has been provided on the EVM for testing during software development. The recommendation is to connect the nWAKEUP signal to the processor EXT_WAKEUP0, EXT_WAKEUP1 inputs through a Schmitt trigger based debounce logic (Refer RESET & INT DEBOUNCE CIRCUIT) when reused on the custom board.

1.8V VPP (eFUSE), 0.5AMPS SUPPLY

D-Note:-
Alternate part suggestion TPS7A21-Q1, Automotive, 500mA, low-noise ultra-low-IQ high-PSRR low-dropout (LDO) voltage regulator.

D-Note:-
Okay to use VCC_3V3_MAIN



D-Note:-
Given the transient load current requirement during eFuse programming, using load switch or FET based switch may not be a recommended approach. The recommendation is to use an LDO with fast load current transient response and quick output discharge that can be enabled by processor IO. A load switch or FET based switch is likely to have too much voltage drop (out of processor VPP supply ROC) that can't be compensated like when using an LDO.

D-Note:-
The recommendation is to select an LDO with fast load transient current response and connect the LDO output to the VPP supply pin with low loop inductance path to ensure the LDO is able to source the large transient load current, where the VPP supply is within the ROC when programming the eFuse.

D-Note:-
An alternate way to source the VPP supply is to use an external supply. The recommended caps and discharge resistor are recommended to be placed near to the SOC VPP supply pin. One of the SOC GPIO output can be used to control the timing of the external power supply output.

VCC_3V3_SYS LOAD SWITCH

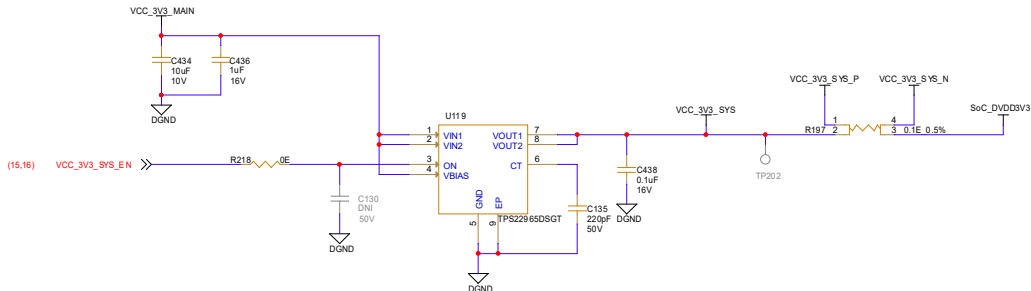


図 6-3. eFuse の LDO および EN 制御

プロセッサ eFuse のプログラミングに使用する VPP (eFuse ROM プログラミング) 電源は、必要な負荷電流、負荷電流過渡、およびアクティブ (クイック) 出力放電をサポートする個別の LDO から供給 (給電) することを推奨します (プロセッサ固有のデータシートを参照)。LDO は、eFuse のプログラミング中のみ有効にすることを推奨します。eFuse プログラミング中は、VPP 動作電圧を ROC 範囲内にする必要があります。直列パストランジスタによる電圧降下を補償し、高負荷電流の過渡時に適切な動作電圧を維持するため、高い入力電圧 (2.5V または 3.3V) から電力を供給する LDO を推奨します。LDO 過渡応答に対応するため、プロセッサの VPP ピンの近くにローカル バルク キャパシタを配置することを推奨します。

ROC ($\pm 5\%$) を超える変動がある電源レールから VPP 電源レールに電力を供給する場合、またはロード スイッチや FET ベースのスイッチを使用する場合、高負荷電流過渡が生じる可能性や、VPP 電源レールがプロセッサ電源の ROC 範囲内にある必要があるため、問題になる可能性があります。ロード スイッチや FET ベースのスイッチ トポロジでは、ロード スイッチを通過する際の電圧降下が考慮されていません。カスタム ボードの設計者が (ROC と比較して) 変動が小さい電源を使用し、電源変動とロード スイッチでの電圧降下を合わせても VPP の推奨動作範囲を超えないようにできる場合は、ロード スイッチを選択肢とすることもできます。代替方法として、eFuse のプログラミング用に外部電源を使用すること

もできます。電源要件はオンボード LDO と同様で、プロセッサ IO のいずれかを使用して外部電源の EN (イネーブル) のタイミングを制御することを推奨します。外部 VPP 電源を使用する場合は、VPP 電源ピンに近いプロセッサ ボード上のバルク キャパシタとデカップリング コンデンサを確保することを推奨します。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP: カスタム ボードのハードウェア設計 – VPP eFuse プログラミング電源の選定と用途に関する質問](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリにも使用できます。

[AM625 / AM623 / AM625-Q1 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x カスタム ボードハードウェア設計 – VPP eFuse プログラミング電流波形に関する質問](#)

6.1.1.3.1 VPP 用電源のチェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み
2. VPP 電源の実装アプローチ (LDO (推奨) またはロードスイッチ / FET ベーススイッチ (許可しない))
3. OTP eFuse プログラミング時の負荷 (電流) の過渡応答のための推奨動作条件内での電源
4. テストの目的でプロセッサに接続した VPP 電源を絶縁する対策
5. VPP 電源生成 LDO 出力 (LDO EN) の制御
6. 電流の過渡応答に対応し、放電時間を最適化するための推奨バルク コンデンサとフィルタ コンデンサ
7. 外部電源を VPP 電源として使用する場合の接続に関する推奨事項
8. 外部 VPP 電源タイミング制御
9. 外部 VPP 電源シーケンシング
10. VPP 電源を連続的な 1.8V 電源レールに接続することは推奨も許可もせず、サポートするオプションもありません。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. 推奨バルク コンデンサとフィルタ コンデンサを設置 (評価基板回路図の実装を遵守) します。
2. VPP 電源に接続したプロセッサ電源レール (eFuse プログラミング用) は、プロセッサの ROC を遵守します。
3. オンボード電源の実装、またはプロセッサ ボード上にバルク コンデンサとデカップリング コンデンサを追加して外部電源を接続する対策を実施します。
4. 固定出力 LDO または PMIC 出力 (400mA の最大電流) を推奨します (FET ベースのスイッチまたはロード スイッチの使用は推奨も許可もしません)。
5. 公称電圧が 1.8V で、最小電流 400mA をサポートし、良好な負荷電流過渡応答とクイック出力放電 (アクティブ放電) 機能を備えたオンボード LDO を選択します。評価基板の回路図で使用している LDO 仕様を遵守します。
6. 可変 LDO を使用する場合、出力電圧構成、出力電圧精度、出力電圧スルー、出力過電圧保護 (ツェナー) の使用を検証することを推奨します。
7. プロセッサ IO を使用して LDO の EN を制御し、推奨プル抵抗を設置します。
8. 電源を切って再投入する際とその後に、EN プルが LDO をオフ状態に保持しているか確認することを推奨します。
9. 外部電源を接続した場合、プロセッサ基板のプロセッサの VPP ピン付近にバルク コンデンサとデカップリング コンデンサを追加で配置し、外部電源の接続用の TP を設置することを推奨します。
10. 外部 VPP 電源 (使用する場合) は、プロセッサ固有のデータシートに従って、推奨される電源シーケンスとスルーレートの要件を遵守します。

さらに

1. VPP 電源 (オンボードまたは外部電源) に接続するための回路を常にプロセッサ基板に用意することを推奨します。
2. 高い負荷の電流過渡応答を供給するため、LDO 出力を低ループ インダクタンスの経路でプロセッサの VPP ピンに接続することを推奨します。この場合、VPP ピンの電源が最小動作電圧を下回らないようにします。

3. 直列抵抗またはジャンパを実装すると、プロセッサの VPP 電源電圧を LDO 出力から分離して、タイミングや LDO 出力をテストできます。抵抗パッケージの電流定格は、400mA 超を想定しています。
4. 可変出力 LDO を使用する場合は、LDO 出力に外部ツェナーによる過電圧保護機能を追加し、LDO 出力に接続した VPP 電源ピンを分離して LDO 出力をテストする機能を用意することを検討してください。
5. eFuse のプログラミング中の負荷電流過渡応答要件のため、ロードスイッチや FET ベースのスイッチの使用は推奨しません。ロードスイッチや FET ベースのスイッチでは、電圧降下が大きく補償できなくなる可能性があります。
6. 使用事例によりロードスイッチや FET ベースのスイッチを使用する必要がある場合、プログラミング中にプロセッサの VPP ピンの電圧を測定して基板性能の特性を評価し、VPP 電源が ROC の最小値を下回らないことを確認することを推奨します。VPP 電源の経路にいくつかの変動要素があると、電源が ROC から外れる可能性があるため、実装前に特性を評価する必要があります。ロードスイッチや FET ベースのスイッチが、プロセッサ固有のデータシートで定義されている最大 VPP 電源スルーレート要件に違反していないか確認します。
7. パワーアップシーケンス、パワーダウンシーケンス、通常のデバイス動作の最中は、プロセッサの VPP 電源ピンをフローティング (ハイインピーダンス) のままにするか、接地することを推奨します。

6.1.1.4 ローパワー モードを構成するための電源端子

さまざまなアプリケーションの使用事例およびローパワー モードのための AM62L 電源アーキテクチャの実装の説明については、プロセッサの製品のページにある『AM62L 電源の実装』のアプリケーション ノートを参照してください。

RTC および ローパワー モードの実装に関連する情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM62L \(AM62L32, AM62L31\) の設計の推奨 / カスタム基板ハードウェアの設計 - リアルタイム クロック \(RTC\) タイマ モジュール RTC に関する質問、サポート対象のローパワー モードおよびハードウェアの実装、および EXT_WAKEUP0..1 の入力](#)

プロセッサ ファミリーでサポートされているローパワー モードを以下に示します。

6.1.1.4.1 外部ウェークアップ入力 (EXT_WAKEUP0 および EXT_WAKEUP1)

EXT_WAKEUP0 および EXT_WAKEUP1 信号は外部ウェークアップ入力です。

EXT_WAKEUP0 および EXT_WAKEUP1 入力の接続については、プロセッサ固有のデータシートの「ピン接続要件」セクションを参照してください。

6.1.1.4.2 RTC のみローパワー モード

図 6-4 は VDD_RTC と VDDS_RTC の生成用のディスクリート LDO を搭載し、RTC のみローパワー モードをサポートします。シャント R505 と R516 を実装し、RTC のローパワー モード電流を測定、または絶縁します。

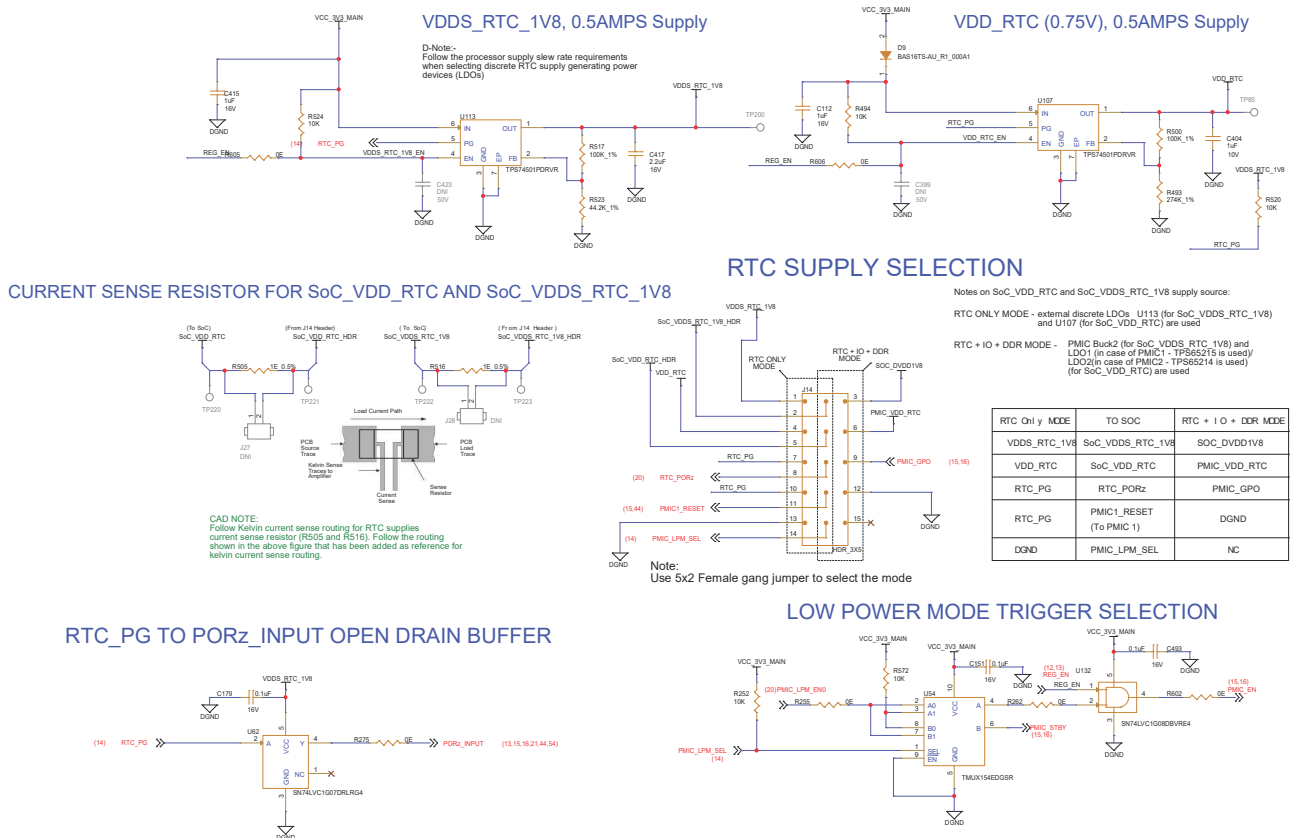


図 6-4. RTC のみローパワー モードの電源

ディスクリート電源を使用した RTC のみローパワー モードの電源アーキテクチャの実装については、評価基板回路図を参照してください。

RTC のみローパワー モードの実装については、プロセッサ固有のデータシートの電源シーケンス図（「RTC のみローパワー モードのシーケンシング」）を参照してください。

6.1.1.4.2.1 RTC 専用モードの使用

VDDS_RTC (1.8V) と VDD_RTC (0.75V) には常時オンの電源の接続を推奨します。RTC_PORz が解放される前に、VDDS_RTC と VDD_RTC が利用可能で、電圧が上昇し、安定している必要があります。VDDS_RTC と VDD_RTC の間にシーケンシング要件はありません。

AM62Lx プロセッサにとって唯一の確実なシーケンシング要件は、VDD_CORE の前後に VDD_RTC が上昇することだけです。

プロセッサ固有のデータシートに記載されている推奨事項に従い、有効なクロックソースを LFOSC0_XI と LFOSC0_XO (水晶振動子) または LFOSC0_XI (LVCMOS) に接続する必要があります。

6.1.1.4.2.1.1 RTC のみモードが使用されているときの RTC_PORz 遅延

RTC_PORz が High になる前に、VDD_RTC と VDDS_RTC パワー レールが有効である必要があります。具体的な遅延要件はなく、電源 (VDD_RTC と VDDS_RTC) の PG (パワー グッド) 出力を RTC_PORz 入力として接続できます。

6.1.1.4.2.1.2 RTC 専用モード電源アーキテクチャの評価基板の実装

VDD_RTC は、VDD_CORE 電源より前に上昇し、VDD_CORE 電源より後に下降することが求められます。VDD_RTC の生成に使用するディスクリート LDO の入力には、ダイオードを使用できます。ダイオードを使用しない場合、VDD_RTC 電源レールは、制御不能なパワーダウンが発生した場合に、VDD_CORE と同時に、またはそれより前に減衰する可能性があります。後者の場合はシステム電源がオフになるか、基板から遮断されます。

VDD_RTC 電源ドメインはそれほど電力を消費しないため、VDD_RTC LDO の入力コンデンサは、ダイオードを使用して電源が入力電源から絶縁されたとき、VDD_RTC レールをより長い時間有効に保持します。

6.1.1.4.2.2 ローパワー モードを使用しない (RTC のみまたは RTC + IO + DDR)

いずれのローパワー モード (RTC のみまたは RTC + IO + DDR) も使用しないカスタム ボード設計の場合、VDD_RTC は、VDD_CORE に接続しているのと同じ 0.75V 電源に接続できます。VDDS_RTC は、VDDS_OSC0 に接続しているのと同じ 1.8V 電源に接続できます。

RTC_PORz は、PORz に接続しているのと同じリセット ソースに接続できます。

6.1.1.4.2.1 RTC モードを使用しない場合の 32kHz LFOSC0 クロック

ローパワー モードのいずれも (RTC) 使用していない場合、低周波数発振器は任意 (接続不要) です。LFOSC0 を使用しない場合は、プロセッサ固有のデータシートに記載されている接続の推奨事項に従ってください。

6.1.1.4.2.3 RTC のみのローパワー モード チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. VDD_RTC と VDDS_RTC への常時オン (ディスクリート、LDO) 電源の接続
3. VDD_RTC 電源と VDDS_RTC 電源の結合 PG 出力を RTC_PORz 入力に接続
4. VDD_RTC と VDDS_RTC、電源スルー
5. RTC_PORz 入力の近くに 22pF のグリッチ フィルタを追加
6. RTC_PORz 入力に接続したディスクリート LDO の PG 出力のスルー
7. VDD_CORE に関係する VDD_RTC 電源のシーケンシング

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. VDD_RTC と VDDS_RTC には常時オンのディスクリート LDO 電源を使用
2. 電源出力はプロセッサ固有のデータシートに従い、ROC の範囲内とする
3. VDD_RTC 電源は VDD_CORE よりも前に上昇する
4. VDD_RTC と VDDS_RTC の電源スルーレートは、データシートの仕様に従う
5. VDD_RTC と VDDS_RTC 用の PG 出力のディスクリート LDO を互いに接続
6. ディスクリート LDO の PG 出力を RTC_PORz 入力に接続

さらに

1. ディスクリート LDO 入力の入力にダイオードを使用して、VDD_RTC 電源をシーケンス制御することに注意

6.1.1.4.3 RTC + IO + DDR セルフリフレッシュ ローパワー モード

6.1.1.4.3.1 RTC + IO + DDR ローパワー モードの使用

RTC + IO + DDR ローパワー モードの実装については、プロセッサ固有のデータシートの電源シーケンス図 (RTC + IO + DDR ローパワー モード シーケンシング) を参照してください。

TI PMIC ベースの電源アーキテクチャを実装する場合、NVM 構成と、LPDDR4 または DDR4 用の PMIC が生成する電源レールに変更が生じます。

LPDDR4 用の RTC + IO + DDR 機能を実装するには、PMIC とディスクリート ロジックを使用する電源アーキテクチャの評価基板回路図を参照してください。

6.1.1.4.3.2 ローパワー モードを使用しない (RTC のみまたは RTC + IO + DDR)

いずれのローパワー モード (RTC のみまたは RTC + IO + DDR) も使用しないカスタム ボード設計の場合、VDD_RTC は、VDD_CORE に接続しているのと同じ 0.75V 電源に接続できます。VDDS_RTC は、VDDS_OSC0 に接続しているのと同じ 1.8V 電源に接続できます。

RTC_PORz は、PORz に接続しているのと同じリセット ソースに接続できます。

6.1.1.4.3.3 RTC + IO + DDR セルフリフレッシュ ローパワー モード チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. LPDDR4 または DDR4 メモリの使用に基づいて、PMIC バージョン (OPN) を選択
3. VDD_RTC と VDDS_RTC 電源の接続 (選択した PMIC バージョン (OPN) に基づいて PMIC 出力、ディスクリート LDO、または DC/DC を使用)
4. PMIC からのパワー グッド出力 (RTC_PORz に使用される IO は、PMIC バージョン (OPN) によって異なる) のプロセッサ PORz、RTC_PORz への接続
5. プロセッサ PMIC_LPM_EN0 信号の PMIC への接続
6. ディスクリート LDO PG 出力スルーはプロセッサのスルー要件に従う

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. PMIC バージョンに基づいて、VDD_RTC と VDDS_RTC にディスクリート LDO を使用
2. VDD_RTC と VDDS_RTC 電源のスルーレートは、ディスクリート LDO を使用する場合、データシート要件に従う
3. VDD_RTC と VDDS_RTC のディスクリート LDO の PG 出力を互いに接続
4. PMIC 出力またはディスクリート LDO の PG 出力からの RTC_PORz 入力を接続
5. ディスクリート LDO の PG 出力スルーは、プロセッサ固有の要件に従う
6. 電源出力はプロセッサ固有のデータシートに従い、ROC の範囲内とする
7. VDD_RTC 電源は VDD_CORE よりも前に上昇する
8. プロセッサ PMIC_LPM_EN0 を PMIC STBY 入りに接続

6.1.1.4.4 ディープスリープ、スタンバイ

ソフトウェアを使用して実装。利用可能なアプリケーション ノートについては、プロセッサ固有の TRM を参照するか、TI.com でプロセッサ固有の (AM62L) 製品ページをご覧ください。

6.1.1.5 追加情報

基板の初期の製作においては、コア電源や他の電源レールに 0Ω の抵抗 (シャント) またはジャンパを直列に配置することを推奨します。基板の起動とデバッグ時に、0Ω 抵抗 (シャント) またはジャンパを使用して、電源を分離したり、電流測定を行ったりできます。測定のためにテスト ポイント (TP) を追加することを推奨します。TP を抵抗またはジャンパに接続する際には、ケルビン電流センス接続に従うことを推奨します。

ケルビン センス接続に従って INA (計測アンプ) に接続されたシャント抵抗を使って、評価基板の電源レールの電流を測定します。

カスタム ボードの性能に 0Ω の抵抗 (シャント) を追加した場合の影響 (測定にミリオーhm (mΩ) 単位のシャント (抵抗) 値が使用される場合の電圧降下) を検証することを推奨します。

6.1.2 電源レール用コンデンサ

6.1.2.1 AM62Lx プロセッサ ファミリ

IO グループ電源レールのデュアル電圧および固定電圧 IO 電源を含む、すべての電源レールに必要な数のデカップリングおよびバルク コンデンサが揃っていてそれらの値が正しいことを確認することを推奨します。

デカップリング コンデンサは、プロセッサの電源ピンの近くに配置することを推奨します。より大きな値のバルク キャパシタは、さらに離れた場所に配置できます。

低 ESL のコンデンサを使用することが推奨され、ループ インダクタンスを最小限に抑えるため、可能な限り短いパターンでコンデンサを接続することが推奨されます。詳細については、『[Sitara プロセッサ電源分配ネットワーク:実装と解析](#)』アプリケーション ノートを参照してください。

開始点として、バルク コンデンサとデカップリング コンデンサについては、評価基板の回路図の実装に従うことを推奨します。コンデンサの使用を最適化するため、シミュレーション (PDN 解析) の実行をお勧めします。フィルタ (フェライト) 付電源を実装するには、プロセッサ固有の評価基板に従ってください。さらに、『[Sitara プロセッサ電源分配ネットワーク:実装と解析](#)』アプリケーション ノートを参照してください。

6.1.2.2 追加情報

プロセッサ ペリフェラル インスタンス (DDR サブシステム (DDRSS0)、DSIO、および USB2.0 (USB0、USB1)) のいずれかを使用しない場合、ペリフェラルに関連付けられた電源 (ペリフェラルコア、アナログ) には、特定の接続要件があります。詳細については、プロセッサ固有のデータシートの「ピン接続要件」セクションを参照してください。電源フィルタ (フェライト) とコンデンサ (バルク) はオプションです。

6.1.2.3 電源レール用コンデンサのチェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み
2. 必要な数のバルクおよびデカップリング (高周波) コンデンサとフェライト フィルタの追加
3. コンデンサのパッケージおよび値
4. 使用するコンデンサの、ディレーティングを考慮した電圧定格 (一般に使用されるガイドラインは、ワーストケースの印加電圧の 2 倍以上)

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. すべてのプロセッサ電源レールには、バルクおよび高周波のデカップリング コンデンサが使用されています。注目すべき重要なパワーメインは、低電圧、大電流のドメイン (VDD_CORE) です。
2. 開始点として、検証済み評価基板または PDN のアプリケーション ノートに従うことを推奨します。評価基板と PDN の間に違いがある場合、PDN に従うことを推奨します。PDN に情報が無い場合は、評価基板の実装に従ってください。
3. PCB 配線のループ インダクタンスを最小限に抑えるため、短いパターンで低 ESL コンデンサを接続することを推奨します。
4. 各電源レール ピンにデカップリング コンデンサがあり、各電源レール グループにバルク キャパシタがあることを確認することを推奨します。
5. 使用するコンデンサの電圧定格 (一般に使用されるガイドラインは、ワーストケースの印加電圧の 2 倍以上)。

さらに

1. コンデンサの推奨数および値について、評価基板と PDN のアプリケーション ノートとの間に差が見られる場合は、PDN アプリケーション ノートの推奨事項を考慮することを推奨します
2. コンデンサの最適化にあたっては、静的および動的な PDN 分析を実行し、Reff、Cap LL、およびインピーダンスの目標値を満たしていることを確認することを推奨します
3. 状況によっては、評価基板では、低インダクタンスのパッケージなので 3 端子コンデンサを使用しています。3 端子コンデンサ接続がインラインまたはフィルタ部品として実装されていないことを確認します
4. 配置と配線を簡単にするため、関連するピンの近くでのコンデンサ接続を指示することを推奨します

6.1.3 プロセッサ クロック (入力/出力)

6.1.3.1 クロック入力

6.1.3.1.1 WKUP_OSC0 (高周波数) クロック (内部発振器) または LVC MOS デジタル クロック (外部発振器)

図 6-5 には、水晶振動子 + 内部発振器、LVC MOS 外部発振器を含む WKUP_OSC0 クロック オプションが示されています。U15 は外部発振器 (低ジッタ、高性能 BAW 発振器)、U16 は LVC MOS クロック バッファ (シングル入力、3 出力) であり、クロック バッファの出力はプロセッサと x2 EPHY に接続されています。クロック供給オプションとして外部クロック入力を使用する場合、外部発振器と低ジッタ バッファを実装します (現在実装済み)。

水晶振動子と水晶振動子の負荷コンデンサは設計 (回路図) に含まれていますが、実装されていません。使用事例に基づいて、クロック ソースを水晶振動子に再構成できます。

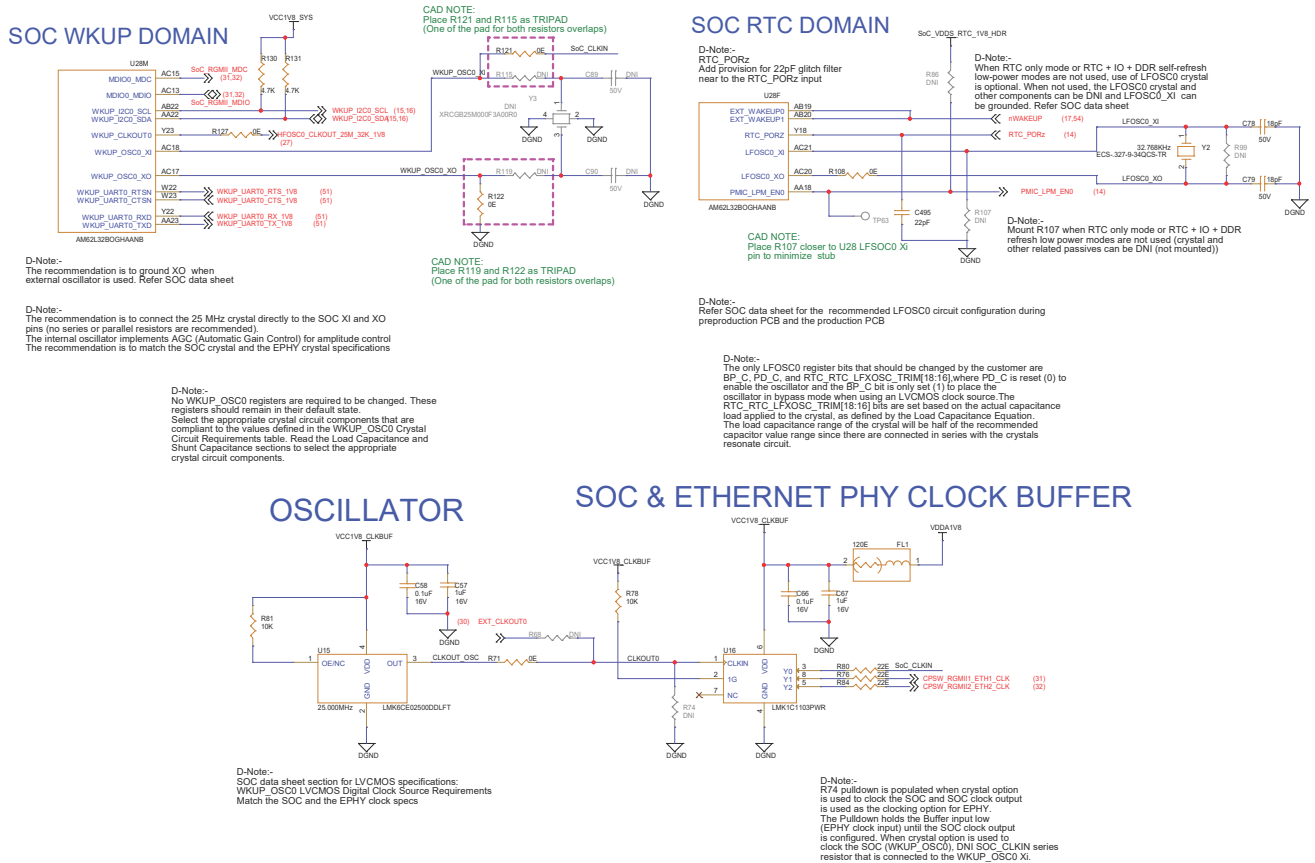


図 6-5. WKUP_OSC0 クロック接続

プロセッサが動作するには、WKUP_OSC0 25MHz (必須) 基準クロックが必要です。このクロックは、プロセッサの動作に必要な複数のクロック信号を生成するために内部で使用されます。他のクロック入力は、実装されている特定の最終製品やボード機能によって異なります。サポートされているクロック供給オプションは、外付け水晶振動子 + 内部発振器、または外部 1.8V LVC MOS 方形波デジタル クロック ソースです。スペクトラム拡散クロック処理 (クロック入力) は、サポートされているクロック オプションではありません。

内部高周波数発振器 (WKUP_HFOSC0) に接続された 25MHz 外部水晶振動子が内部プロセッサ動作のクロック ソースである場合、発振器回路の実装に使用するディスクリート負荷コンデンサを、WKUP_OSC0_XI および WKUP_OSC0_XO ピンの近くに配置することを推奨します。水晶振動子ベースの発振器を実装する場合、プロセッサ固有のデータシートにある「WKUP_OSC0 水晶振動子回路の要件」表を参照して、負荷コンデンサを選択することを推奨します。負荷コンデンサ容量の値には、PCB 容量が含まれます。水晶振動子および負荷コンデンサの配置と配線については、プロセッサ固有のデータシートの「クロック配線ガイドライン」の「発振器の配線」セクションを参照することを推奨します。

1.8V LVCMOS クロック ソースを、プロセッサのクロック ソースとして使用できます。外部発振器からのクロック出力を (直列抵抗経由で) XI 入力に接続する場合、プロセッサ固有のデータシートに記載されている推奨事項に従って、グランド XO に接続することを推奨します。プロセッサ固有のデータシートの図「1.8V LVCMOS 互換クロック入力」に示されているインバータは、LVCMOS 出力を表すためのものです。この LVCMOS 出力は、発振器の出力バッファ、または一部のクロック分配デバイスからの LVCMOS 出力である可能性があります。クロック ソースを反転する必要はありません。

WKUP_OSC0 LVCMOS デジタル クロック ソース要件については、プロセッサ固有のデータシートを参照してください。クロック ソース要件を含む LVCMOS クロック ソースの詳細については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP / AM62A7 / AM62A3 / AM62A1-Q1 / AM62D-Q1 / AM62P / AM62P-Q1 / AM62L カスタム ボード ハードウェア設計 – MCU_OSC0 \(WKUP_OSC\) または WKUP_LFOSC0 \(LFOSC0\) の LVCMOS デジタル クロック ソースに関する質問](#)

XI および XO 信号パスには、方形波を生成する内部コンパレータに接続する、内部 AC 結合コンデンサが実装されています。XO ピンに対して XI ピンが DC 定常状態になると、コンパレータによってデバイスの内部クロック ツリーにグリッチが生成され、クロック回路が予測不能な動作をする可能性があります。DC 入力を XI に接続することは推奨しません。

クロックの選択とクロック仕様については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP / AM62A7 / AM62A3 / AM62A1-Q1 / AM62D-Q1 / AM62P / AM62P-Q1 / AM62L カスタム ボード ハードウェア設計 – 水晶振動子の選択とクロック仕様に関する質問](#)

水晶振動子の起動時間の詳細については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP / AM62L カスタム ボード ハードウェア設計 – 水晶振動子 \(MCU_OSC0 \(WKUP_OSC0\)\) の起動時間に関する質問](#)

注

AM62x の MCU_OSC0 (高周波数発振器) は、AM62Lx では WKUP_OSC0 に相当します。

注

現在サポートされている水晶振動子の周波数は 25MHz のみです。サポートされている水晶振動子の周波数と推奨水晶振動子パラメータの詳細については、プロセッサ固有のデータシートを参照してください。

プロセッサ固有のデータシートには、25MHz 水晶振動子を選択するための仕様と WKUP_OSC0 LVCMOS デジタル クロック ソース要件が記載されています。

プロセッサおよび EPHY のクロック ソースとして外部クロック (LVCMOS) 発振器を使用する場合は、単一の発振器を使用することも、それぞれ個別の発振器を使用することもできます。単一の発振器を使用する場合は、プロセッサおよび EPHY に接続する前にクロック出力をバッファすることをお勧めします。

発振器からのクロック出力をプロセッサおよび EPHY に接続するには、プロセッサおよび EPHY 用の単一出力バッファ (個別 IC)、またはプロセッサおよび EPHY 用の単一入力を備えたデュアル出力または複数出力バッファ (単一 IC) を使用できます。

特定の使用事例 (一部の産業用アプリケーションでタイム センシティブ ネットワーキング (TSN) が必要な場合) では、プロセッサおよび EPHY 用に、単一入力に 2 出力以上 (使用する EPHY の数に応じる) のバッファを使用することを推奨します。

6.1.3.1.2 LFOSC0 (低周波数) クロック (内部発振器) または LVCMOS デジタル クロック (外部発振器)

図 6-6 には、LFOSC0 (32.768KHz) クロック ソース用の水晶発振子、負荷コンデンサ、直列抵抗、並列抵抗が示されています。LFOSC0 を使用しない場合に、プロセッサ固有のデータシートに従って LFOSC0 を構成できるよう、0R を使用して Xi を接地できるようになっています。

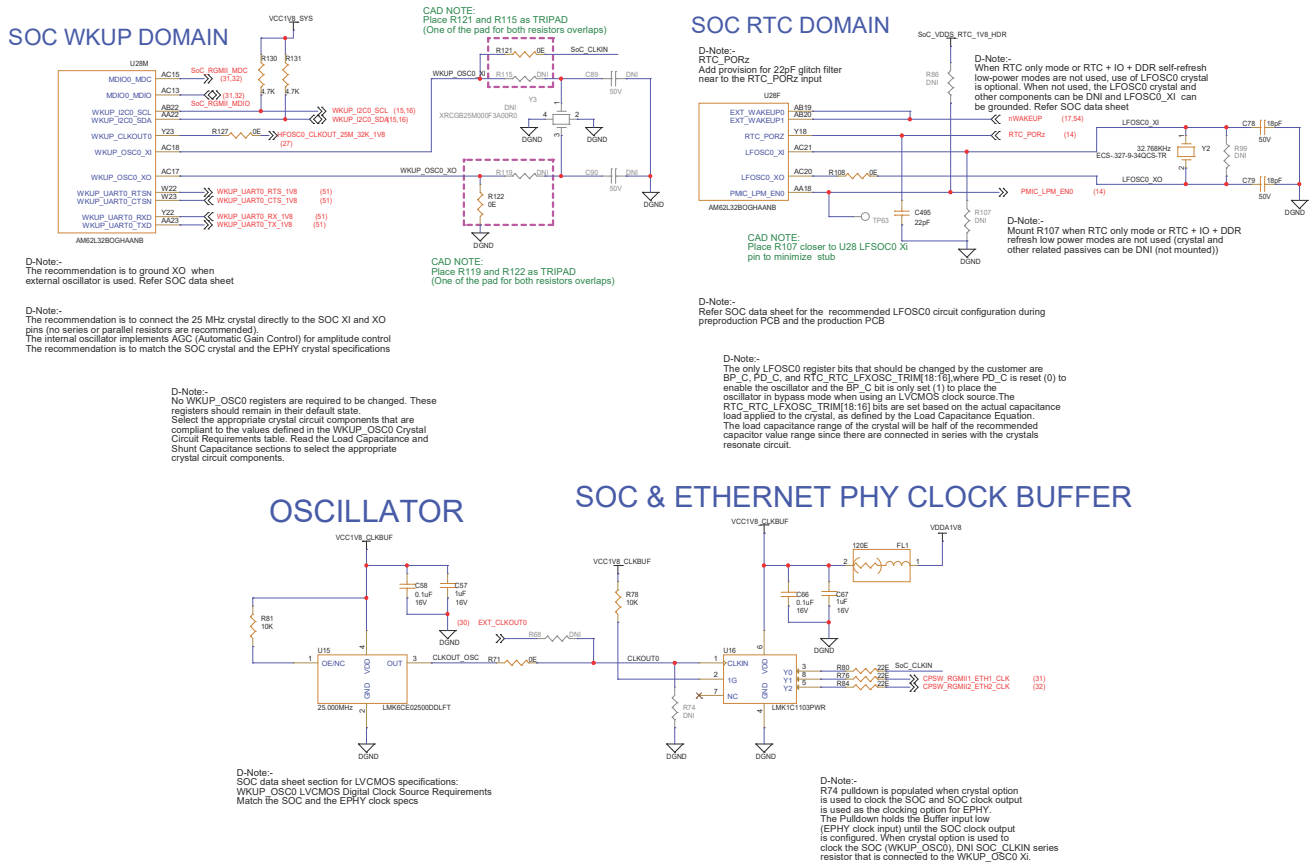


図 6-6. LFOSC0 クロック接続

プロセッサファミリでは、低周波数 (32.768kHz) の LFOSC0 をサポートしています。使用事例に基づいて、32.768kHz の外部水晶振動子と内部発振器をクロックソースとして使用することも、外部 1.8V LVC MOS 方形波デジタルクロックソースを使用することもできます。

LFOSC0 には特定の使用事例 (RTC 専用モード、または RTC + IO + DDR ローパワーモード) があり、カスタム設計の実装に基づいてオプションにすることもできます。LFOSC0 を使用しない場合、LFOSC0_XI を VSS に接続し、LFOSC0_XO を未接続のままにすることを推奨します。未使用の LFOSC0 の接続の詳細については、プロセッサ固有のデータシートの「LFOSC0 を使用しない場合」セクションを参照してください。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[FAQ] AM62L (AM62L32, AM62L31): カスタムボードハードウェア設計 — プロセッサ内での LFOSC の使用

[FAQ] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP / AM62A7 / AM62A3 / AM62A1-Q1 / AM62D-Q1 / AM62P / AM62P-Q1 / AM62L カスタムボードハードウェア設計 – MCU_OSC0 (WKUP_OSC) または WKUP_LFOSC0 (LFOSC0) の LVC MOS デジタルクロックソースに関する質問

外付け水晶振動子ベースの発振器の実装に使用するディスクリート部品を、LFOSC0_XI ピンおよび LFOSC0_XO ピンの近くに配置することを推奨します。水晶振動子の場合、選択した負荷容量は、プロセッサ固有のデータシートの「LFOSC0 水晶振動子の電気的特性」表に規定されている範囲内にすることを推奨します。PCB 容量を負荷容量に加算する必要はありません。

プロセッサ固有のデータシートの「LFOSC0 水晶振動子の実装」の図に、推奨される水晶振動子回路が示されています。TI では、量産開始前のプリント基板 (PCB) 設計には、2 つのオプション抵抗 Rbias および Rd を含めることを推奨します。これは、量産用の水晶振動子回路部品と組み合わせるとき、発振器が正常に動作するために抵抗が必要とされる場合に備えるものです。多くの使用事例では、Rbias および Rd は DNI とされるか削除され、Rd は 0Ω 抵抗になります。量

産開始前の PCB に量産用の水晶振動子回路部品を実装して、発振器の性能を評価した後、量産 PCB 設計から抵抗オプションを削除できます。

注

AM62x の WKUP_LFOSC0 (低周波数 (32.768kHz) 発振器) は、AM62Lx では LFOSC0 です。

6.1.3.1.3 EXT_REFCLK1 (MAIN ドメインへの外部クロック入力)

EXT_REFCLK1 入力は、タイマ モジュール (DMTIMER/WDT)、セキュリティ サブシステム (SMS) 内の DMTIMER、MCAN、CPTS (タイム スタンプ モジュール) 向けの選択可能なクロックソースとして、クロック マルチプレクサに接続されます。EXT_REFCLK1 は、最終製品やアプリケーションにおいて特定のクロック周波数をタイマ モジュールに供給する必要がある場合に選択できます。アプリケーション例として、時刻同期があります。EXT_REFCLK1 をクロックソースとして使用する場合、外部クロックが利用可能かどうかに応じて、プロセッサ クロック入力ピンの近くにプルダウン (10kΩ) を配置することを推奨します。

6.1.3.1.4 クロック入力チェックリスト— WKUP_OSC0

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. プロセッサ クロック入力源、水晶振動子 + 内部発振器、外部発振器のいずれかの構成 (配置と配線を最適化するために、ボード上の任意の 1 つのオプションを使用)
3. プロセッサ固有のデータシートに従っての、水晶周波数 (25MHz) と水晶振動子の負荷の選択
4. 約 4pF の PCB 容量を含む WKUP_OSC0 の外部水晶振動子の負荷コンデンサの選択
5. 水晶振動子 + 内部発振器または外部発振器を使用する場合の、プロセッサ クロック ピン接続に関する推奨事項
6. 外部発振器出力を XI に接続する場合の XO の接続
7. 外部発振器電源ピンへのバルクおよびデカップリング コンデンサの接続と、発振器の EN ピンの接続

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. 25MHz WKUP_OSC0 クロックの接続は必須です。
2. データシートの要件に基づいて、外部水晶振動子または外部クロック発振器を選択します。
3. プロセッサ固有のデータシートでの推奨事項に従って、水晶振動子、水晶周波数、水晶振動子の負荷コンデンサを選択していることを確認します。
4. 25MHz は、現在サポート対象のクロック入力周波数です。サポート対象のクロック入力周波数については、プロセッサ固有のデータシートを参照してください。
5. プロセッサ固有のデータシートに従い、水晶振動子 (直列抵抗または並列抵抗なし) を直接接続、および水晶振動子の負荷容量回路 (WKUP_OSC0) を接続します。
6. 外付けの水晶振動子の負荷コンデンサには、PCB 容量 (約 4pF) を含めて、水晶振動子の負荷の 2 倍にすることを推奨します。
7. 負荷コンデンサに標準値のコンデンサを選択できるように、水晶振動子の負荷の値を選択することを推奨します。
8. HFOSC0 レジスタをデフォルト状態に保持することを推奨します。
9. 外部発振器を使用する場合、デカップリング コンデンサとバルク キャパシタを発振器の電源ピンの近くに、そしてクロック出力ピンに直列抵抗を追加することを推奨します。
10. 外部発振器 (LVCMOS クロック) 出力を XI に接続する場合、XO を VSS に接続することを推奨します。
11. 発振器の近くのクロック出力ピンに直列抵抗 (22Ω) を追加します。

さらに

1. クロックの配線のガイドラインについては、プロセッサ固有のデータシートの「アプリケーション、実装、およびレイアウト」セクションを参照してください。

2. 25MHz (性能は 25MHz の周波数でのみ検証) の水晶振動子をプロセッサの XI および XO ピンに直接接続することを推奨します。直列抵抗や並列抵抗は推奨しません。内部発振器には、振幅を制御するための自動ゲイン制御 (AGC) が実装されています。
3. プロセッサ固有のデータシートには、WKUP_OSC0 はコア電圧が上昇するまで始動しないことが示されています。これは、VDD_CORE が上昇するまで発振器が始動しない場合があるからです。ほとんどの使用事例では、VDDS_OSC0 電源が上昇すると発振器が始動します (ただし、VDDS_OSC0 が上昇するときに、いつも発振器が始動するわけではありません)。プロセッサ固有のデータシートの発振器のスタートアップ図に、最大始動時間が示されています。これには、VDD_CORE が有効であることを前提とした遅延も含まれます。
4. WKUP_OSC0_XI は未知の状態に入る可能性があるコンパレータに内部で AC 結合されているため、WKUP_OSC0_XI では DC が定常状態である条件を使うことは許容されません。
5. WKUP_OSC0_XI 入力に供給される LVCMOS クロックは、単調な遷移を持つ必要があります。また、クロックソースの近くに配置された直列抵抗を介して、ポイントツーポイント接続で WKUP_OSC0_XI に接続する必要があります。直列終端抵抗の値は、伝送ラインのインピーダンスからクロックソースの出力インピーダンスを引いた値と一致している必要があります。たとえば、クロックソースの出力インピーダンスが 30Ω、PCB 信号パターンの特性インピーダンスが 50Ω の場合、20Ω が使用されます。この場合、直列抵抗は未終端の伝送ラインの遠端から戻ってくる反射を完全に吸収し、信号に非単調イベントがまったく発生しないようになります。
6. 外部クロックソースを WKUP_OSC0_XI に接続する PCB パターン長を最小にすることを推奨します。パターン長が短いと、外部ノイズ源がクロック信号に結合する可能性を最小限に抑えます。容量性負荷を小さくすると、クロック信号の立ち上がり / 立ち下がり時間が短くなり、(クロックソースまたはカスタムボードに) ジッタが発生する可能性が低下します。
7. 水晶振動子の選択を、水晶振動子の供給元またはメーカーで検証することを推奨します。

6.1.3.1.5 クロック入力チェックリスト — LFOSC0

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザーガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み
2. LFOSC0 クロックソース — 外部水晶振動子 + 内部発振器または外部発振器の選択。(配置と配線を最適化するために、ボード上のいずれか 1 つのオプションを使用してください)
3. LFOSC0 外部水晶振動子の周波数選択
4. 水晶振動子の負荷コンデンサと値の選択
5. 水晶振動子を使った発振器回路実装の直列抵抗と並列抵抗の接続
6. 直列抵抗および並列抵抗の水晶振動子を使った発振器回路への接続。
7. 外部発振器の選択、およびコンデンサと直列抵抗の接続
8. 外部発振器出力を XI に接続する場合の XO の接続
9. LFOSC0 を使用しない場合の XI ピンの接続 (XI を接地、XO は未接続)
10. 外部発振器電源ピンへのパルクおよびデカップリングコンデンサの接続と、発振器の EN ピンの接続

回路図レビュー

カスタム回路図設計については、以下に従ってください。

1. サポート対象の LFOSC0 クロック入力周波数は 32.768kHz です。
2. プロセッサ固有のデータシートの推奨事項に従って、クロック回路 (LFOSC0) の接続。
3. 水晶振動子の負荷および負荷容量値の選択 (プロセッサ固有のデータシートに従ってください)。負荷容量は水晶振動子の負荷の 2 倍 (PCB 容量は含まれていません)。
4. 外部発振器を使用する場合、デカップリングコンデンサとパルクキャパシタを発振器の電源ピンの近くに、そしてクロック出力ピンに直列抵抗を追加することを推奨します。
5. 外部発振器を使用する場合の XO の接続 (XO を接地)。
6. LFOSC0 を使用しない場合の XI 入力の接続 (XI を接地、XO は未接続のまま)。
7. プロセッサ固有のデータシート要件に従っての、初期プロトタイプ (量産開始前) および量産ボード (削除可能) 用の直列抵抗と並列抵抗の接続。

さらに

1. 水晶振動子の負荷容量と LFOSC0 レジスタとの比較。カスタム ボード設計者が変更する LFOSC0 レジスタビットは、BP_C、PD_C、および CTRLMMR_WKUP_LFXOSC_TRIM[18:16] のみです。ここで、PD_C は、発振器を有効にするためのリセット (0) で、BP_C ビットは、LVCMOS クロック ソースを使用して発振器をバイパス モードにするため設定 (1) だけされます。CTRLMMR_WKUP_LFXOSC_TRIM[18:16] ビットは、「負荷容量の式」で定義されるように、水晶振動子に付加される実際の容量性負荷に基づいて設定されます。
2. 量産開始前の PCB および量産 PCB の推奨回路構成 (受動部品) については、プロセッサ固有のデータシートを参照してください。
3. LFOSC0 の使用事例は限定されています。クロック オプションを使用しないときは、XI 入力を接地する用意をすることを推奨します。

6.1.3.2 クロック出力

CLKOUT0 および WKUP_CLKOUT0 という名前のプロセッサ IO (ピン) は、クロック出力として構成できます。クロック出力は、接続されたデバイスのクロック ソースとして使用できます (外部ペリフェラル — 例: EPHY)。

AM62L ファミリのプロセッサのリセット後、WKUP_CLKOUT0 が "Low" に駆動されます。

クロックをポイント ツー ポイント接続として接続することを推奨します。CLKOUT0 と WKUP_CLKOUT0 を使用して x1 以上の接続されているデバイスをソースする場合、CLKOUT0 と WKUP_CLKOUT0 をバッファすることを推奨します。

CLKOUT0 および WKUP_CLKOUT0 のクロック出力の性能は、クロック性能に影響を及ぼす可能性のある多数のボードまたは最終製品固有の依存関係があるため、プロセッサ固有のデータシートでは定義されていません。実際のボード上の性能をチェックすることを推奨します (クロック出力は、ボードまたは最終製品固有の要件を満たしています)。

6.1.3.2.1 クロック出力チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. CLKOUT0 および WKUP_CLKOUT0 クロック出力の構成
3. クロック出力の単一または複数の負荷 (接続されたデバイス) への接続
4. クロック出力ピンの近くに直列抵抗を配置し、接続されているデバイスの近くにプルダウンを配置します

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. WKUP_CLKOUT0 は、XO のバッファされた出力として構成できます。テスト用の TP を追加します。
2. 発生し得る信号反射を制御するために、0Ω の直列抵抗を備えています。
3. クロック出力を単一または複数の負荷に接続します。複数の負荷 (入力) に接続する場合、それぞれの接続されているデバイス入力はバッファされた出力に接続することを推奨します。
4. フローティング可能な、接続されたデバイス クロック入力の近くにプルが用意されます (ホストソフトウェアがクロック出力を構成するまで、接続されたデバイス入力がフローティングにならないようにします)。

さらに

1. EXT_REFCLK1 は、CLKOUT0 として構成することができます。クロック信号は、分岐なしでポイント ツー ポイントとして接続することを推奨します。CLKOUT0 を複数のクロック入力に接続する場合は、バッファ ((アプリケーションの使用事例に基づいて) 1 つの入力と複数出力、または個別のバッファで) を使用することを推奨します。
2. CLKOUT0 および WKUP_CLKOUT0 のクロック出力の性能は、クロック性能に影響を及ぼす可能性のある多数のボードまたは最終製品固有の依存関係があるため、プロセッサ固有のデータシートでは定義されていません。

6.1.4 プロセッサリセット

図 6-7 には、プッシュプル出力タイプの AND ロジック (U53) を使用して生成される PORz (コールドリセット入力) が示されており、PORz_Input ピンの近くにプルダウンおよびグリッチ フィルタが追加されています。プッシュ ボタン (ウォームリセットまたはコールドリセット) により、デバウンス ロジック (U130) を介してプロセッサを手動でリセットするための実装が追加されています。

SOC RESET

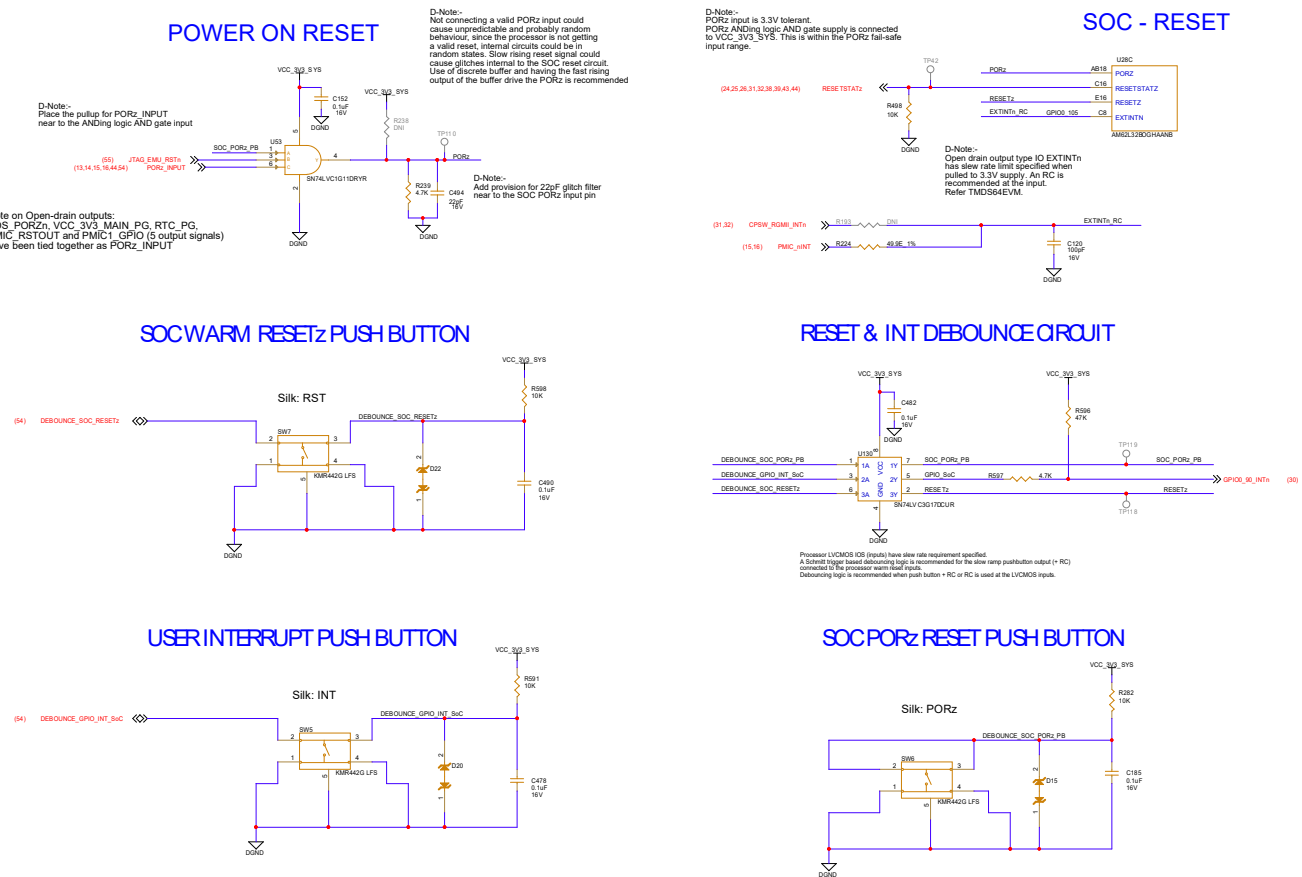


図 6-7. SOC_Cold_Warm_RESET_Debounce_Logic

次の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM62L \(AM62L32, AM62L31\) 設計に関する推奨事項 / カスタム ボード ハードウェア設計 — プロセッサのリセット入力、リセット ステータス出力、接続に関する推奨事項](#)

6.1.4.1 外部リセット入力

PORz は、プロセッサへの外部 WKUP ドメイン コールドリセット入力です。電源ランプ中および発振器の起動中は、PORz を Low にプルした状態に保持することを推奨します。プロセッサ固有のデータシートの「パワーアップシーケンシング」図で推奨される PORz のタイミングに従ってください。

PORz (3.3V 許容、フェイルセーフ 入力) については、3.3V 入力を印加することができます。入力スレッショルドは、1.8V IO 電源電圧 (VDD5_OSC0) の関数です。

PMIC ベースの電源アーキテクチャを使用する場合は、PMIC からのオープンドレイン出力タイプのリセット信号 (nRSTOUT0) を、PORz 入力として、プッシュプル出力タイプの論理ゲートまたはディスクリートバッファ (高速立ち上がり時間) を介してプロセッサに接続することを推奨します。これは、内部リセット回路にグリッチを発生させる可能性がある、

立ち上がりの遅いオープンドレイン出力を接続することを避けるためです。nRSTOUT0 を直接使用する (接続する) 場合、スルーを最小限 (100ns 未満) に抑えるためにプルアップを調整することを推奨します。

PORz には常に有効な入力を接続することを推奨します。PORz 入力に有効な入力を接続しないことは、許可される使用事例ではありません。PORz 入力に接続されていない場合、プロセッサはパワーアップ時にリセットシーケンスを完了できず、予測不能な動作やランダムな動作の原因となる可能性があります。プロセッサの内部回路で有効なリセットが行われない場合、内部回路はランダム (未定義) 状態になる可能性があります。

PORz 入力に 22pF フィルタ (グリッチ フィルタ) を接続できるようにしておくことを推奨します。

コンデンサの値と取り付けは、使用事例によって異なります。使用するコンデンサによって LVCMOS 入力にスルーレート要件に違反したり、内部でリセットにグリッチが発生したりしないように、コンデンサの値を選択することを推奨します。

ウォームリセット入力 (RESETz, LVCMOS IO) には、入力スルーレート要件が規定されています。入力にコンデンサ (低速ランプ) を直接接続することは推奨しません。シュミットトリガ ベースのデバウンス ロジック (回路) を推奨します。デバウンス ロジックの実装については、プロセッサ固有の評価基板 (EVM) 回路図に従ってください。プッシュ ボタンを接続して RESETz ウォームリセット入力を制御する場合、外部 ESD 保護機能を追加することを推奨します。

次の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM62L \(AM62L32, AM62L31\): カスタム ボード ハードウェア設計 — PORz および RTC_PORz のスルーレート](#)

6.1.4.2 リセット ステータス出力

RESETSTATz は、MAIN ドメインのウォームリセット ステータス出力です。リセット ステータス出力 RESETSTATz を使用して、接続されたデバイスのリセット入力 (/reset) を駆動する場合、パワーアップおよびリセット時に接続されたデバイスに対してリセットをアサート (接続されたデバイスをリセット状態に保持) するために、リセット ステータス出力にプルダウン (10kΩ) を接続することを推奨します。

注

リセット ステータス出力の出力側に外部プルダウンを接続すると、接続されたデバイスのいずれも内部プルアップを備えていない場合、接続されたデバイスのリセット入力が Low に保持されます。接続されたデバイスのいずれかで内部プルアップが有効になっている場合、リセット信号は中電圧にプルされます。リセット ステータス出力を接続する前に、具体的な使用事例を確認することを推奨します。

MAIN ドメインのウォームリセット ステータス出力 RESETSTATz は、外部リセット入力機能をサポートするオンボード メモリまたはペリフェラル (eMMC, OSPI, EPHY)、あるいは SD カード パワー スイッチ EN のリセットに使用できます。

RESETSTATz は、リセット時にハードウェア ストラップ構成をラッチするために使用できます (例: イーサネット PHY ストラップ構成またはブート モード構成のラッチ)。

リセット ステータス出力を使用しない場合、テストまたは将来の拡張のために、リセット ステータス出力をテスト ポイントに接続することを推奨します。オプションとして、プルダウン (10kΩ) を用意し、使用する際に実装できます。

6.1.4.3 追加情報

プロセッサのブート モードを構成するために使用される BOOTMODE[15:00] (ブート モードのピン マッピング オプションによって異なる) 入力は、RESETSTATz の立ち上がりエッジでブート モード構成がラッチされるまで、プロセッサ固有の TRM で定義されている適切なブート モード構成を選択するために既知の状態に保持しておくことを推奨します。

6.1.4.4 プロセッサのリセット入力チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み。
2. リセット入力 (コールドリセットおよびウォームリセット) の接続
3. すべてのプロセッサ電源のランプアップおよびランプダウン完了後の PORz 入力接続および L -> H 遅延
4. プロセッサ電源のランプダウン前に Low となる PORz の H -> L 遅延

5. PORz 入力 IO レベルとフェイルセーフ機能
6. リセット (コールド、ウォーム) 入力は、プロセッサ固有のデータシートに記載されたスルーレート要件 (フェイルセーフ リセット (FS RESET) の電気的特性) におけるスルーレート要件に準拠している
7. PORz の入力へのプルダウンおよびグリッチ フィルタの追加
8. プロセッサの電源ランプ時の PORz 入力状態
9. PMIC、ディスクリート DC/DC、またはディスクリート LDO からのオープンドレイン出力タイプのリセット信号 (nRSTOUT0) を PORz 入力に接続する場合の PORz 入力スルーレート
10. 外部入力のウォームリセット入力 RESETz (IO レベル) への接続
11. プッシュ ボタン入力を接続する場合の RESETz のスルーレート
12. RESETz の入力へのグリッチ フィルタの追加
13. ウォームリセット入力を未使用とする場合の接続

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. すべての電源のランプ後、クロックの起動に必要な遅延を加えたうえで High になる有効な入力を使用します
2. 電源ランプアップまたはランプダウン中は、PORz 入力を Low に保持します。
3. すべてのプロセッサ電源のラップ完了後、プロセッサ固有のデータシートに記述された PORz 入力デアサート ホールド時間 (最小 9.5ms (950000ns)) に準拠する必要があります。
4. コールドおよびウォームリセット入力のスルーレート要件を考慮し、必要なプッシュプル出力タイプのディスクリート バッファを追加します。スルーが低速になると、内部リセットにグリッチが発生する可能性があります。
5. PMIC、ディスクリート DC/DC、またはディスクリート LDO からのオープンドレイン出力タイプのリセット信号 (nRSTOUT0) を直接リセット入力に接続する場合のスルーレートについて。スルーレートは小さい値であるほど望ましいです (< 100ns 推奨)。立ち上がり時間の短いディスクリート プッシュプル出力タイプ バッファを介してリセット入力を接続することを推奨します。
6. PORz 入力は 3.3V 許容でフェイルセーフです。このスレッショルドは 1.8V IO レベル (VDD5_OSC0) に従います
7. PORz リセット入力には、10K のプルダウン抵抗とグリッチ フィルタ用コンデンサ (22pF のプレースホルダ) を実装可能にします
8. ウォームリセット入力 RESETz の IO レベルは、VDDSHV1 電源 (固定 1.8V または 3.3V) に従います
9. ウォームリセット入力にプッシュ ボタンを接続する場合は、デバウンス ロジック (シュミットトリガ バッファ出力) を介して接続します。
10. 未使用時のウォームリセット入力は、ピン接続要件に従ってプルアップ接続することを推奨します

さらに

1. PORz 入力には内部ヒステリシスがイネーブルで、スルーレート要件が規定指定されています。PMIC_POWERGOOD (オープンドレイン出力タイプ信号) を PORz 入力に接続する以外に選択肢がない場合は、プルアップを調整して立ち上がり時間を最適化 (100ns 未満) します。
2. プロセッサは、パワーダウン時に、すべての電源電圧が 300mV を下回った後にのみ再起動 (リセットの解除) される必要があります (ランプダウン要件に関連する時間や許容誤差はありません。ただし、各電源レールは、いずれかの電源レールが立ち上がる前に、すべての電源レールが 300mV 未満まで減衰することが推奨されます)。
3. 有効な PORz 入力を接続しないと、プロセッサは有効なリセット入力を受け取れず、内部回路がランダム状態になるため、予測不能なランダム動作を引き起こす可能性があります。また、ランプリセット入力が低速な場合、内部プロセッサリセット回路にグリッチが発生します。
4. LVCMOS RESETz 入力にはスルーレート要件が規定されています。低速ランプのプッシュ ボタン出力信号をプロセッサのウォームリセット入力 RESETz に接続する場合は、シュミットトリガベースのデバウンス ロジック (回路) を使用することを推奨します。また RC をリセット入力として使用する場合も、同様にシュミットトリガをベースのデバウンス ロジック (回路) を推奨します。
5. 手動 (プッシュ ボタン) リセット入力に対しては、外部 ESD 保護をリセット信号の近くに追加することを推奨します。
6. ウォームリセット用の外部リセット入力に接続する場合のフェイルセーフ動作について。プロセッサの電源がランプする前に外部入力を印加すると、電圧フィードが発生し、基板の性能に影響を及ぼす可能性があります。

- TI 以外の電源アーキテクチャを考慮する場合、電源ランプ後のスルーレートや PORz 入力のホールド時間を含むリセット要件に従うことを推奨します。

6.1.4.5 プロセッサのリセット ステータス出力チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

- ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み。
- RESETSTATz ステータス出力に対するプルダウンの接続と追加。
- プロセッサのリセット ステータス出力と接続先デバイスのリセット入力との IO レベル互換性。
- リセット ステータス出力に接続されるコンデンサ (負荷) の接続。
- リセット ステータス出力を未使用とする場合の接続。
- リセット ステータス出力をキャリア ボードや外部コネクタへ接続する場合の外部 ESD 保護。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

- RESETSTATz は、プロセッサのコールドリセット時に、プロセッサのブート モード構成または接続デバイスのストラップ構成をラッチするための入力として使用されます。
- RESETSTATz は、プロセッサがグローバルリセット (コールドまたはウォーム) を受けたときに、接続されたデバイスをリセットするために使用されます。
- RESETSTATz には、電源ランプ中に接続デバイスをリセット状態に保持するためのプルダウン機能がプロセッサのピン付近に設けられます。
- コンデンサをリセット出力に直接、または接続デバイスのリセット入力近くに接続します (コンデンサ > 22pF)。必要に応じてシミュレーションを実行します。
- プロセッサのリセット ステータス出力と接続デバイスのリセット入力との IO レベル互換性を確認してください (残留電圧がカスタム ボードの性能に影響を及ぼす可能性があります)。
- リセット ステータス出力を使用しない場合の TP の設置が推奨されます。
- 電圧リーケージを避けるため、プロセッサのリセット出力 IO レベルと接続デバイス入力 IO レベルを一致させることを推奨します。

6.1.5 ブートモードの構成 (プロセッサ用)

図 6-8 には、削減したピン数 (15-12) のブートモード構成およびフルピン数 (15-0) のブートモード構成用のブートモード構成スイッチが含まれます。

外部バッファを使用したブートモードの実装については、評価基板の回路図を参照してください。削減したピン数のブートモード構成には、4 ビット バッファが使用されています。

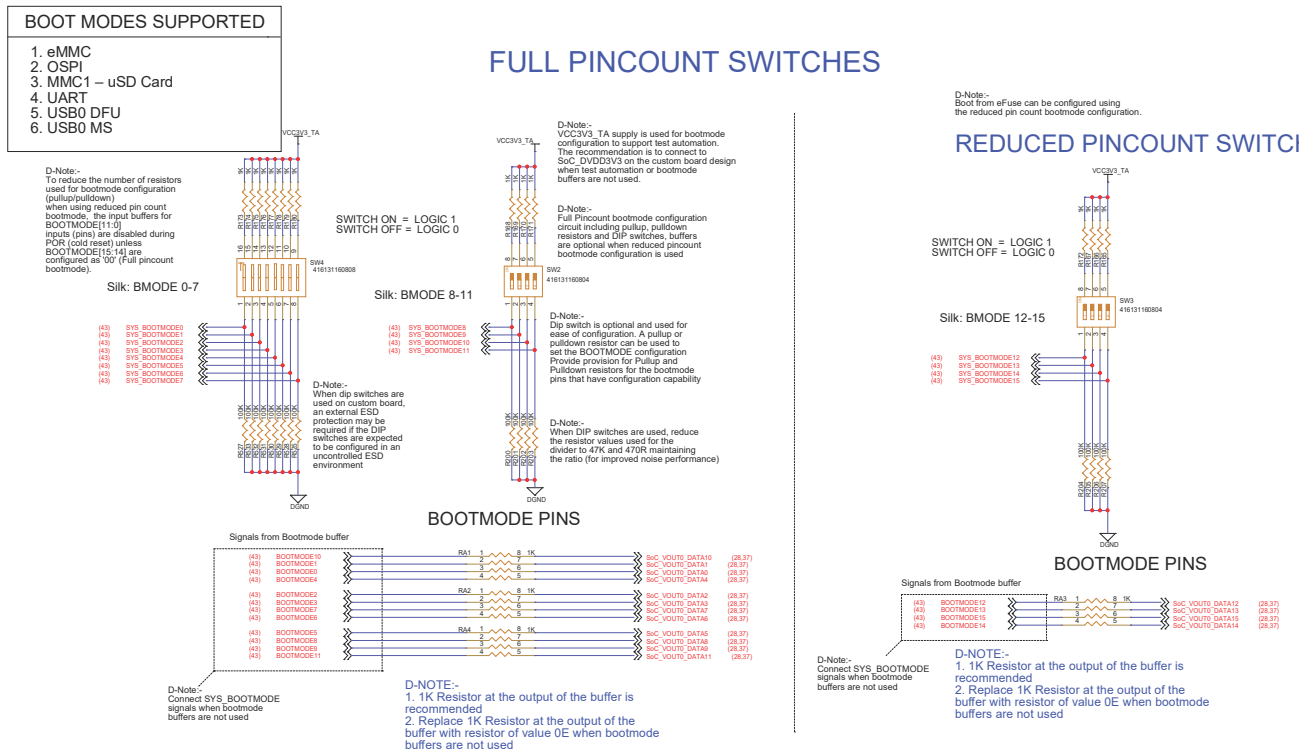


図 6-8. ブート モード構成スイッチ

このプロセッサ ファミリーは、以下に示すように、2 つの BOOTMODE 入力接続 (ピン マッピング) オプションに対応しています。

1. 削減したピン数構成 — ブートストラップ ピン BOOTMODE[15:12] のうち 4 つのみを使用
2. フルピン数構成 — ブートストラップ ピン BOOTMODE[15:0] の 16 本すべてを使用

サポート対象のブート モード構成については、次の FAQ を参照してください。

[FAQ] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62Ax/AM62Px/AM62D-Q1/AM62L — サポート対象のブートモード構成

削減したピン数のブート モード マッピングには、必要なブートストラップ ピンが少なく済むという利点があり、その結果、必要なプルアップやプルダウン部品を減らすことができます。削減したピン数のブート モードでは、代償として、選択できるブート モード オプションのピンが少なくなります。

ただし、「(削減した) BOOTMODE ピン マッピング」表から選択できるブート モード構成オプションのうち 2 つを使用して (カスタマイズ ブート)、必要なブート モード構成値を eFuse にプログラムすることで、あらゆるフル 16 ビット ブート モード構成オプションを構成できます。eFuse の値は、SECDED 誤り訂正エンコード方式を使用して保護されています。16 ビットのブート モード値をエンコードするために 22 の eFuse ビットを使用します。

プロセッサ ブート モードの構成に必要なプルアップまたはプルダウン抵抗の数を減らすために、BOOTMODE[11:0] 入力 (ピン) の入力バッファは、BOOTMODE[15:14] が「00」に設定されていない限り、POR 中に無効化されます。バッファを無効化すると、削減したピン数のブート モード オプションが使用される場合には、ブート モード入力ピンがフローティング状態になることにより消費電力が最小限に抑えられます。

コールドリセット中、プロセッサのブート モード入力では、内部プル (プルアップまたはプルダウン) は有効にされていません (削減したピン数とフルピン数ブート構成で異なる、削減したピン数では BOOTMODE[15:12]、フルピン数では BOOTMODE [15:00])。外部プル (10kΩ または 47kΩ) (プルアップまたはプルダウン) を接続して、必要なブートモードを構成することを推奨します (削減したピン数とフルピン数ブート構成で異なる)。予約済みピンを含め、ブート モード入力を未接続のままにしないことを推奨します (削減したピン数とフルピン数ブート構成で異なる)。

必要なブートモードを構成するために DIP スイッチを使用する事例では、ノイズ性能を向上させるために、 $1k\Omega$ または $2k\Omega$ ($1.8V$ または $3.3V$ 電源に基づくプルアップ) の抵抗デバイス値および $47k\Omega$ (プルダウン) を使用することを推奨します。

(DIP スイッチを使用せず) 抵抗のみを使用してブートモードを構成する場合、標準の抵抗値 (プルアップとプルダウンに同じ値を使用可能) を使用できます。たとえば、プルアップまたはプルダウンいずれかの実装が推奨されるため、 $10k\Omega$ または $47k\Omega$ を使用できます。予約済みまたは使用されていないピンを含む、すべてのブートモードピンに、あらかじめプルアップまたはプルダウンを接続する準備をしておくことを推奨します。

「予約済み」または「未使用」とマークされたブートモードピンに、プルアップまたはプルダウンを接続することを推奨します。

テスト/デバッグ用の構成機能 (USB0 DFU、UART0 ブートモード構成の準備を含む)、設計の柔軟性、将来の拡張機能を備えたブートモード入力 (ピン) に、あらかじめプルアップとプルダウンを接続する準備をしておくことを推奨します。各ブートモードピンにプルアップまたはプルダウンを実装することを推奨します。ブートモードピンをグランドまたは IO 電源レールに直接接続することは推奨しません。IO には、ブート後に構成できる代替機能があり、ソフトウェアによって意図せず出力として構成される可能性があるためです。

ブートモード入力 (ピン) はフェイルセーフではありません。プロセッサの IO 電源が上昇する前に、外部入力を印加しないことを推奨します。ブートモードバッファを使用せずにプルアップ/プルダウンを使用してブートモードを接続する場合、プロセッサ IO が基準とする IO グループの IO 電源に接続されている IO 電源を接続することを推奨します。ブートモードバッファを使用する場合、プロセッサ IO をバッファ (プロセッサ側) の B ポート電源ピンに接続する IO 電源を接続することを推奨します。キャリアボードからの外部入力を接続してブートモード入力を構成する場合、入力はプロセッサ電源の上昇後に駆動することを推奨し、PORz 入力が「High」に引き上げられる前に安定している必要があります。

アプリケーションの要件に基づき、リセット (PORz) がアサート (Low) されたときにのみ駆動されるバッファを使用して、プロセッサにブート構成が提供されます。

直列抵抗 ($1k\Omega$) は、バッファの出力に接続することを推奨します (バッファ OE がデアサートされる前にブートモードピンが出力として構成される場合に、出力電流を制限するため)。実装の詳細については、プロセッサ固有の評価基板を参照してください。

6.1.5.1 プロセッサ ブートモード入力絶縁バッファの使用事例と最適化

評価基板では、ブートモード入力の BOOTMODE[15:12]、BOOTMODE[11:00] を x1 8 ビットおよび x2 4 ビット絶縁バッファ経由でアサートします。これらのバッファにより、ブートモード入力がラッチされる際 (RESETSTATz の立ち上がりエッジで)、SYSBOOT が引き上げる / 引き下げることで (プルアップまたはプルダウン) (ブートモード構成抵抗)、信号の IO レベルが制御されます。ブートモード構成抵抗は、他の接続されたペリフェラルから分離されているため (ブートモード入力ピンには代替機能があるため)、他の接続されたペリフェラルが意図されたブートモード構成 (IO レベル) と競合しません。

RESETSTATz が「Low」のとき、バッファはイネーブルになります。RESETSTATz がデアサートされる (「High」になる) と、バッファ出力はハイインピーダンス状態になります。

カスタムボード設計 (BOM を含む) を最適化するために、ブートモードバッファは最適化または削除できます (使用事例によるので、カスタムボード設計者による検証が必要)。抵抗が接続されたデバイスの動作に影響を与えないように、プル抵抗の値を選択することを推奨します。

6.1.5.2 ブートモードの構成

必要なプロセッサのブートモードの設定については、プロセッサ固有の TRM の「初期化」の章にある「ROM コードブートモード」表を参照してください。

6.1.5.2.1 USB ブートモードに関する注意事項

USB0 インターフェイスは、DFU (デバイスファームウェアアップグレード) ブートをサポートしています。USB0 を DFU ブート用に構成した場合、 $3.3V$ 電源を (直接または分圧器を使用して) USB0_VBUS 入力に接続することは推奨されません。USB0_VBUS 分圧器の入力に等価である永続的な電源を接続することはできません。USB VBUS の検出電圧デバイス / クランプ回路を使わない電源の接続は、フェイルセーフ動作に違反します。

USB インターフェイス コネクタ経由で接続されたホスト (スイッチング) からの 5V 電源は、プロセッサ固有のデータシートの推奨事項に従い、抵抗デバイダ経由で USB0_VBUS 入力に接続することを推奨します。カスタム基板の設計で 5.5V を超える VBUS 電位を適用せず、オンボード電源を接続する場合、ツェナー ダイオードを取り外し、USB VBUS を検出分圧器 / クランプ回路用に 2 つの抵抗 (16.5kΩ と 3.48kΩ) を 1 つの 20kΩ 抵抗と組み合わせることができます。

6.1.5.3 SD カードのブート SDCD 入力の接続に関する注意事項

プロセッサ固有の TRM の「ブート モード」の SD カードのブート セクションの SD カードのブートに対応するために、プロセッサ側の SDCD ピンの接続に関する推奨事項に注意してください。

6.1.5.4 OSPI ブート OSPI インターフェイス チップ セレクトの接続に関する注意事項

プロセッサ固有の TRM の「OSPI コントローラによるブート」セクションに対応するために、OSPI チップ セレクト ピンの選択とプロセッサ側での接続に関する推奨事項に注意してください。

6.1.5.5 ブート モードの実装方法

ブート モードの実装については、以下の FAQ を参照してください。

[\[FAQ\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 絶縁バッファを使用したブート モードの実装](#)

[\[FAQ\] AM625/AM623/AM620-Q1/AM64x/AM243x/AM62A/AM62P/AM62D-Q1/AM62L — 絶縁バッファを使用しないブート モードの実装](#)

6.1.5.6 追加情報

外部入力を接続してブート モード入力を構成する場合、プロセッサ PORz (コールドリセット) が解除される (L -> H) 前に、ブート モード構成入力を安定させることを推奨します。

イーサネット ブートと RGMII (Reduced Gigabit Media Independent Interface) インターフェイスを使用する場合、EPHY RDx データパスで RGMII_ID に対応する EPHY を使用し、TDx データパスで RGMII_ID を無効にすることを推奨します (プロセッサは、データ信号を基準にして TDx クロック信号に固定 RGMII_ID を実装します)。プロセッサ ROM は、接続された EPHY の RGMII_ID モードを有効化、または無効化しません。RGMII_ID は、EPHY のピンストラップを使って設定します。

ピンストラップを使用して RGMII_ID を設定できる EPHY を選択することを推奨します。TI の EPHY を使用した実装については、プロセッサ固有の評価基板を参照してください。

6.1.5.7 ブート モードの構成 (プロセッサ用) チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み。
2. ブート モード構成方式 (削減したピン数またはフル ピン数)
3. ブート モード構成の規定には eFuse の使用が含まれるか
4. プロセッサのブート モード入力の接続アプローチ (バッファを使用するか、直接接続するか)
5. ブート モード構成 (DIP スイッチと抵抗デバイダを使用、または抵抗のみを使用)
6. ブート モード構成ラッチ時のブート モード入力の状態
7. プロセッサ固有の TRM の「SD カード ブート モード」セクションに従った、SD カード ブートに対応する SDCD ピンの接続
8. プロセッサ固有の TRM の「OSPI コントローラによるブート」セクションに従ったブートに対応するための、推奨チップ セレクト ピンの、接続された OSPI/QSPI メモリ デバイスへの接続
9. 代替機能に使用する場合のブート モード入力の接続の推奨事項
10. ブート モード入力のフェイルセーフ機能

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. ブートモード構成入力は、評価基板の実装に従って、抵抗、スイッチ + 抵抗デバイダ、およびバッファを使用してプロセッサに接続されます。
2. 直列抵抗 $1k\Omega$ は、ブートモードがバッファによって実装される場合、または外部の制御信号によって駆動される場合、バッファの出力に使用されます。
3. ブートモード入力構成の設定が、PLL クロック入力、プライマリブート、セカンダリブートに関するプロセッサ固有の TRM 推奨事項に従っていることを確認することを推奨します。
4. ブートモード入力 IO 互換性 (VDDSHV0 を基準とする (に電力を供給される) 1.8V または 3.3V)
5. DIP スイッチを使用してブートを構成する場合は、 $1k\Omega$ および $47k\Omega$ 値の抵抗を使用することを推奨します。
6. DIP スイッチを使用しない場合、標準の $10k\Omega$ 抵抗をプルアップおよびプルダウンに使用してブートモードを構成できます。必要なブートモードを構成するには、プルアップまたはプルダウンのいずれかを実装することを推奨します。DIP スイッチを使用しない場合、抵抗デバイダはオプションです
7. すべてのブートモード構成入力ピンには、プロセッサのコールドリセット時に必要なブートモード入力を駆動するための外部プルまたは回路が備わっています (ブートモード入力のいずれかを未接続のままにすることは推奨も許容もされません)
8. プロセッサのコールドリセット入力 (PORz) が解放される (0 から 1) 前に、印加された外部ブートモード入力が安定していることを推奨します
9. 分離またはブートモード機能のテストのために、ブートモード入力信号を 0Ω で代替機能に接続することを推奨します
10. ブートモード入力はフェイルセーフではありません (プロセッサ電源の上昇前に外部ブートモード入力を印加しないことを推奨します)

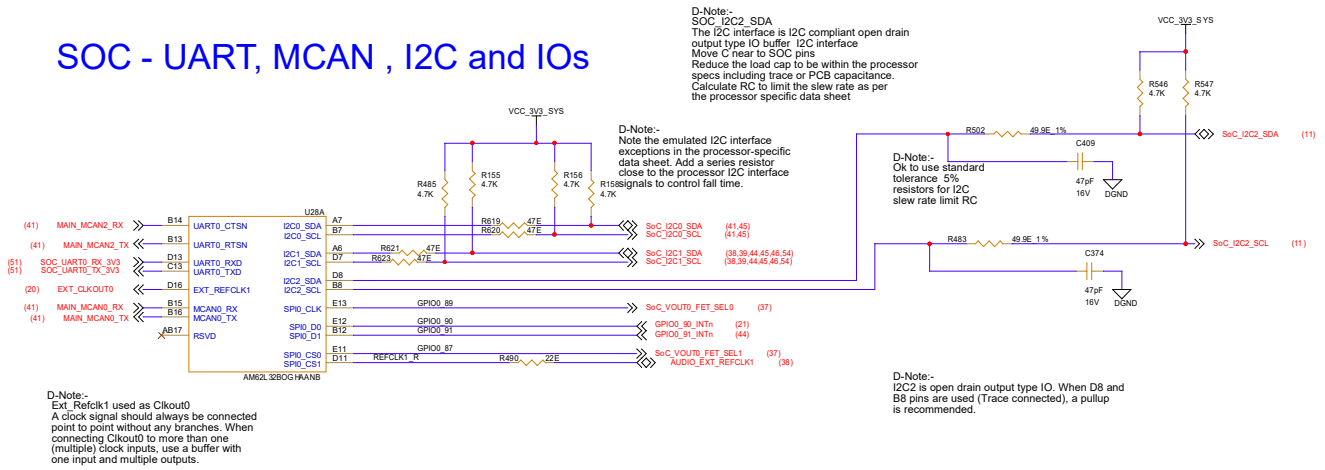
さらに

1. プロセッサの BOOTMODE 入力ピンでは、リセット中に内部プルアップまたはプルダウンが有効になっていません (ブートモード入力構成がラッチされているとき)。
2. 初期 (早期または最初のプロトタイプ) 設計では、ブートモード入力 (ピン) に外部 PU/PD 抵抗を接続することを推奨します。サポート対象のブートモードの詳細については、プロセッサ固有の TRM を参照してください。
3. RESETSTATz が "High" になると、ブートモード入力がラッチされます。動作中に代替機能用にブートモード入力が再構成された場合、プロセッサがリセットされるたびにブートモードを選択するために、ブートモード入力を解放する / 必要な構成に戻す必要があります (コールドリセット)。信号が外部ペリフェラルから駆動される場合、ブートモード構成が懸念事項となります。
4. ブートモード入力を IO 電源または VSS に直接接続することは推奨しません。複数のブートモード入力を互いに短絡し、共通の抵抗に接続することは推奨しません。(カスタムボードの設計には、ファームウェアの構成に関する問題が発生する可能性があり、この場合、入力として意図された LVCMOS IO が予期せずに出力として構成され、ハイインピーダンス状態にとどまらずに、ロジック High 信号が駆動されます)。
5. ブートモードスイッチが制御されていない環境で構成されている場合、ブートモード入力に外部 ESD 保護を追加することを推奨します。
6. ブートモード入力はフェイルセーフではありません。プロセッサの IO 電源上昇の前に外部入力を印加することは推奨も許容もされません。プロセッサの電源電圧が上昇する前にプロセッサのブートモード入力に外部入力信号を印加すると、電圧供給を引き起こし、カスタムボード機能に影響を及ぼす可能性があります。
7. ブートモード入力バッファはオプションであり、テストオートメーションに対応するために評価基板に搭載されています。
8. バッファまたは論理ゲートを使用してブートモード入力を構成する場合、使用しているデバイスが OE (出力イネーブル機能) に対応しているのを確認することを推奨します。

6.2 JTAG と EMU を使用したカスタムボードのデバッグ

図 6-9 には、JTAG インターフェイスの接続、およびプロセッサ固有のデータシートのプロセッサピン接続要件セクションに従って、プロセッサの JTAG インターフェイスピンの近くに配置された推奨プル (プルアップまたはプルダウン) が示されています。

SOC - UART, MCAN, I2C and IOs



SOC- JTAG

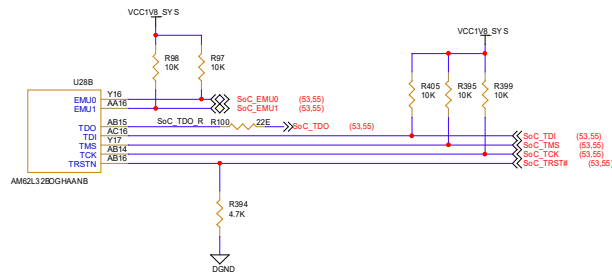


図 6-9. JTAG プルの接続

6.2.1 使用時の JTAG インターフェイスと EMU 信号

JTAG インターフェイスを実装する場合、(10 ピン ARM コネクタではなく) TI が推奨する、定義済みで、サポートされている 20 ピン コネクタを使用することを推奨します。10 ピン JTAG コネクタには、TRSTn 信号や EMU0、EMU1 信号が含まれていません。プロセッサ固有のデータシートの「ピン接続要件」セクションに従って、JTAG 信号 (TDI、TCK、TMS、TRSTn) および EMU (EMU0 および EMU1) 信号を接続することを推奨します。プルアップ (10kΩ) およびプルダウン (4.7kΩ) をプロセッサ JTAG インターフェイスピンの近くに配置することを推奨します。ローパスフィルタを配置し、100Ω の直列抵抗と 0.1μF のシャントコンデンサをプロセッサ側の 100Ω 抵抗に実装することを推奨します。

すべての JTAG インターフェイス信号および EMU0、EMU1 信号には、外部インターフェイスコネクタの近くに外部 ESD 保護を追加することを推奨します。EMU0 および EMU1 信号は、コールドリセット (PORz 入力 High) 後のブートシーケンスとデバッグをサポートしています。TDO のプルアップはオプションであり、選択したデバッガによって異なります。オプションとして、JTAG ツールのバッファインピーダンスと一致するように、TDO (プロセッサに近い) 信号には直列抵抗 (0Ω) を接続することを推奨します。

詳細については、プロセッサ固有の TRM の「オンチップ デバッグ」の章を参照してください。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[FAQ] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP / AM62L / AM62Ax / AM62D-Q1 / AM62Px / AM64x / AM243x (ALV, ALX) カスタム ボード ハードウェア設計 – JTAG

[FAQ] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP カスタム ボード ハードウェア設計 – JTAG プルダウン / プルアップ

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサファミリーにも使用できます。

6.2.2 未使用時の JTAG インターフェイスと EMU 信号の接続

JTAG インターフェイスを使用しない場合の JTAG インターフェイス信号と EMU 信号の接続については、プロセッサ固有のデータシートの「ピン接続要件」セクションを参照してください。

カスタム ボードを設計するときは、初期プロトタイプでのデバッグをサポートするために、EMU0、EMU1 を含む最小限の JTAG インターフェイス信号を、テスト ポイントまたはヘッダ フットプリントに接続できるようにしておくことを推奨します。JTAG インターフェイス関連のコンポーネントは、ボードの量産バージョンでは DNI にすることができます。「ピン接続要件」セクションに従って推奨プルを実装できるようにしておき、JTAG コネクタまたは TP の近くに外部 ESD 保護機能を提供することを推奨します。

6.2.3 追加情報

JTAG インターフェイスが複数の接続されたデバイスに接続される場合は、クロックおよび JTAG インターフェイス信号をバッファすることを推奨します。単一デバイスの実装でも、クロックをバッファすることを推奨します。実装については、プロセッサ固有の評価基板を参照してください。

トレース インターフェイスを使用する場合、TRC_DATAn 信号をエミュレーション コネクタに接続することを推奨します。すべての TRC_DATAn 信号は、他の信号とピン多重化されています。トレース機能または GPMC インターフェイスのいずれかを使用することを推奨します。TRC_DATAn 信号用に、短くスキュー マッチングされた接続 (基板パターン) は、トレース機能に使用されます。このトレース信号は VDDSHV0 を基準として (電力供給されて) おり、他の JTAG 信号とは異なる電源電圧で動作できます。TRC/EMU、およびレイアウトの推奨事項については、『[エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル](#)』を参照してください。概要については、『[XDS ターゲット接続ガイド](#)』を参照してください。

バウンダリ スキャンを使用する場合は、EMU0 ピンと EMU1 ピンを JTAG コネクタに接続することを推奨します。

JTAG インターフェイスの実装については、『[エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル](#)』を参照してください。

6.2.4 JTAG および EMU チェックリストを使用したカスタム ボードのデバッグ

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み。
2. EMU0、EMU1 信号などの JTAG インターフェイス信号の外部インターフェイス コネクタまたは TP への接続
3. プロセッサ ピンの接続要件に従っての、JTAG インターフェイス信号用の推奨プルの接続
4. ローパス フィルタを配置し、100Ω の直列抵抗と 0.1μF のフィルタ (シヤント) コンデンサをプロセッサ側の 100Ω 抵抗に実装
5. JTAG インターフェイスが IO レベルの互換性を提示
6. JTAG インターフェイス信号のフェイルセーフ動作
7. 外部 ESD 保護機能の提供

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. JTAG インターフェイス信号と EMU0、EMU1 信号の JTAG インターフェイス コネクタへの接続
2. 電源電圧の、フィルタ コンデンサを含む JTAG コネクタへの接続 (VDDSD0 に接続する電圧源を接続することを推奨)
3. ピン接続要件に基づいての、プロセッサ JTAG インターフェイス ピンの近くでの推奨プルアップおよびプルダウン接続
4. プルアップ (10kΩ) およびプルダウン (4.7kΩ) 値の使用 (評価基板実装に従うことを推奨)
5. JTAG インターフェイス信号の IO 互換性 (VDDSD0 を基準とする (VDDSD0 から電力を供給される) IO 電源)
6. JTAG インターフェイス信号のフェイルセーフ動作。プロセッサ電源がオフの場合、JTAG 入力信号が利用可能でない (印加されない) こと

さらに

1. 初期プロトタイプをデバッグするために、テスト ポイントまたはヘッダーに接続されたカスタム ボード設計には、少なくとも最低限の JTAG 信号を含める (実装する) ことを推奨します。推奨される最低限の JTAG 信号は、TCK、TMS、TDI、TDO、TRSTn、および EMU0、EMU1 です。必要に応じて、ボードの量産バージョンでは、JTAG 配線および部品のフットプリント (TRSTn のプルダウンと TMS および TCK のプルアップを除く) を削除することを推奨します。
2. パターンを実装する場合は、TRC_DATAn 信号をエミュレーション コネクタに接続することを推奨します。すべての TRC_DATAn 信号は、他の信号とピン多重化されています。パターン接続が実装されている場合は、他の多重化機能を使用しないことを推奨します。TRC_DATAn 信号には、短くてスルーレートが等しくなるように調整されたパターン (配線) を使用することを推奨します。トレース信号は、異なる電源ドメインを基準として (電力を供給されて)、JTAG 信号とは異なる電圧で動作することができます。
3. 外部 ESD 保護の配置を追加することを推奨します。JTAG インターフェイスを使用する場合は、外部 ESD 保護回路を実装できます。
4. JTAG インターフェイスを使用する場合は、フェイルセーフ動作を検証することを推奨します。プロセッサの電源電圧上昇の前にプロセッサの JTAG 入力に外部入力信号を印加すると、電圧供給を引き起こし、カスタム ボードの機能に影響を及ぼす可能性があります。

7 プロセッサ ペリフェラルの電源、インターフェイス、接続

注

カスタム ボード設計時は、『AM62L (AM62L32、AM62L31) プロセッサ ファミリーを使用したカスタム ボード設計に関するハードウェア設計の検討事項』ユーザー ガイドと、『回路図設計ガイドラインと回路図レビュー チェックリスト』ユーザー ガイドを参照することを推奨します。

注

プル要件が業界標準で定義されていない限り、外部プルに関する明確なルールや要件はありません。プルに関する業界標準が定義されていることが、eMMC および SD カード信号に対して外部プルを明確に推奨できる主な理由です。その他のペリフェラルについては、お客様がカスタム ボード上のすべてのプロセッサ信号に接続されるデバイスの機能を評価し、デバイスの入力バッファが有効になったときに入力フローティングしないよう、外部プルの必要性を適切な技術的判断により決定することを推奨します。設計ガイドに記載されている推奨事項は汎用的なものであり、実装前に設計要件と接続デバイスの内部プルの有無を確認することが期待されます。また、内部プルと競合する外部プルを追加しないようにしてください。例:たとえば、接続デバイス側の内部プルと競合する外部プルを追加してしまうと、競合により信号 (入力) が中電圧となる可能性があります。

7.1 サポートされているプロセッサ コア

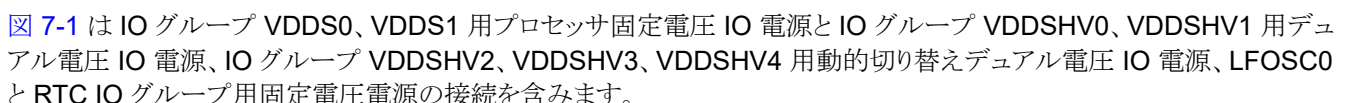
サポートされているプロセッサ コアについては、プロセッサ固有のデータシートの「特長」セクションを参照することを推奨します。Arm Cortex -A53 マイクロプロセッサ サブシステム コアの選択には、プロセッサ固有のデータシートの「デバイス比較」セクションを参照します。

必要なデバイスのグレードとデバイスの動作性能ポイントの定義には、プロセッサ固有のデータシートの「動作性能ポイント OPP」セクションを参照します。

追加の詳細事項については、以下の FAQ を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x/ AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 設計上の推奨事項 / カスタム基板ハードウェア設計 – プロセッサ コア、PLL、VDD_CORE、VDDR_CORE、VPP その他のコア電源に関する情報](#)

7.2 IO グループ用 IO 電源接続

 **図 7-1** は IO グループ VDDS0、VDDS1 用プロセッサ固定電圧 IO 電源と IO グループ VDDSHV0、VDDSHV1 用デュアル電圧 IO 電源、IO グループ VDDSHV2、VDDSHV3、VDDSHV4 用動的切り替えデュアル電圧 IO 電源、LFOSC0 と RTC IO グループ用固定電圧電源の接続を含みます。

7.2.2 VDDsx 固定 1.8V 電源

IO グループの各固定電圧 IO 電源 (VDDSO、VDDSI、VDDSWKUP、VDDSRTC) は、固定された IO (ペリフェラル) のセットに電源を供給します。1.8V 固定電源電圧は、IO グループの固定電圧 IO 電源 (VDDSO、VDDSI、VDDSWKUP、VDDSRTC) に接続されます。

IO グループの固定電圧 IO 電源は、1P8-LVCMOS IO バッファを使用して実装されています。

ROC の範囲外の電源電圧が瞬時的または連続的に印加されないように、電源アーキテクチャを設計することを推奨します。

7.2.3 IO グループ用 IO 電源接続チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み。
2. 規格が推奨動作条件と利用可能な追加情報を含む電気的特性を参照していること
3. 実装する IO バッファのタイプとサポートする電源構成 (1P8-LVCMOS、LVCMOS 固定 1.8V または 3.3V) または SDIO 動的電圧 (1.8V または 3.3V) スイッチング
4. IO グループ用のすべてのデュアル電圧 IO 電源 (VDDSHVx) と IO グループ用の固定電圧 IO 電源 (VDDsx または VDDSWKUP) への有効電源の接続
5. プロセッサ IO 電源のシーケンシング
6. 選択したメモリに基づく、プロセッサ DDRSS PHY IO 電源の接続
7. IO のプルアップ電源電圧接続 (IO グループ電源用 IO 電源と同じ)

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. LVCMOS、1P8-LVCMOS、SDIO、I2C OD タイプの IO バッファなどをサポートする IO グループ
2. 使用する IO 電源ソースは、プロセッサ固有のデータシートに従って ROC を遵守します。
3. IO 電源シーケンシングは、プロセッサ固有のデータシートに従います。
4. IO バッファタイプ LVCMOS は、固定 (1.8V または 3.3V) または SDIO タイプの動的電圧スイッチング (1.8V または 3.3V) をサポートします。
5. 装着デバイスの IO 電源と、プロセッサ インターフェイス信号が基準とする IO グループ (デュアル電圧または固定電圧) の IO 電源は、同じ電源に接続します。
6. 外部プルアップは、プロセッサの VDDSHVx、VDDsx、VDDSWKUP または VDDSRTC の電源ピンと、装着デバイス IO 電源に接続しているのと同じ電源レールまたはソースに接続します。
7. PMIC 入力に接続した 3.3V 電源を、IO グループ VDDSHVx 用のプロセッサ デュアル電圧 IO 電源に直接接続することは推奨しません。PMIC が起動せず、その他のプロセッサ電源レールを生成しない場合、しばらくの間 IO 電源が利用可能になるためです。

さらに

1. 使用する IO グループ電圧レベルの IO 電源に基づく電源シーケンス要件に注意してください
2. 動的電圧スイッチングは、IO グループ用の特定のデュアル電圧 IO 電源 (VDDSHV2、VDDSHV3、VDDSHV4) がサポートしています。
3. (接続している) LVCMOS IO バッファ (IO) を基準とする IO グループ用のデュアル電圧 IO 電源の動的電圧スイッチングは、サポートも許可もしません。

7.3 メモリ インターフェイス (DDRSS (DDR4/LPDDR4)、MMCSD (eMMC/SD/SDIO)、OSPI/QSPI、GPMC)

7.3.1 DDR サブシステム (DDRSS)

このプロセッサ ファミリは、DDR サブシステム DDRSS0 の x1 インスタンスに対応し、16 ビット SDRAM とのインターフェイスにも対応しています。

DDRSS インターフェイスは、DDR4 または LPDDR4 メモリ インターフェイスに対応しています。DDR4 メモリと LPDDR4 メモリの選択は、メモリ タイプによってレイテンシとバースト長に違いがあるため、アプリケーションによって異なるか、お客様が選択します。

詳細については、以下のアプリケーション ノートを参照してください。

『[Sitara AM62Lx ベンチマーク](#)』

DDRSS の JEDEC 規格との互換性の詳細については、プロセッサ固有のデータシートの「DDR 電気的特性」セクションを参照してください。プロセッサ固有のデータシートからの以下の注記を参照してください。

注

DDRSS インターフェイスは、JESD79-4B 規格準拠の DDR4 デバイスや、JESD209-4B 規格準拠の LPDDR4 デバイスと互換性があります。

DDR4 および LPDDR4 でのサポート対象のメモリ サイズについては、プロセッサ固有のデータシートを参照してください。他のプロセッサ ファミリと比較して、サポート対象のメモリ サイズ、DDRSS インターフェイスのピン配置の変更がある可能性があるため、カスタム ボード回路図を設計する際に、サポート対象のメモリ サイズと推奨接続を確認することを推奨します。

LPDDR4 または DDR4 を使用する場合の AM62L 電源アーキテクチャの実装については、プロセッサの製品ページにある『[AM62L 電源の実装](#)』アプリケーション ノートを参照してください。

以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62Ax / AM62D-Q1 / AM62Px / AM64x / AM243x \(ALV\) 設計に関する推奨事項 / カスタム ボード ハードウェア設計時に一般的に観測されるエラー — DDRSS:DDR4/LPDDR4 メモリ インターフェイス](#)

[\[FAQ\] AM625:DDR4/LPDDR4 性能の相違](#)

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 設計に関する推奨事項 / カスタム ボード ハードウェア設計 - 受動部品の値、許容誤差、電圧定格に関する問い合わせ](#)

7.3.1.1 DDR4 SDRAM (ダブル データ レート 4 同期式ダイナミック ランダム アクセス メモリ)

7.3.1.1.1 AM62Lx プロセッサ ファミリ

実装のガイドラインと配線トポロジについては、『[AM62x、AM62Lx DDR ボード設計およびレイアウトのガイドライン](#)』を参照してください。

実装のリファレンスについては、以下の手順に従ってください。

TMDS64EVM: [Sitara プロセッサ用 AM64x 評価基板](#)

SK-AM62B-P1: [PMIC 搭載 AM62x スタータ キット評価基板](#)

7.3.1.1.1.1 メモリ インターフェイスの構成

使用可能なメモリ構成は、x1 (シングル)、16 ビット、または x2 (2)、8 ビットです。

x1 (シングル)、8 ビットのメモリ構成は、許可された構成でも有効な構成でもありません。

選択したメモリ サイズに基いた DDRSS 信号バンク グループ (DDR0_BG0、DDR0_BG1) の接続と、メモリ選択 (シングルバンク) に基づいたチップ セレクト (DDR0_CS0_n) を検証することを推奨します。『[AM62x、AM62Lx DDR の基板設計およびレイアウト ガイドライン](#)』を参照してください。

7.3.1.1.1.2 ルーティングトポロジとメモリ終端の接続

x1 (シングル) メモリ (DDR4) デバイス (x1 (シングル)、16 ビット) を使用する場合は、ポイントツー ポイントトポロジ (接続) に従うことを推奨します。

ポイントツー ポイントトポロジ実装の概要:

- 差動クロック DDR0_CK0、DDR0_CK0_n、AC 終端 x2 R 直列 (値 = Zo – シングルエンド インピーダンス)、および 0.01μF またはメモリメーカーが推奨する値のフィルタ コンデンサを、2 つの抵抗の中央と DDR PHY IO 電源 VDDS_DDR に接続することを推奨します。
- VREFCA (VDDS_DDR/2) は、メモリ (DDR4) デバイスへの制御、コマンド、アドレス入力に使用するリファレンス電圧です。VTT 終端と VTT 終端 LDO を使用しない場合、VREFCA は、VDDS_DDR と VSS の間に接続した抵抗デバイス (2 つの抵抗 (1kΩ、±1%、推奨値)) と、抵抗と並列に接続したフィルタ コンデンサ (0.1μF、推奨値) を使用して、VDDS_DDR から生成します。VREFCA ピン (メモリ (DDR4) デバイスの近く) に追加のデカップリング コンデンサを設置することを推奨します。
- アドレス信号と制御信号の外部 VTT 終端はオプションです。

x1 DDR4 メモリ デバイスを使用する使用事例で、アドレス信号と制御信号に VTT 終端を使用する場合、シンクまたはソース DDR 終端レギュレータ (LDO) を使用して、必要な VTT 電源を生成することを推奨します。

x2 (2) のメモリ (DDR4) デバイス (x2 (2)、8 ビット) を使用する場合、Fly-by トポロジ (接続) を使用することを推奨します。

Fly-by トポロジの実装の概要:

- アドレス、制御、クロック信号用の外部 VTT 終端を推奨します。
- VTT 電源の生成には、シンクまたはソース DDR 終端レギュレータ (LDO) を推奨します。
- シンクまたはソース DDR 終端レギュレータ (LDO) を使用して、リファレンス電圧 VREFCA (VDDS_DDR/2) を生成します。
- リファレンス電圧にデカップリング コンデンサを追加することを推奨します。

7.3.1.1.1.3 DDRSS の制御およびキャリブレーション用の抵抗

メモリ (DDR4) デバイスの近くにある DDR0_RESET0_n (DDR_RESET#) には、プルダウン (10kΩ) を推奨します。プルダウン抵抗と並列にフィルタ コンデンサ (47pF または類似値) を追加するのは任意です。

DDR0_CAL0 (プロセッサの cal ピンの近くの IO パッド キャリブレーション抵抗) および ZQn (メモリ (DDR4) デバイスの近くのメモリ デバイス キャリブレーションリファレンス抵抗、n = 0 ~ 1) の推奨抵抗を (プロセッサ固有のデータシートまたは評価基板の回路図に従って) 接続することを推奨します。

TEN (テスト有効化) のプルダウンを接続することを推奨します。オプションのプルダウン プロビジョニング DDR0_CKE0 信号 (DDR_CKE ネット) を追加し、DNI (実装なし) としてマークすることを推奨します。

7.3.1.1.1.4 電源レール用コンデンサ

プロセッサ DDRSS 電源レールおよびメモリ (DDR4) デバイスの電源レールに、適切なバルクおよびデカップリング コンデンサが実装されていることを確認することを推奨します。

推奨事項が利用できない場合は、プロセッサ固有の評価基板の実装に従うことを推奨します。

7.3.1.1.1.5 データビットまたはバイト スワップ

カスタム ボード設計では、ビットのスワップが必要な場合、データ バイト内でのビットのスワップ、およびバイト間のスワップは、いくつかの制限付きで許容されます。アドレスおよび制御ビットのスワップには非対応です。DM および DQS ビットを他の信号とスワップしないでください。

詳細については、『AM62x、AM62Lx DDR ボード設計およびレイアウトのガイドライン』の「ビット スワップ」セクションを参照してください。

将来の参照または再利用のために、ビット スワップの変更を加えて、注記を含めて回路図を更新することを推奨します。

7.3.1.1.1.6 サポートされていない DDRSS インターフェイス ピン

DDRSS は、DDR0_ALERT_n、DDR0_PAR、DDR0_CKE1、DDR0_CS1_n、DDR0_ODT1 信号 (ピン) をサポートしていません。ピンの接続については、メモリのデータシートまたはアプリケーション ノートを参照するか、メモリのサプライヤーに確認してください。

7.3.1.1.1.7 DDR4 実装チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. メモリの選択 (JESD79-4B 規格準拠)、サポート対象のメモリ構成、接続されているメモリ デバイスの数
3. アドレス信号、クロック信号、制御信号、データ信号の接続
4. 接続されているメモリ デバイス (x1 または x2) の数に基づいて、接続およびルーティングのトポロジが適用されている
5. 選択したメモリ サイズに基づいたサポート対象の最大メモリ サイズと DDRSS 信号の接続
6. 差動クロック終端の実装、使用している VTT 抵抗とフィルタ コンデンサの接続と値
7. DDR リファレンス電圧生成用抵抗デバイダ
8. 2 個のメモリ デバイスが使用されている場合のアドレスおよび制御信号の VTT 終端
9. DDRSS RESETn 信号から DDR_RESETn メモリリセット入力への接続
10. DDRSS からメモリ デバイスへの ODT 信号の接続 (外部プルはオプション)
11. プロセッサ DDR0_CAL0 および接続されたメモリ デバイス TEN、ZQn、Alert_n (値と許容範囲を含む) のピンの接続。
12. データ ビットまたはデータ バイトのスワップ
13. 必要なバルク キャパシタと高周波コンデンサ、および値の追加。
14. ピンの接続 (例:DDR0_PAR) メモリ側での接続は プロセッサ DDRSS ではサポート対象外です。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. サポート対象のメモリ構成は x1 16 ビット メモリ デバイスと x2 8 ビット メモリ デバイスです。
2. 使用するバルクおよびデカップリング コンデンサと、評価基板の回路図を実装した値を比較することを推奨します。
3. プロセッサ DDRSS ペリフェラル電源レール、および接続されたメモリ デバイスの IO に接続された電源レールは、プロセッサおよび接続されたメモリ デバイスの ROC に追従します。
4. 『AM62x、AM62Lx DDR ボードの設計およびレイアウトのガイドライン』に従った、アドレス信号、クロック信号、制御信号、データ信号の接続。
5. ルーティングトポロジは、接続されているメモリ デバイスの数 ((データ バストポロジは常にポイント ツー ポイント)、(アドレスと制御用は x1 16 ビット、ポイント ツー ポイントと x2 8 ビット フライバイ (デジチェーン)) に基づいて適用されています。
6. 選択したメモリ サイズ (CS0、BG0、BG1、『AM62x、AM62Lx DDR ボードの設計およびレイアウトのガイドライン』を参照) に基づいた信号の接続。
7. x2 の抵抗とフィルタ コンデンサを使用した差動クロック終端。使用する VTT 抵抗とフィルタ コンデンサの値(評価基板の回路図を参照)。
8. DDR リファレンス電圧抵抗デバイダの値と許容誤差。DDR リファレンス DDR_VREFCA 生成用の抵抗デバイダ接続 (1kΩ、±1%)。デカップリング コンデンサ 0.1μF を抵抗の両端、メモリ ピンの近くに配置することを推奨します。
9. x2 のメモリ デバイスを使用する場合の (x1 メモリ デバイスにはオプション) アドレス信号と制御信号の VTT 終端の接続。これには VTT 抵抗とコンデンサ (x2 VTT 抵抗ごとに x1 のコンデンサ) の量と値 (TMDS64EVM に従うことを推奨) が含まれます。VTT 終端電源 LDO の実装。
10. DDRSS RESETn 信号の DDR_RESETn メモリリセット入力への接続 (電源オン初期化時に信号を "Low" に保持するため)。DDRSS RESETn 信号にプルダウン (10kΩ) を追加し、メモリ デバイスリセット入力ピンの近くに配置することを推奨します。
11. TEN (1kΩ プルダウン) 信号の接続。
12. ZQ0、ZQ1、メモリ デバイス IO キャリブレーション抵抗 (240Ω、±1%) を ZQ と VSS の間に接続。

13. DDR0_CAL0、DDRSS IO パッド キャリブレーション抵抗 (240Ω、±1%) を DDR0_CAL0 と VSS の間に接続。
14. DDRSS からメモリ デバイスへの ODT 信号の接続 (外部プルはオプション)。
15. データ ビットおよびデータ グループをスワップする場合は、『AM62x、AM62Lx DDR ボードの設計およびレイアウトのガイドライン』に従ってください。

さらに

1. DDR4 のアドレス信号と制御信号および VTT 電源 (LDO) の VTT 終端を実装するには、TMDS64EVM を参照することを推奨します。
2. 回路図にレイアウトの注記を追加することを推奨します (『AM62x、AM62Lx DDR ボードの設計およびレイアウトのガイドライン』に従うことを推奨します)。
3. 未使用の DDRSS インターフェイス信号を接続するには、プロセッサ固有のデータシートの「ピン接続要件」セクションに従うことを推奨します。
4. 拡張のために、必要な DDRSS 信号をメモリ デバイスに接続します。
5. DDRSS は、DDR0_ALERT_n、DDR0_PAR、DDR0_CKE1、DDR0_CS1_n、DDR0_ODT1 信号 (ピン) をサポートしていません。ピンの接続については、メモリのデータシートまたはアプリケーション ノートを参照するか、メモリ供給元に接続に関する推奨事項を確認してください。

7.3.1.1.1.8 DDR4 VTT 終端実装の回路図リファレンス

x2 (2) メモリ (DDR4) デバイス (x2 8 ビット) を使用する場合、各デバイスは DDRSS の各データ バイトに接続します。アドレス信号または制御信号は Fly-by トポロジで接続し、VTT 終端はプロセッサ DDRSS から離れた場所に配置したメモリ デバイスの近くに接続します。

VTT 終端の実装は、『TMDS64EVM (Sitara プロセッサ向けの AM64x 評価基板)』に従います。

設計の一環として、基板レベルのシミュレーションの実施を推奨します。

7.3.1.2 LPDDR4 SDRAM (ローパワーのダブル データ レート 4 同期式ダイナミック ランダム アクセス メモリ)

図 7-2 には LPDDR4 メモリ インターフェイス用に構成されたプロセッサ DDRSS が記載されています。この DDRSS は、LPDDR4_RESET_N (LPDDR4 メモリリセット入力) とデカップリング コンデンサが含まれた LPDDR4 メモリ U29 に接続されています。

プロセッサ DDRSS を DDR4 メモリに接続する必要がある場合は、SK-AM62B-P1 および TMDS64EVM を参照してください。

LPDDR4 DEVICE

SOC LPDDR4 INTERFACE

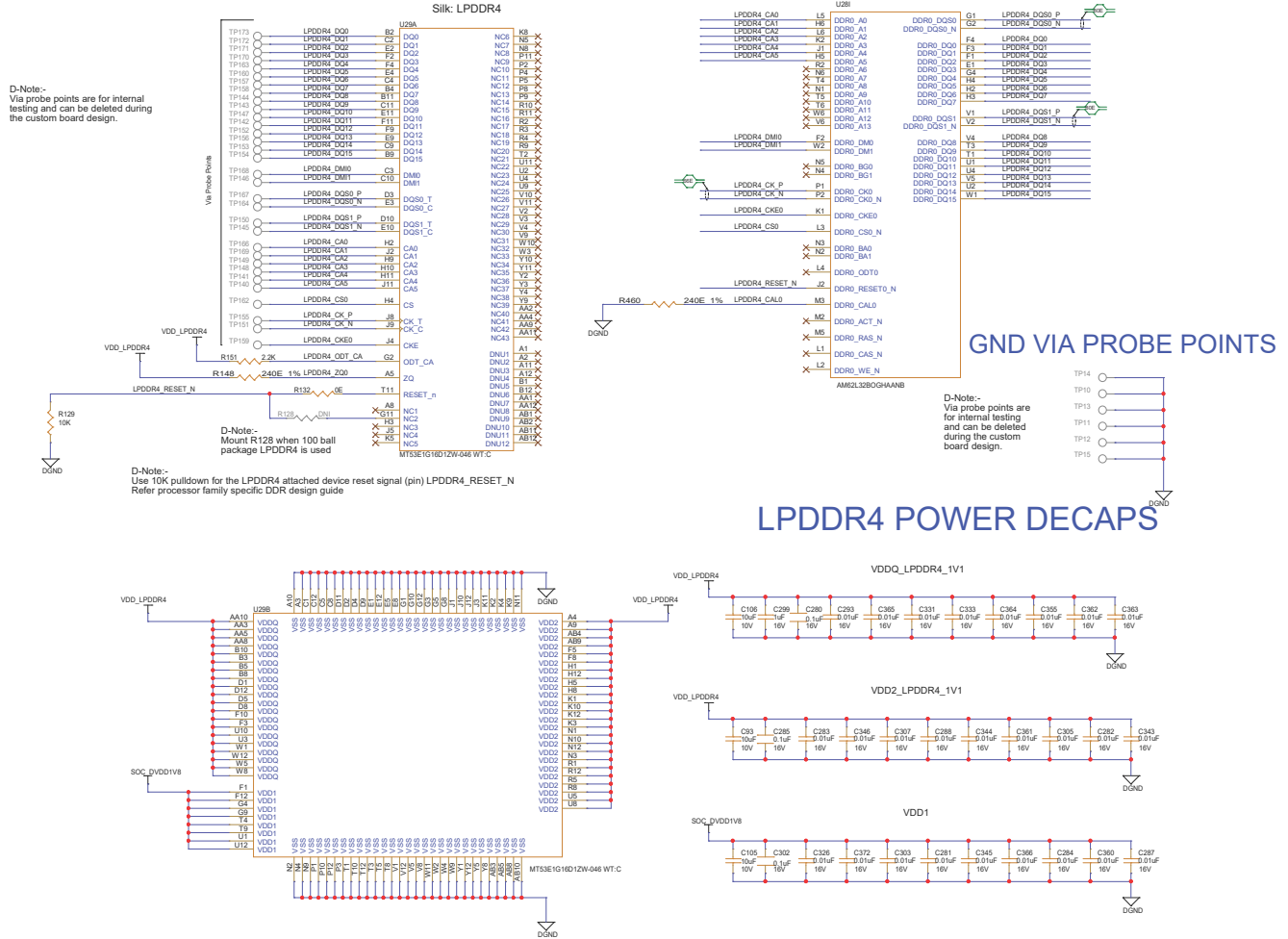


図 7-2. DDRSS LPDDR4 インターフェイス

7.3.1.2.1 AM62Lx プロセッサ ファミリ

実装のガイドラインと配線トポロジについては、『AM62x, AM62Lx DDR ボード設計およびレイアウトのガイドライン』を参照してください。

このコントローラは、DDR4 または LPDDR4 インターフェイスに対応しています。LPDDR4 アドレス インターフェイスは 6 ビット幅で、プロセッサ DDR_A ポートの最初の 6 ビットに割り当てられています。LPDDR4 を使用する場合、追加のアドレス信号 (DDR4 に使用) は使用せず、未接続のままにできます。カスタム ボードの DDR 部分を実装する際は、『AM62x, AM62Lx DDR ボードの設計およびレイアウトのガイドライン』参照してください。

7.3.1.2.1.1 メモリ インターフェイスの構成

許可されるメモリ構成は x1 (シングル)、16 ビットです。

7.3.1.2.1.2 ルーティングトポロジとメモリ終端の接続

クロック (CK)、アドレス、制御 (ADDR_CTRL)、およびデータ信号については、ポイントツーポイントのトポロジに従うことを推奨します。

LPDDR4 メモリタイプには、VTT 終端は適用されません。アドレス信号と制御信号に必要なメモリ終端は、内部 (オンダイ) でサポート (処理) されています。

7.3.1.2.1.3 DDRSS の制御およびキャリブレーション用の抵抗

メモリ (LPDDR4) デバイスの近くにある DDR0_RESET0_n (LPDDR4_RESET_N) には、プルダウン (10kΩ) を推奨します。プルダウン抵抗と並列にフィルタ コンデンサ (47pF または類似値) を追加するのは任意です。

DDR0_CAL0 (プロセッサの cal ピンの近くの IO パッド キャリブレーション抵抗)、ODT_CA_A (メモリ (LPDDR4) デバイスの近くの評価基板で使用される 2.2kΩ、チップ セレクト用の DDRSS オンダイ終端)、および ZQ (メモリ (LPDDR4) デバイスの近くのメモリ デバイス キャリブレーションリファレンス抵抗) の推奨抵抗を (プロセッサ固有のデータシートまたは評価基板の回路図に従って) 接続することを推奨します。

7.3.1.2.1.4 電源レール用コンデンサ

プロセッサの DDRSS 電源レールおよびメモリ (LPDDR4) デバイスの電源レールに、適切なバルクおよびデカップリング コンデンサが実装されていることを確認することを推奨します。

推奨事項が利用できない場合は、プロセッサ固有の評価基板の実装に従うことを推奨します。

7.3.1.2.1.5 データビットまたはバイト スワップ

カスタム ボード設計時では、ビットのスワップが必要な場合、データ バイト内でのビットのスワップ、およびバイト間でのスワップは許容されます。アドレスおよび制御ビットのスワップには非対応です。

詳細については、『AM62x、AM62Lx DDR ボード設計およびレイアウトのガイドライン』の「バイトおよびビット スワップ」セクションを参照してください。

将来の参照または再利用のために、ビット スワップの変更を加えて、注記を含めて回路図を更新することを推奨します。

7.3.1.2.1.6 LPDDR4 実装チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. メモリの選択 (JESD209-4B 規格に準拠)、サポートされるメモリ構成、メモリ サイズ、接続されているメモリ デバイスの数 (x1 が使用可能)
3. プロセッサ DDRSS ペリフェラル電源レールおよび接続されているメモリ デバイス IO に接続されている電源レール
4. アドレス信号、クロック信号、制御信号、データ信号の接続
5. DDRSS RESETn 信号の LPDDR4_RESET_N メモリリセット入力への接続
6. 接続されているメモリ デバイスへのチップ セレクト CSn0 の接続
7. ODT 構成のプルアップ接続、DDRSS CAL0、メモリ デバイス ZQn 抵抗接続。値と許容誤差を含む
8. データ ビットまたはデータ バイトのスワップ
9. 必要なバルク キャパシタと高周波コンデンサ、および値の追加
10. 回路図にレイアウトのメモを追加することを推奨します (『AM62x、AM62Lx DDR 基板の設計およびレイアウトのガイドライン』に従うことを推奨します)

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. x1 16 ビットは、サポートされている唯一のメモリ構成です。
2. 使用されるバルク コンデンサおよびデカップリング コンデンサおよび値と、関連する評価基板の回路図の実装を比較することを推奨します。
3. プロセッサ DDRSS ペリフェラル電源に接続された電源レールと接続されたメモリ デバイスの IO は、プロセッサおよび接続されたメモリ デバイスの ROC に従います。
4. アドレス信号、クロック信号、制御信号、データ信号の接続。LPDDR4 メモリ インターフェイスでは、サポートされているデータ バス幅は x16 のみです。DDRSS を 16 ビット メモリ デバイスに接続する方法については、『AM62x、AM62Lx DDR 基板の設計およびレイアウトのガイドライン』を参照してください。

5. DDRSS RESETn 信号を LPDDR4_RESET_N メモリリセット入力に直接接続 (パワーオンの初期化時に信号を Low に保持)。DDRSS RESETn 信号のプルダウン (10kΩ) を追加し、メモリ デバイスリセット入力ピンの近くに配置することを推奨します。
6. チップ セレクト CSn0 を、接続されているメモリ デバイスに接続。選択したメモリに応じた『AM62x、AM62Lx DDR 基板の設計およびレイアウト ガイドライン』に従ってください
7. メモリ デバイスの ODT を抵抗経由でプルアップします (評価基板で使用する 2.2kΩ。DDRSS 信号を接続しないこと、評価基板の回路図に従うことを推奨します)。
8. DDR0_CAL0、DDRSS IO パッド キャリブレーション抵抗 (240Ω、±1%) を DDR0_CAL0 と VSS の間に接続。
9. ZQ0 メモリ デバイスの IO キャリブレーション抵抗 (240Ω、±1%) を ZQ と VDD_LPDDR4 の間に接続。
10. データ ビットまたはバイトの交換。『AM62x、AM62Lx DDR 基板の設計およびレイアウト ガイドライン』に従ってください。

7.3.2 マルチメディア カード セキュア デジタル (MMCSD)

このプロセッサ ファミリーは、x3 (3) のマルチメディア カード / セキュア デジタル (MMC/SD/SDIO) (8b (4b) + 4b + 4b) をサポートしています。

7.3.2.1 MMC0 - eMMC (組込みマルチメディア カード) インターフェイス

図 7-3 に、eMMC インターフェイス用に構成され、eMMC メモリ U42 に接続されたプロセッサ MMC0 インターフェイスが記載されています。data0 および CMD 信号に必要なプルアップ、直列抵抗 (プロセッサ クロック出力の近くに配置)、クロック入力 (メモリ デバイス入力の近くに配置) のプルダウン、および ANDing ロジックを使用した eMMC リセット ロジックが記載されています。D1 ~ D7 のプルアップはメモリ デバイスおよびプロセッサの内部でサポートされているため、外部プルアップは DNI として構成されます。

7.3.2.1.1.1 IO の電源

MMC0 (eMMC) インターフェイスに使用されるプロセッサ IO は、VDDSHV2 電源レール (MMC0 IO グループのデュアル電圧 IO 電源) を基準としています (電力供給されます)。

VDDSHV2 は、その他の電源レールから独立したパワーアップ、パワーダウン、動的電圧スイッチングをサポートするように設計されており、動作電圧を 3.3V から 1.8V に変化させることができます。

VDDSHV2 と、接続されているデバイスの IO 電源レールを同じ電源ソースに接続することを推奨します。

接続されているデバイスの VDD (CORE 電圧) には、独立した電源ソース (別の電源ソース) から電力を供給できます。

7.3.2.1.1.2 eMMC インターフェイス信号の接続

次の接続を行うことを推奨します。

- プロセッサ クロック出力ピンの近くに MMC0_CLK 信号用の直列抵抗 (0Ω) を追加することを推奨します (クロック遷移が誤って発生する可能性のある信号反射を制御するため、直列抵抗を推奨します)。PCB のパターン インピーダンスに合わせて、最初に 0Ω を使用して調整することを推奨します。
- ホストがクロックとして信号を構成するまで、装着デバイスのクロック入力ピンの近くにある MMC0_CLK に、クロックを Low 状態で保持する (装着した eMMC デバイスのクロック入力ピンの近くに) 外部プルダウン (10kΩ) を設置することを推奨します (クロックが Low のロジック状態で停止または一時停止し、プルダウン オプションはこのロジック状態と一貫している場合があります)。
- MMC0_DAT0 と MMC0_CMD 信号 (eMMC デバイスの近く) に外部プルアップ (47kΩ) を接続して、ホストが駆動するまで装着デバイスの入力がフローティングにならないようにすることを推奨します。
 - MMC0_DAT[7:1] 信号のプルアップ抵抗はオプション (削除、DNI) です。装着している eMMC デバイス (eMMC JEDEC 規格 JESD84-B51 に準拠している eMMC デバイスの場合) は、ホストがバス幅を 4 ビットまたは 8 ビットモードに変更するまで、MMC0_DAT[7:1] 信号の内部プルアップをオンにする必要がある (想定している) ためです。4 ビットモードに変更するときには、ホストが内部プルアップを有効にし、eMMC デバイスは MMC0_DAT[3:1] の内部プルアップをオフにすることを想定しています。8 ビットモードに変更するときには、ホストが内部プルアップを有効にし、eMMC デバイスは MMC0_DAT[7:1] の内部プルアップをオフにすることを想定しています。
- DS 信号 (eMMC デバイスの近く) のプルダウンをテストポイント (オプション) に接続することを推奨します。

7.3.2.1.1.3 eMMC (装着デバイス) のリセット

注

リセット ロジックが機能するように、eMMC デバイス (eMMC 不揮発性構成領域) で eMMC_RSTn (RST_N) ピン機能 (リセット入力) が有効になっていることを確認します。

2 入力 AND ロジックを使用して接続されたデバイス (eMMC メモリ) のリセットを実装することを推奨します。AND ロジックは、ローカル リセット (接続されたデバイスが応答なくなり、パワー サイクルなしでリセットする必要がある場合) を含むすべてのプロセッサ リセット条件下で接続されたデバイスをリセットできる柔軟性を提供します。プロセッサ GPIO は、AND ゲートへの入力の 1 つとして接続され、AND ロジックの AND ゲート入力付近にプルアップ (10kΩ または 47kΩ) (ブートに対応するため) と、テストまたはデバッグのために GPIO 出力を分離するための 0Ω 抵抗が配置されています。AND ゲートへのもう一方の入力は、MAIN ドメインのウォーム リセット ステータス出力 (RESETSTATz) です。

プロセッサ MAIN ドメインのウォーム リセット ステータス出力 (RESETSTATz) を直接使用して (接続して)、EPHY (接続されたデバイス) をリセットする場合、RESETSTATz の IO 電圧レベルを接続されたデバイスと一致させることを推奨します。IO レベルと一致させるために、レベルトランスレータを使用することを推奨します。抵抗デバイダの最適な値が選択されている場合は、代わりに抵抗デバイスをレベル シフトに使用することもできます。抵抗デバイダの値が大きすぎると eMMC リセット入力に接続されたプロセッサ IO の立ち上がり / 立ち下がり時間が遅くなり、遅延が発生する可能性があります。デバイダとして低すぎる抵抗値を使用すると、プロセッサが通常動作時に過剰な定常電流を供給する原因となります。

7.3.2.1.1.4 電源レール用コンデンサ

推奨事項は、VDDSHV4 電源レールと接続されたデバイス (コアおよび IO 電源) にバルクおよびデカップリング コンデンサが提供されていることを確認することです (推奨コンデンサが利用可能な場合、または関連する評価基板の実装に従っている場合は推奨されるコンデンサを使用してください)。

推奨事項が利用できない場合は、プロセッサ固有の評価基板の実装に従うことを推奨します。

7.3.2.1.1.5 MMC0 (eMMC) のチェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. MMC0 インターフェイスが JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、ソフト eMMC PHY を実装している。
3. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
4. プロセッサと、装着されたデバイス間のペリフェラル データ インターフェイス信号の極性の一致 (例: プロセッサの D0-D7 (データ) を、装着されたデバイスの D0-D7 または同様の接続にマッピング)
5. DAT0 および CMD 信号のプルアップの接続。標準の要件内でプルアップ抵抗値に対して使用されるプルアップ値と、許容されるプルアップ値との関係。
6. MMC0_CLK および配置用の直列抵抗回路のプロビジョニング。
7. MMC0_CLK のプルダウン実装、配置および値。
8. IO グループ (VDDSHV2) のプロセッサ IO 電源と接続された eMMC デバイス IO 電源の接続。
9. ブート モード構成をサポートするための、装着されたデバイスリセット ロジックの実装。
10. 装着されているメモリ デバイスからのブートが不要である場合の (RESETSTATz を使用)、装着されたデバイスのリセット ロジックの実装
11. プロセッサと装着されたデバイスの間でのリセット信号 IO レベルの互換性。
12. 必要なバルク キャパシタと高周波コンデンサ、および値の追加。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. プロセッサと接続されているデバイスの IO 電源レールに、必要なバルク コンデンサとデカップリング コンデンサが提供されている。出発点として、SK 回路図 (SK-AM62P-LP) の実装と比較することを推奨します。
2. eMMC メモリ インターフェイスと評価基板の回路図の実装を比較して、並列プル、直列抵抗、抵抗値をプロビジョニングすることを推奨します。
3. IO グループ VDDSHV2 (固定、1.8V または 3.3V) の IO 電源と、接続されている eMMC デバイスの IO 電源は、同じ電源から電力を供給され、ROC に準拠している。
4. MMC0_DAT0 および MMC0_CMD 信号の外部プルアップ (47kΩ) を eMMC デバイスの近くに接続することを推奨します。MMC0_DAT[7:1] の場合、外部プルアップのプロビジョニングはオプションです。(eMMC デバイスが eMMC JEDEC 規格に準拠している限り) eMMC デバイスではデータ信号 MMC0_DAT[7:1] のプルアップが有効になっています。eMMC デバイスは 4 ビット モードに移行すると MMC0_DAT[3:1] プルアップをオフにし、8 ビット モードに移行すると MMC0_DAT[7:1] プルアップをオフにします。eMMC ホストソフトウェアがモードを変更すると、このソフトウェアはそれぞれの MMC0_DAT[7:1] プルアップをオンにします。
5. MMC0_CLK に対して直列抵抗 (0Ω) をプロビジョニングし、プロセッサ クロック出力ピンの近くに配置することを推奨します。直列抵抗が、クロックの誤った遷移を引き起こす可能性のある信号反射を制御するためにプロビジョニングされている。
6. 接続されているデバイス クロック入力付近に、eMMC 装着デバイスのクロック信号にプルダウン (10kΩ) を追加することを推奨します (Low ロジック状態でクロックが停止または一時停止し、プルダウン オプションがロジック状態と整合性がある場合)。

7. eMMC ブート モードの構成が必要な場合、2 入力の ANDing ロジックを使用して、eMMC 接続のデバイスリセットを実装できます。プロセッサ GPIO は、AND ゲートに対する入力 の 1 つとして接続され、ANDing ロジックの AND ゲート入力の近くにプルアップをプロビジョニングし、テストまたはデバッグを目的として GPIO 出力を絶縁するために 0Ω をプロビジョニングします。AND ゲートへのもう一方の入力は、MAIN ドメインのウォームリセット ステータス出力 (RESETSTATz) です。
8. または、ウォームリセット ステータス出力 RESETSTATz を直接接続して、接続されているデバイスをリセットすることもできます。RESETSTATz を使用する場合、プロセッサのリセット ステータス出力と、装着されたデバイスのリセット入力との間で IO レベルを一致させることを推奨します。IO レベル マッチングの実装 (レベル シフトまたは抵抗) を設計の推奨事項に従って確認することを推奨します。
9. ブートに eMMC メモリを使用しない場合、接続されている eMMC デバイスのリセット入力は、プロセッサ GPIO のみを使用して制御できます。eMMC メモリ デバイスのリセット入力をプルダウンすることを推奨します。

さらに

1. ANDing ロジックは、追加の IO レベル変換を実行します。リセットの ANDing ロジックを最適化すると同時に、リセット入力の IO レベルの互換性を検証することを推奨します。IO レベルの不一致は残留電圧の原因となり、基板の性能に影響を与える可能性があります。
2. eMMC JEDEC 規格に従って、CMD および DAT0 に外部プルアップを配置することを推奨します。また、ソフトウェアによって MMC0 インターフェイスに関連付けられているプロセッサ IO が初期化されるまで、接続されている eMMC メモリ デバイス入力がフローティングにならないようにすることも推奨します。MMC0 に関連付けられた IO は標準のデュアル電圧 LVCMOS IO セルで実装されており、各デバイスピンに対して追加の信号機能のマルチプレクシングができるため、外部プルを推奨します。MMC0 インターフェイスの IO バッファは、リセット時およびリセット後にオフになります。
3. 外部リセット ロジックが機能するために、eMMC メモリ デバイスリセット eMMC_RSTn が有効化されている (eMMC 不揮発性構成空間である) ことを確認することを推奨します。GPIO リセット オプションは、周辺装置が応答しなくなった場合に接続された eMMC デバイスをプロセッサ全体をリセットせずにリセットするために使用されます。接続されている eMMC デバイスをリセットするには、ウォームリセット ステータス出力のみを使用できます。周辺装置が応答しなくなると、ソフトウェアによってウォームリセットが強制的に実行されます。ただし、ウォームリセット ステータス出力を使用すると、プロセッサ全体をリセットせずに特定の周辺装置を回復しようとするのではなく、プロセッサ全体がリセットされます。RESETSTATz を使用して装着されたデバイスをリセットする場合は、RESETSTATz の IO レベルが装着されたデバイスの IO レベルと一致していることを確認することを推奨します。
4. プロセッサの IO 出力レベルを、装着されたデバイスのリセット入力レベルに一致させることを推奨します。抵抗デバイダの最適な値が選択されている場合は、代わりに抵抗デバイスをレベル シフトに使用することもできます。抵抗デバイダの抵抗値が高すぎると、eMMC リセット入力の立ち上がりまたは立ち下がり時間が遅くなり、遅延が発生する可能性があります。抵抗デバイダの抵抗値が低すぎると、プロセッサが通常動作時に供給する定常状態電流が多くなります。
5. RESETSTATz またはプロセッサ IO が直接接続されている場合、eMMC に接続されているデバイスのリセット入力にコンデンサを追加することは推奨されません。RC を使用して eMMC メモリ デバイスをリセットするスタンドアローンのリセット接続は推奨されません。

7.3.2.1.2 eMMC PHY の追加情報

プロセッサ固有のデータシートの「信号の説明」セクション、「MMC、MAIN ドメイン」サブセクションにある注記を参照することを推奨します。

注

各プロセッサ ファミリーで使用される eMMC コントローラ IP と eMMC PHY IP には、実装に違いがあります。別の Sitara プロセッサ ファミリーに移行する際には、推奨プルアップ構成と値など、eMMC インターフェイスのプロセッサ固有の推奨事項に従うことを推奨します。プロセッサ固有のデータシートである TRM、関連する SK または評価基板を確認し、プロセッサと接続デバイスについての接続に関する推奨事項に従うことを推奨します。

プロセッサ固有の評価基板の実装は、開始時点の参考にすることができます。

7.3.2.1.3 MMC0 – SD (セキュア デジタル) カード インターフェイス

MMC0 ペリフェラル インスタンスは、eMMC インターフェイス用にタイミング クローズされており、eMMC インターフェイスは評価基板 (回路図) の MMC0 インターフェイスに実装されています。SD カード インターフェイスを実装するための MMC0 インターフェイスでは、CD (カード検出) および WP (書き込み保護) 機能 (ピン) はサポートされていません。

eMMC インターフェイスを使用しない場合、サポートされている他のマルチプレクサ機能 (または SDIO 組込みインターフェイス) 用に MMC0 ポートを構成することを推奨します。組込みの SDIO インターフェイスを実装する前に、提供されているソフトウェア サポートを必ず確認することを推奨します (E2E を使用してください)。

SD カードから MMC0 ポートへの接続は推奨されません。SD カード インターフェイス用に MMC1 ポートを構成することを推奨します。

7.3.2.2 MMC1/MMC2 – SD (セキュア デジタル) カード インターフェイス

図 7-4 には SD カード コネクタ J2 に接続された SD カード インターフェイス (推奨) 用に構成された MMC1 インターフェイスが記載されています。この実装は、UHS-I SD カードをサポートしています。また、直列抵抗 (プロセッサ クロック出力ピンの近くに配置) および SD カード クロック入力 (SD カード ソケット クロック入力ピンの近くに配置) のプルダウン、SD カード D0-D3 データの 47K プルアップ、VDDSHV_SD_IO (3.3V/1.8V、スイッチング式 IO 電源) を基準とする SD カードの CMD 信号、MMC1 インターフェイスの SDCD ピンに接続された R150 プルアップ (3.3V の場合は 47K (1.8V の場合は 10K) または共通の 10K) が含まれています。SD カード電源をリセットするために負荷スイッチ U104 が搭載されています (UHS-I SD カード用)。SD カード パワー スwitch の EN をリセットするための ANDing ロジックが組み込まれています。

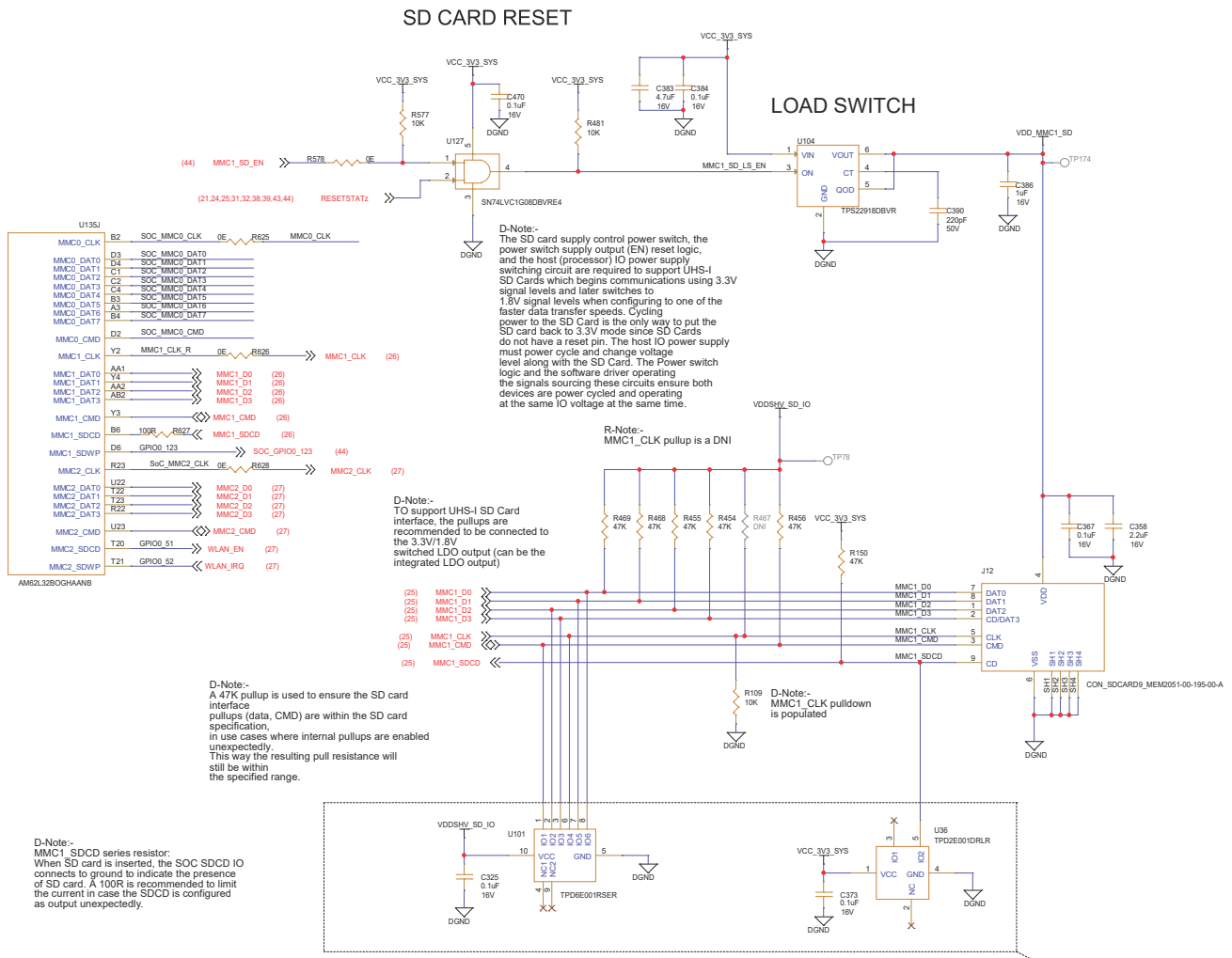


図 7-4. MMC1 SD カード インターフェイス

このプロセッサ ファミリは、SD カード インターフェイス用に構成できる 2 つのペリフェラルインスタンスである MMC1、MMC2 をサポートしています。MMC1、MMC2 インターフェイスは、UHS-I SD カードのサポートを含む 4 ビット SD カード インターフェイスをサポートしています。(カスタム基板の設計要件に基づき) SD カード インターフェイスには MMC1 を推奨します。SD カード インターフェイスの実装に MMC1 が推奨されるのは、MMC1 は SD カードのブート モードをサポートしており、MMC1 IO は SD カード機能をサポートする IO グループの IO 電源に接続されているためです。MMC2 インターフェイスを使用して SD カード インターフェイスを実装する場合、信号 (SDCD および SDWP) は、VDDSHV1 に接続された IO に多重化する必要があります。

詳細については、プロセッサ固有のデータシートの「MMC1/MMC2 - SD/SDIO インターフェイス」のセクションを参照してください。

7.3.2.2.1 IO の電源

MMC1 (CMD、CLK、データ) インターフェイス IO は、VDDSHV3 電源レール (MMC1 IO グループのデュアル電圧 IO 電源) を基準としています (電力供給されます)。VDDSHV3 は、その他の電源レールと独立してパワーアップ、パワーダウン、動的電圧スイッチングをサポートするように設計されているため、転送速度が増加するにつれて動作電圧を 3.3V から 1.8V に変化させることができます。

ソフトウェアが IO 電源電圧を変更することが予想される (必要な) 場合、VDDSHV3 電源は 3.3V で起動し、1.8V に変更できるようにすることを推奨します (UHS-I SD カードをサポートするため)。

SD カード インターフェイスとして構成する場合、VDDSHV3 電源レールには、独立して切り替えることができる個別の電源ソース (ディスクリート LDO または PMIC) を使用することを推奨します。

このプロセッサ ファミリは、UHS-I SD カード インターフェイス サポートが実装されている際に IO 電圧レベルのスイッチングをサポートするため、MMC1 IO グループ VDDSHV3 のデュアル電圧 IO 電源に電力を供給する統合 LDO (SDIO_LDO) をサポートしています。以下のリセット セクションで説明する SD カード電源制御パワー スイッチの出力は、SDIO_LDO への入力 (VDDA_3P3_SDIO ピン) として接続されます。SDIO_LDO の出力は、リセット時とリセット後は 3.3V であり、ホストソフトウェアが SD カード速度を UHS-I 速度 (1.8V 電源電圧) に変更できるようになったときは 1.8V に切り替えることができます。SDIO_LDO の出力は、V1P8_SIGNAL_ENA ビットによって制御され、デフォルトは 3.3V 出力です。

推奨コンデンサが CAP_VDDSHV_MMC ピン (内蔵 LDO の出力) に接続されていることを確認してください。

MMC1 SD カード検出 (CD) 信号および書き込み保護 (WP) 信号は、VDDSHV1 電源レール (GENERAL1 IO グループの IO 電源) を基準としています (電力供給されます)。MMC1_SD CD、MMC1_SD WP のプルアップ (10k Ω) を、VDDSHV1 (固定電源) に接続された同じ電源レールに接続することを推奨します。

SD カードが挿入されている場合、プロセッサに対する SD カード検出 (CD) 入力 は直接接地されます。プログラミング誤差が原因で IO が出力として構成されている場合、電流を制限するため、直列抵抗 (100 Ω) を推奨します。

MMC2 (CMD、CLK、データ) インターフェイス IO は、VDDSHV4 電源レール (MMC2 IO グループのデュアル電圧 IO 電源) を基準としています (電力供給されます)。VDDSHV4 は、その他の電源レールと独立してパワーアップ、パワーダウン、動的電圧スイッチングをサポートするように設計されているため、転送速度が増加するにつれて動作電圧を 3.3V から 1.8V に変化させることができます。

ソフトウェアが IO 電源電圧を変更することが予想される (必要な) 場合、VDDSHV4 電源は 3.3V で起動し、1.8V に変更できるようにすることを推奨します (UHS-I SD カードをサポートするため)。

SD カード インターフェイスとして構成する場合、VDDSHV4 電源レールには、独立して切り替えることができる個別の電源ソース (ディスクリート LDO または PMIC) を使用することを推奨します。

MMC2 SD カード検出 (CD) 信号および書き込み保護 (WP) 信号は、VDDSHV4 (MMC2 IO グループのデュアル電圧 IO 電源) 電源レールまたは VDDSHV1 電源レール (General1 IO グループのデュアル電圧 IO 電源) を基準としています (電力供給されます)。IO グループ VDDSHV1 または VDDSHV4 のデュアル電圧 IO 電源を基準とする (電力供給される) IO の選択は、使用事例によって異なります。MMC2_SD CD および MMC2_SD WP (オプション) 信号には外部プルアップ (10k Ω) を追加することを推奨します。これらのプルアップは、(選択されたピン (IO) に応じて) VDDSHV4 または VDDSHV1 電源レール (接続されたデバイスの近く) に接続できます。

注

内蔵 LDO (SDIO_LDO) を使用して VDDSHV3 に電力を供給しない場合、プロセッサ固有のデータシートの「ピン接続要件」セクションを参照して、VDDA_3P3_SDIO ピンと CAP_VDDSHV_MMC ピンを終端してください。

7.3.2.2.2 信号接続

IO グループ用のデュアル電圧 IO 電源のマッピングの変更に注意し、MMC1 と MMC2 インターフェイス信号を使用して SD カードインターフェイスを実装する場合、以下のように接続を行うことを推奨します。

注

AM62x の IO グループ用 IO 電源 VDDSHV0 は、AM62Lx の VDDSHV1 に対応

AM62x の IO グループ用 IO 電源 VDDSHV5 は、AM62Lx の VDDSHV3 に対応

AM62x の IO グループ用 IO 電源 VDDSHV6 は、AM62Lx の VDDSHV4 に対応

7.3.2.2.2.1 SD カード インターフェイスに使用される MMC1 信号 (推奨)

- MMC1_CLK (想定される信号反射を制御するため、プロセッサ クロック出力ピンの近く) の直列抵抗 (0Ω) を追加することを推奨します。ホストが信号をクロックとして構成するまでは、クロックを Low 状態に保持するために、装着されたデバイスの入力付近の MMC1_CLK に対してプルダウン (10kΩ) を推奨します (クロックが Low ロジック状態で停止または一時停止され、プルダウン オプションがこのロジック状態と一貫している場合があります)。
- ホストソフトウェアがインターフェイス信号を駆動するまで、装着されているデバイス入力がフローティングにならないように、SD カード データ信号 (MMC1_DAT[3:0]) と CMD 信号 (MMC1_CMD) に外部プルアップ (47kΩ) を追加することを推奨します。SD カード インターフェイス信号のプルアップを、IO グループ (MMC1 = VDDSHV3) 電源レールのデュアル電圧 IO 電源に接続することを推奨します。データおよびコマンド信号が SD カードの仕様を満たすよう、47kΩ プルアップを推奨します (内部プルアップが予期せず有効化されても、結果として得られるプルアップ (47kΩ が内部プルアップと並列に接続される) の値は、依然として関連規格で規定される抵抗範囲内に収まります)。
- VDDSHV1 電源レール (装着されているデバイス (SD カード ソケット) 付近) に MMC1_SDCD および MMC1_SDWP 信号に対して外部プルアップ (10kΩ) を追加することを推奨します。
- SD カードが挿入されている場合、プロセッサに対する SD カード検出 (SDCD) 入力は直接接地されます。IO が出力として予期せずプログラムされた場合は、電流を制限するための直列抵抗 (100Ω) が推奨されます。

7.3.2.2.2.2 SD カード インターフェイスに使される用 MMC2 信号

- MMC2_CLK (想定される信号反射を制御するため、プロセッサ クロック出力ピンの近く) の直列抵抗 (0Ω) を追加することを推奨します。ホストが信号をクロックとして構成するまでは、クロックを Low 状態に維持するために、装着されたデバイスの入力付近の MMC2_CLK に対してプルダウン (10kΩ) を推奨します (クロックが Low ロジック状態で停止または一時停止され、プルダウン オプションがこのロジック状態と一貫している場合があります)。
- ホストソフトウェアがインターフェイス信号を駆動するまで、装着されているデバイス入力がフローティングにならないように、SD カード データ信号 (MMC2_DAT[3:0]) と CMD 信号 (MMC2_CMD) に外部プルアップ (47kΩ) を追加することを推奨します。SD カード インターフェイス信号のプルアップを、IO グループ (MMC2 = VDDSHV4) 電源レールのデュアル電圧 IO 電源に接続することを推奨します。データおよびコマンド信号が SD カードの仕様を満たすよう、47kΩ プルアップを推奨します (内部プルアップが予期せず有効化されても、結果として得られるプルアップ (47kΩ が内部プルアップと並列に接続される) の値は、依然として関連規格で規定される抵抗範囲内に収まります)。
- SD カード インターフェイスをサポートするために、VDDSHV1 を基準とする (電力を供給する) MMC2_SDCD および MMC2_SDWP 信号を使用することを推奨します。VDDSHV1 電源レール (装着されているデバイス (SD カード ソケット) 付近) に接続されている同じ電源への MMC2_SDCD および MMC2_SDWP 信号に対して外部プルアップ (10kΩ) を接続することを推奨します。
- SD カードが挿入されている場合、プロセッサに対する SD カード検出 (SDCD) 入力は直接接地されます。IO が出力として予期せずプログラムされた場合は、電流を制限するための直列抵抗 (100Ω) が推奨されます。

7.3.2.2.3 追加情報

以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625/AM623/AM620-Q1/AM62L/AM64x/AM243x \(ALV\)/AM62Ax/AM62D-Q1/AM62Px 設計の推奨事項 / カスタム ボード ハードウェア設計中に一般的に観測されるエラー — SD カード インターフェイス](#)

[\[FAQ\] AM62L \(AM62L32, AM62L31\) MMC1 が 2 つの異なる電圧電源 \(VDDSHV1 と VDDSHV3\) から電力を供給される理由](#)

[\[FAQ\] AM62A7-Q1:SD カードを使用しない場合にピン ネット VDDSHV4、VDDSHV5、VDDSHV6 を接続する方法](#)

[\[FAQ\] AM6442:AM6442 MMC1](#)

[\[FAQ\] AM625:MMC インターフェイス](#)

FAQ は一般的なもので、AM62Lx プロセッサ ファミリにも使用できます。

7.3.2.2.3 SD カード電源スイッチ EN リセット ロジック

SD カードに電源 (VDD) を供給する、ソフトウェアで有効化する (制御する) パワー スイッチ (ロード スイッチ) の設置を推奨します。固定 3.3V 電源 (プロセッサ IO 電源) を、パワー スイッチへの入力として接続します。

パワー スイッチを使用すると、SD カード電源のパワー サイクルが可能になり (SD カードをリセットする唯一の方法は、パワー スイッチのリセットのみであるため)、UHS-I SD カードを使用する場合に SD カードをデフォルト状態にリセットできません。

SD カード パワー スイッチの有効化およびリセット ロジックは、2 入力 ANDing ロジックを使用して実装することを推奨します。ANDing ロジックを使用すると、ローカルリセットを含むすべてのプロセッサ リセット条件で接続されたデバイスをリセットできる柔軟性が得られます (接続されたデバイスが応答なくなり、パワー サイクルなしでリセットする必要がある使用事例など)。プロセッサ GPIO は、AND ゲートへの入力の 1 つとして接続し、(SD カード ブートをサポートするため) AND ロジック AND ゲートの近くにプルアップ (10kΩ または 47kΩ) を、テストやデバッグ用に GPIO 出力を絶縁する 0Ω を設置します。AND ゲートへのもう一方の入力は、MAIN ドメインのウォームリセット ステータス出力 (RESETSTATz) です。

SD カードの電源に供給する外部パワー スイッチは、デフォルトでオン (通電状態) とし、SD カードのブートをサポートすることを推奨します。

実装については、プロセッサ固有の評価基板を参照してください。

7.3.2.2.4 SD カード インターフェイス信号の外部 ESD 保護

SD カード インターフェイス信号 (データ、クロック、制御信号) には、外部 ESD 保護を推奨します。内部 ESD 保護は、基板レベルまたは最終機器レベルの ESD 要件を扱うようには設計されていません。

7.3.2.2.5 IO グループの電源レール用のデュアル電圧 IO 電源用のコンデンサ

VDDSHV1、VDDSHV3、VDDSHV4 の電源レールと装着されたデバイスにバルク コンデンサとデカップリング コンデンサが供給されていることを確認する (推奨事項が利用可能な場合は推奨されるコンデンサを使用するか、または関連する評価基板の実装に従う) ことを推奨します。

推奨事項が利用できない場合は、プロセッサ固有の評価基板の実装に従うことを推奨します。

注

データ信号と制御信号については、プロセッサ固有の接続に関する推奨事項に従うことを推奨します。想定される信号の反射を制御するために、クロックの直列抵抗をプロセッサのクロック出力ピンの近くに配置することを推奨します。

7.3.2.2.6 SD カード インターフェイス (MMC1) チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「**すべてのセクションに共通のチェックリスト**」セクションを確認済み
2. SD カード インターフェイスに使用する MMC ポートを検証します。SD カード インターフェイスには MMC1 の使用を推奨します。
3. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
4. プロセッサと装着されたデバイス間のペリフェラル データ インターフェイス信号の極性のマッピング (プロセッサの D0-D3 (データ) から装着されたデバイスまたは類似の接続の D0-D3 へのマッピング例)
5. MMC1_CLK に直列抵抗とプルダウンの実装
6. MMC1_CMD と DAT [3:0] 信号インターフェイス接続には、データ、コマンド、クロック信号に使用する推奨プル抵抗、その値の追加も含まれます
7. IO グループ電源端子の IO 電源
8. 電源 (IO グループの IO 電源) の接続と外部プルアップ抵抗、プルアップ値を含む、MMC1_SDCD と SDWP 信号の接続。
9. IO 電源電圧スイッチング LDO (内蔵 LDO または外部 LDO) や、SD カードの電源制御パワースイッチを含む、UHS-I カードをサポートする回路実装
10. LDO 入力電源端子を内蔵 (SD カード パワー スイッチの出力)
11. SD カード パワースイッチの入力に接続した電源レール
12. SD カード電源、パワー スイッチ EN リセット ロジックの実装によりブートをサポート
13. SD カード データと CMD インターフェイス信号 (VDDSHV3) および SDCD、SDWP (VDDSHV1) を基準とする電源電圧
14. SD カード インターフェイス信号 ESD 保護機能用
15. 必要なバルク キャパシタと高周波コンデンサ、および値の追加。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. MMC1_CLK、CMD、DAT[3:0] 信号インターフェイスは、IO グループ VDDSHV3 のデュアル電圧 IO 電源を基準とする (この電源が電力を供給する) SDIO バッファを使用して実装します (SDIO バッファタイプ IO は 3.3V または 1.8V の動的電圧スイッチングをサポートし、UHS-I SD カードをサポート)。
2. 電源レールが、必要なバルク キャパシタとデカップリング コンデンサを備えている。推奨事項がない場合は、バルク キャパシタとデカップリング コンデンサのためのプロセッサ固有の評価基板の実装に従うことを推奨します。
3. IO グループ VDDSHVx (VDDSHV3 と VDDSHV1) のプロセッサ デュアル電圧 IO 電源に接続した電源レールは、ROC を遵守します。
4. データおよびコマンド信号が SD カードの仕様を満たすよう、47k Ω プルアップを推奨します (内部プルアップが予期せず有効化されても、結果として得られるプルアップ (47k Ω が内部プルアップと並列に接続される) の値は、依然として関連規格で規定される抵抗範囲内に収まります)。
5. MMC1_CLK の直列抵抗 (0 Ω) は、発生する可能性のある信号反射 (クロック遷移の誤動作の原因となる場合がある) を抑制するように、プロセッサ クロック出力ピンの近くに配置します。プルダウン (10k Ω) は、装着しているデバイスのクロック入力の近くに配置します。
6. MMC1_SDCD と SDWP 信号は、10k Ω の抵抗を介して 1.8V または 3.3V 固定で動作する、IO グループの IO 電源 VDDSHV1 を基準とする (この電源が電力を供給する) LVCMOS バッファを使って実装しています。
7. SD カードが挿入されたときにプロセッサ IO が直接接地されるため、SDCD ピンに 100 Ω の直列抵抗を追加することを推奨します。
8. 内蔵 LDO 構成と入力、出力の接続を確認します。
9. SD カード インターフェイスの IO 電圧は 1.8V か 3.3V に設定できますが、UHS-I SD カードをサポートするには、SD カード VDD 電源は 3.3V 固定とします (3.3V_SYS に切り替え、プロセッサ IO 電源は 3.3V)
10. SD カードに電源 (VDD) を供給する、ソフトウェアで有効化する (制御する) パワースイッチ (ロード スイッチ) の設置を推奨します。固定 3.3V 電源 (プロセッサ IO 電源) を、パワー スイッチへの入力として接続します。パワー スイッチの出力は VDDA_3P3_SDIO (SDIO 3.3V アナログ電源、内部 SDIO LDO への入力) に接続します。

11. SD カード パワー スイッチの有効化およびリセット ロジックは、2 入力 ANDing ロジックを使用して実装することを推奨します。ANDing ロジックを使用すると、ローカル リセットを含むすべてのプロセッサ リセット条件で接続されたデバイスをリセットできる柔軟性が得られます (接続されたデバイスが応答しなくなり、パワー サイクルなしでリセットする必要がある使用事例など)。プロセッサ GPIO は、AND ゲートへの入力の 1 つとして接続し、(SD カード ブートをサポートするため) ANDing ロジック AND ゲートの近くにプルアップ (10kΩ または 47kΩ) を、テストやデバッグ用に GPIO 出力を絶縁する 0Ω を設置します。AND ゲートへのもう一方の入力は、メインメインのウォームリセット ステータス出力 (RESETSTATz) です。SD カードの電源に供給する外部パワー スイッチは、デフォルトでオン (通電状態) とし、SD カードのブートをサポートすることを推奨します。

さらに

- MMC1 はブートをサポートしているため、SD カード インターフェイスを MMC1 インターフェイスに接続することを推奨します。UHS-I SD カードが IO 動作電圧を変化させるときに、ホストへの MMC1_SDCCD と MMC1_SDWP 入力のロジック状態を変化させてはなりません。電圧を変化させるデュアル電圧 SDIO セルの入力バッファを通して信号が伝搬される場合、有効なロジック状態を維持することはできません。信号の機能は、電圧を動的に変化させない IO に割り当てられます。信号は SD カード コネクタのスイッチにのみ接続されるため、SD カード信号が動作電圧を変化させる際にも、この信号が電圧を変化させることはありません。SD カード コネクタ スイッチに接続し、VDDSHV1 に接続した外部プル抵抗で High にプルアップするには、MMC1_SDCCD と MMC1_SDWP 信号が必要です。その他の MMC1 SD カード インターフェイス信号 (DAT[3:0], CMD) は、電圧を動的に切り替える VDDSHV3 ソースにプルアップを接続する必要があります。
- UHS-I SD カードをサポートするには、SD カードのパワー スイッチ (パワー スイッチ電源 EN ピンリセットロジック付き) とホスト IO 電源回路が必要です。UHS-I SD カードは 3.3V IO レベルを使用して通信を開始し、その後より高速なデータ転送速度のいずれかに変更する際に 1.8V IO レベルに変更されます。SD カードにはリセットピンがないため、SD カードの電源の入れ直しが 3.3V モードに戻る唯一の方法です。ホスト IO 電源は、SD カードと同時に電源を切って入れ直し、電圧を変更する必要があります。回路に信号を供給する回路とソフトウェアドライバは、両方のデバイスがオフまたはオンになっているか、同じ IO 電圧で同時に動作しているかを検証します。
- UHS-I SD カードのサポート実装と統合型 LDO の使用事例: VDDA_3P3_SDIO 電源レールが他の 3.3V 電源レールとともに上昇するための要件はありません。リセットが解放されるまで VDDA_3P3_SDIO がオフになるという問題は起こりません。SDIO_LDO は、AM62Lx VDDSHV3 IO の動作電圧のみを制御します。SD カードの動作電圧は制御しません。SD カードは、コマンドによって IO 動作電圧を 3.3V から 1.8V に変更する SDIO_LDO 等価回路を備えています。SD カードの IO 動作電圧を 3.3V に戻す唯一の方法は、電源の入れ直し (リセット) です。AND ゲートとロード スイッチは、AM62Lx SDIO_LDO と SD カード (リセット後) に電力を供給します。また ROM コードが十分な遅延を提供するため、SD カードの準備ができたことを確認できます。

プロセッサのブート中、ROM コードがカード検出入力 (SDCCD) のステータスをチェックします。SD カードが挿入 (検出) されたことを示すため、入力を Low にすることを推奨します。

MMC2 インターフェイス信号を使用して SD カード インターフェイスを実装するには、データ、CMD、クロック信号は MMC1 接続に従います。MMC2 信号が基準とする IO グループの IO 電源は VDDSHV4 です。MMC2_SDCCD と MMC2_SDWP 信号も、VDDSHV4 を基準とすることができます。UHS-I SD カードを MMC2 に接続するには、MMC2_SDCCD と MMC2_SDWP を固定電源電圧に接続する必要があります。この信号機能は、固定電源 VDDSHV1 を基準とする LVCMOS IO タイプを使用する代替ピンオプション (IOSET) を使用して実装することを推奨します。

7.3.2.3 MMC1/MMC2 SDIO (組込み) インターフェイス

図 7-5 に、M.2 インターフェイスのコネクタに接続された SDIO インターフェイス用に構成された MMC2 インターフェイスを記載しています。DAT0-DAT3 および CMD のプルアップ、クロック入力用の直列抵抗 (プロセッサ クロックの出力ピンの近くに配置) およびプルダウン (装着されたデバイスの近くに配置) が含まれます。SDIO インターフェイスは、3.3V または 1.8V の固定電圧で動作します。

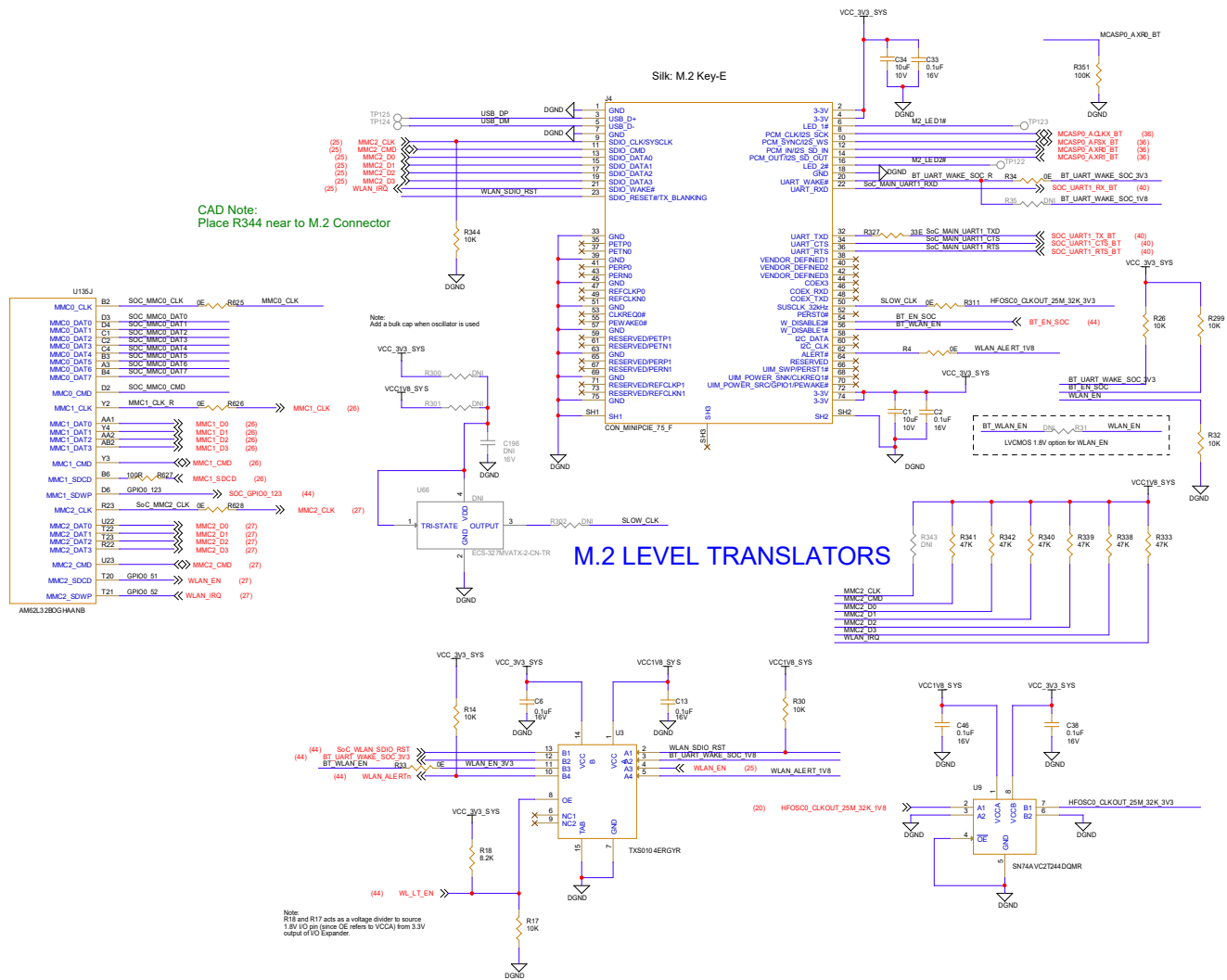


図 7-5. SDIO インターフェイスを使用した M.2 インターフェイスの実装

このプロセッサ ファミリーは、SDIO インターフェイス用に構成できる 2 個のペリフェラル インスタンスである MMC1、MMC2 をサポートしています。Wi-Fi または Bluetooth トランシーバなど、オンボードでの固定電圧の組み込みの SDIO デバイスの使用事例で MMC2 インターフェイスを使用することを推奨します。MMC2 インターフェイスは、評価基板上の SDIO インターフェイス用にテストされているためです。必要に応じて MMC1 は SDIO に使用できます。SDIO インターフェイスは MMC1 でテストされていないため、お客様にはソフトウェア サポートが利用可能かどうかを確認し、カスタム基板の設計で必要な性能テストを実行する必要が求められます。

固定の IO 電源は、組み込みの SDIO インターフェイスに使用され、電源アーキテクチャを簡素化します。使用される信号は、データ、コマンド、クロック、リセットなどです。SDCD 信号と SDWP 信号の接続はオプションであり、使用事例によって異なります。

組み込みの SDIO のプルの実装 (インターフェイス デバイスに内部プルを提供するかしないか) に関する具体的なガイドラインはありません。組み込みの SDIO デバイスを実装するカスタム基板の設計者は、SDIO デバイスでサポートされているプルを決定し、カスタム基板の設計に適切な外部プルを適用する責任を担います。プロセッサ IO のバッファ (複数の IO) はリセット中およびリセット後にオフになり、基板がブートされ、ソフトウェアが構成されるまでは有効になりません。フローティング入力を防止するため、装着されているデバイスの入力に接続されている信号には、外部プルを使用することを推奨します。

詳細については、プロセッサ固有のデータシートの「MMC1/MMC2 - SD/SDIO インターフェイス」のセクションを参照してください。

加えて、次の FAQ (よくある質問) も参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x / AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px の設計の推奨事項 / カスタム基板のハードウェアの設計時によく発生するエラー – SDIO \(組込み\) インターフェイス](#)

7.3.2.3.1 IO の電源

MMC1 (CMD、CLK、データ) インターフェイス IO は、VDDSHV3 電源レール (MMC1 IO グループのデュアル電圧 IO 電源) を基準としています (電力供給されます)。MMC1 SD カード検出 (CD) および書き込み保護 (WP) 信号 (オプション) は、VDDSHV1 電源レール (General1 IO グループのデュアル電圧 IO 電源) を基準としています (電力供給されます)。SDIO インターフェイスの MMC1_SDCCD、MMC1_SDWP のプルアップ (10kΩ) を、同じ電源レール VDDSHV1 に接続することを推奨します。

MMC2 (CMD、CLK、データ) インターフェイス IO は、VDDSHV4 電源レール (MMC2 IO グループのデュアル電圧 IO 電源) を基準としています (電力供給されます)。MMC2 SD カード検出 (CD) 信号および書き込み保護 (WP) 信号 (オプション) は、VDDSHV4 (MMC2 IO グループのデュアル電圧 IO 電源) 電源レールまたは VDDSHV1 電源レール (General1 IO グループのデュアル電圧 IO 電源) を基準としています (電力供給されます)。SDIO インターフェイスの MMC2_SDCCD、MMC2_SDWP のプルアップ (10kΩ) は、VDDSHV4 または VDDSHV1 電源レールに接続できます。

7.3.2.3.2 信号接続

注

プル抵抗の推奨がない場合は、以下の一般的な推奨事項に従うことを推奨します。カスタム基板設計者は、装着デバイスでサポートされているプル抵抗を確認し、逆極性のプル抵抗が外部に追加されていないことを確認します。

MMC1 インターフェイスに次の接続を行うことを推奨します。

- MMC1_CLK (想定される信号反射を抑制するため、プロセッサ クロック出力ピンの近く) に直列抵抗 (0Ω) と、MMC1_CLK (装着したデバイスのクロック入力ピンの近く) に外部プルダウン (10kΩ) を接続して、装着デバイスを Low 状態に保持することを推奨します (クロックがロジック状態 Low で停止または一時停止し、プルダウン オプションがこのロジック状態と一致している場合)。
- IO グループの各デュアル電圧 IO 電源 (MMC1 = VDDSHV3) 電源レール (装着したデバイスの近く) に接続したデータライン (MMC1_DAT[3:0]) と CMD 信号 (MMC1_CMD) に、外部プルアップ (47kΩ) を追加することを推奨します。
- VDDSHV1 電源レール (装着したデバイスの近く) に接続した MMC1_SDCCD と MMC1_SDWP (オプション) 信号に、外部プルアップ (10kΩ) を追加することを推奨します。

MMC2 インターフェイスに次の接続を行うことを推奨します。

- MMC2_CLK (想定される信号反射を抑制するためのプロセッサ クロック出力ピンの近く) に直列抵抗 (0Ω) と、MMC2_CLK (装着したデバイスのクロック入力ピンの近く) に外部プルダウン (10kΩ) を接続して、装着デバイスを Low 状態に保持することを推奨します (クロックがロジック状態 Low で停止または一時停止し、プルダウン オプションがこのロジック状態と一致している場合)。
- IO グループの各デュアル電圧 IO 電源 (MMC2 = VDDSHV4) 電源レール (装着したデバイスの近く) に接続したデータライン (MMC2_DAT[3:0]) と CMD 信号 (MMC2_CMD) に、外部プルアップ (47kΩ) を追加することを推奨します。
- VDDSHV4 または VDDSHV1 電源レール (選択されたピン (IO) に応じて) (装着したデバイスの近く) に接続した MMC2_SDCCD と MMC2_SDWP (オプション) 信号に、外部プルアップ (10kΩ) を追加することを推奨します。

7.3.2.3.3 SDIO (MMC2 推奨、組込み) インターフェイスのチェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み

2. 組込み SDIO 用のプル (CLK、DATA、CMD、SDCD、SDWP) の実装 (インターフェイス対象のデバイスに内部プルを供給するかどうか) について、特定のガイドラインはありません。組込みの SDIO デバイスを実装するカスタム基板の設計者は、SDIO デバイスでサポートされているプルを決定し、カスタム基板の設計に適切な外部プルを適用する責任を負います。
3. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
4. プロセッサと装着されたデバイス間のペリフェラル データ インターフェイス信号の極性のマッピング (プロセッサの D0-D3 (データ) から装着されたデバイスまたは類似の接続の D0-D3 へのマッピング例)
5. MMC2_CLK の直列抵抗およびプルダウンの実装
6. MMC2_CMD および DAT [3:0] 信号のプルアップの実装
7. IO グループの電源端子用のデュアル電圧 IO 電源 (固定電圧を接続)
8. MMC2_SDCD および SDWP 信号接続の実装
9. 接続されたデバイスのリセット ロジックの実装
10. 必要なバルク キャパシタと高周波コンデンサ、および値の追加。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. MMC2_CLK、CMD、DAT[3:0] 信号インターフェイスが、IO グループ VDDSHV4 のデュアル電圧 IO 電源 (SDIO バッファ タイプの IO は UHS-I SD カードをサポートするために 3.3V または 1.8V の動的電圧スイッチングをサポート) を基準とする (この電源から電力供給される) SDIO バッファを使用して実装されている。
2. 電源レールが、必要なバルク キャパシタとデカップリング コンデンサを備えている。推奨事項がない場合は、バルク キャパシタとデカップリング コンデンサのためのプロセッサ固有の評価基板の実装に従うことを推奨します。
3. 組込みの SDIO アプリケーションの場合は、装着されているデバイス (例: Wi-Fi モジュール) の IO に電力を供給するのに使用されるものと同じ固定の 1.8V または 3.3V 電源から、IO グループのデュアル電圧 IO 電源に電力を供給することを推奨します。
4. MMC2_SDCD および SDWP 信号は、IO グループ VDDSHV4 または VDDSHV1 (IOSET 構成) のデュアル電圧 IO 電源を基準とする (この電力から電源を供給される) LVCMOS バッファを使用して実装されており、固定の 1.8V または 3.3V で動作します。SDIO の使用事例の場合は、IO 電源がスイッチングされていないため、VDDSHV4 を使用できます。SDCD および SDWP の使用は使用事例次第であるため、具体的な推奨事項はありません。
5. MMC2_CLK 用の直列抵抗 (0Ω) は、想定される信号反射を制御するため、プロセッサ クロック出力ピンの近くに配置されます (誤ったクロック遷移の原因となる可能性があります)。クロック入力を Low 状態に保持するため、装着されたデバイス クロック入力付近の MMC2_CLK にプルダウン (10kΩ) が配置されます (クロックが停止または Low ロジック状態で一時停止され、プルダウン オプションがこのロジック状態と整合性がある場合があります)。外部プルを使用する場合は、プロセッサまたは装着されたデバイスの内部プルが設定されていないことを確認することを推奨します。
6. データ、コマンド、およびクロック信号に使用されるプル値。装着されているデバイスの推奨事項に従うか、実装と評価基板の回路図の実装と比較することを推奨します。SDIO プルに利用できる推奨事項がない場合は、適切な設計手法としてプルアップ値には 47kΩ プルアップを推奨します (内部プルが予期せず有効になった場合は、SD カードの仕様内にします)。47kΩ を使用すると、結果として生じるプル抵抗 (内部プルダウンと並列になる 47kΩ の外部プルアップ) の値が、関連する規格で規定されている抵抗範囲内に収まります。外部プルを使用する場合は、プロセッサまたは装着されたデバイスの内部プルが設定されていないことを確認することを推奨します。
7. IO グループ VDDSHVx のプロセッサ デュアル電圧 IO 電源 (SDIO に使用する場合は VDDSHV4、IO 設定が構成されている場合は VDDSHV1) に接続された電源レールと、装着されたデバイス IO 電源が ROC に準拠している。
8. 装着されたデバイスのリセットを実装するためにプロセッサ IO を使用する場合、ホストが SDIO インターフェイスを初期化するまで、装着されたデバイスをリセット状態に保持するためにプルダウンを推奨します。

さらに

1. 信号がアドオン カード経由で接続されている場合には、インターフェイス信号に必要な外部 ESD 保護が提供されているかどうかを確認することを推奨します。

2. 組み込みの SDIO インターフェイスに MMC1 を使用する場合、評価基板は MMC2 に SDIO インターフェイスのみを実装しているため、ソフトウェアを変更する必要があります。カスタム基板設計者は性能をテストする責任があります。
3. プロセッサの IO バッファ (MMCx 信号用) は、リセット中およびリセット後にオフになります。IO バッファは、基板がブートされ、ソフトウェアが IO を構成するまで有効になりません。プロセッサ IO、または装着されているデバイス入力がプロセッサ IO によって駆動されることを防止するため、接続されているデバイスの入力に接続されている信号に外部プルを追加することを推奨します。

7.3.2.4 追加情報

プロセッサ固有のデータシートの「信号の説明、MMC、MAIN ドメイン」セクションにある注記を参照することを推奨します。

7.3.3 オクタル シリアル ペリフェラル インターフェイス (OSPI) またはクワッド シリアル ペリフェラル インターフェイス (QSPI)

図 7-6 に、x2 の装着されたデバイスに接続されたプロセッサ OSPI0 のインターフェイスを記載します。装着されているデバイスの 1 つ U34 は DQS をサポートする OSPI 用に構成され、もう 1 つの装着されたデバイスは QSPI (TAP モード) 用に構成されています。

メモリ IO がフローティングにならないように、OSPI フラッシュ用に構成されたフラッシュの近くにプルアップを配置します。OSPI フラッシュは、QSPI フラッシュよりもプロセッサから離れた場所に配置されています。x2 のメモリ デバイス用に、個別に実装された装着されたデバイスのリセット ロジックも含まれています。

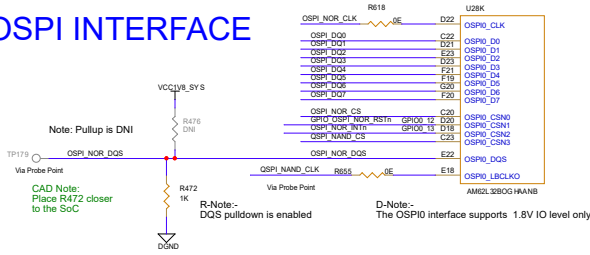
注

OSPI0 インターフェイスは、固定の 1.8V IO インターフェイスをサポートしています。装着されたデバイスとの IO レベル互換性を確認することを推奨します。GENERAL0_1 IO グループ (VDDSD1、OSPI0 IO グループなど) に対してプロセッサの固定の電圧電源を接続し、装着されたデバイスの IO 電源を同じ電源に接続することを推奨します。カスタム ボードの設計者は、通常動作時は ROC に定義されている値を超える電位が印加されず、テストまたはボード起動時には「絶対最大定格」表で定義された値を超える電位が印加されないよう、設計を確実にを行う必要があります。

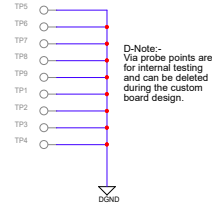
注

直列抵抗と並列プルの実装については、リンク先のセクションを参照してください。[プロセッサ固有の評価基板とデータシートの比較](#)。

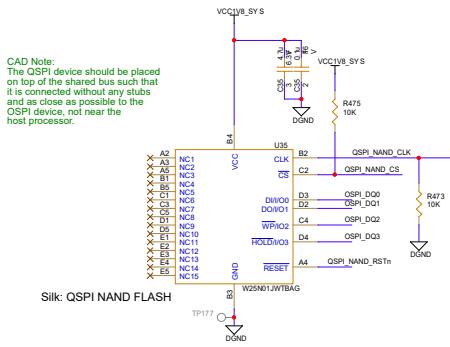
SOC OSPI INTERFACE



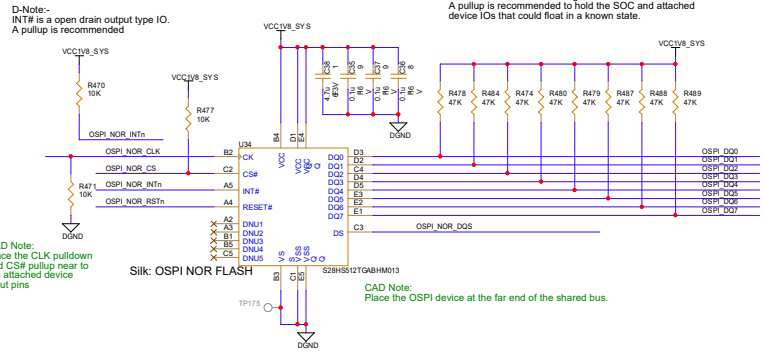
GND VIA PROBE POINTS



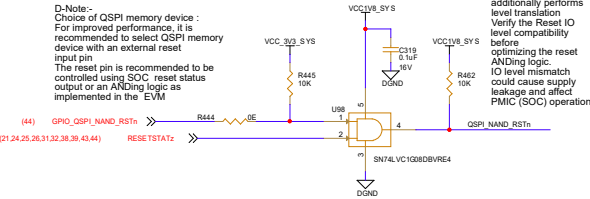
QSPI NAND FLASH



OSPI NOR FLASH



QSPI NAND FLASH RESET



OSPI NOR FLASH RESET

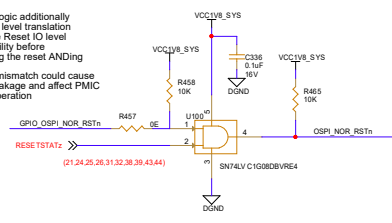


図 7-6. クロック 搭載 OSPI0 インターフェイス

このプロセッサ ファミリーは、x1 のメモリ デバイス (x1 のオクタール シリアル パリフェラル インターフェイス (OSPI0) またはクワッド シリアル パリフェラル インターフェイス (QSPI0)) の接続、または最大 x2 のメモリ (例: x1 の OSPI + x1 の QSPI) デバイスの OSPI0 インターフェイス経由での接続をサポートしています。OSPI0 IO は VDDS1 を基準としており、固定の 1.8V IO レベルをサポートしています。

有効な組み合わせは以下のとおりです。

- OSPI + OSPI (高速 - DQS)
- QSPI + OSPI (高速 - DQS)
- OSPI (高速 - DQS)
- QSPI (高速 - LBCLKO)

OSPI0 パリフェラルの IO (固定) によって基準とされる IO グループの IO 電源と、装着されているデバイスの IO 電圧レベルが互換性があることを確認することを推奨します。装着されたデバイスの IO 電源と、OSPI0 プロセッサのパリフェラル IO が基準とする IO グループの IO 電源を同じ電源に接続することを推奨します。

詳細については、TI.com にあるプロセッサ固有のデータシートまたは資料で、「OSPI/QSPI/SPI 基板の設計およびレイアウトのガイドライン」セクションを参照してください。

OSPI または QSPI のメモリ インターフェイスの詳細については、以下の FAQ (よくある質問) を参照してください。

[FAQ] AM62L (AM62L32, AM62L31) カスタム基板のハードウェア設計 – OSPI (OSPI0) インターフェイスの実装 (TMD62LEVM 上) のガイドライン

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62Ax / AM62D-Q1 / AM62Px の設計の推奨事項 / カスタム基板のハードウェア設計時によく発生するエラー – OSPI/QSPI メモリ インターフェイス](#)

[\[FAQ\] Sitara/Jacinto デバイス用 OSPI の FAQ \(よくある質問\)](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリーにも使用できます。

7.3.3.1 OSPI0 とシングル デバイスの接続

x1 のデバイスを使用する場合は、AM62x または他のプロセッサ ファミリーの OSPI0 インターフェイスの実装に従うことを推奨します。

7.3.3.1.1 IO の電源

OSPI0 (OSPI または QSPI) インターフェイスに使用されるプロセッサ IO は、VDDS1 電源レール (OSPI0 IO グループの IO 電源) を基準として (この電源レールから電力を供給されて) います。

VDDS1 と、接続されているデバイスの IO 電源レールを同じ電源ソースに接続することを推奨します。

接続されているデバイスの VDD (CORE 電圧) には、独立した電源ソース (別の電源ソース) から電力を供給できます。

7.3.3.1.2 信号接続

次の接続を行うことを推奨します。

- OSPI0_CLK (想定される信号反射を抑制するためのプロセッサ クロック出力ピンの近く) に直列抵抗 (0Ω) と、OSPI0_CLK (接続されているデバイスのクロック入力ピンの近く) に外部プルダウン (10kΩ) を接続して、接続されているデバイスを Low 状態に保持することを推奨します (クロックがロジック状態 Low で停止または一時停止し、プルダウン オプションがこのロジック状態と一致している場合)。
- OSPI0_LBCLKO には、(LBCLKO を接続または接続解除できるようにするため、プロセッサのクロック出力ピンの近くに) 直列抵抗 (0Ω) を実装することを推奨します。
- 接続されているデバイスの入力の近くに CS 信号用の外部プルアップ (10kΩ) を追加することを推奨します。
- 割り込み入力として構成されたプロセッサ IO 入力の近くに、INT# 出力用の外部プルアップ (10kΩ) を追加することを推奨します。
- ホストによって駆動されるまで、接続されているデバイスの入力がフローティングにならないようにするため、接続されているデバイスの入力 (信号) に接続されるデータライン (DAT0:7) には外部プルアップ (10kΩ または 47kΩ) を用意することを推奨します。プルアップ抵抗は、VDDS1 電源レールへの電力供給に使用する電源と同じ電源に接続することを推奨します。

7.3.3.1.3 OSPI/QSPI デバイスのリセット

2 入力 AND ロジックを使用して接続されたデバイスのリセット (OSPI/QSPI メモリ) を実装することを推奨します。AND ロジックは、ローカル リセット (接続されたデバイスが応答しなくなり、パワー サイクルなしでリセットする必要がある場合) を含むすべてのプロセッサ リセット条件下で接続されたデバイスをリセットできる柔軟性を提供します。プロセッサ GPIO は、AND ゲートへの入力の 1 つとして接続され、AND ロジックの AND ゲート入力の近くにプルアップ (10kΩ または 47kΩ) (ブートに対応するため) と、テストまたはデバッグのために GPIO 出力を分離するための 0Ω 抵抗が配置されています。AND ゲートへのもう一方の入力は、MAIN ドメインのウォーム リセット ステータス出力 (RESETSTATz) です。

プロセッサ MAIN ドメインのウォーム リセット ステータス出力 (RESETSTATz) を直接使用して (AND ロジックなしで接続して)、接続されたデバイスをリセットする場合、RESETSTATz の IO 電圧レベルを接続されたデバイスと一致させることを推奨します。IO レベルと一致させるために、レベル トランスレータを使用することを推奨します。抵抗デバイダの最適な値が選択されている場合は、代わりに抵抗デバイスをレベル シフトに使用することもできます。抵抗デバイダの値が大きすぎると、OSPI/QSPI リセット入力に接続されたプロセッサ IO の立ち上がり / 立ち下がり時間が遅くなり、遅延が発生する可能性があります。デバイダとして低すぎる抵抗値を使用すると、プロセッサが通常動作時に過剰な定常電流を供給する原因となります。

データ、クロック、チップ セレクト入力に加えて、外部リセット入力ピンに対応するメモリ デバイスを選択することを推奨します。

7.3.3.1.4 ループバック クロック

プロセッサ固有のデータシートの「OSPI/QSPI/SPI 基板の設計およびレイアウトのガイドライン」セクションを参照してください。このセクションでは、OSPI、QSPI または SPI メモリ デバイスを接続する際に従うべき PCB の配線ガイドラインについて詳しく説明します。

ループバック クロックの構成を確認することを推奨します。OSPI0_LBCLKO (OSPI0 ループバック クロック出力) および OSPI0_DQS (OSPI0 データ ストローブまたはループバック クロック入力) 信号を使用して、各種クロックのループバック 構成を実装できます。サポートされているループバック構成の詳細については、プロセッサ固有のデータシートの「OSPI/QSPI/SPI 基板の設計およびレイアウトのガイドライン」セクションの以下の図を参照してください。

- ループバックなし、内部 PHY ループバック、内部パッド ループバックの OSPI 接続回路図
- 外部ボード ループバックの OSPI 接続回路図
- DQS の OSPI 接続回路図

外部ボード レベルのループバック

プロセッサの DQS (またはループバック クロック入力) は、装着されているメモリ デバイスの DS データ ストローブ出力とともに使用されます

装着されているデバイスの DS (DS (読み取りデータ ストローブ) ピンが装着されたデバイスで利用できる場合) をプロセッサの OSPI0_DQS ピンに接続することを推奨します。使用しない場合は、OSPI0_LBCLKO ピンを未接続のままにすることを推奨します。

装着されているデバイスで DS ピンが利用できない場合には、外部ループバックを構成することを推奨します (例: QSPI)。

プロセッサの OSPI0_LBCLKO 出力ピンを、プロセッサの OSPI0_DQS 入力ピンに接続することを推奨します (長さのマッチング要件に注意してください)。

外部ループバックを使用しない場合は、OSPI0_LBCLKO ピンと OSPI0_DQS ピンを未接続のままにすることを推奨します。

注

プロセッサの OSPI0 インターフェイスの D0 および D1 ピンは、レガシーの x1 コマンドをサポートするため、OSPI/QSPI メモリ デバイスの D0 ピンと D1 ピンに接続することを推奨します。データ ビットの交換は許可されません。

7.3.3.2 x2 デバイスとのインターフェイス

OSPI0 インターフェイスは、x2 接続デバイスのインターフェイスをサポートしています。

実装については、評価基板 (EVM) を参照してください。OSPI0 インターフェイスに関連するアプリケーション ノートの追加については、プロセッサ固有の (AM62L) 製品 ページを参照してください。

7.3.3.3 電源レール用コンデンサ

VDDS1 の電源レールと装着されたデバイス (コアおよび IO 電源) にバルクおよびデカップリング コンデンサが供給されていることを確認することを推奨します (推奨が利用可能な場合は推奨されるコンデンサを使用するか、適切な評価基板の実装に従います)。

推奨事項が利用できない場合は、プロセッサ固有の評価基板の実装に従うことを推奨します。

7.3.3.4 OSPI0 または QSPI0 ペリフェラル インターフェイスの実装チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み。
2. 必要なメモリ インターフェイスの構成と、OSPI または QSPI メモリ インターフェイスに対して推奨される接続

3. 装着されたデバイスの IO 電源と、OSPI0 インターフェイス信号 (同じ電源に接続) を基準とする (この信号から電力を供給される) IO グループの固定電圧 IO 電源の接続
4. プロセッサと装着デバイス間の IO レベルの互換性 (1.8V)。
5. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
6. プロセッサと、装着されたデバイス間のペリフェラル データ インターフェイス信号の極性の一致 (例: プロセッサの D0-D7 (データ) を、装着されたデバイスの D0-D7 または同様の接続にマッピング)
7. プロセッサ クロック出力ピンの近くに直列抵抗を配置し、装着されているメモリ デバイスの近くに OSPI0_CLK 信号のプルダウンを配置する。
8. OSPI/QSPI データ インターフェイスおよび CS 信号の値などのプルアップの配置
9. 装着されたデバイスのリセット ロジックを実装して、装着されたデバイスのリセット入力のブートおよび接続に対応。
10. 選択したインターフェイス (OSPI/QSPI) および使用するメモリ デバイスに基づいたクロック ループ バックの構成
11. ブートをサポートする CS0 に直列抵抗を追加で配置
12. メモリ (OSPI) からの DQS 入力の接続およびプロセッサ DQS 入力ピンのプルダウン
13. プロセッサ出力 (QSPI 用) から DQS 入力へ LBCLKO を接続し、プロセッサの DQS 入力ピン付近にプルダウンを追加
14. 未使用時の LBCLKO 接続
15. x1 または x2 の装着されたデバイスのインターフェイスを実装するための接続に関する推奨事項
16. 必要なバルク キャパシタと高周波コンデンサ、および値の追加。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. OSPI0 または QSPI0 メモリ インターフェイスの接続を、評価基板の回路図の実装と比較して、並列プル、直列抵抗、抵抗値を配置することを推奨します。
2. 装着されているデバイスのリセット ロジックの実装を評価基板の回路図と比較することを推奨します。
3. OSPI0_CLK (想定される信号反射を抑制するためのプロセッサ クロック出力ピンの近く) に直列抵抗 (0Ω) を配置し、OSPI0_CLK (装着されたデバイスのクロック入力ピンの近く) 用の外部プルダウン (10kΩ) によって、装着されたデバイスを Low 状態に保持します (クロックがロジック状態 Low で停止または一時停止し、プルダウン オプションがこのロジック状態と一致している場合)。
4. フローティングになる可能性があるデータおよび制御信号用にプルアップ (10kΩ または 47kΩ) が配置されている (ホストによって駆動されるまで、接続されているデバイスの入力がフローティングにならないようにするため)。プルアップに接続されている電源を確認することを推奨します。
5. OSPI0 インターフェイスを、X1 (単一) または X2 (複数) の装着されたデバイスに接続します。OSPI0 インターフェイスを複数の装着デバイス (1 つを超える装着デバイス) に接続する場合は、評価基板のガイドラインまたは推奨ガイドラインに従ってください。
6. プロセッサと接続デバイス間の IO レベルの互換性。装着されているデバイスの IO 電源と、OSPI0 インターフェイス信号を基準とする (この信号から電力が供給される) IO グループ VDDSD1 の固定電圧 IO 電源が同じ電源に接続されている。
7. OSPI0 ペリフェラルおよび装着されたデバイスの IO 電源を基準とする (この電源から電力が供給される) IO グループ VDDSD1 の固定電圧 IO 電源に接続された電源レールが ROC に準拠している。
8. 外部ループバックの実装 (使用例に応じて)。
9. OSPI メモリ デバイスからの DQS の接続と DQS 入力用のプルダウンがプロセッサ付近に追加されている。
10. QSPI メモリ デバイスの OSPI0_LBCLKO を 0Ω で接続。
11. リセット時または電源の上昇時に、リセット入力を High 状態にプルアップする (非推奨)。
12. 2 入力 (RESETSTATz とプロセッサ IO) の ANDing ロジック、または MAIN ドメインのウォーム リセット ステータス出力 RESETSTATz を使用したブートを使用する場合のリセット ロジックの実装。
13. ブートに OSPI0 インターフェイスを使用しない場合、リセット ロジックはプロセッサ IO を使用して実装できます。リセット入力付近のプルダウンを推奨。

さらに

1. プロセッサ固有のデータシートの「OSPI/QSPI/SPI 基板の設計およびレイアウトのガイドライン」セクションに従っていることを確認することを推奨します。
2. OSPI/QSPI ブート モードを実装する場合は、シリコンの正誤表、選択したメモリがプロセッサ固有の TRM に記載されているブート条件を満たしていることの確認を推奨します (または、TI で検証するには、E2E を使用することを推奨します)。

7.3.4 汎用メモリコントローラ (GPMC)

プロセッサ固有のデータシートおよび TRM で、使用可能な GPMC IO (ピンアウトされている信号) の数と、サポートされているインターフェイス構成を確認することを推奨します。

ピンアウトされているアドレスラインの数により、非多重化 NOR インターフェイスはサポートされません。GPMC0_A0 ~ A6 の説明は、IP 機能の説明です (ピン機能の説明ではありません)。

7.3.4.1 IO の電源

接続されているプロセッサ ペリフェラルの IO が基準とする IO グループの IO 電源 (固定またはデュアル電圧) と、接続されているデバイスの IO 電圧レベルに互換性があることを確認することを推奨します。GPMC インターフェイスに使用されるプロセッサ IO は、VDDSHV0 電源レール (GPMC IO グループの IO 電源) を基準として (この電源レールから電力を供給されて) います。

VDDSHV0 と、接続されているデバイスの IO 電源レールを同じ電源ソースに接続することを推奨します。

接続されているデバイスの VDD (CORE 電圧) には、独立した電源ソース (別の電源ソース) から電力を供給できます。

7.3.4.2 GPMC インターフェイス

GPMC インターフェイスは、特定のメモリ インターフェイス構成をサポートしています。サポートされているメモリ インターフェイスについては、「特長」の章にある「メディアとデータストレージ」、「デバイスの比較」の章にある「デバイスの比較」表、プロセッサ固有のデータシートの「端子構成および機能」の章にある「GPMC0 信号の説明」表を参照してください。

使用するメモリ インターフェイス構成 (サポート対象の構成と比較)、および GPMC インターフェイスに接続されているデバイスの数を確認することを推奨します。

同期モードで構成する場合は、GPMC インターフェイスを x1 (シングル) デバイスに接続することを推奨します。複数の接続デバイス (CSn) を使用するには、GPMC クロック (および他のインターフェイス信号) をオンボードで分割するため、シグナル インテグリティの懸念があり、性能に影響を及ぼす可能性があります。

非同期モードで複数のメモリ デバイスを接続する場合は、詳細なタイミング解析を行うことを推奨します。非同期モードで複数のメモリ デバイスを接続する場合、制御信号を複数のデバイスに配線する必要があります。分岐配線と負荷 (パターン長とデバイス数) は、カスタム ボードの性能に影響を及ぼす可能性があります。

7.3.4.3 信号接続

GPMC0_CLK (想定される信号反射を抑制するためのプロセッサ クロック出力ピンの近く) に直列抵抗 (0Ω) と、GPMC0_CLK (接続されているデバイスのクロック入力ピンの近く) に外部プルダウン (10kΩ) を接続して、接続されているデバイスを Low 状態に保持することを推奨します (クロックがロジック状態 Low で停止または一時停止し、プルダウンオプションがこのロジック状態と一致している場合)。

ホストによって駆動されるまで、接続されているデバイスの入力がフローティングにならないようにするため、GPMC0_CSn0-3 (構成に応じて) に外部プルアップ (10kΩ) を追加することを推奨します。

ホストによって駆動されるまで、接続されているデバイスの入力がフローティングにならないように、GPMC アドレスおよびデータ インターフェイス信号に外部プル (10kΩ または 47kΩ) を供給することを推奨します。

7.3.4.3.1 GPMC NAND

NAND フラッシュから出力されるアクティブ "High" の準備完了信号およびアクティブ "Low" のビジー (R/B#) 信号は、オープンドレイン出力タイプの信号であり、構成に応じて GPMC0_WAIT0 信号および GPMC0_WAIT1 信号に接続されます。接続されたデバイスの近くにプルアップ (一般的に使用される値は 10kΩ) を設けることを推奨します。

7.3.4.4 メモリ (装着デバイス) のリセット

NAND フラッシュまたは NOR フラッシュを使用する場合、リセット入力 (ピン) が利用可能かどうかは、選択したメモリ デバイスによって異なります。リセットピンがサポート対象の場合は、必要なリセット構成を確認し、関連する外部リセット信号をメモリリセット入力ピンに接続することを推奨します。これには、2 入力の AND ロジックの実装が含まれます。AND ロジックは、ローカルリセット (接続されたデバイスが応答しなくなり、パワー サイクルなしでリセットする必要がある場合) を含むすべてのプロセッサリセット条件下で接続されたデバイスをリセットできる柔軟性を提供します。リセットピンにプルアップを追加すると、電源電圧上昇中にメモリがイネーブルになるため、推奨しません。

7.3.4.5 電源レール用コンデンサ

推奨事項は、VDDSHV0 電源レールと、接続されたデバイス (コアおよび IO 電源) にバルクおよびデカップリング コンデンサが提供されているか、推奨されるコンデンサを使用してください (推奨事項が利用可能な場合、または関連する評価基板の実装に従っている場合は推奨されるコンデンサを使用してください)。

推奨事項が利用できない場合は、プロセッサ固有の評価基板の実装に従うことを推奨します。

7.3.4.6 GPMC インターフェイスのチェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み
2. GPMC メモリ インターフェイス構成 (NAND または NOR フラッシュ)、使用するインターフェイス モード — 非同期または同期クロック モード
3. GPMC メモリ NAND または NOR の接続、アドレス信号およびデータ信号 — 多重化または非多重化、同期または非同期、プロセッサ固有のデータシートと TRM に準拠したデータビット幅
4. サポートされているアドレスおよびデータ範囲 (プロセッサ固有のデータシートに従って、プロセッサからピン アウトされている IO)
5. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
6. プロセッサと、接続されたデバイス間のペリフェラル データ インターフェイス信号の極性の一致 (例: プロセッサの D0-D7 (またはそれ以上のデータ) を、接続先デバイスまたは同様の接続の D0-D7 (またはそれ以上) にマッピング)
7. プロセッサの GPMC クロック出力ピンの近くに直列抵抗 0Ω を接続し、接続されているデバイスの近くに GPMC0 クロック入力のプルダウンを配置する
8. GPMC インターフェイス信号 (フローティングになる可能性がある信号) に必要なプルの接続
9. 接続されているメモリ デバイス (NAND フラッシュ) から出力される、オープンドレイン出力タイプのアクティブ "High" 準備完了信号およびアクティブ "Low" ビジー (R/B#) 信号の接続
10. 代替機能 (GPMC インターフェイス) 用に構成されている場合、ブート モード入力信号の接続
11. 接続されているデバイス IO と、プロセッサの GPMC インターフェイス信号との互換性。接続されているデバイス IO 電源と、GPMC インターフェイス信号を基準とする IO グループのデュアル電圧 IO 電源が、同じ電源ソースに接続されている
12. GPMC インターフェイスで必要とされるタイミングと実現可能なタイミングの対比、およびレイアウトがタイミングに与える影響
13. 非同期モードで複数のメモリ デバイスを接続する場合は、タイミング解析と負荷計算を実行することを推奨します
14. 必要なバルク キャパシタと高周波コンデンサ、および値の追加。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. GPMC インターフェイスの構成と推奨される接続。GPMC メモリ NAND または NOR の接続、アドレス信号およびデータ信号 — 多重化または非多重化、同期または非同期、プロセッサ固有の TRM に準拠したデータビット幅
2. サポートされているアドレスおよびデータ範囲 (プロセッサ固有のデータシートの記載に従って、プロセッサからピン アウトされている IO)。

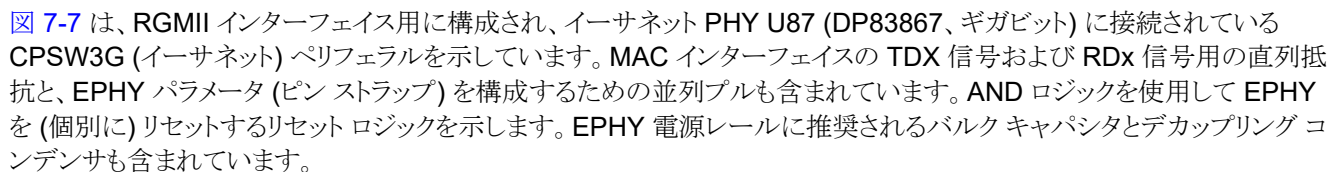
3. プロセッサと接続デバイス間の IO レベルの互換性。接続されているデバイスの IO 電源と、GPMC インターフェイス信号を基準とする (電力供給される) IO グループの IO 電源が、同じ電源ソースに接続され、ROC に従っている
4. フローティングになる可能性があるインターフェイス信号には、推奨されるプル (47kΩ) を追加する (ホストによって駆動されるまで、接続されているデバイスの入力フローティングにならないようにするため)。
5. ホストによって駆動されるまで、接続されているデバイス入力がフローティングにならないようにするため、GPMC0_CS_{n0} ~ 3 (構成に応じて) に外部プルアップを追加することを推奨します。
6. GPMC0_CLK 用の直列抵抗 (0Ω) の実装 (信号反射を制御できるよう、プロセッサのクロック出力ピンの近くに配置)、および GPMC0_CLK 用の外部プルダウン (10kΩ) の実装 (接続されているデバイスを Low に保持するため、接続されているデバイスのクロック入力ピンの近くに配置)。クロックが Low ロジック状態で停止または一時停止する場合があります、プルダウン オプションはこのロジック状態と整合します。
7. NAND フラッシュから出力される、オープンドレイン出力タイプのアクティブ "High" 準備完了信号およびアクティブ "Low" ビジー (R/B#) 信号が、GPMC0_WAIT0 信号および GPMC0_WAIT1 信号 (構成に応じて) に接続されている。接続されたデバイスの近くにプルアップ (一般的に使用される値は 10kΩ) を設けることを推奨します。
8. ブート モード機能を確認するために絶縁できるよう、0Ω を経由して代替機能 (GPMC インターフェイス) 用に構成されたブート モード入力。

7.4 外部通信インターフェイス (イーサネット (CPSW3G0)、USB2.0、UART、MCAN)

注

直列抵抗と並列プルの実装については、リンク先のセクションを参照してください。[プロセッサ固有の評価基板とデータシートの比較](#)。

7.4.1 イーサネット (MAC) インターフェイス

 **図 7-7** は、RGMII インターフェイス用に構成され、イーサネット PHY U87 (DP83867、ギガビット) に接続されている CPSW3G (イーサネット) ペリフェラルを示しています。MAC インターフェイスの TDX 信号および RD_x 信号用の直列抵抗と、EPHY パラメータ (ピンストラップ) を構成するための並列プルも含まれています。AND ロジックを使用して EPHY を (個別に) リセットするリセット ロジックを示します。EPHY 電源レールに推奨されるバルク キャパシタとデカップリング コンデンサも含まれています。

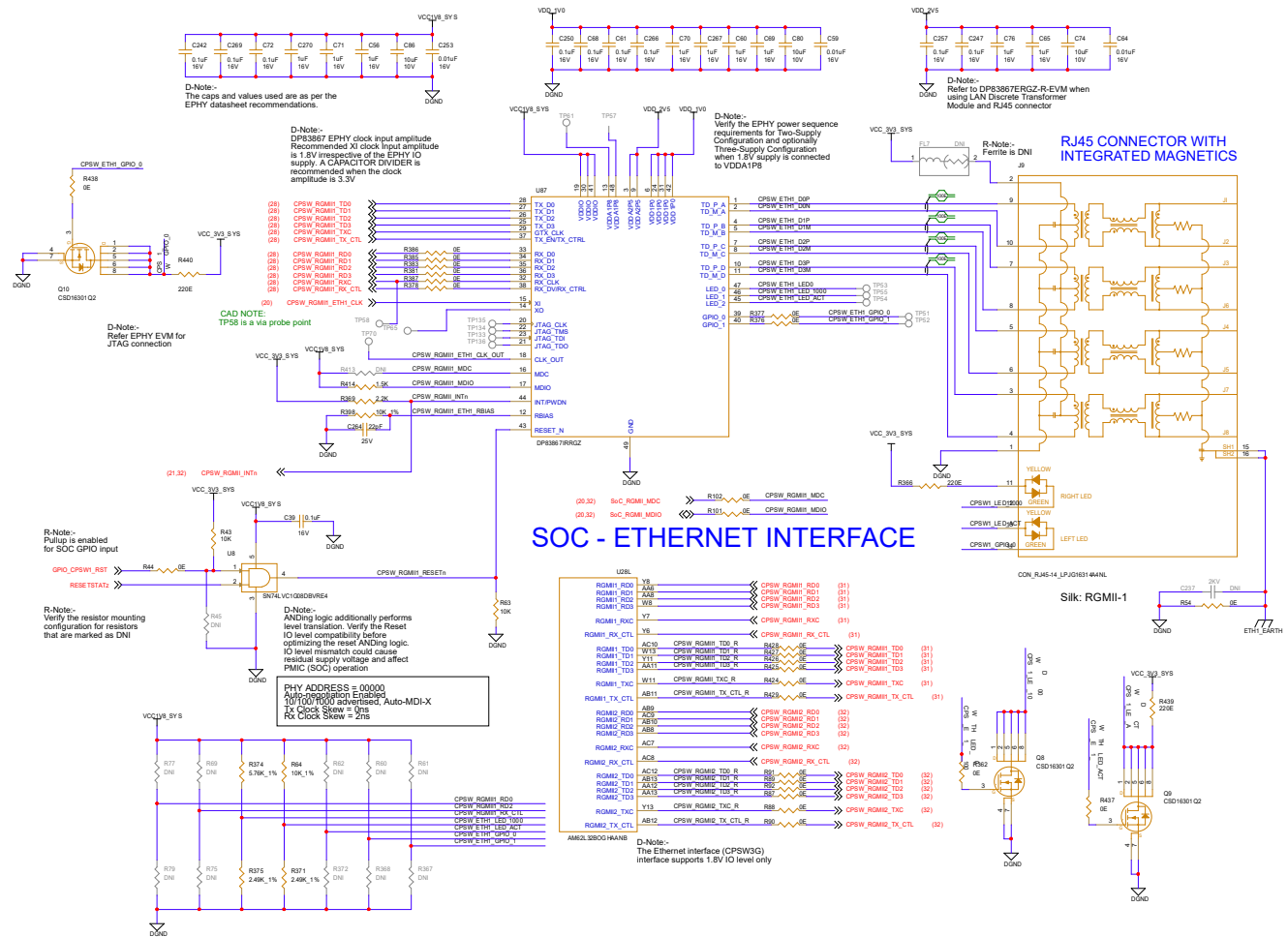


図 7-7. SOC MAC - EPHY RGMII インターフェイス

このプロセッサ ファミリーは、個別の MAC ID を備えた 2 つの (x2) 独立したイーサネット インターフェイスをサポートしています (CPSW3G0 パリフェラルを使用)。各 MAC インターフェイスは RGMII または RMII インターフェイスをサポートしています。

イーサネット インターフェイスの詳細については、次の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM6442, AM6441, AM6422, AM6421, AM6412, AM6411 および AM2434, AM2432, AM2431 \(ALV, ALX\) カスタム ボード ハードウェア デザイン - イーサネット](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリーにも使用できます。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62Ax / AM62Px / AM62D-Q1 / AM62L / AM64x / AM243x 設計上の推奨事項 / カスタム ボード ハードウェア設計 - RGMII インターフェイスと RGMII TI EPHY に関する質問](#)

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62Ax / AM62Px / AM62D-Q1 / AM62L / AM64x / AM243x 設計上の推奨事項 / カスタム ボード ハードウェア設計 - RMII インターフェイスと RMII TI EPHY に関する質問](#)

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP: イーサネット PHY RGMII 同期クロック](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリーにも使用できます。

7.4.1.1 共通プラットフォーム イーサネット スイッチ 3 ポート ギガビット (CPSW3G0)

注

イーサネット インターフェイスは、固定 **1.8V** の **IO** インターフェイスをサポートしています。接続されているデバイス (EPHY) との IO レベルの互換性を検証することを推奨します。GENERAL0 IO グループ (VDDS0、RGMII1、RGMII2 インターフェイス IO グループ) のプロセッサ固定電圧電源と、接続されているデバイス IO 電源は、同じ電源から供給することを推奨します。カスタム ボードの設計者は、通常動作時は ROC に定義されている値を超える電位が印加されず、テストまたはボード起動時には「絶対最大定格」表で定義された値を超える電位が印加されないよう、設計を確実にする必要があります。

プロセッサ ファミリーは、CPSW3G0 イーサネット スイッチの x1 インスタンス (2 つの外部ポートを含む) をサポートします。このスイッチは、3 ポート スイッチ (2 つの外部イーサネット ポート (ポート 1 および 2) へのインターフェイス)、または個別の MAC アドレスを持つデュアル独立 MAC インターフェイスとして設定できます。

CPSW3G0 は、各外部イーサネット インターフェイス ポートにおいて、RGMII (10/100/1000) または RMII (10/100) インターフェイスをサポートします。RGMII インターフェイスでは、TDx (プロセッサによって送信されるデータ) のデータ パスと RDx (プロセッサによって受信されるデータ) のデータ パスはどちらも互いに完全に独立しており、それぞれがソース同期データ転送を実行する独自のクロック信号とデータ信号を持っています。

7.4.1.1.1 IO の電源

プロセッサ MAC インターフェイス (CPSW3G0) 信号 (EPHY 付きのイーサネット インターフェイスに使用される IO) は、VDDS0 電源レール (GENERAL0 IO グループの IO 電源) を基準として (この電源レールから電力を供給されて) います。VDDS0 と、接続されているデバイス (EPHY) の IO 電源レールを、同じ電源ソース (1.8V) に接続することを推奨します。

接続されているデバイス (EPHY) の VDD (CORE 電圧) には、独立した電源ソース (別の電源ソース) から電力を供給できます。

7.4.1.1.2 MAC (データ、制御、クロック) インターフェイス信号の接続

プロセッサ イーサネット MAC インターフェイス信号には、直列抵抗 (0Ω または 22Ω、テスト後に調整) の設置を推奨します (TDx 信号には、直列抵抗をプロセッサ MAC の TDx インターフェイス ピンの近くに設置することを推奨します)。できるだけ小さいパッケージ (0402 以下) を使用し、直列抵抗をソースの近くに設置することを推奨します。RDx 信号には、EPHY が提供する内部インピーダンス制御 (EPHY がサポートする場合) オプションを使用できます。スペースに制約がない場合、または EPHY が内部インピーダンス制御をサポートしていない場合、RDx 信号の EPHY ピンの近くに外部直列抵抗 (0Ω) を設置することを推奨します。

EPHY の割り込み出力は、プロセッサ EXTINTn (割り込み) ピンに接続できます。EXTINTn のプルアップ抵抗 (10kΩ) をプロセッサの近くに接続することを推奨します。

7.4.1.1.3 EPHY のリセット

2 入力 AND ロジックを使用して接続されたデバイス (EPHY) リセットを実装することを推奨します。AND ロジックは、ローカル リセット (接続されたデバイスが応答しなくなり、パワー サイクルなしでリセットする必要がある場合) を含む、すべてのプロセッサ リセット条件下で接続されたデバイス (EPHY) をリセットできる柔軟性を提供します。プロセッサ GPIO (EPHY をローカルでリセットするために使用) は、AND ゲートへの入力の 1 つとして接続され、AND ロジックの AND ゲート入力の近くにプルアップ (10kΩ または 47kΩ) (ブートに対応するため) と、テストまたはデバッグのために GPIO 出力を分離するための 0Ω 抵抗が配置されています。AND ゲートへのもう一方の入力は、MAIN ドメインのウォームリセット ステータス出力 (RESETSTATz) です。

2 つ以上の EPHY を使用する場合は、EPHY を個別にリセットする機能をあらかじめ準備しておくことを推奨します。

AND ロジックの出力のプルアップまたはプルダウン (10kΩ) は、EPHY のリセット入力極性に基いて使用できます。クロックが有効になった後、EPHY を、指定された最小時間にわたって、リセット状態に保持する必要があります。

プロセッサ MAIN ドメインのウォームリセット ステータス出力 (RESETSTATz) を直接使用して (接続して)、EPHY (接続されたデバイス) をリセットする場合、RESETSTATz の IO 電圧レベルを接続されたデバイスと一致させることを推奨します。IO レベルと一致させるために、レベルトランスレータを使用することを推奨します。抵抗デバイダの最適な値が選択さ

れている場合は、代わりに抵抗デバイスをレベル シフトに使用することもできます。抵抗デバイダの値が大きすぎると、EPHY リセット入力に接続されたプロセッサ IO の立ち上がり / 立ち下がり時間が遅くなり、遅延が発生する可能性があります。デバイダとして低すぎる抵抗値を使用すると、プロセッサが通常動作時に過剰な定常電流を供給する原因となります。

7.4.1.1.4 イーサネット PHY (および MAC) の動作と MII (Media Independent Interface) クロック

EPHY とプロセッサのクロック仕様を一致させることを推奨します。

7.4.1.1.4.1 プロセッサおよび EPHY のクロック ソースとして使用される水晶振動子

EPHY のクロック ソースとして水晶振動子を使用する場合、水晶振動子 (クロック) の仕様をプロセッサのクロック仕様と一致させることを推奨します。

7.4.1.1.4.2 クロック ソースとして使用される外部発振器

外部 (LVCMOS) 発振器を、プロセッサ (および EPHY) のクロック ソースとして使用できます。x1 (単一) の発振器または複数の発振器 (EPHY とプロセッサごとに個別のオシレーター) を使用できます。x1 (単一) の発振器を使用する場合は、プロセッサおよび EPHY に接続する前に、発振器のクロック出力をバッファリングする (接続されている各デバイスのクロック入力ごとに個別のバッファを使用する) ことを推奨します。

シングル チャネル (単一入力および単一出力) バッファ、またはデュアルまたは複数出力バッファ付きのシングル入力を使用して、発振器のクロック出力をプロセッサと EPHY に接続できます。1 入力から n 出力へのバッファによって、各クロック信号で適切な信号品質が確保されます。

特定の使用事例 (タイム センシティブ ネットワーキング (TSN) を使用する一部の産業用アプリケーションの要件) では、プロセッサと EPHY には単一入力と 2 つ以上の出力 (使用している EPHY の数に基づく) バッファを推奨します。

EPHY の XO が、推奨ガイドラインに従って接続されているかどうかを確認することを推奨します。

7.4.1.1.4.3 プロセッサ クロック出力 (CLKOUT0)

プロセッサ クロック出力 (CLKOUT0) は、カスタム ボード設計を最適化するために EPHY のクロック入力源として使用できます。CLKOUT0 は内部でバッファされており、ポイントツー ポイントのクロック トポロジで接続することを想定しています。接続されているデバイス (EPHY) のクロック入力へ接続する前に、CLKOUT0 を (個別に) バッファを挿入することを推奨します。また、信号反射を抑制するため、CLKOUT0 のソース側に直列抵抗 (0Ω、テスト後に調整) を配置接続することを推奨します。

RGMII インターフェイスを使用する EPHY では、他の信号と同期していない 25MHz クロック入力が必要です。25MHz クロックにはタイミング要件はありませんが、EPHY のクロック入力で非単調な遷移を受信しないことが重要です。

EPHY を RMII インターフェイス用に設定する場合、クロック オプションは EPHY の構成によって異なります。

EPHY をコントローラとして構成する場合、RMII EPHY の多くは他の信号と同期していない 25MHz 入力クロックを使用します。この 25MHz クロック信号にはタイミング要件はありませんが、EPHY がクロック入力で非単調な遷移を受信しないようにすることが重要です。

RMII では、EPHY が MAC に対して 50MHz クロック出力を提供出力します。RMII の使用事例では、この 50MHz データ転送クロックは EPHY に対して MAC 側で遅れて到達します (ハードウェア遅延)。この遅延により、クロックとデータのタイミング関係がずれ、タイミング マージンが縮小減少する可能性があります。遅延が大きい場合、一部の設計ではこのタイミング マージンの縮小が懸念となります。

EPHY をデバイスとして構成する場合、MAC と EPHY は、送受信データの両方に同期する 50MHz 共通クロックを使用します。この 50MHz クロックは、RMII 仕様において MAC と EPHY の両方が使用する共通データ転送クロック信号として定義されており、その遷移は MAC デバイスピンと EPHY デバイスピンに同時に到着することが求められます。共通クロックは、送信および受信データ転送のタイミング マージンを向上させます。重要な要件は、MAC と EPHY がクロック入力で非単調な遷移を受信しないようにすることです。クロック信号の整合性を改善するため、共通のクロック信号は 1 入力、2 出力の位相整合バッファを介して分配することを推奨します。また、クロック バッファの出力を接続する信号トレースは、インターフェイス データ信号の半分の長さで、かつ相互に等しい長さとなるように配線することを推奨します。バッファされたクロック出力の一方はプロセッサ MAC に、もう一方は EPHY クロック入力に接続します。

RMII インターフェイスについては、推奨構成である「RMII インターフェイスの代表的なアプリケーション (外部クロックソース)」がプロセッサ固有の TRM に記載されています。一方、RMII インターフェイスの代表的なアプリケーション (内部クロックソース) 構成を使用する場合は、基板レベルで性能を検証することを推奨します。また、初期性能テストおよび内部クロックとの比較が行えるように、外部クロックを接続できるようにしておくことを推奨します。

イーサネットの性能 (RGMII) は、プロセッサと EPHY (評価基板ボードで使用) は 25MHz クロック周波数で検証されます。

CLKOUT0 は、25MHz または 50MHz クロックをプロセッサ (MAC) および EPHY に供給するために使用できます。CLKOUT0 の出力は、ソフトウェアでクロック出力を構成した後に利用可能になります。イーサネット ブートを必要とする場合、CLKOUT0 構成は推奨されません。また、CLKOUT0 を EPHY クロック入力として使用した場合、構成変更後にグリッチが発生する可能性があります。

プロセッサ クロックの出力性能は、カスタム ボード設計固有の多くの要因に左右されるため、プロセッサ固有のデータシートには規定されていません。そのため、カスタム ボード設計者は、実際の PCB 遅延、出力遅延の最小 / 最大特性、各デバイスの最小セットアップおよびホールド要件を考慮して、すべてのペリフェラルのタイミングを検証し、十分なタイミングマージンを確保することを推奨します。

7.4.1.1.5 イーサネット PHY ピンストラップ

一部の TI EPHY は、リセット時に出力を入力として構成し、EPHY リセットが解除されたときに EPHY 構成 (抵抗を介したピンストラップ) をラッチします。ストラップ入力 (IO) に適切なプルアップまたはプルダウン (EPHY の推奨事項に従う) を適用することを推奨します (ストラップ入力もプロセッサ IO に接続されます)。プロセッサ固有の評価基板 (EVM) で使用される TI EPHY は、プルアップとプルダウンの組み合わせを使用して、各ピンで複数の構成モードを構成できます。プロセッサのリセット時は、IO バッファと内部プルアップまたはプルダウンはオフになり、EPHY によってプロセッサ入力バッファに中電圧が印加されるという懸念を最小限に抑えます。関連するプロセッサ入力バッファのいずれかを有効にする前に、EPHY をリセット状態から通常状態に設定し、有効なロジック状態を駆動する必要があります。

7.4.1.1.6 外部割り込み (EXTINTn)

EXTINTn は、オープンドレイン出力タイプフェイルセーフ IO バッファです。PCB パターンが接続されており、外部入力がアクティブに駆動されていない場合、外部プルアップ (10kΩ) を接続することを推奨します。オープンドレイン出力タイプの IO バッファには、3.3V にプルアップしたときのスルーレート要件が規定されています。入力スルーレートを制限するため、RC (遅延) を推奨します。このコンデンサは、プロセッサ ピンの近くに配置することを推奨します。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP / AM62L / AM62A7 / AM62A3 / AM62A1-Q1 / AM62D-Q1 / AM62P / AM62P-Q1 カスタム ボード ハードウェア設計 – EXTINTn ピンのプルアップ接続](#)

7.4.1.1.6.1 外部割り込み (EXTINTn) チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. 電気的特性 (3.3V にプルした場合のフェイルセーフおよびスルーレート要件)
3. EXTINTn IO 用プルアップの接続
4. 3.3V にプルした場合の EXTINTn IO 用 RC の接続。C の配置 (プロセッサ ピンの近く) も含む

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. 使用するプルアップ値。出発点として、評価基板 (EVM) 回路図の実装と比較することが推奨されます。
2. プロセッサの VDDSHV1 を基準とする (電力が供給される) プルアップである (正しい IO 電圧レベルにプルアップされている)。

3. EXTINTn は、オープンドレイン出力タイプのフェイルセーフ IO バッファです。パターンまたは外部入力を接続する場合は、外部プルアップを推奨します。
4. オープンドレイン出力タイプの IO バッファである EXTINTn には、3.3V 電源にプルされたときのスルーレート要件があります。入力スルーレートを制限するため、入力に RC を追加することを推奨します。TMDS64EVM を参照してください。
5. スルーレート制御に使用される RC 値。TMDS64EVM を参照してください。プロセッサ ピンの近くにコンデンサを接続することを推奨します。

7.4.1.1.7 MAC (メディア アクセス コントローラ) 間インターフェイス

2 つのプロセッサの間で EPHY レス (MAC から MAC へ) の接続を実装する場合は、クロックがソース同期であるため RGMII インターフェイスを推奨します (選択されたプロセッサ ファミリーで MAC から MAC へのインターフェイスが公式にサポートされているかどうかは TI に確認してください)。

2 つのプロセッサ間で MAC から MAC へのインターフェイスを実装する場合は、フェイルセーフ動作、クロック仕様の一致、および IO レベルの互換性を検証することを推奨します。

7.4.1.1.8 MDIO (管理データ入出力) インターフェイス

MDIO インターフェイスに使用されるプロセッサ IO は、VDDS0 電源レール (GENERAL0 IO グループの IO 電源) を基準としています (この電源レールから電力を供給)。

MDIO0_MDIO (MDIO データ) 信号のために、外部プルアップ (2.2kΩ (EPHY の推奨に従う)、EPHY 付近) を接続することを推奨します。

MDIO_MDC の場合、EPHY が内部プル (プルダウン) をサポートしているかどうかを確認することを推奨します。

7.4.1.1.9 磁気部品を含むイーサネット MDI (Medium Dependent Interface)

EPHY および MDI (銅線またはファイバ) インターフェイス (磁気部品および RJ45 コネクタを含む) をプロセッサ ボード上に実装する場合は、MDI インターフェイス接続、推奨される磁気部品 (評価基板 (EVM) で使用されている磁気部品または同等品の使用を推奨)、および RJ45 コネクタ シールドの回路グラウンドへの接続について、評価基板 (EVM) の実装に従うことを推奨します。外部 ESD 保護機能の提供を推奨します。

7.4.1.1.10 電源レール用コンデンサ

VDDS0 の電源レールと装着されたデバイス (コア、アナログ、IO 電源) にバルクおよびデカップリング コンデンサが供給されていることを確認することを推奨します (推奨が利用可能な場合は推奨されるコンデンサを使用するか、適切な評価基板の実装に従います)。

推奨事項が利用できない場合は、プロセッサ固有の評価基板の実装に従うことを推奨します。

7.4.1.1.11 イーサネット インターフェイス チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. プロセッサ MAC と EPHY 間のメディア独立インターフェイス (MII) 構成 (RGMII または RMII)。
3. プロセッサと EPHY (接続デバイス) MII (MAC) インターフェイス信号の間の IO レベル互換性 (1.8V)
4. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
5. プロセッサと、接続されたデバイス間のペリフェラル データ インターフェイス信号の極性の一致 (例: プロセッサの TDx0~3 (RDx0 ~ 3) データを、接続先デバイスの TDx0~3 (RDx0 ~ 3) または同様の接続にマッピング)
6. プロセッサの MAC インターフェイス信号に対応する IO グループの IO 電源と、EPHY IO 電源が同じ電源ソースに接続されている
7. プロセッサと EPHY のクロック仕様の一致。
8. RMII インターフェイス用プロセッサ MAC および EPHY に使用されるクロック構成 (マスタ、スレーブ)

9. EPHY リセット ロジックの実装。
10. x2 EPHY のリセット ロジックの実装。
11. MDIO インターフェイス接続と EPHY アドレス構成。
12. MDIO インターフェイス MDC (クロック信号) の外部プルはオプションです (EPHY は内部プルダウンをサポートする場合があります)。EPHY データシートでプルが利用可能であることを確認することを推奨します。
13. 信号の反射を制御するために、MAC インターフェイス信号 (TDx, RDx) 用の直列抵抗をソースの近くに配置する
14. MAC から MAC へのインターフェイス (プロセッサ間) のインターフェイス構成と接続
15. 必要なバルク キャパシタと高周波コンデンサ、および値の追加。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. プロセッサと EPHY の電源レールに使用するバルク キャパシタとデカップリング コンデンサを、評価基板 (EVM) 回路図の実装と比較することを推奨します (TI EPHY を使用する場合)。
2. 信号反射が発生する可能性を制御するため、プロセッサの MAC TDx 出力ピン付近の TDx 信号に対して、直列抵抗 (0Ω または 22Ω 。テスト後に調整) を設けることを推奨します。
3. 接続先デバイスの IO 電源と、プロセッサ MAC インターフェイス信号に対応する (電源供給される) GENERAL0 IO グループ VDDSD0 の IO 電源が同じ電源ソースに接続され、ROC に準拠していることを確認することを推奨します。
4. EPHY 付近に追加する MDIO データ信号用プルアップ ($2.2k\Omega$ 、EPHY の推奨事項に従う) を含む、MDIO インターフェイスの接続。複数のデバイスへの MDIO 接続と、各 EPHY 付近へのプルアップの追加。複数の EPHY を使用する場合は、MDIO インターフェイス用 EPHY アドレスの構成。
5. 各 EPHY には、内部発振器付き水晶振動子または外部発振器を使用できます。または、バッファ付きの共通外部発振器 (出力は使用事例に依存) を使用することもできます。
6. EPHY とプロセッサのクロック仕様を一致させることを推奨します。
7. EPHY および RMII インターフェイス用プロセッサ MAC のクロック供給。(EPHY 構成に応じた) バッファの追加、およびクロックアーキテクチャ (共通発振器と複数出力バッファの使用) を含む。プロセッサのクロック出力が複数の入力に接続されている場合、各クロック入力をクロックのバッファ付き出力にすることを推奨します。
8. MAC から MAC へのインターフェイスを使用する場合、IO レベルの互換性、フェイルセーフ動作 (x2 プロセッサ MAC が異なる電源に対応している (電力を供給している) 場合)、およびクロック仕様の一致を検証することを推奨します。
9. TI の EPHY を使用する場合、AND ロジック、AND ゲート入力プルアップ、および EPHY リセット入力のプルを含む EPHY リセットの実装について、評価基板 (EVM) の実装と照合して検証することを推奨します。2 入力の AND ロジックを使用して、接続されたデバイス (EPHY) のリセットを実装できます。プロセッサ GPIO (EPHY をローカルでリセットするために使用) は、AND ロジックの AND ゲートへの入力の 1 つとして接続します。また、AND ロジックの AND ゲート入力の近くに (ブートをサポートするための) プルアップ機能と、テストまたはデバッグのために GPIO 出力を分離するための 0Ω 抵抗を設けます。AND ゲートへのもう一方の入力は、MAIN ドメインのウォームリセットステータス出力 (RESETSTATz) です。
10. 2 つ以上の EPHY を使用する場合は、EPHY を個別にリセットする機能をあらかじめ準備しておくことを推奨します。

さらに

1. TI EPHY を使用する場合は、次の推奨する手順に従うことを推奨します。
 - EPHY 事業部門または製品ラインに、実装のレビューを依頼します。
 - 推奨されるバルク キャパシタおよびデカップリング コンデンサが追加されており、電源シーケンス要件に従っていることを確認することを推奨します。
 - RBIAS 抵抗の値と許容誤差、RJ45 コネクタの選択、MDI 信号に対する外部 ESD 保護機能、RJ45 コネクタシールドの回路グラウンドへの接続を検証することを推奨します
2. シングル チャネル (単一入力および単一出力) バッファ、またはデュアルまたは複数出力バッファ付きのシングル入力を使用して、発振器のクロック出力をプロセッサと EPHY に接続できます。特定の使用事例 (タイム センシティブ ネットワーキング (TSN) を使用する一部の産業用アプリケーションの要件) では、プロセッサと EPHY には単一入力と 2 つ以上の出力 (使用している EPHY の数に基づく) バッファを推奨します。

3. EPHY が RMII ペリフェラルとして構成されている場合、単一入力 (共通クロック入力)、2 出力の位相整列バッファを推奨します。
4. RDx 信号用に、接続されているデバイス (EPHY) の近くに 0Ω (オプション。空間に制約のない場合に推奨) の直列抵抗を追加することを検討します。
5. イーサネット ブートを検討する場合、シリコン正誤表を確認し、サポートされている EPHY インターフェイス構成、使用する MAC インターフェイス ポートと推奨ポートとの対比、推奨されるクロック接続とインターフェイス接続を確認することを推奨します。

7.4.2 ユニバーサル シリアル バス (USB2.0)

図 7-8 はプロセッサ USB0 と USB1 インターフェイスの接続を含みます。USB1 インターフェイスはホスト インターフェイス用に設定しています。SOC が制御する OC (U46) 表示機能付きパワー スイッチ、USB データ インターフェイス信号のコモンモードフィルタ、USB コネクタを含んでいます。VBUS デバイダを表示していますが、ホスト インターフェイスでは VBUS デバイダはオプションです。

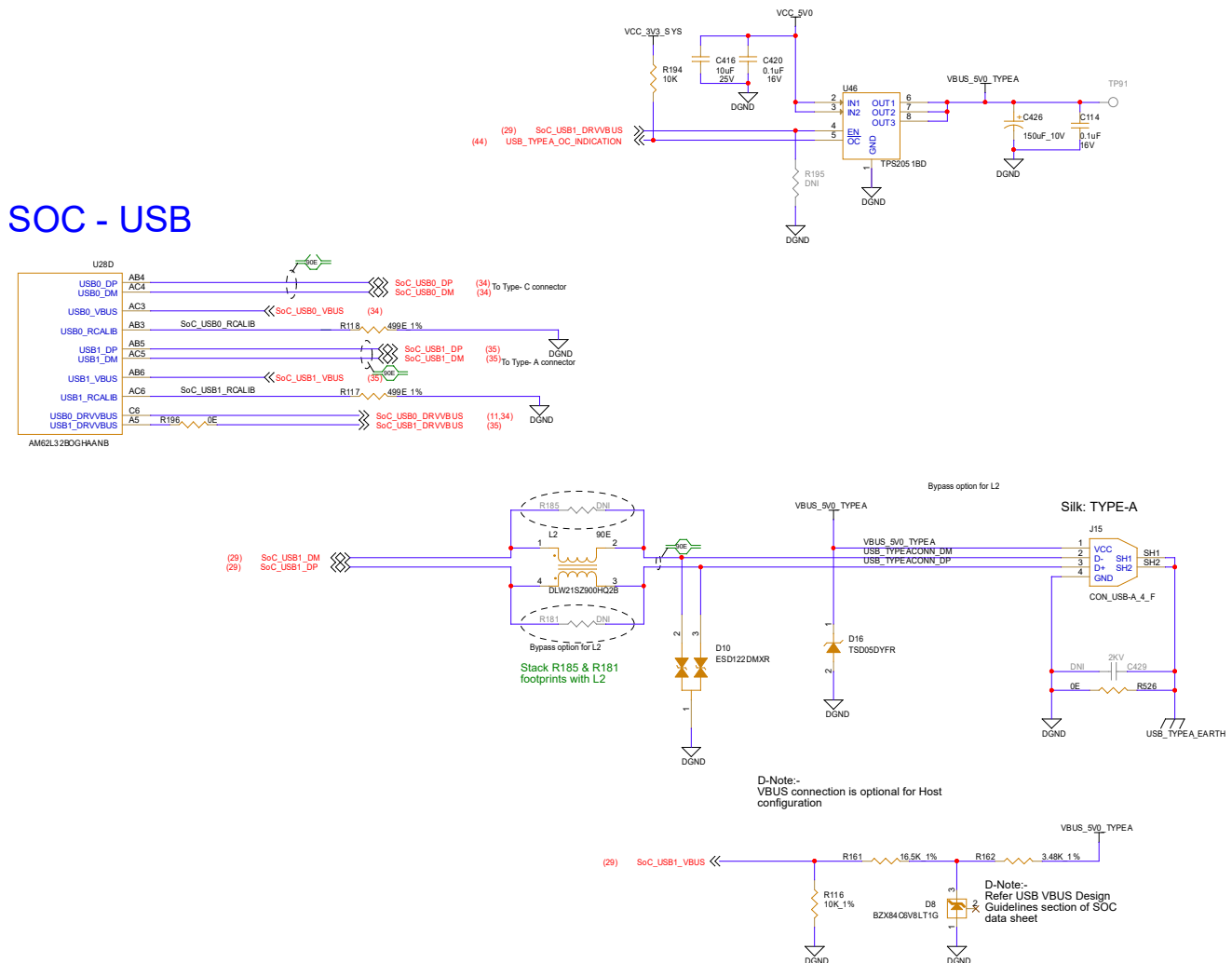


図 7-8. USC SOC ホスト インターフェイス

このプロセッサ ファミリーは、USB 2.0 インターフェイス ポートの 2 個のインスタンスをサポートしています。USB インターフェイス (USB0、USB1 ポート) はホスト、デバイス、またはデュアルロール デバイス (DRD) として構成できます。

USB_n_VBUS (n = 0-1) は、プロセッサ固有のデータシートの「USB 設計ガイドライン」セクションに従って接続することを推奨します。USB_n_VBUS ピンの電源電圧範囲は、プロセッサ固有のデータシートの「推奨動作条件」セクションで定義しています。VBUS 電源電圧レベルが 5V のとき、印加される公称入力電圧は抵抗デバイダ出力と等しくなります。

USBn_ID 機能は、いずれかのプロセッサ GPIO を使って実装できます。

注

USBn_VBUS はフェールセーフ入力です。フェールセーフ入力は、VBUS 電源が推奨される USB VBUS 検出分圧器 / クランプ回路を介して接続されている場合にのみ有効です。

7.4.2.1 USBn (n = 0-1) インターフェイス (使用時)

プロセッサ固有のデータシートに従って、USB 電源 VDDA_CORE_USB (USB0 と USB1、コア電源)、VDDA_1P8_USB (USB0 と USB1、1.8V アナログ電源)、VDDA_3P3_USB (USB0 と USB1、3.3V アナログ電源) を推奨電源レールに接続することを推奨します。

USBn_DM (n = 0-1) と USBn_DP (n = 0-1) 信号を (直列抵抗やフィルタコンデンサなしで) 直接接続することを推奨します。USBn 信号は、スタブやテスト ポイントを含まないパターンで配線することを推奨します。

USBn_RCALIB (n = 0-1) ピン (プロセッサ RCALIB ピンの近く) と VSS の間に校正抵抗を接続することを推奨します。推奨抵抗値と許容誤差については、プロセッサ固有のデータシートを参照してください。

7.4.2.1.1 ホストとして構成された USB インターフェイス

外部に接続した USB デバイスへの VBUS 電源を制御する、USB パワー スイッチの実装を推奨します。パワー スイッチは、過負荷 (過剰な電流の引き込み) からオンボード電源を保護します。

電源スイッチの出力は、USB Type A コネクタに接続します。VBUS 電源には、コネクタの近くにコンデンサ (最小値 120µF) を接続することを推奨します。

USBn_DRVVBUS (n = 0-1) 信号 (リセット中とリセット後に内部プルダウンを有効化) を使用して、VBUS パワー スイッチをイネーブルにできます。パワー スイッチのイネーブル (EN) ピンの近くへの外部プルアップの設置は推奨しません。外部プルダウン (10kΩ) はオプションです。

OC (過電流) 表示機能付きの USB パワー スイッチを使用し、プルアップ (10kΩ または 47kΩ) を追加し、プロセッサ IO (入力) に接続して VBUS 過負荷を検出することを推奨します。

USBn_VBUS (分圧器、クランプを含む VBUS 電源入力) 入力の接続はオプションです。

7.4.2.1.2 USB インターフェイスをデバイスとして構成

VBUS 電源には外部ホストが電力を供給します。USB 規格では、USB Type-B コネクタの近くにある VBUS に 10µF 未満のコンデンサを接続することを推奨しています。

プロセッサ固有のデータシートの「USB VBUS 設計ガイドライン」セクションに従い、USBn_VBUS 入力に接続する前に、USB VBUS 電圧 (抵抗デバイダとツェナー ダイオード保護を使用して USB インターフェイス コネクタの近くに供給) を分圧することを推奨します。

カスタム基板設計者が、(オンボードで供給する) VBUS 電圧が 5.5V を絶対超ないことを確信している場合、ツェナー ダイオードの保護 (推奨) はオプションであると考えられます。

スイッチングしないオンボード (常時) 電源の接続、等価デバイダを使用した 3.3V 常時電源の接続、1.65V 常時電源の USBn_VBUS への直接接続は、推奨も許可もありません。セッションの終了時にスイッチング電源を遮断し、次のセッションの開始時にスイッチングを再開することを推奨します。

7.4.2.1.3 デュアルロールデバイスとして構成した USB インターフェイス

カスタム基板が USB Micro-AB コネクタを使用する場合、コネクタからの USBn_ID 信号をプロセッサ ピンのいずれかに配線することを推奨します。使用する GPIO ピンは、GPIO ピンの PinMux 設定を含めて、基板デバイス ツリー ファイルで指定できます。

注

完全準拠の USB On-The-Go (OTG) 機能はサポートされていません。USB ID ピンはボンディングされていません。

7.4.2.1.4 USB Type-C

カスタム基板設計で USB Type-C コネクタを使用する場合、USB_n_ID 信号接続は必須ではありません。DRD モードのスイッチングは、USB Type-C コンパニオン デバイスが制御します。

DRP (デュアル ロール ポート) にはコントローラが必要で、主にネゴシエーションした役割に基づいて電力を切り替えます。デバイスモードのみで、USB2.0 のみの、USB Type-C コネクタでデバイスに電力を供給しない USB Type-C の実装では、USB Type-C コントローラは不要です。

- コネクタの CC ピンは、5.1k Ω 抵抗を使用して個別に接地する必要があります。
- PCB 上で USB DP と USB DM コネクタピンが短絡しています (DM=B7:A7、DP=B6:A6)。短絡により、ケーブルの向きに関係なく USB 2.0 接続が可能です。結果としてスタブを短く保つことを推奨します。

USB_n_VBUS 入力スケールリングに関する推奨事項の詳細については、プロセッサ固有のデータシートの「USB VBUS の設計ガイドライン」セクションを参照してください。

AM62x SK USB0 インターフェイス設計は、USB Type-C インターフェイスの実装のリファレンスにできます。

次の FAQ (よくある質問) を参照してください。

[\[FAQ\] SK-AM62A-LP: USB OTG は PD コントローラなしで実現できますか?](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリにも使用できます。

7.4.2.2 USB_n (n = 0-1) インターフェイスの接続 (未使用時)

USB0 と USB1 のインターフェイスをカスタム基板設計で使用しない場合、USB インターフェイス信号 (サポートされている USB ブート構成 (USB0-DFU) 用) を USB0 インターフェイスに設置し、必要なプロセッサ USB 電源を初期基板構築に接続する設定を追加することを推奨します。

USB0 と USB1 の両方を使用しない場合、またはそのどちらかを使用しない場合、インターフェイス信号と電源には特定の接続要件が生じます。

USB0 と USB1、インターフェイス信号、電源ピンの接続については、プロセッサ固有のデータシートの「ピン接続要件」セクションを参照してください。

USB 電源 (VDDA_CORE_USB、VDDA_1P8_USB、VDDA_3P3_USB) を、個別の 0 Ω 抵抗を介して VSS に接続することを推奨します。

将来の拡張に USB0 や USB1 の使用を計画している場合、『USB インターフェイスの配線ガイドライン』に従って、信号 (USB_n_DM、USB_n_DP、USB_n_RCALIB、USB_n_VBUS) を USB コネクタに接続することを推奨します。必要な電源を接続する手段を設置しておくことを推奨します。

7.4.2.3 追加情報

USB_n_DM と USB_n_DP 信号をプロセッサから USB ハブの上流ポートに直接接続することを推奨します。その後、ハブは USB_n 信号を下流ポートに分配します。各ハブの実装要件は異なるため、ハブ メーカーの推奨事項に従うことを推奨します。

USB2.0 インターフェイスの詳細については、以下の FAQ を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM625-Q1 / AM625SIP: カスタム基板ハードウェア設計 – USB2.0 インターフェイス](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリにも使用できます。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 設計に関する推奨事項 / カスタム ボード ハードウェア設計 - 受動部品の値、許容誤差、電圧定格に関する問い合わせ](#)

7.4.2.4 USB インターフェイス チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み。
2. 必要な USB インターフェイス構成 (ホストまたはデバイス) と推奨接続。
3. USBn_VBUS ピンの接続。USB インターフェイス構成に基づく、USB VBUS の設計ガイドラインの遵守。
4. フィルタリングを含む USB 電源の接続。
5. プロセッサと外部 USB インターフェイス コネクタの間の USB インターフェイス信号の接続。
6. 推奨 USBn 校正抵抗の接続、値、許容誤差。
7. USB インターフェイスがホストとして構成されている場合の USB VBUS 電源制御パワースイッチの実装。
8. USBn_DRVVBUS と USBn_ID 機能のためのプル抵抗の実装。
9. USB パワー スイッチ、USBn_DRVVBUS を使用した EN、パワー スイッチ OC 出力のプロセッサ IO への接続。
10. USB コネクタの近くにある USB VBUS ピンへの推奨コンデンサの設置。
11. USB インターフェイス用外部 ESD 保護機能の設置
12. ピン接続要件によって USB インターフェイスを使用しない場合の、USB 電源、USB インターフェイス信号、校正抵抗、USBn_VBUS の接続
13. USB ブートを実装する場合、シリコン エラッタ、サポートされているインターフェイス構成、USB ポート、接続の検証を推奨します。
14. USB インターフェイスを実装しない場合の USB ブートの設置
15. USBn_VBUS と USB インターフェイス信号のフェイルセーフ動作。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. USB インターフェイスは、ホスト (関連する評価基板回路図を参照)、デバイスまたは DRD 用に構成できます。
2. プロセッサから USB コネクタへの USB 信号を直接接続。USB インターフェイス接続を、必要な USB インターフェイス構成 (ホストまたはデバイス) に適合させます。実装を評価基板の回路図と比較します。
3. DRD のサポートには、どのプロセッサ GPIO も使用可能です。
4. USB ホスト構成では、USBn_VBUS 接続はオプションです。
5. VBUS 電圧デバイダの値と許容誤差 ($\pm 1\%$) については、プロセッサ固有のデータシートの推奨値に従うことを推奨します。合計抵抗値、許容誤差、分圧比を温度と電圧の範囲全体にわたって維持するのであれば、複数の抵抗を使用できます。VBUS 電源の入力保護 (ツェナー保護と値) と VBUS コンデンサの値は、USB 規格 (評価基板を参照) に従います。
6. USBn_DRVVBUS では、リセット中とリセット後に内部プルダウンが有効になります。プルアップを接続すると、装着デバイスが中電圧に駆動されます。
7. パワー スイッチのイネーブル接続 (プロセッサ USBn_DRVVBUS を使用する場合は、リセット中やリセット後に USBn_DRVVBUS の内部プルダウンが有効になるため、プルアップは推奨も許可もしません)。
8. パワー スイッチ OC 出力のプロセッサ IO への接続と、IO レベルの互換性 (プルアップ接続)。
9. 電源 (コア、ペリフェラル、IO) の接続。フィルタ処理した電源 (フェライトとコンデンサ) を、VDDA_CORE_USB と VDDA_1P8_USB に使用します。VDDA_3P3_USB を 3V3_SYS 電圧に接続できます。フィルタ実装は継続的に最適化されているため、実装については、特定かつ最新の評価基板を参照してください。
10. ROC に従って接続したプロセッサ USB ペリフェラル電源レール。
11. $499\Omega \pm 1\%$ 抵抗を USB0 と USB1 RCALIB ピンに接続。
12. USB コネクタから USBn_VBUS ピンに直接 5V 電源を接続することは、推奨も許可もしません。プロセッサ固有のデータシートの推奨 VBUS デバイダとツェナーの値の変更は、推奨も許可もしません。VBUS 入力に対するフェイルセーフ機能のサポートは、プロセッサ固有のデータシートに従って推奨するデバイダ値を実装した場合にのみ、有効となります。
13. USB 構成に基づく推奨コンデンサの接続。実装には評価基板の回路図を参照してください。USB ホストには、VBUS 電源にコンデンサ (最小値 $120\mu\text{F}$) をコネクタの近くに接続することを推奨します。USB デバイスでは、外部ホストから VBUS 電源が供給されます。USB 規格では、USB Type-B コネクタの近くにある VBUS に $10\mu\text{F}$ 未満のコンデンサを接続することを推奨しています。
14. USB0 または USB1 を使用しない場合、USB コア、ペリフェラル、IO 電源を接続するためのピン接続の要件に従い、USB0 と USB1 を使用しないことを推奨します。
15. プロセッサ固有のデータシートに従って VBUS 構成を実装する場合、USBn_VBUS フェイルセーフ機能がサポートされます。

16. USB インターフェイス信号フェイルセーフは、USB インターフェイスを USB 仕様に準拠したデバイスに接続している場合に有効です。

さらに

- TI のデバイスを使用して **Type-C USB** インターフェイスを実装する場合、関連する事業部または製品ラインで実装のレビューを取得することを推奨します。
- USB インターフェイスのフェイルセーフ動作を検証することを推奨します。プロセッサの電源電圧の上昇の前に外部インターフェイス信号を印加すると、電圧フィードが発生し、カスタム基板の機能に影響を及ぼす可能性があります。
- EMI を制御するために、USB インターフェイス信号に **コモンモードチョーク (CMC)** を使用できます。CMC は信号振幅を低減し、USB インターフェイスの性能 (速度、データスループット、通信エラー) を低下させる可能性があります。0Ω の抵抗を使用して CMC をバイパスすることを推奨します。USB インターフェイス信号で CMC を使用する場合、極性を含め、接続を検証することを推奨します。CMC 接続の極性を反転すると、USB インターフェイスのデータ信号が短絡することがあります。
- USBn_DRVVBUS ピンに接続する外部プルアップとプルダウンを設置せず、ディープスリープ機能のウェイクアップを実装します。
- 差動信号と差動インピーダンス値のマーキングを考慮することを推奨します。
- USB インターフェイスを使用しない場合、初期基板に **USB0 DFU** ブートインターフェイスを設置することを推奨します。

7.4.3 UART (ユニバーサル非同期レシーバ/トランスミッタ)

図 7-9 は信号接続の方向や極性を含め、プロセッサの UART 信号を外部トランシーバに接続する図を含んでいます。フローティングになり得る IO のプル抵抗と、信号反射の可能性を抑制する直列抵抗が含まれています。

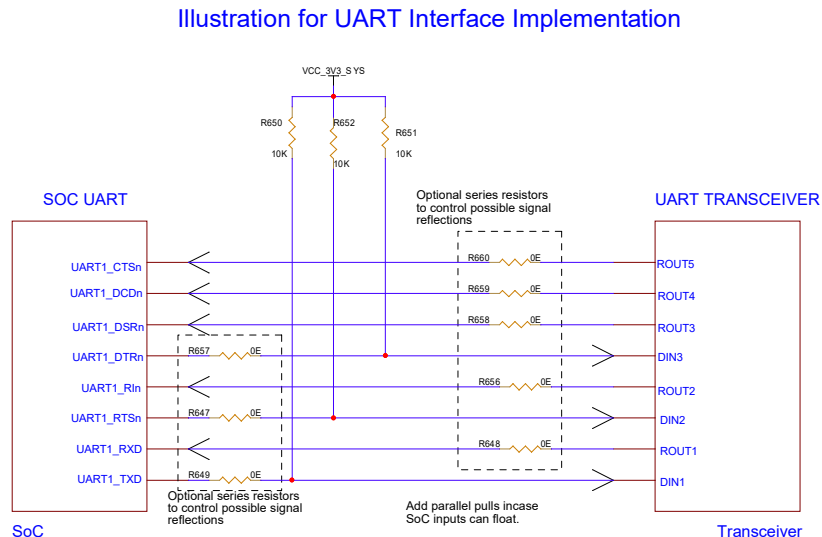


図 7-9. フロー制御を含む UART インターフェイスの接続

注

プロセッサ ペリフェラルは、複数のピンにおいて同じ機能を持つ信号を接続します。

プロセッサ ファミリーは、UART インターフェイスの 8 インスタンス (x7 メインドメイン、x1 WKUP ドメイン) をサポートします。サポート機能としてはデータ転送 (TXD、RXD)、モデム制御機能 (CTS、RTS)、拡張モデム制御信号 (DCD、RI、DTR、DSR - メインドメイン UART1 でサポート) などがあります。

サポートされている UART インスタンスの数については、プロセッサ固有のデータシートを参照してください。各 UART インスタンスがサポートしている機能については、プロセッサ固有のデータシートの「信号の説明」セクションの参照を推奨します。

UART インターフェイス (外部通信インターフェイスまたはデバッグ) と機能 (構成、2 線式または 4 線式、フロー制御付き) のアプリケーション要件を検証することを推奨します。

外部 RS232 トランシーバを使用する場合、外部インターフェイス信号の IO レベルと、IO グループの動作電圧の IO 電源レベルを一致させることを推奨します。外部トランシーバの IO 電源と、IO グループ用のプロセッサ IO 電源 VDDSHVx、VDDsx、VDDs_WKUP または VDDs_RTC に、同じソースから電力を供給することを推奨します。UART 入力フェイルセーフ動作と、外付けプル抵抗に接続されている電圧レベルを検証することを推奨します。

絶縁 (デバッグ) や発生し得る信号反射を抑制するために、インターフェイス信号に直列抵抗 (0Ω) を設置することを推奨します。

プロセッサ IO バッファは、リセット中やリセット後に (TX (出力) と RX (入力)、内部プル (プルアップとプルダウン)) がオフになります。プロセッサの IO がフローティング状態になる可能性がある場合、プロセッサの UART 受信入力 (UARTn_RXD[n = 0-6] および WKUP_UART0_RXD) にプルアップ抵抗 (10kΩ または 47kΩ) の設置を推奨します (装着したデバイスの入力をホストが駆動するまでフローティング状態にしないようにします)。外部インターフェイス信号でプル抵抗が使用可能かどうかを確認し、それに従ってプル抵抗を実装することを推奨します。プロセッサや装着したデバイスの出力をフローティング状態になり得る場合、プロセッサの UART 送信信号 (UARTn_TXD [n = 0-6] と WKUP_UART0_TXD) にプルアップ抵抗 (47kΩ) の実装を推奨します。

UART インターフェイスを使用するときによく見られるエラーとして、UART インターフェイス信号の極性反転があります。信号は次のように接続することを推奨します。

- TX から RX
- RX から TX

装着デバイス側で信号の命名を確認し、それに従って必要な接続を行うことを推奨します。

追加の UART インターフェイス フロー制御信号を使用する場合、接続、IO レベル、極性の一致の検証を推奨します。

外部 UART インターフェイス信号をプロセッサの UART インターフェイスに直接接続する場合、IO レベルの互換性とフェイルセーフ動作の検証を推奨します。外部 ESD 保護の確保を推奨します。

基板の起動とデバッグのための早期の基板の構築においては、UART ブート (UART0) の接続を推奨します。

7.4.3.1 未使用時の UART インターフェイス接続

UART インターフェイスがカスタム基板設計に実装されていない場合、デバッグ用に外部 UART インターフェイス信号の接続を可能にすることを推奨します。UART インターフェイス信号を接続可能にするには、次の優先度に従うことを推奨します。

- UART0
- WKUP_UART0

外部入力を接続する場合、プロセッサ基板に TP を追加することを推奨します。フローティング状態になり得る IO には、(ホストが駆動するまで装着しているデバイスの入力がフローティングにならないよう) 並列プル抵抗 (10kΩ または 47kΩ) の設置を推奨します。外部 ESD 保護機能を追加する対策を推奨します。UART インターフェイスを使用するときに装着できます。

UART インターフェイス信号はフェイルセーフではありません。プロセッサ電源が上昇する前の段階での、外部入力 (UART インターフェイス信号) の印加は推奨しません。

7.4.3.2 UART (ユニバーサル非同期レシーバトランスミッタ) チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. 極性を含む UART インターフェイス信号の接続

3. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
4. プロセッサと装着デバイス間のペリフェラル データ インターフェイス信号の極性のマッチング (TX -> RX, DOUT から DIN、または類似の接続へのマッピングなど)
5. インターフェイスの構成に使用する IO に実装されたバッファタイプに基づいて、接続された IO 電圧レベルを検証する
6. 発生する可能性のある信号反射を絶縁または抑制するため、UART インターフェイス信号用に直列抵抗をソースの近くに追加
7. フローティング状態になり得るプロセッサや装着デバイスの IO (データ、方向制御) に、並列プル抵抗を追加で装着
8. 必要な通信速度 (ボーレート) とサポートされている速度 (ボーレート)
9. 必要とされる通信エラー率 (%) と、内部クロック分周器の不一致により算出される通信エラー率 (%)
10. IO グループのプロセッサ IO 電源と、装着デバイスの IO 電源の接続 (同じ電源に接続していること)
11. UART インターフェイス信号のフェイルセーフ動作。
12. インターフェイス信号を外部入力に直接接続する場合の外部 ESD 保護
13. 必要なバルク キャパシタと高周波コンデンサ、および値の追加

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. 発生し得る信号反射を抑制したり、テスト用に絶縁したりするために、インターフェイス信号に直列抵抗 (0Ω) をソースの近くに追加で装着
2. フローティング状態になり得るインターフェイス信号用に並列プル抵抗 ($10k\Omega$ または $47k\Omega$) を設置 (ホストが駆動するまで装着デバイスの入力がフローティングにならないように)
3. 対応する UART インスタンスと信号が一致するよう、プロセッサ VDDSHVx、VDDsx、VDDS_WKUP、または VDDS_RTC を基準とする (電力を供給する) プルアップ
4. 信号極性の整合を含めた、インターフェイス信号 (データ、方向制御) の接続
5. UART ペリフェラルを基準とする (電力を供給する) IO グループの IO 電源 VDDSHVx、VDDsx、VDDS_WKUP または VDDS_RTC の IO 電源に接続した電源レールと、装着デバイスの IO 電源を同じ電源に接続し、ROC に従うこと
6. フローティング状態になり得る、いずれかのプロセッサや装着デバイスの IO に並列プル抵抗を追加で装着
7. UART インターフェイス信号はフェイルセーフではありません。入力、プロセッサの電源電圧が上昇した後にのみ印加することを推奨します

さらに

1. 外部インターフェイス信号を直接接続し、IO グループのプロセッサ デュアル電圧 IO 電源を別の電源から供給する場合、フェイルセーフ動作の検証を推奨します。
2. プロセッサの電源電圧上昇の前にプロセッサの UART 入力に外部入力信号を印加すると、電圧フィードが発生し、カスタム基板機能に影響を及ぼす可能性があります。
3. 外部入力を直接接続する場合、インターフェイス信号の外部 ESD 保護を設置することを推奨します。
4. UART インターフェイスを使用しない場合、デバッグ用に UART0 または WKUP_UART0 の接続を推奨します。

7.4.4 CAN-FD 完全対応のモジュール式コントローラ エリア ネットワーク (MCAN)

注

プロセッサ ペリフェラル (MCAN、MCSPi、MCASP、I2C) は、複数のピンに同じ機能を持つ信号を接続する実装をしており、信号は IOSET としてグループ化されています。カスタム ボード設計で適切な IOSET (グループ化信号) を確認して使用することを推奨します。インターフェイスのタイミング クロージャは IOSET に基づきます。

このプロセッサ ファミリーは、CAN-FD に完全対応するモジュール式コントローラ エリア ネットワーク (MCAN) の x3 (3 つ) の (x3 MAIN ドメイン) インスタンスに対応しています。

MCAN モジュールは、従来型 CAN および CAN-FD (フレキシブルなデータ レートの CAN) の両方の仕様に対応しています。

MCAN インターフェイスは、外部 MCAN トランシーバ経由で、MCAN インターフェイスに対応している接続デバイスと接続します。

外部トランシーバを使用する場合、外部インターフェイス信号の IO レベルを IO グループの IO 電源の電圧レベルと一致させることを推奨します。トランシーバの IO 電源とプロセッサ IO 電源レベルに、同じ電源から電力を供給することを推奨します。

絶縁 (デバッグ) や発生し得る信号反射を抑制するために、インターフェイス信号に直列抵抗 (0Ω) を設置することを推奨します。プロセッサ IO バッファは、リセット中やリセット後に (TX (出力) と RX (入力)、内部プル (プルアップとプルダウン)) がオフになります。プロセッサまたは接続されたデバイス出力をフローティングにできる場合、プロセッサ MCAN 送信 (受信) 信号へのプルアップ (47kΩ) を推奨します。

MCAN トランシーバの外部インターフェイス入力に推奨される終端を設けることを推奨します。

7.4.4.1 モジュラー コントローラ エリア ネットワーク チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み
2. 極性を含めた MCAN インターフェイス信号の接続
3. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
4. プロセッサと装着デバイス間のペリフェラル データ インターフェイス信号の極性のマッチング (TX -> RX, DOUT から DIN、または類似の接続へのマッピングなど)
5. インターフェイスの構成に使用する IO に実装されたバッファタイプに基づいて、接続された IO 電圧レベルを検証する
6. すべての MCAN インターフェイス信号用に直列抵抗を追加し、発生し得る信号反射 (データ) を分離または制御するために、ソースの近くに配置するための事前準備。
7. フローティングになり得るプロセッサまたは接続されたデバイスの入力に、並列プルを追加するための事前準備
8. IO グループのプロセッサ IO 電源と、接続されたデバイス IO 電源 (同じ電源ソースに接続) の接続
9. MCAN インターフェイス信号のフェイルセーフ動作
10. 必要なバルク キャパシタと高周波コンデンサ、および値の追加

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. 使用する直列抵抗値 (0Ω) と配置 (ソースに近く)
2. フローティングになり得るプロセッサまたは接続されたデバイス IO のいずれかに、並列プル値 (10kΩ) の追加 (接続されているデバイスの入力、ホストによって駆動されるまでフローティングにならないように)
3. 該当する MCAN インスタンスおよびピンについて、プロセッサの VDDSHVx を基準とする (に電力を供給される) プルアップ (電力供給) が一致します
4. MCAN ペリフェラルおよび接続されたデバイスの IO 電源を基準とする (に電力を供給される) IO グループ VDDSHVx のデュアル電圧 IO 電源に接続された電源レールは、同じ電源ソースに接続され、ROC に追従します
5. フローティング状態になり得る、いずれかのプロセッサや装着デバイスの IO に並列プル抵抗を追加で装着
6. MCAN インターフェイス信号はフェイルセーフではありません。入力は、プロセッサの電源電圧が上昇した後にのみ印加することを推奨します

さらに

1. プロセッサ IO はフェイルセーフではありません。プロセッサの電源電圧が上昇する前に、外部入力を印加しないことを推奨します。外部インターフェイス信号に接続する場合、フェイルセーフ動作を確認することを推奨します。プロセッサの電源電圧上昇の前にプロセッサ MCAN 入力に外部入力信号を印加すると、電圧供給を引き起こし、カスタムボードの機能に影響を及ぼす可能性があります。
2. インターフェイス信号を外部入力に直接接続する場合の外部 ESD 保護

7.5 オンボード同期通信インターフェイス (MCSPi、MCASP、I2C)

7.5.1 マルチチャネル シリアル ペリフェラル インターフェイス (MCSPi) およびオーディオ ペリフェラル - マルチチャネルオーディオ シリアル ポート (MCASP)

注

プロセッサ ペリフェラル (MCAN、MCSPi、MCASP、I2C) は、複数のピンに同じ機能を持つ信号を接続する実装しており、信号は IOSET としてグループ化されています。カスタム ボード設計で適切な IOSET (グループ化信号) を確認して使用することを推奨します。インターフェイスのタイミング クロージャは IOSET に基づきます。

マルチチャネル シリアル ペリフェラル インターフェイス (MCSPi):

図 7-10 には、MCSPi インターフェイスの図が記載されています。この図には、プロセッサ クロック出力ピンの近くに配置された直列抵抗、装着されているデバイスの近くに配置されたプルダウン、装着されたデバイス付近の ICS のプルアップ、フローティング可能なデータ インターフェイス信号 (IO) のためのオプションのプルが含まれています。

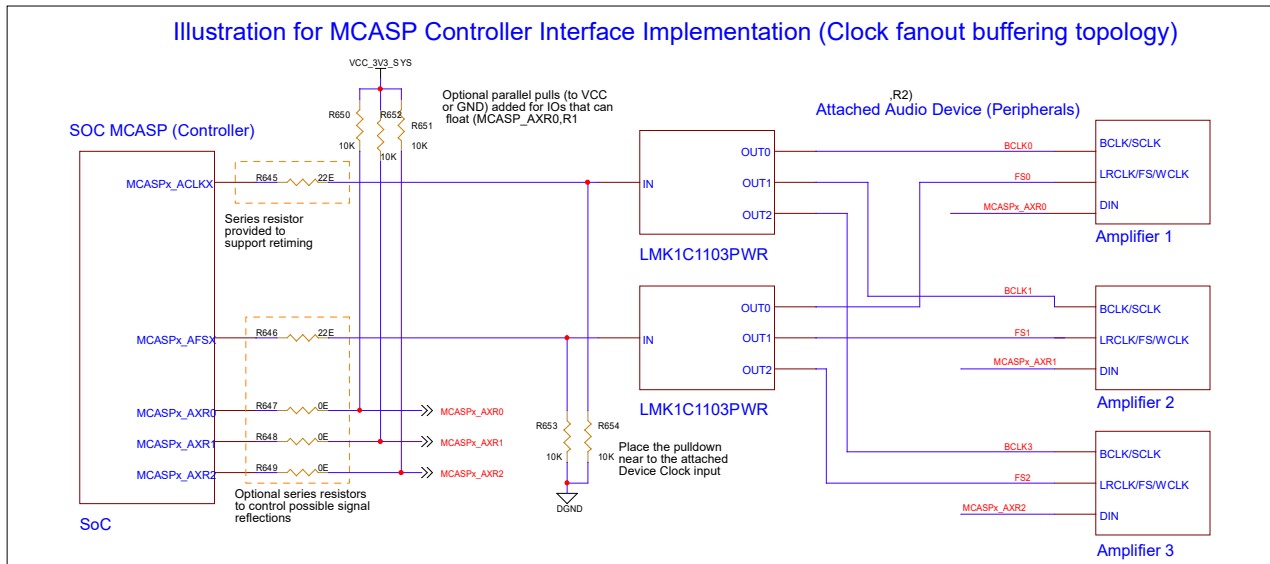
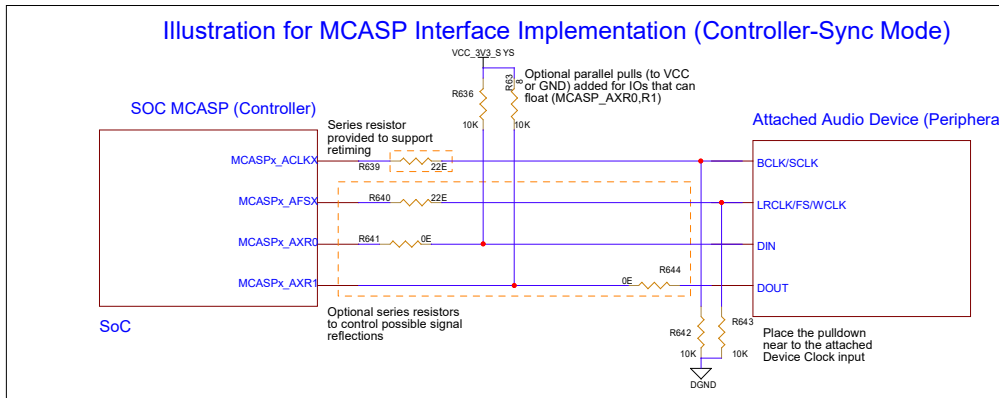
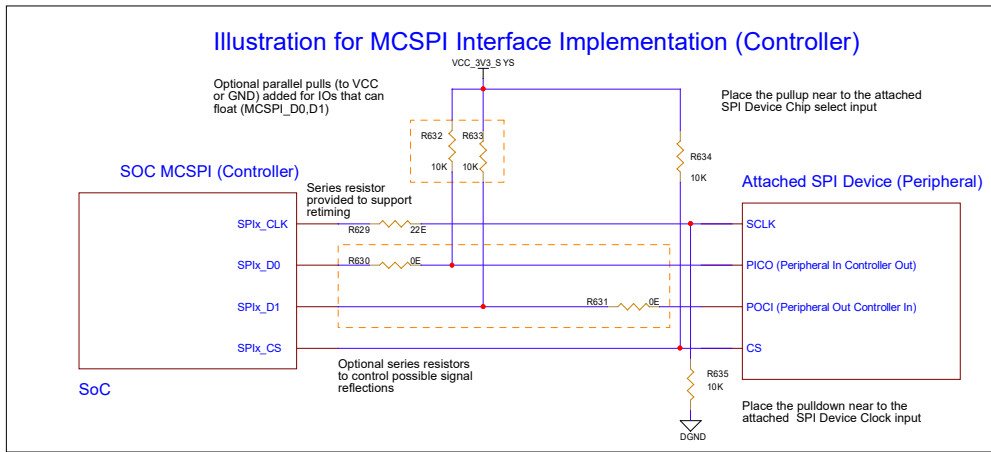


図 7-10. SPI インターフェイスの図 (汎用)

このプロセッサ ファミリーは、MCSPI の x4 (4) (x4 MAIN ドメイン) インスタンスをサポートしています。MCSPI モジュールは、マルチチャネル送信 / 受信、同期シリアルバスで、コントローラ モードまたはパシフェラル モードで動作できます。コントローラ モードでは、プロセッサの SPI インターフェイスは、装着されたデバイスにクロックを供給します。パシフェラル モードでは、装着されたデバイスは SPI クロックをプロセッサに供給する必要があります。

MCSPi クロックの出力信号には、直列抵抗 22Ω を (開始点として) 推奨します。この抵抗は、プロセッサのクロック出力ピン (リタイミングに使用) の近くに配置することを推奨します。接続されているデバイスのクロック入力ピン付近にプルダウン ($10k\Omega$) を配置することを推奨します。接続されているデバイス付近のチップ セレクト (CS) ピンにはプルアップ ($10k\Omega$) を推奨します。

MCSPi ペリフェラルはブートをサポートしていません。OSPI0 インターフェイスは SPI ブートをサポートしています。

MCSPi インターフェイスの場合は、SPIx_D0 と SPIx_D1 がデータラインです。このデータラインは、データ送信 (転送、出力) またはデータ受信 (受信、入力) のどちらかの目的での信号のプログラミングをサポートしています。

プロセッサ IO バッファは、リセット中やリセット後に (TX (出力) と RX (入力)、内部プル (プルアップとプルダウン)) がオフになります。プロセッサまたは装着されたデバイスのデータラインの場合は、フローティング可能な (接続されているデバイスの入力にホストによって駆動されるまでフローティングにならないようにするため) 並列プル ($10k\Omega$ または $47k\Omega$) を推奨します。

SPI インターフェイスを x1 (シングル) メモリ デバイスに接続することを推奨します。複数のメモリ デバイスに接続する場合は、高速設計手法に従い、シミュレーションを実行して、単一のクロックソースを複数の SPI 装着デバイスに接続する場合に、レイアウトによって非単調なクロック遷移が発生しないようにすることを推奨します。

以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] SK-AM64B:MCSPi 統合ガイド](#)

[\[FAQ\] AM6412:AM64x SPI D0 と D1 - MISO/MOSI](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリーにも使用できます。

オーディオ ペリフェラル - マルチチャンネル オーディオ シリアル ポート (MCASP):

図 7-11 に、MCASP インターフェイスの図を記載します。このインターフェイスには、プロセッサ クロック出力ピン付近の直列抵抗、装着されているデバイス付近のプルダウン、フローティング可能なデータ インターフェイス信号 (IO) のオプションのプルが含まれています。

この図は、複数の装着されているデバイス (スピーカまたはアンプ) に接続した場合のビット クロックとワード クロックのバッファリングも示しています。

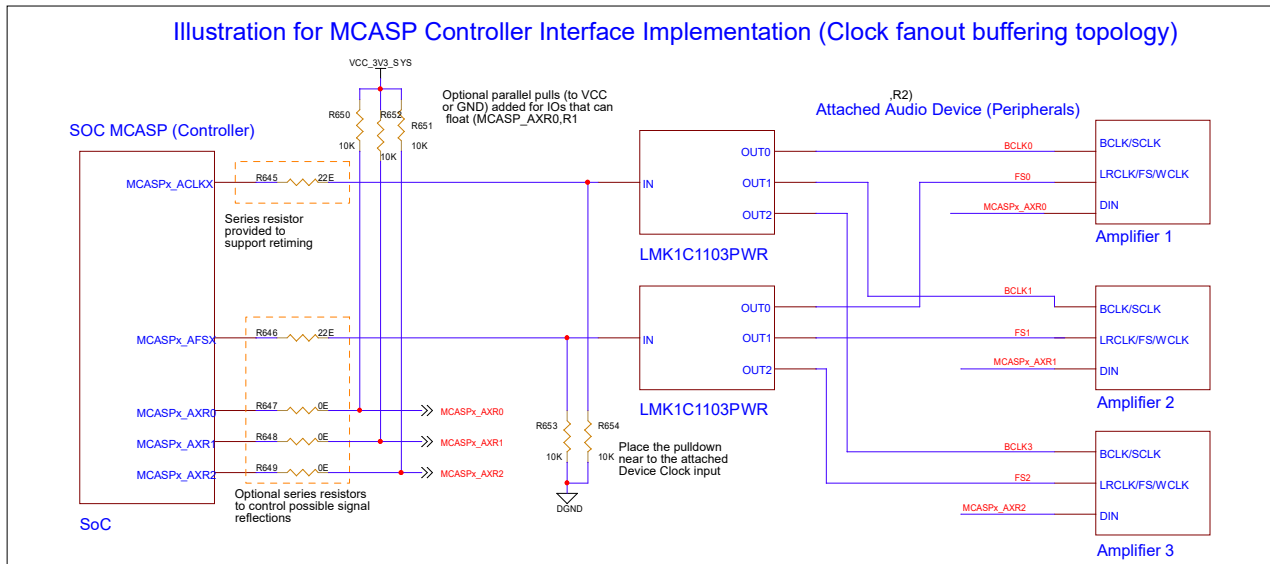
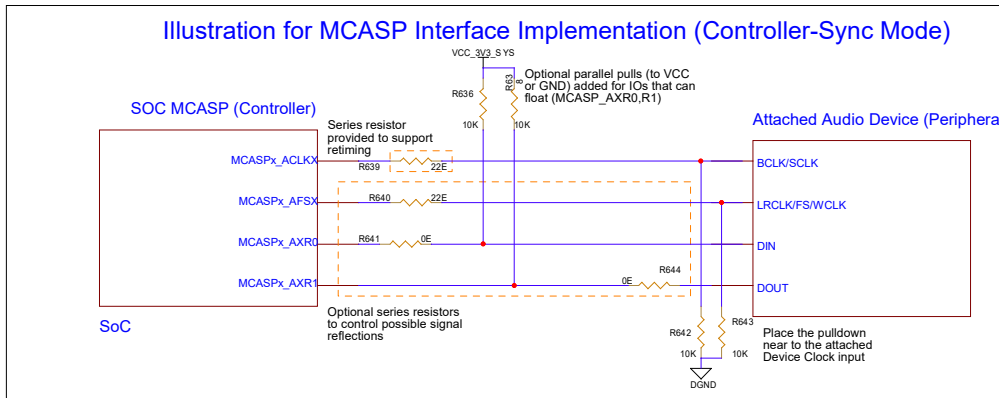
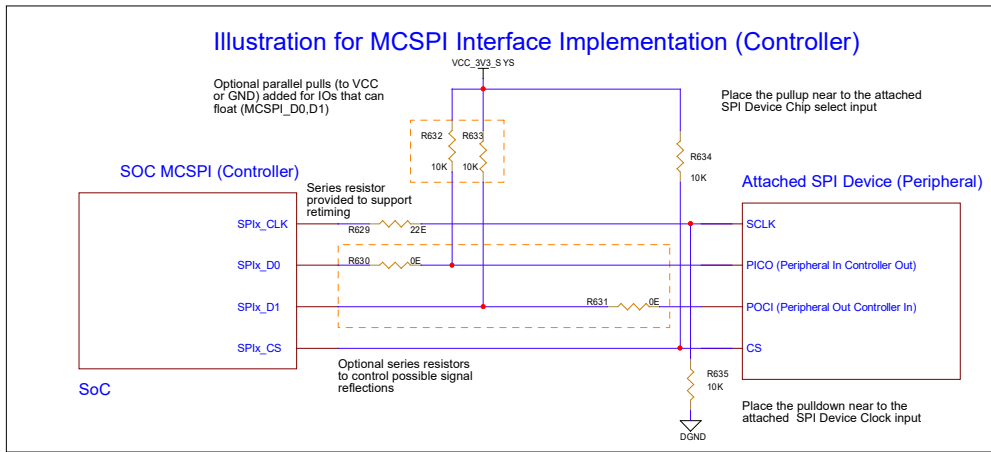


図 7-11. MCASPI インターフェイスの図 (汎用)

このプロセッサ ファミリーは、オーディオ ペリフェラル - マルチチャンネル オーディオ シリアル ポート (MCASP) の x3 (3) (x3 MAIN ドメイン) インスタンスをサポートしています。MCASP は、3 個の MCASP で最大 4/6/16 本のシリアル データ ピンをサポートしており、TX と RX の各クロックは独立しています。時分割多重化 (TDM)、IC 間サウンド (I2S)、および類似のフォーマットをサポートしています。MCASP クロック出力には、22Ω の直列抵抗を (開始点として) 推奨します。この抵抗は、プロセッサのクロック出力ピン (リタイミングに使用) の近くに配置することを推奨します。接続されているデバイスのクロック入力ピン付近にプルダウン (10kΩ) を配置することを推奨します。

プロセッサ IO バッファは、リセット中やリセット後に (TX (出力) と RX (入力)、内部プル (プルアップとプルダウン)) がオフになります。フローティング可能なプロセッサまたは装着されたデバイスのデータラインの場合は、(接続されているデバイス入力がホストによって駆動されるまでフローティングにならないようにするため) 並列プル (47k Ω) を推奨します。

MCASP は汎用オーディオ シリアル ポートとして機能し、各種オーディオ アプリケーションの要件に合わせて最適化されています。MCASP モジュールは、送信モードおよび受信モードで動作できます。MCASP は、時分割多重型 (TDM) ストリーム、I2S (Inter-IC Sound, IC 間サウンド) プロトコル、および DIT (コンポーネント間デジタル オーディオ インターフェイス送信) で役立ちます。MCASP には、Sony/Philips デジタルインターフェイス (S/PDIF) の送信物理層コンポーネントに直接接続できるという柔軟性があります。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62Ax / AM62Px / AM62D-Q1 / AM62L の設計上の推奨事項 / カスタムボードのハードウェア設計 - MCASP に関する質問](#)

7.5.1.1 MCSPI 信号と MCASP インターフェイス信号の接続

MCSPI インターフェイスの場合、クロック出力がリタイミングに使用されるため、SPI クロック出力信号 SPI0 ~ 3_CLK (MCSPI 0 ~ 3) のプロセッサ クロック出力ピンの近くに直列抵抗 (22 Ω) を設けることを推奨します (プロセッサ MCSPI はコントローラとして構成されています)。

レシーバクロック (受信ビットクロック) 出力信号 MCASP0..2_ACLKR および受信フレーム同期信号 MCASP0..2_AFSR (接続されているデバイスの近く) に直列抵抗 (0 Ω または 22 Ω) をあらかじめ準備しておくことを推奨します。フローティング可能なプロセッサ IO には、並列プルをあらかじめ準備しておくことが推奨されます。

データ インターフェイス信号については、フローティングにできるプロセッサまたは接続されたデバイスの IO に並列プルを推奨します。発生し得る信号反射を制御するため、ソースの近くに直列抵抗をあらかじめ準備しておくことを推奨します。

レシーバクロック (受信ビットクロック) 出力信号 MCASP0..2_ACLKR および受信フレーム同期信号 MCASP0..2_AFSR (接続されているデバイスの近く) に直列抵抗 (0 Ω または 22 Ω) をあらかじめ準備しておくことを推奨します。

データ インターフェイス信号については、フローティングにできるプロセッサまたは接続されたデバイスの IO に並列プルを推奨します。

発生し得る信号反射を制御するため、ソースの近くに直列抵抗をあらかじめ準備しておくことを推奨します。

レシーバクロック (受信ビットクロック) 出力信号 MCASP0..2_ACLKR および受信フレーム同期信号 MCASP0..2_AFSR (接続されているデバイスの近く) に直列抵抗 (0 Ω または 22 Ω) をあらかじめ準備しておくことを推奨します。

多数のプロセッサ IO (LVCMOS または SDIO) については、IO バッファ TX (出力) と RX (入力) がオフになり、リセット中およびリセット後に内部プル (プルアップおよびプルダウン) がオフになります。SPI チップ セレクト SPI0 ~ 3_CS0 ~ 3 (MCSPI 0 ~ 3) (接続されたデバイスの近く) に外部プルアップ (10k Ω) が備えられているかどうかを確認することを推奨します。プル (10k Ω または 47k Ω) を、プロセッサと、フローティングになり得る接続されているデバイスの信号 (データ インターフェイス — データ入力、データ出力) に追加することを推奨します (接続されているデバイスの入力をホストによって駆動されるまで既知の状態に保持します)。

2 つ (x2) 以上の接続されているデバイス (共通クロック接続 (BCLK、フレーム同期)、異なるデータ信号接続、同時に動作) を MCASP インターフェイスに接続できます。MCASP は、送信セクションと受信セクションが送信セクション クロック信号と送信フレーム同期信号と同期して動作するように構成できます。専用のシリアライザを使用する場合は、BCLK とフレーム同期をすべてのターゲット デバイスで同じにする必要があります。TDM を使用する場合は問題になりません。カスタム ボード設計時に、信号品質 / 信号の反射 (単一の MCASP クロック出力から複数の入力を駆動することによる信号反射) の可能性を考慮する必要があります。BCLK のバッファリングとフレーム同期は、取りうる方法の 1 つです。

MCASP 信号の接続については、以下のアプリケーション ノートに従ってください。

『[McASP 設計ガイド — ヒント、テクニック、および実践的な例](#)』

7.5.1.2 MCSPI インターフェイスのチェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「**すべてのセクションに共通のチェックリスト**」セクションを確認済み
2. タイミング特性とスイッチング特性、および利用可能なその他の情報。
3. インターフェイスの構成に使用する IO に実装されたバッファタイプに基づいて、接続された IO 電圧レベルを検証する
4. MCSPI インターフェイスの構成と信号の接続
5. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
6. プロセッサと装着デバイス間のペリフェラル データ インターフェイス信号の極性のマッチング (TX -> RX, DOUT から DIN、または類似の接続へのマッピングなど)
7. 値や配置など、プロセッサ ピンの近くに配置されたプロセッサ MCSPI インターフェイス クロック出力信号用の直列抵抗 22R のプロビジョニング
8. 装着されたデバイスの入力付近のクロック出力信号のプルダウン接続
9. ソースの近くに配置された MCSPI データ インターフェイス信号用の、オプションの直列抵抗のプロビジョニング
10. プルアップを含む、外部 SPI インターフェイスに接続されたデバイスのチップ セレクト接続
11. DIN および DOUT 機能用の MCSPI データ インターフェイス信号の構成
12. データ インターフェイス信号 (フローティング可能なプロセッサまたは装着されたデバイス入力) の並列プル接続
13. IO グループ用の IO 電源と、装着されたデバイス IO 電源の接続 (同じ電源に接続)
14. x1 を超える接続されたデバイスに接続する場合、インターフェイスの性能と信号の整合性に関する懸念事項
15. インターフェイスのフェイルセーフ動作
16. 必要なパルク キャパシタと高周波コンデンサ、および値の追加

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. インターフェイスの構成と推奨される接続 (信号の構成 (グループ化) のための IOSET に従うことを含む)
2. プロセッサ クロック出力ピン付近のクロック出力信号に 22Ω の直列抵抗を追加 (リタimingに使用)
3. インターフェイス信号 (テストや可能性がある信号反射の制御を目的として絶縁するため) に対する追加の直列抵抗 (0Ω) の配置
4. 対応する MCSPI インスタンスおよび信号に対する、プロセッサ VDDSHVx または VDDsx を基準とする (このプロセッサから電力供給される) プルアップ
5. プロセッサ VDDSHVx または VDDsx と接続されたデバイスの IO 電源が、同じ電源から供給されている
6. MCSPI ペリフェラルおよび接続されたデバイスの IO 電源を基準とする (ここから電力供給される) IO グループ VDDSHVx または VDDsx の IO 電源に接続された電源レールが ROC に準拠している
7. MCSPI インターフェイス用に構成されたすべての IO を対象にした、接続されたデバイスを Low 状態 (クロックが停止するか、または Low ロジック状態で一時停止し、プルダウン オプションがこのロジック状態と一致している場合) に保持するための MCSPI クロック (接続されたデバイスのクロック入力ピンの近く) 用のプルダウン (10kΩ) のプロビジョニング
8. SPI チップ セレクト SPI0...3_CS0..3 (MCSPI 0..3) (接続されたデバイス付近) の外部プルアップのプロビジョニングを実行。プロセッサおよび装着されたデバイスの信号 (データ インターフェイス - データ入出力) にプルを追加することを推奨します。この信号はフローティング可能です (ホストによって駆動されない限り、接続されているデバイス入力にフローティングにならないようにします)。プルアップ値 (10kΩ または 47kΩ) を使用できます。
9. プロセッサ SPIx データビット D0 および D1 ビット (データ方向) の構成が接続されたデバイスと一致しており、フローティング可能な信号に必要なプルが追加されている
10. プロセッサまたは接続された IO 用に、フローティング可能な並列プルを追加
11. 複数の装着されたデバイスに接続する場合、インターフェイスの性能 (速度、データ スループット、通信エラー) と信号の整合性関連の懸念事項が分析 (シミュレーション) されている

12. MCSPI インターフェイス信号はフェイルセーフではありません。入力、プロセッサの電源電圧が上昇した後にのみ印加することを推奨します

さらに

1. プロセッサ IO が (キャリア基板またはアドオン基板経由で) 外部インターフェイス信号またはコネクタに直接接続されている場合は、フェイルセーフ動作を確認することを推奨します。プロセッサの電源が上昇する前にプロセッサの MCSPI 入力に外部入力信号を印加すると、電圧フィードが発生し、カスタム基板の機能に影響を及ぼす可能性があります。
2. インターフェイス信号を外部入力に直接接続する場合の外部 ESD 保護。

7.5.1.3 MCASP インターフェイスのチェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. タイミング特性とスイッチング特性、および利用可能なその他の情報。
3. インターフェイスの構成に使用する IO に実装されたバッファタイプに基づいて、接続された IO 電圧レベルを検証する
4. MCASP インターフェイスの構成と信号の接続。
5. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
6. プロセッサと装着デバイス間のペリフェラル データ インターフェイス信号の極性のマッピング (TX -> RX, DOUT から DIN、または類似の接続へのマッピングなど)
7. 値や配置など、プロセッサ ピンの近くに配置されたプロセッサ クロック出力信号用の直列抵抗のプロビジョニング
8. 装着されたデバイスの入力付近のクロック出力信号のプルダウン接続
9. ソースの近くに配置された MCASP インターフェイス信号用の、オプションの直列抵抗のプロビジョニング。
10. データ インターフェイス信号 (フローティング可能なプロセッサまたは装着されたデバイス入力) の並列プル接続
11. IO グループ用の IO 電源と、装着されたデバイス IO 電源の接続 (同じ電源に接続)
12. インターフェイスの性能 (速度、データ スループット、通信エラー) と信号の整合性に関連する懸念事項。
13. 複数の装着されたデバイスに接続される場合の MCASP 信号の接続。
14. 複数のデバイスに接続する場合のクロック出力バッファリング
15. MCASP インターフェイスのフェイルセーフ動作。
16. 必要なバルク キャパシタと高周波コンデンサ、および値の追加

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. MCASP インターフェイスの構成と推奨される接続 (信号の構成 (グループ化) のための IOSET に従うことを含む)
2. プロセッサ クロック出力ピン (リタイミングに使用) の近くにクロック出力信号 (送信ビット クロック) に直列抵抗 (22Ω) を追加し、可能性がある信号反射を制御するためのプロセッサ クロック出力ピン付近の送信フレーム同期信号に対して 0Ω または 22Ω の直列抵抗をプロビジョニング
3. インターフェイス信号 (テストや可能性がある信号反射の制御を目的として絶縁するため) に対する直列抵抗の追加 (0Ω オプション) のプロビジョニング
4. MCASP インターフェイス用に構成されたすべての IO を対象にした、装着されたデバイスを Low 状態 (クロックが停止するか、または Low ロジック状態で一時停止し、プルダウン オプションがこのロジック状態と一致している場合) に保持するための MCASP クロック (装着されたデバイスのクロック入力ピンの近く) 用のプルダウン (10kΩ) のプロビジョニング

5. MCASP ペリフェラルおよび装着されたデバイスの IO 電源を基準とする (ここから電力供給される) IO グループ VDDSHVx または VDDsx の IO 電源に接続された電源レールは、同じ電源から電力を供給され、ROC に準拠している
6. 対応する MCASP インスタンスおよび信号に対する、プロセッサ VDDSHVx または VDDsx を基準とする (電力供給される) プルアップ
7. 接続されているデバイス付近で MCASP インターフェイス (送信または受信) を外部プルアップするためのプロビジョニングを実施。プロセッサおよび装着されたデバイスの信号 (データ インターフェイス - データ入出力) にプルを追加することを推奨します。この信号はフローティング可能です (ホストによって駆動されない限り、接続されているデバイス入力がフローティングにならないようにします)。使用するプルアップ値 (10kΩ または 47kΩ)
8. 複数の装着されたデバイスに接続する場合に、インターフェイスの性能 (速度、データ スループット、通信エラー) と信号の整合性関連の懸念事項が分析 (シミュレーション) されている
9. 複数の装着されたデバイスに接続される場合の MCASP 信号の接続。スタブを最小化するために、一般的な設計ガイドラインに従う
10. プロセッサまたは装着されたデバイスの IO 用に、フローティング可能な並列プルを追加
11. MCASP インターフェイス信号はフェイルセーフではありません。入力は、プロセッサの電源電圧が上昇した後にのみ印加することを推奨します

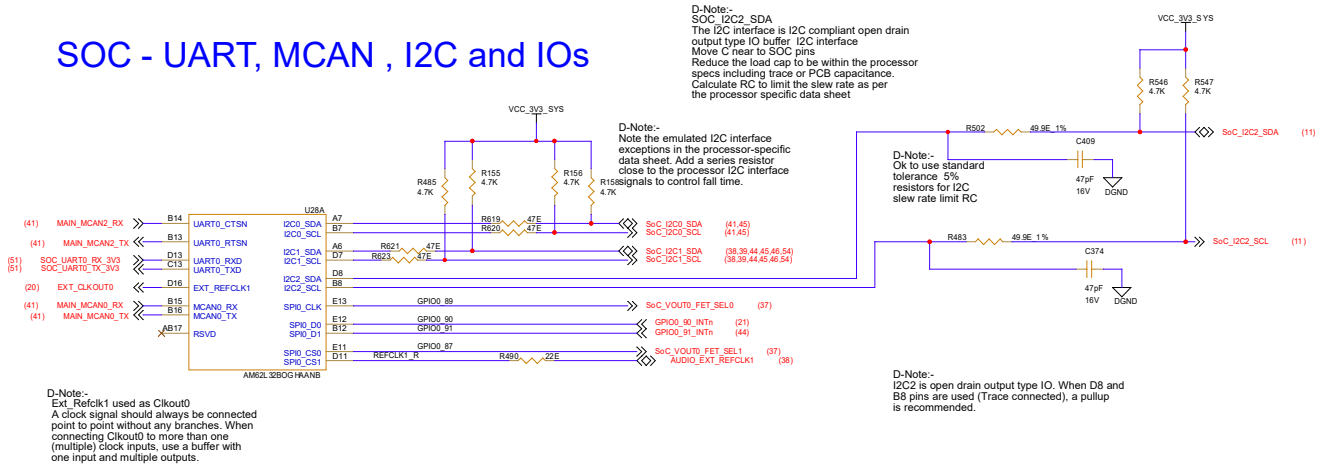
さらに

1. 外部信号に接続する場合は、フェイルセーフ動作を検証することを推奨します。プロセッサの電源が上昇する前にプロセッサの MCASP 入力に外部入力信号を印加すると、電圧フィードが発生し、カスタム基板機能に影響を及ぼす可能性があります。
2. 2 つ (x2) 以上のデバイス (共通クロック接続、異なるデータ信号接続、同時に動作) を MCASP インターフェイスに接続することがサポートされています。ビット クロック (送信ビット クロックおよび受信ビット クロック) を配線する場合は、適切なレイアウト手法または推奨されるレイアウト手法に従うことを推奨します。IBIS モデルを使用してシミュレーションを実行します。x2 デバイス (例: コーデックとアンプ) は同じフォーマット (TDM/I2S/その他) で動作させることを推奨します。また、コーデックとアンプは同じフォーマット (TDM/I2S/その他) で動作させることを推奨します。また、ワード サイズの設定はビット クロックおよびフレーム同期と同期します。
3. インターフェイス信号を外部入力に直接接続する場合の外部 ESD 保護。

7.5.2 I2C (Inter-Integrated Circuit)

図 7-12 には、オープンドレイン出力タイプ バッファ (I2C2) の I2C インターフェイス接続と、エミュレートされたオープンドレイン出力タイプ バッファ (I2C0、I2C1) の I2C インターフェイス接続が示されています。3.3V にプルする場合は、スレーブ制限のためにオープンドレイン I2C インターフェイスに RC が追加されます。エミュレートされたオープンドレイン I2C インターフェイス信号に直列抵抗を追加して、立ち下がり時間を制御します。

SOC - UART, MCAN , I2C and IOs



SOC- JTAG

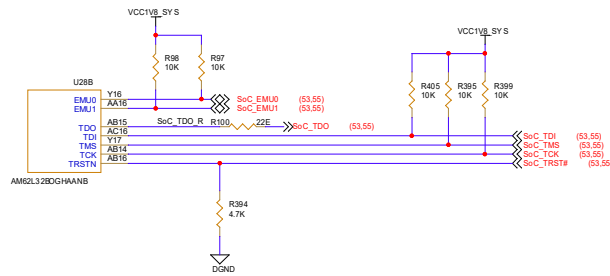


図 7-12. オープンドレインまたはエミュレートされたオープンドレイン

注

プロセッサ ペリフェラル (MCAN、MCSPi、MCASP、I2C) は、複数のピンに同じ機能を持つ信号を接続する実装をしており、信号は IOSET としてグループ化されています。カスタム ボード設計で適切な IOSET (グループ化信号) を確認して使用することを推奨します。インターフェイスのタイミング クロージャは IOSET に基づきます。

このプロセッサ ファミリーは、x5 (5 個) の I2C インターフェイスをサポートしています。内訳は、x1 (1 個) の I2C 準拠フェールセーフ オープンドレイン出力タイプ IO バッファ、および x4 (4 個) の LVCMOS バッファタイプ IO ベースのエミュレートされた I2C インターフェイスです。サポートされる I2C インターフェイスには、x4 の MAIN ドメイン I2C インターフェイスと、x1 の WKUP ドメイン I2C インターフェイスが含まれます。

アプリケーションで I2C バス仕様に完全準拠した I2C インターフェイスを必要とするかどうかを確認することを推奨します。I2C2 (「I2C OD FS」) バッファタイプでプロセッサ ピンを使用する場合のみ。例: ANB パッケージの B8、D8) はフェールセーフで真のオープンドレイン出力タイプ バッファであり、I2C 仕様に完全に準拠しています。オープンドレイン出力タイプタイプの I2C インターフェイスは、IO バッファ (インターフェイス) が 1.8V で動作する際に HS モード (最大 3.4Mbps) の動作をサポートできます。

注

オープンドレイン出力タイプ バッファ (I2C2) を持つ I2C インターフェイスでは、IO を使用する場合 (I2C インターフェイスの場合、または代替機能用に IO として構成されている場合)、外部プルを推奨します。オープンドレイン出力タイプ バッファ (I2C2) を持つ I2C インターフェイス信号は、使用しないときはオープンのままにできます (パターンを接続しません)。

LVC MOS IO を I2C 機能用に構成する場合は、プルアップ (4.7kΩ、テスト後に調整) を推奨します。プルアップは、できるだけ短いスタブで接続することを推奨します。

オープンドレイン出力タイプ バッファの I2C インターフェイスを 3.3V 電源にプルする場合、IO にはスルーレート要件が規定されています。スルーレートを制限するため、RC を使用することを推奨します。RC の実装 (C はプロセッサ ピンの近くに配置) については、評価基板 (EVM) 回路図を参照してください。

詳細については、「[電源レールから外部プルアップへの接続](#)」セクションを参照してください。

追加の I2C インターフェイスが必要な場合は、エミュレートされたオープンドレイン出力タイプ I2C インターフェイス I2C0、I2C1、I2C3、WKUP_I2C0、および I2C2 (I2C OD FS バッファタイプでプロセッサ ピンを使用する場合を除く) を使用します。エミュレートされたオープンドレイン出力 I2C インターフェイスは、I2C 仕様に完全には準拠しておらず、特に立ち下がりエッジは高速 (2ns 未満) です。

プロセッサ固有のデータシートの「タイミングおよびスイッチング特性、I2C」セクションの「例外」を確認することを推奨します。エミュレートされたオープンドレイン出力タイプバッファ I2C インターフェイスの例外に注意してください。エミュレートされたオープンドレイン タイプ バッファ (LVC MOS) I2C インターフェイスに接続される接続デバイスは、より高速な立ち下がり時間で正常に機能する必要があります。エミュレートされたオープンドレイン出力タイプ バッファ I2C インターフェイスは、100kHz および 400kHz での動作をサポートしています。IO が I2C インターフェイス用に構成されている場合は、プルアップを推奨します。プルアップは、可能な限り短いスタブで接続します。立ち下がり時間を制御するため、直列抵抗 (47Ω、テスト後に調整) を使用することを推奨します。この値はカスタム ボード設計によって異なるため、テスト中に最終決定することを推奨します。

詳細情報については、以下の FAQ (よくある質問) をご覧ください。

[\[FAQ\] AM62L \(AM62L32, AM62L31\) カスタム ボード ハードウェア設計 – I2C インターフェイス](#)

TI が提供するソフトウェアを使用する予定の場合は、PMIC 制御に WKUP_I2C0 インターフェイスが使用されるため、推奨されるプロセッサ I2C インターフェイスを PMIC に接続します。

注

プロセッサ固有のデータシートの「信号の説明」セクションを参照してください。I2C2 (I2C OD FS または LVC MOS バッファタイプをサポート) および I2C3 インターフェイスを使用する場合は、プロセッサ固有のデータシートの「タイミングおよびスイッチング特性、ペリフェラル、I2C」セクションに記載されている注記 (複数のピンに多重化可能) を参照してください。

注

カスタム ボード設計時に、プロセッサ固有のデータシートの「タイミングおよびスイッチング特性、I2C」セクションの「例外」を確認することを推奨します。エミュレートされたオープンドレイン出力タイプバッファ I2C インターフェイスの例外に注意してください。立ち下がり時間を制御するため、直列抵抗 (47Ω、テスト後に調整) を追加することを推奨します。

7.5.2.1 I2C (オープンドレイン出力タイプ IO バッファ) インターフェイス チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み
2. タイミング特性とスイッチング特性、および利用可能なその他の情報。
3. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
4. プロセッサと、接続されたデバイス間のペリフェラル データ インターフェイス信号の極性の一致 (例: データ、クロックなどの接続のマッピング)

5. オープンドレイン出力バッファタイプの I2C インターフェイス インスタンス (I2C2、LVCMOS バッファタイプを使用するように構成可能) のサポートと、複数の接続されたデバイスへの接続。
6. オープンドレイン出力バッファタイプの I2C インターフェイス構成、I2C インターフェイスのプルアップ要件、接続の推奨事項。
7. 3.3V 電源にプルされたときのスルーレート要件、およびスルーレート制御のための RC の接続 (C はプロセッサ ピンの近くに配置)。
8. 接続されたデバイスのアドレス入力の接続
9. オープンドレイン出力タイプ バッファ I2C インターフェイス フェイルセーフ動作のサポート
10. 必要なバルク キャパシタと高周波コンデンサ、および値の追加
11. インターフェイスを使用しない場合の、オープンドレイン出力タイプ I2C インターフェイスの接続に関する推奨事項。
12. Hs モードをサポートするためのプルアップの電圧接続 (1.8V にプルされる場合は最大 3.4Mbps をサポート)

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. I2C2 (「I2C OD FS」バッファタイプでプロセッサ ピンを使用する場合のみ。例: ANB パッケージ用の B8、D8) コントローラが、専用の I2C 準拠のオープンドレイン出力タイプ バッファを備えている。
2. プルアップは、IO が I2C インターフェイスまたは IO インターフェイスとして使用されている場合のみ必要です。IO を使用しない場合は、I2C インターフェイス信号を未接続のままにできます。
3. 評価基板 (EVM) の回路図実装との I2C インターフェイスに使用するプルアップ値を検証するか、負荷に基づいてプルアップ値を計算することを推奨します。I2C インターフェイスには、プルアップ (4.7kΩ、テスト後の調整) を推奨します。
4. 接続されている I2C プルアップ電源電圧が、フェイルセーフ IO に規定された定常状態の最大電圧に従っている。電源スレッシュホールドは、IO グループの IO 電源に接続されている電源電圧に依存します。
5. インターフェイスが 3.3V で動作 (プル) するときに入力スルーレートを制限するためのオープンドレイン出力タイプの IO バッファ用 RC。入力スルーレート制御用 RC が実装されている場合、プロセッサの I2C インターフェイスピンの近くにコンデンサを接続する。RC が I2C インターフェイス速度に及ぼす影響を確認し、必要に応じて RC を調整する。
6. I2C ペリフェラルおよび接続されたデバイスの IO 電源を基準とする (ここから電力供給される) IO グループ VDDSHVx または VDDsx の IO 電源に接続された電源レールは、同じ電源から電力を供給され、ROC に準拠している。
7. 接続されたデバイスのアドレス入力が、抵抗 (> 1kΩ) を介して IO 電源に接続されている。
8. プロセッサが複数の I2C インスタンスをサポートしている。いずれの I2C インターフェイスでも I2C アドレスの競合が発生していないことを確認することを推奨します。追加の I2C インターフェイスが必要な場合は、I2C スイッチを使用できます。

さらに

1. 設計段階においてプロセッサ固有のデータシートの「タイミングおよびスイッチング特性、I2C 例外」セクションを確認し、必要な回路を含めることを推奨します。
2. I2C バスは、バス上で最も低速なペリフェラルと同じ速度でのみ動作できます。より高速な動作が必要な場合は、低速なデバイスを別の I2C ポートに移動します。
3. I2C バスには、複数セットのプルアップ抵抗を配置しないことを推奨します。複数のプルアップにより過剰な負荷がかかり、誤動作が発生する可能性があります。設定されたバス速度に基づいてプルアップ値を調整します。
4. プロセッサの I2C IO に電力を供給する IO グループの IO 電源は、プルアップおよび接続されている I2C デバイスの IO 電源に使用される電源電圧と一致していることを確認することを推奨します。プルアップを適切な電源電圧に接続することで、I2C インターフェイスの誤動作を防ぐことができます。
5. I2C インターフェイスは、クロック ストレッチングをサポートしています。バス負荷や信号スルーレートにより、測定されたクロック周波数が設定周波数と一致しない場合は、プルアップを調整することを推奨します。

7.5.2.2 I2C (エミュレートされたオープンドレイン出力タイプ IO) インターフェイス チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「**すべてのセクションに共通のチェックリスト**」セクションを確認済み
2. タイミング特性とスイッチング特性、および利用可能なその他の情報。
3. インターフェイスの構成に使用する IO に実装されたバッファ タイプに基づいて、接続された IO 電圧レベルを検証する
4. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
5. プロセッサと、接続されたデバイス間のペリフェラル データ インターフェイス信号の極性の一致 (例: データ、クロックなどの接続のマッピング)
6. エミュレートされたオープンドレイン出力タイプ I2C インターフェイス インスタンス (I2C0、I2C1、I2C2 (選択されたピンが LVCMOS バッファ タイプをサポートしている場合)、I2C3、WKUP_I2C) のサポート、および複数の接続されたデバイスへの接続。
7. I2C インターフェイスでサポートされる IO 電源レベル (1.8V/3.3V または固定 1.8V) と接続電圧レベルとの関係
8. エミュレートされたオープンドレイン出力バッファ タイプ I2C インターフェイスのピン構成、I2C インターフェイスのプルアップに関する推奨事項と接続。
9. 接続されたデバイス アドレス入力の接続。
10. エミュレートされたオープンドレイン出力タイプ I2C インターフェイスの例外と、立ち下がり時間制御に関する接続の推奨事項 (直列抵抗)
11. エミュレートされたオープンドレイン出力タイプ I2C インターフェイスのフェイルセーフ動作
12. 必要なバルク キャパシタと高周波コンデンサ、および値の追加
13. インターフェイスを使用しない場合の、エミュレートされたオープンドレイン出力タイプ I2C インターフェイスの接続に関する推奨事項。

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. I2C インターフェイス構成と推奨される接続 (IOSET に従ったインターフェイス信号のグループ化を含む)。I2C インターフェイスのタイプとプルアップの要件。
2. IO が I2C インターフェイスとして構成されている場合は、プルアップ (4.7kΩ) を推奨します。
3. 評価基板 (EVM) の回路図実装との I2C インターフェイスに使用するプルアップ値を検証するか、負荷に基づいてプルアップ値を計算することを推奨します。I2C インターフェイスには、プルアップ (4.7kΩ、テスト後の調整) を推奨します。
4. プロセッサの VDDSHVx または VDDsx を基準とする (電力が供給される) プルアップである (I2C プルアップが正しい電圧に接続されている)。
5. I2C インターフェイスを使用しない場合、これらの IO は代替機能用に構成でき、プルは IO 機能に応じて異なります。
6. I2C ペリフェラルおよび接続されたデバイスの IO 電源を基準とする (ここから電力供給される) IO グループ VDDSHVx または VDDsx の IO 電源に接続された電源レールは、同じ電源から電力を供給され、ROC に準拠している。
7. プロセッサが複数の I2C インスタンスをサポートしている。いずれの I2C インターフェイスでも I2C アドレスの競合が発生していないことを確認することを推奨します。追加の I2C インターフェイスが必要な場合は、I2C スイッチを使用できます。
8. 接続されたデバイスのアドレスピンが、抵抗 (> 1kΩ) を介して IO 電源に接続されている。
9. エミュレートされたオープンドレイン出力タイプ I2C インターフェイスについては、プロセッサ固有のデータシートの「タイミングおよびスイッチング特性」セクションに記載されている I2C の例外に注意してください。立ち下がり時間を制御するため、プロセッサの I2C インターフェイス信号の近くに直列抵抗 (47Ω、テスト後に調整) を配置することを推奨します。

さらに

1. オープンドレイン出力タイプ IO をエミュレートする LVCMOS タイプの IO バッファは、I2C 仕様には完全には準拠していません。特に、立ち下がりエッジが高速 (2ns 未満) です。
2. 設計段階において、プロセッサ固有のデータシートの「タイミングおよびスイッチング特性、I2C の例外」セクションを確認することを推奨します。
3. I2C バスは、バス上で最も低速なペリフェラルと同じ速度でのみ動作できます。より高速な動作が必要な場合は、低速なデバイスを別の I2C ポートに移動します。
4. I2C バスには、複数セットのプルアップ抵抗を配置しないことを推奨します。複数のプルアップにより過剰な負荷がかかり、誤動作が発生する可能性があります。設定されたバス速度に基づいてプルアップ値を調整します。
5. プロセッサの I2C IO に電力を供給する IO グループの IO 電源は、プルアップおよび接続されている I2C デバイスの IO 電源に使用される電源電圧と一致していることを確認することを推奨します。プルアップを適切な電源電圧に接続することで、I2C インターフェイスの誤動作を防ぐことができます。
6. I2C インターフェイスは、クロック ストレッチングをサポートしています。バス負荷や信号スルーレートにより、測定されたクロック周波数が設定周波数と一致しない場合は、プルアップを調整することを推奨します。
7. フェイルセーフ インターフェイスのサポート (エミュレートされたオープンドレイン出力タイプの IO はフェイルセーフではないため、プロセッサの IO 電源がランプする前に外部入力を印加することは推奨しません)。外部インターフェイス信号に接続する場合、フェイルセーフ動作を確認することを推奨します。プロセッサの電源電圧上昇の前にプロセッサ I2C 入力に外部入力信号を印加すると、電圧供給を引き起こし、カスタム ボードの機能に影響を及ぼす可能性があります。

7.6 ユーザーインターフェイス (DPI、DSI)、GPIO、ハードウェア診断

7.6.1 ディスプレイ サブシステム (DSS)

注

このプロセッサ ファミリーは、DPI および DSI インターフェイスのピン配置 (ピン属性が定義済み) をサポートしています。プロセッサ (内部ハードウェア) は、MIPI DSI (x4 レーン D-PHY (DPHY)) または DPI (24 ビット RGB LVCMOS) ディスプレイ (外部) のいずれかを構成 (使用) できます。プロセッサのディスプレイ インターフェイスは、ブート時に選択する必要があります。

DPI インターフェイス信号と MIPI DSI インターフェイスのマッピングなど、DPI インターフェイスの詳細については、プロセッサ固有の TRM の「ディスプレイ サブシステムおよびペリフェラル」セクションを参照してください。

7.6.1.1 ディスプレイ パラレル インターフェイス (DPI)

BT656 などのサポートされているデータ フォーマットに関連する情報については、プロセッサ固有のデータシートと TRM を参照してください。

7.6.1.1.1 AM62Lx プロセッサ ファミリー

このプロセッサ ファミリーは、x1 24 ビット / ピクセル、RGB/YUV422 モード、LVCMOS 出力、DPI (パラレル) ディスプレイ インターフェイス インスタンスに対応しています。

DPI 用のスペクトラム拡散クロック処理のサポートについては、『AM62x、AM62Ax、AM62Px、AM62Lx スペクトラム拡散クロック処理』アプリケーション ノートを参照してください。

DPI の詳細については、次の FAQ を参照してください。

[\[FAQ\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP カスタム ボード ハードウェア設計 — ディスプレイ パラレル インターフェイス \(DPI\) 24 ビット RGB ディスプレイ インターフェイス](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリーにも使用できます。

7.6.1.1.1.1 IO の電源

プロセッサ DPI インターフェイスは、VDDSHV0 電源レール (GPMC IO グループの IO 電源) から給電されます。

7.6.1.1.1.2 接続

ディスプレイ (RGB) 接続の確認。

DPI ディスプレイ インターフェイスは、12、16、18、24 ビットの RGB アクティブ マトリクス ディスプレイに対応しています。16 ビット データを 18 ビット パネル (BGR565 ~ BGR666) に接続する場合は、LCD モジュール入力の D0 ~ D4 を B1 ~ B5 に、LCD モジュール入力の D5 ~ D10 を G0 ~ G5 に、LCD モジュール入力コネクタの D11 ~ D15 を R1 ~ R5 に接続することを推奨します。18 ビット インターフェイスの場合、LCD モジュールの入力側で、B0 を B5 に、R0 を R5 に、R0 を R5 に接続することを推奨します。

7.6.1.1.1.3 DPI (接続されたデバイス) のリセット

2 入力 AND ロジックを使用して接続されたデバイスのリセット (LCD モジュール) を実装することを推奨します。AND ロジックは、ローカルリセット (接続されたデバイスが応答なくなり、パワー サイクルなしでリセットする必要がある場合) を含むすべてのプロセッサリセット条件下で接続されたデバイスをリセットできる柔軟性を提供します。プロセッサ GPIO (LCD モジュールのローカルリセットに使用) は、AND ゲートへの入力の 1 つとして接続され、AND ロジックの AND ゲート入力の近くにプルアップ (10kΩ または 47kΩ) (プルアップがイネーブル) と、テストまたはデバッグのために GPIO 出力を分離するための 0Ω 抵抗が配置されています。AND ゲートへのもう一方の入力は、MAIN ドメインのウォームリセット ステータス出力 (RESETSTATz) です。

プロセッサ MAIN ドメインのウォームリセット ステータス出力 (RESETSTATz) を直接使用して (接続して)、DPI (接続されたデバイス) をリセットする場合、RESETSTATz の IO 電圧レベルを接続されたデバイスと一致させることを推奨します。IO レベルと一致させるために、レベルトランスレータを使用することを推奨します。抵抗デバイダの最適な値が選択されている場合は、代わりに抵抗デバイスをレベルシフトに使用することもできます。抵抗デバイダの値が大きすぎると、DPI リセット入力に接続されたプロセッサ IO の立ち上がり / 立ち下がり時間が遅くなり、遅延が発生する可能性があります。デバイダとして低すぎる抵抗値を使用すると、プロセッサが通常動作時に過剰な定常電流を供給する原因となります。

7.6.1.1.1.4 DPI 信号の接続

VOUT0_PCLK (ピクセルクロック出力) には、直列抵抗 (0Ω) を接続できるようにしておくことを推奨します (想定される信号反射を制御するため、プロセッサ クロック出力ピンの近くに配置します)。スペースに制約がない場合、その他のすべての制御信号およびデータ信号についても、プロセッサ ピンの近くに直列抵抗 (0Ω) を追加することを推奨します。

7.6.1.1.1.5 電源レール用コンデンサ

VDDSHV0 (DPI インターフェイス信号を基準とする (この信号から電力供給されている) 電源レール) 電源レールおよび装着されたデバイスの場合は、バルクおよびデカップリング コンデンサが提供されていることを確認する (推奨が利用できる場合は推奨されるコンデンサを使用するか、関連する評価基板の実装に従います) ことを推奨します。

推奨事項が利用できない場合は、プロセッサ固有の評価基板の実装に従うことを推奨します。

7.6.1.1.1.6 DPI (VOUT0) ペリフェラル チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. 接続されたデバイスへのプロセッサの DPI 信号のマッピングと接続
3. カスタム ボード上で、プロセッサのピン (ボール番号) を必要な機能 (ペリフェラル、信号名) にマッピングし (選択したピンは、必要な機能のための IO のマルチプレクサに対応)、標準的なペリフェラルを使用する場合は、プロセッサのデータシートのピン属性にある信号名列に基づいて信号名を命名する。
4. プロセッサと、接続されたデバイス間のペリフェラル データ インターフェイス信号の極性の一致 (例: RGB 信号 (D0 ~ D7)、クロック、制御などの接続のマッピング)
5. プロセッサ ピン付近に、プロセッサのピクセルクロック出力信号用の直列抵抗を追加する
6. プロセッサ ピン付近に、DPI ディスプレイ インターフェイス制御とデータ インターフェイス信号用の直列抵抗を追加する
7. 接続されたデバイスのリセット ロジックの実装
8. 外部 ESD 保護機能の提供

9. 必要なバルク キャパシタと高周波コンデンサ、および接続されるデバイスの値の追加

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. 接続デバイス (RGB ディスプレイ) に対するプロセッサの DPI ピンのマッピング、およびディスプレイ制御信号を含むインターフェイス信号の接続。
2. DPI ペリフェラルに対応する IO グループ VDDSHV0 の IO 電源に接続される電源レール、および接続先デバイスの IO 電源が ROC に準拠していること。
3. DPI IO 電源のデカップリング コンデンサについては、該当する評価基板 (EVM) と比較することを推奨します。
4. プロセッサのクロック出力ピン PCLK 付近のクロック出力信号用の直列抵抗 (0Ω) の接続 (信号反射の可能性を制御するため)。
5. ディスプレイ インターフェイスの DPI 制御信号とデータ インターフェイス信号用の直列抵抗は任意です。スペースに制約がない場合は、直列抵抗を追加することを推奨します。
6. 2 入力 AND ロジックを使用して、接続されたデバイス (LCD モジュール) リセットを実装することを推奨します。プロセッサ GPIO は、AND ゲートへの入力の 1 つとして接続され、AND ゲート入力の近くにプルアップまたはプルダウン (プルアップが有効) 機能と、テストまたはデバッグのために GPIO 出力を絶縁するための 0Ω 抵抗を設けます。AND ゲートへのもう一方の入力は、MAIN ドメインのウォーム リセット ステータス出力 (RESETSTATz) です。
7. (使用事例に基づいて) 外部 ESD 保護対策を行うことを推奨します。

7.6.1.2 ディスプレイ シリアル インターフェイス (DSI)

7.6.1.2.1 AM62Lx プロセッサ ファミリ

このプロセッサ ファミリは、x4 (4 つの) データ レーンと x1 (1 つの) クロック レーンでディスプレイ インターフェイスをサポートしています。

サポート対象のディスプレイ解像度については、プロセッサ固有のデータシートを参照してください。

7.6.1.2.1.1 使用される DSITX0 ペリフェラル

プロセッサ DSITX0 インターフェイスは、VDDA_CORE_DSI および VDDA_CORE_DSI_CLK、ならびに DSITX0 1.8V アナログ電源 VDDA_1P8_DSI を基準として動作します (電力供給されます)。

DSI0_TXRCALIB (プロセッサの近く) と VSS の間に並列抵抗を接続することを推奨します。推奨される抵抗値と許容誤差については、プロセッサ固有のデータシートを参照してください。

接続されているデバイスをリセットする必要がある場合は、DPIO 接続先デバイスのリセット実装に従うことを推奨します。

次の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 設計に関する推奨事項 / カスタム ボード ハードウェア設計 - 受動部品の値、許容誤差、電圧定格に関する問い合わせ](#)

7.6.1.2.1.1.1 DSITX0 ペリフェラル チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「[すべてのセクションに共通のチェックリスト](#)」セクションを確認済み。
2. 接続されたデバイスへの DSITX0 インターフェイス信号の接続。
3. プロセッサと、接続されたデバイス間のペリフェラル データ インターフェイス信号の極性の一致 (例: DSI0 クロック、データなどの接続のマッピング)
4. 推奨される外部キャリブレーション抵抗 DSI0_TXRCALIB の接続。
5. DSITX0 コア、DSITX0 クロック コア、DSITX0 アナログ電源の接続
6. 必要なバルク キャパシタと高周波コンデンサ、および接続されるデバイスの値の追加
7. 接続されたデバイスのリセット ロジックの実装
8. DSITX0 インターフェイス信号を使用しない場合の接続

9. 一部のレーンを使用しない場合の DSITX0 インターフェイス信号の接続
10. DSITX0 インターフェイスを使用しない場合、かつバウンダリ スキャンが実装されている場合、DSITX0 コア、DSITX0 クロック コア、DSITX0 アナログ電源の接続
11. DSITX0 インターフェイスを使用しない場合、かつバウンダリ スキャンが実装されていない場合、DSITX0 コア、DSITX0 クロック コア、DSITX0 アナログ電源の接続
12. 外部 ESD 保護機能の提供

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. 極性を含む、DSITX0 ペリフェラル信号と接続先デバイスとの接続。
2. DSIO_TXRCALIB ピンとグラウンドへの $499\Omega \pm 1\%$ の抵抗の接続。
3. DSITX0 ペリフェラルを使用する場合、DSITX0 アナログおよびコア電源に使用するフェライトとコンデンサ。評価基板 (EVM) 回路図に従っていること。
4. DSITX0 ペリフェラル電源レールおよび接続先デバイスの IO 電源に接続される電源レールは、ROC に準拠した同一電源から供給されていること。
5. DSITX0 ペリフェラルを使用せず、バウンダリ スキャン機能が必要な場合、ピン接続要件に従っていること。DSITX0 インターフェイスを使用せず、バウンダリ スキャン機能が必要な場合、IO キャリブレーション抵抗を DNI にすることができます。
6. DSITX0 ペリフェラルを使用せず、バウンダリ スキャン機能を必要としない場合、ピン接続要件に従っていること。

さらに

1. (使用事例に基づいて) 外部 ESD 保護対策を行うことを推奨します。
2. 差動信号と差動インピーダンス値は、マーキング (オプション) (100 Ω) を含めることを推奨します。

7.6.1.2.1.2 DSITX0 ペリフェラル接続 (未使用時)

DSITX0 ペリフェラルを使用しない場合、インターフェイス信号および電源に特定の接続要件があります。

DSITX0 ペリフェラル信号、電源 (コアおよびアナログ) の接続については、プロセッサ固有のデータシートの「ピン接続要件」セクションを参照してください。

バウンダリ スキャン機能を使用する場合、DSITX0 電源 (VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_1P8_DSI) を推奨電源レールに接続することを推奨します。電源ピンのデカップリング コンデンサを推奨します。バルク キャパシタとフェライトはオプションです。

バウンダリ スキャン機能を使用せず、DSITX0 インターフェイスを使用しない場合、DSITX0 電源 (VDDA_CORE_DSI、VDDA_CORE_DSI_CLK、VDDA_1P8_DSI) を個別の 0 Ω 抵抗を介して VSS に接続することを推奨します。デカップリング コンデンサ、バルク キャパシタ、フェライトを実装することは推奨されません。

7.6.2 汎用入出力 (GPIO)

注

プロセッサ IO の接続については、プロセッサ固有のデータシートの「ピン接続要件」セクションの末尾にある注記を参照してください。

このプロセッサ ファミリーは、MAIN ドメインで x1 の汎用入出力 GPIO モジュール インスタンス (GPIO0)、ウェークアップ ドメインで x1 GPIO モジュールインスタンス (WKUP_GPIO0) をサポートしています。GPIO モジュールは、入力または出力として構成可能な信号 (ピン) をサポートしています。出力として構成すると、ソフトウェアは内部レジスタに書き込みを行い、出力ピンの状態を制御できます。入力として構成すると、ソフトウェアは内部レジスタを読み取ることで、入力の状態を読み取ることができます。さらに、GPIO ペリフェラルは、さまざまな割り込み / イベント生成モードで、ホスト CPU 割り込みイベントおよび DMA 同期イベントを生成できます。プロセッサ固有のデータシートの「ピン属性」および「信号説明」セクションには、LVCMOS および SDIO IO バッファタイプをサポートする GPIO (プッシュプル出力タイプ) として構成で

きるプロセッサ ピンに関する情報が記載されています。プロセッサでサポートされている他のタイプの IO についても、「ピン属性」セクションに記載されています。

以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62Ax / AM62Px / AM62D-Q1 / AM62L / AM64x / AM243x 設計上の推奨事項 / カスタム ボード ハードウェア設計 — GPIO に関する質問](#)

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62Ax / AM62D-Q1 / AM62Px / AM64x / AM243x 設計上の推奨事項 / カスタム ボード ハードウェア設計時によく発生するエラー – LVCMOS 入力ヒステリシスに関連する質問](#)

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 設計上の推奨事項 / カスタム ボード ハードウェア設計 — データシートのピン属性とピン接続に関連する質問](#)

7.6.2.1 プロセッサ GPIO での CLKOUT の利用可能性

WKUP_OSC0_XO のバッファされた出力は、WKUP_CLKOUT0 で構成できます。

7.6.2.2 GPIO の接続と外部バッファの追加

直列抵抗を追加することを推奨します (使用事例によって異なる値を使用し、プロセッサ固有のデータシートに従って電流を制限します)。より大きな電流 (必須) を消費する負荷 (プロセッサ固有のデータシートの値を上回る) がプロセッサ GPIO に接続されている場合、負荷に接続する前にプロセッサ IO をバッファリングすることを推奨します。

一般的なプロセッサ LVCMOS IO インターフェイスのガイドライン:

1. プロセッサ IO の数はフェイルセーフではありません。プロセッサの電源電圧を上昇させる前に、外部入力を印加しないことを推奨します
2. プロセッサ LVCMOS IO にはスルーレート要件が規定されており、低速上昇入力の印加や、入力でのコンデンサの接続は推奨しません
3. LVCMOS IO 出力に 22pF を超える容量性負荷を接続することは推奨しません。コンデンサを設置しないか、または使用事例に基づいてシミュレーションを実行します。
4. リセット中やリセット後に、プロセッサ IO バッファ (TX (出力) と RX (入力) および内部プル抵抗 (プルアップとプルダウン)) はオフになります。フローティングになり得るプロセッサ IO が駆動する装着デバイスの近くに、並列プルの設置を推奨します (ホストが駆動するまで装着デバイスの入力がフローティングするのを防ぎます)。
5. パターンが接続されており、かつアクティブに駆動されていないプロセッサ IO (Pad) には、並列プル抵抗 (47kΩ) を推奨します。並列プル抵抗を追加できない場合は、ノイズの多い信号からパターンの経路を離してください
6. 代替機能として構成可能なプロセッサ IO を、電源やグラウンドに直接接続することは、許可あるいは推奨しません (ブートモード入力を含みます)。カスタム基板は、ファームウェアに構成の問題が発生する可能性があり、入力を意図した LVCMOS IO を誤って構成し、代わりにロジック High で駆動する出力としてしまうことがあります。
7. プロセッサ出力のコンデンサ負荷 (接続されるコンデンサ値が (使用事例に依存しますが最大で) 22pF を超える場合、シミュレーションを推奨します)、入力信号のスルーレート (LVCMOS 入力スルーは 1000ns 以下であること) を確認します
8. プロセッサ IO (入力) と装着したデバイス IO (出力) との間の IO レベルの互換性を確認することを推奨します。
9. 外部 IO をプロセッサ入力に直接接続する場合に備え、外部 ESD 保護機能を装備しています
10. すべての IO に対して、PADCONFIG レジスタの ST_EN ビットがイネーブルであることを確認します
11. プロセッサ IO に使用するプルアップまたはプルダウン値が 4.7kΩ を上回ることを確認します
12. プロセッサ IO にプルアップまたはプルダウンのいずれかを実装していることを確認します。プルアップやプルダウンを確保する場合は、抵抗をトライパッドとして配置します

7.6.2.3 追加情報

未使用 IO のピン (またはパッド) は、特に記述のない限り未接続のままにできます。多くの IO にはパッド構成レジスタがあり、IO 機能の構成を制御できます (各 `conf_<モジュール>_<ピン>` レジスタの `RXENABLE` フィールド)。詳細については、プロセッサ固有の TRM の「コントロール モジュール」の章を参照してください。ソフトウェアでは、早期の初期化の一環として、設計で使用されていない IO 受信バッファを無効化 (`RXENABLE=0`) できます。関連するピンがフローティング状態のときに、ソフトウェアが (`RXENABLE` ビットを設定して) IO のレシーバを予期せず有効にしないようにすることを推奨します。

注

未使用ピン (またはペリフェラル) の構成に関するガイダンスについては、プロセッサ固有のデータシートの「ピン接続要件」セクションを参照することを推奨します。

注

PADCONFIG レジスタ ビット構成 — ST_EN:

ソフトウェアで PADCONFIG レジスタを変更する場合は、ST_EN ビットを有効にしておくことを推奨します。各「電気的特性」表に定義されている入力スルーレートの最小パラメータは、長期的な信頼性に関連しています。これらのパラメータは ST_EN ビットとは関係ありません。入力バッファに実装されているシュミットトリガ機能は、ヒステリシスを超えないノイズ パルスをフィルタリングすることで、入力バッファの出力結果のみを変化させます。シュミットトリガ機能では、プロセッサ固有のデータシートで定義されているよりも低速なスルーレートをアプリケーションが IO 入力に適用した場合、入力バッファの動作方法は変化しません。

注

IO の構成に関するガイダンスについては、プロセッサ固有の TRM の「パッド構成レジスタ」セクションを参照してください。

注

特定のペリフェラルと GPIO は、デバウンス機能に対応しています。プロセッサ固有のデータシートの「信号の説明」セクションで、ペリフェラルまたは GPIO のデバウンス機能に関連する注記を確認することを推奨します。

未使用のプロセッサ ペリフェラルと IO の接続の詳細については、次の FAQ を参照してください。

[\[FAQ\] AM625/AM623/AM620-Q1/AM62L/AM62A/AM62D-Q1/AM62P 設計上の推奨事項 / カスタム ボード ハードウェア設計時に一般的に観測されるエラー — 未使用時の SOC ペリフェラルと IO の接続](#)

プロセッサのピン (使用済み / 未使用) とペリフェラルの接続については、次の FAQ を参照してください。

[\[FAQ\] AM62x, AM62Ax, AM62D-Q1, AM62L, AM62Px, AM64x, AM243x, カスタム ボード ハードウェア設計 — 使用済み / 未使用のピン / ペリフェラルの取り扱い方法と、プルアップまたはプルダウンを追加する方法\(例: GPIO、SERDES、USB、CSI、MMC \(eMMC、SD カード\)、CSI、OLDI、DSI、CAP_VDDsx、.....\)](#)

プロセッサ GPIO の使用時には、プロセッサ固有のデータシートの「接続要件」セクションの最後にある注記を参照してください。

7.6.2.4 GPIO チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み。
2. IO グループの IO プルアップおよび IO 電源への電源接続 (VDDSHVx、VDDsx、VDDs_WKUP、VDDs_RTC を基準とする (電力が供給される) すべての IO ピンを同じ電圧レベルに接続)。バッファ タイプおよびサポートされる電圧レベル (1.8V/3.3V または固定 1.8V)
3. インターフェイスの構成に使用する IO に実装されたバッファ タイプに基づいて、接続された IO 電圧レベルを検証する
4. 外部から印加される入力との IO レベルの互換性。
5. 必要な IO 機能に基づいて、関連する PADCONFIG レジスタが構成されている
6. プロセッサ固有のデータシートに従った LVCMOS (SDIO) 入力スルーレート、入力へのコンデンサの接続、またはプロセッサ IO の出力へのコンデンサの接続。

7. プロセッサ IO の電源または VSS への直接接続
8. 複数の IO の直接接続
9. IO の電流シンクまたはソースが、プロセッサ固有のデータシートの推奨事項に従っている。
10. IO インターフェイスの一般的な使用事例の 1 つは、表示用 LED の駆動です。カスタム ボード設計者は、LED のソース電流またはシンク電流、プロセッサの IO 電圧レベルへの影響を確認し、電流を調整することを推奨します。
11. 連続電流の引き込みが予想される場合は、外部 FET またはトランジスタ ベースのスイッチを使用して LED を駆動することを推奨します。
12. LVCMOS (SDIO) IO のフェイルセーフ動作

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. 各 IO には、IO セルへの電力供給に使用される、関連した電源電圧があります (VDDSHVx、VDDsx、VDDs_WKUP、VDDs_RTC)。VDDsx または VDDs_WKUP は、1.8V 電源ソースに接続することを推奨します。VDDSHVx に 3.3V (1.8V) 電源が供給される場合、VDDSHVx レールを基準とする (電力供給される) すべての IO は、3.3V (1.8V) レベルで接続 (動作) することを推奨します。
2. プロセッサ IO に接続されているすべてのプルアップの電源電圧が、IO グループの対応する IO 電源 (VDDSHVx、VDDsx、VDDs_WKUP または VDDs_RTC) に印加される電圧と一致している。信号を別の IO 電圧にプルすると、電圧リーケージ (残留電圧) が発生する可能性があります。
3. IO グループの IO 電源 VDDSHVx、VDDsx、VDDs_WKUP、VDDs_RTC を基準とする (電力が供給される) GPIO グループに接続される電源レール、および外部入力または GPIO プルアップ電圧レベルが、ROC に従っている。
4. プロセッサ IO を電源または VSS に直接接続することは推奨されず、許可されません (ブート モード入力を含む)。カスタム ボード設計者がファームウェアでエラーを起こし、入力として意図された LVCMOS GPIO を誤って構成し、ロジック High を駆動する出力としてしまう可能性があります。
5. アドオン ボード、キャリア ボード、または外部入力から外部印加される入力は、外部コネクタを介して IO に直接接続されるため、IO レベルの互換性を確認する (外部 ESD 保護を追加する)。
6. フローティング状態になる可能性があるプロセッサ (または接続されたデバイス) の IO に対して、外部プルを追加する (ホストによって駆動されるまで、接続されたデバイスの入力がフローティングにならないようにするため)。
7. プロセッサの LVCMOS 入力に印加される入力信号が、プロセッサ固有のデータシートに従ったスルーレート要件を満たしている。入力にコンデンサを直接接続すると、信号スルーが増加する可能性があるため、推奨されません。
8. 接続されたデバイスの制御または有効化のために、コンデンサ負荷をプロセッサ出力に直接接続することは許可されません。GPIO の出力に 22pF を超えるコンデンサ負荷 (ブレース ホルダ) を使用する場合、シミュレーションを行うことを推奨します。
9. 多くのプロセッサ IO はフェイルセーフではありません。IO グループの IO 電源 VDDSHVx、VDDs、VDDs_WKUP、VDDs_RTC がランプする前に、プロセッサ IO に外部入力電圧を印加することは許可されません (フェイルセーフ IO を除く)。
10. 複数の IO を互いに直接短絡することは推奨されません。IO を電源またはグラウンドに直接接続することは推奨されません。

さらに

1. IO に直接接続される外部入力に対して、外部 ESD 保護機能を実装する。
2. 一般的なプロセッサ LVCMOS IO インターフェイスのガイドラインについては、「GPIO の接続と外部バッファの追加」ユーザー ガイドを参照してください。多くのプロセッサ IO (LVCMOS、SDIO) はフェイルセーフではありません。プロセッサの電源電圧が上昇する前に、外部入力を印加しないことを推奨します。
3. プロセッサ IO にはスルーレート要件が規定されています。低速ランプ入力を印加すること、または入力に直接コンデンサを接続することは推奨されません。
4. 出力に 22pF を超えるコンデンサ負荷 (ブレース ホルダ) を接続することは推奨されません。DNI コンデンサを使用するか、(使用事例に基づいて) シミュレーションを実行してください。
5. プロセッサ IO バッファは、リセット中やリセット後に (TX (出力) と RX (入力)、内部プル (プルアップとプルダウン)) がオフになります。接続されたデバイスが、フローティング状態になる可能性があるプロセッサ IO によって駆動される場

合は、プルを推奨します (ホストによって駆動されるまで、接続されたデバイスの入力フローティングにならないようにするため)。

6. パターンが接続されており、アクティブに駆動されていないプロセッサ IO (パッド) には、パラレル プル (47kΩ) を推奨します。プルを追加できない場合は、ノイズの多い信号から離してパターンを配線することを推奨します。プロセッサ IO バッファ (TX (出力)、RX (入力)、および内部プル (プルアップおよびプルダウン)) は、リセット中およびリセット後にオフになります。フローティング状態になる可能性がある接続されたデバイスの入力を既知の状態に保持するため、接続されたデバイスの近くにプルアップ (47kΩ) を配置することを推奨します。
7. 外部信号に接続した場合のフェイルセーフ動作。プロセッサの電源がランプする前にプロセッサの GPIO 入力に外部入力信号を印加すると、電圧フィードが発生し、ボード性能に影響を及ぼすことがあります。
8. IO を外部インターフェイス信号に直接接続する場合は、外部 ESD 保護機能を実装することを推奨します。
9. フェイルセーフ IO には、PORz、I2C2 (I2C OD FS バッファ タイプのプロセッサ ピンを使用する場合のみ。例: ANB パッケージの B8、D8、EXTINTn、USBn_VBUS (n = 0 ~ 1)) が含まれます。ただし、USBn_VBUS は、プロセッサ固有のデータシートで推奨されている VBUS 分圧器を使用する場合に限ります。

7.6.3 オンボード ハードウェア診断

7.6.3.1 内部温度監視

このプロセッサは、WKUP ドメインにある 1 つの VTM モジュールである (単一温度センサ temp0 をサポートする) WKUP_VTM0 をサポートしています。センサ temp0 のアナログ電源は、VDDA_PLL0 (PLL アナログ電源) が供給します。

VTM モジュールは、オンチップ温度センサを制御して、電圧と熱管理をサポートします。

温度センサはプロセッサ上の指定のホットスポットにあります。Linux のオンダイ温度センサを読み出し、熱管理を行うことを推奨します。『E2E のスレッド』を参照してください。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62Ax / AM62D-Q1 / AM62Px / AM62L / AM64x / AM243x \(ALV, ALX\) カスタム基板ハードウェア設計 – 電圧と熱マネージャ \(VTM\)](#)

7.6.3.1.1 内部温度監視チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. 温度センサ temp0 電源ピンへの推奨電源の接続
3. temp0 センサのアナログ電源ピンへのフィルタ コンデンサの追加

7.7 A/D コンバータ (ADC)

このプロセッサ ファミリーは、x1 12 ビット A/D コンバータ (ADC0)、最大 2MSPS のサンプリング レート、x4 (4 つの) アナログ入力 (時間多重化) に対応しています。

許容される ADC0 の入力範囲、電気的特性とサンプリング レートについては、プロセッサ固有のデータシートの「ADC の電気的特性」セクションを参照してください。ADC0_REFP と ADC0_REFN は、プロセッサ内の VDDA_ADC0 と VSS に直接接続されています。

7.7.1 使用時の ADC0 の接続

プロセッサ固有のデータシートに従って、ADC0 アナログ電源である VDDA_ADC0 を推奨の電源レールに接続することを推奨します。

ADC0 を使用する前に、プロセッサ固有のデータシートの「信号の説明、ADC、MAIN ドメイン」表の最後に追加された注記に従うことを推奨します。

注

ADC0 入力フェイルセーフではありません。プロセッサの VDDA_ADC0 電源が上昇する前に、ADC0 入力のいずれかに電圧を印加することは推奨も許容もされません。(入力レベルに従って) 印加された入力は、プロセッサの電源レールに残留電圧をもたらす可能性があり、ボードの起動に問題が生じることがあります。プロセッサ固有のデータシートの「絶対最大定格」表を参照してください。プロセッサ電源の上昇前に使用可能となる電源レールを監視する必要がある場合は、これらの入力をスイッチ経由で ADC0 に接続することを推奨します。このスイッチは、プロセッサの GPIO、または PMIC などのいずれかの電源からのパワー グッド信号で制御できます。

7.7.2 未使用時の ADC0 の接続

ADC0 全体を使用しないときには、ADC0 入力と ADC0 電源レールに固有の接続要件があります。ADC0 入力のいずれかを使用しない場合は、未使用の入力に対して固有の接続要件があります。

ADC0 入力、アナログ電源ピンの接続については、プロセッサ固有のデータシートの「ピン接続要件」セクションを参照してください。

ADC0 を使用しない場合、ADC0 入力とプロセッサのアナログ電源ピンを、個別の 0Ω 抵抗を介して VSS に接続することを推奨します。この規定は、将来の拡張または強化のためのものであり、オプションです。

7.7.3 ADC0 チェックリスト

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. ADC 機能をサポートするプロセッサ OPN の選択
3. ADC0 アナログ電源 VDDA_ADC0 の接続 (ADC0_REFP と ADC0_REFN は VDDA_ADC0 と VSS に内部で直接接続)
4. 入力範囲やフィルタ追加の準備を含めたアナログ入力の接続
5. アナログ入力と ADC0 電源のフィルタリングとデカップリング コンデンサ
6. ADC0 の一部または全体を使用しない場合の ADC0 入力の接続
7. ADC 入力のフェイルセーフ動作

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. ADC0 機能に対応するプロセッサ型番の選択を確認する
2. プロセッサ固有のデータシートに従って ADC0 アナログ電源を接続し、ROC に追従させる。(ADC0_REFP と ADC0_REFN は、プロセッサ内の VDDA_ADC0 と VSS に直接接続されています)
3. 印加されるアナログ入力電圧範囲が、データシートの入力電圧範囲の仕様の範囲内である
4. ADC0 電源およびアナログ入力に必要なフィルタおよびデカップリング コンデンサの接続 (評価基板の実装に従うことを推奨します)
5. ADC0 の一部または全体を使用しない場合の ADC 入力接続については、ピン接続要件を参照する

さらに

1. ADC0 入力はフェイルセーフではありません。ADC0 電源が上昇する前に、入力を印加しないことを推奨します。ADC0 電源が上昇する前に ADC0 入力を使用可能となる場合、プロセッサ電源またはプロセッサ IO によって制御されるスイッチを介して ADC0 入力を接続します。

7.8 評価基板固有の回路実装 (再利用)

以下に示す評価基板実装の一部を再利用する場合:

- DPI から HDMI へ
- オーディオ コーデック
- FT4232 UART TO USB ブリッジ
- XDS110 デバッガ
- CPSW3G RGMII または RMII – EPHY
- M.2 インターフェイス – SDIO
- 電流監視デバイス
- USB TYPE-C PD コントローラと電源

以下の FAQ に従うことを推奨します。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x/ AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 設計上の推奨事項 / カスタム基板ハードウェア設計 – 以下に示す SK 固有の実装をカスタム基板設計に再使用するためのガイドライン](#)

7.9 カスタム基板起動中に基板レベルのテストを実施

7.9.1 PinMux ツールを使用したプロセッサのピン構成

TI の [SysConfig-PinMux](#) ツールを使用し、プロセッサ ペリフェラルおよび IO の構成を検証して、有効な IOSET が構成されているように留意することを推奨します。

詳細については次のアプリケーション ノートを参照してください。

[MCU+SDK を使用した SysConfig による開発の迅速化](#)

詳細については、SysConfig-PinMux ツールに用意された PinmuxConfigSummary.csv ファイルをご覧ください。

7.9.2 回路図構成

代替機能用に提供されている回路オプションや、基板の通常の機能時に DNI にする必要があるテスト (部品を実装すると、カスタム基板性能に影響を及ぼす可能性がある) がカスタム基板設計において DNI とマークされていて、基板に電力を供給する前に基板に実装されていないことを検証することを推奨します。

7.9.3 電源レールの外部プルアップへの接続

プロセッサの IO プルアップを別の IO 電源レール / 動作電圧に接続し、その電圧が IO グループが基準とする IO グループの IO 電源の電圧レベルに一致しない場合、IO レールの電圧リーケージが発生し、カスタム基板の性能やプロセッサの信頼性に影響を及ぼす可能性があります。各信号には、IO グループの IO 電源が関連付けられています (VDDSHVx、VDDsx、VDDs_WKUP、VDDs_RTC など)。詳細については、プロセッサ固有のデータシートの「ピン属性」表を参照してください。

たとえば、GPIO MUX モード (GPIO0_0) で SPI0_CLK 信号をプルアップするには、IO グループ VDDs1 の IO 電源に接続した電源レールに外部プルアップを接続します。

7.9.4 ペリフェラル (サブシステム) クロック出力

クロック出力を備えたすべてのプロセッサ ペリフェラルに対して、適切な CTRLMMR_PADCONFIGx レジスタの RXACTIVE ビットを構成することを推奨します。クロック出力を正常に動作させるには、ビットの構成が必要です。

7.9.5 一般的なボード立ち上げおよびデバッグ

ボード立ち上げを開始する前のボード立ち上げのヒントとして、以下を確認します。

- カスタム ボード上に組み立てられているプロセッサ (選択した OPN)、接続デバイス、その他の部品 (受動部品) が、設計 (カスタム ボード回路図とカスタム ボード設計要件) に一致している
- 組み立て済みボードについて、BOM に従って部品実装が検査されている (SK または評価基板 (EVM) 回路図、あるいはカスタム ボード回路図で「DNI」とマークされた部品が実装 (設置) されていないことを確認する)。
- 組み立て済みボードについて、組み立て状態 (部品の半田付けと半田付け作業品質) が検査されている。
- カスタム ボード電源が接続され、プロセッサ電源がランプして安定するまでは、プロセッサ入力に外部入力が接続されない。

次の FAQ (よくある質問) を参照してください。

[\[FAQ\] Sitara デバイスのボード立ち上げのヒント \(AM64x, AM243x, AM62x, AM62L, AM62Ax, AM62D-Q1, AM62Px\)](#)

7.9.5.1 基板の起動、テスト、デバッグ用のクロック出力

以下のクロック出力は、テストおよびデバッグのみを目的としてプロセッサで利用できます。

WKUP_SYSCLOCKOUT0

WKUP_PLL0_HSDIV0_CLKOUT (PER_SYSCLOCK0) は 4 で分周され、WKUP_SYSCLOCKOUT0 という名前のある特定のピンに接続されます。このクロック出力は、テストまたはデバッグのみを目的として提供されています。

SYSCLOCKOUT0

MAIN_PLL0_HSDIV0_CLKOUT (MAIN_SYSCLOCK0) は 4 で分周され、SYSCLOCKOUT0 という名前のある特定のピンに接続されます。このクロック出力は、テストとデバッグのみを目的として提供されています。

WKUP_OBSCLK0

この出力は、WKUP_OBSCLK_OUTMUX を使用して WKUP_HFOSC0 からの直接出力を選択すれば、機能クロックソースとしてのみ使用できます。

この出力は、他のクロックソースを選択すれば、テストおよびデバッグの目的でのみ使用できます。

OBSCCLKn [n = 0-1]

監視クロックの出力は、OBSCCLK0_CTRL を使用して WKUP_HFOSC0 からの直接出力を選択すれば、機能クロックソースとしてのみ使用できます。

これらの出力は、他のクロックソースを選択すれば、テストおよびデバッグの目的でのみ使用できます。

指定された OBSCCLK0、OBSCCLK1、WKUP_OBSCLK0、WKUP_SYSCLOCKOUT0 および SYSCLOCKOUT0 のプロセッサピンで実行可能な場合は、TP と並列プル (10kΩ または 47kΩ) を配置することを推奨します。

クロック出力ピンが代替機能用に構成されている場合は、パターンに TP を挿入し、接続されているデバイスからの信号を絶縁して、テストまたはデバッグを行うことを推奨します。

7.9.5.2 追加情報

未使用時のテストやデバッグに使用するため、PG 出力のテストポイントを設定することを推奨します。

アラート出力、過電流指示出力、または PG (パワー グッド) 出力を備えたオンボード接続デバイス (ディスクリート DC/DC、LDO、温度センサ、または電圧モニタ) の場合、テストまたは将来の機能拡張 (未使用の場合) のためにプルアップ (10kΩ) とテストポイントを設定することを推奨します。

7.9.5.3 一般的な基板の起動とデバッグ チェックリスト

総則

カスタム ボード回路図の設計について、以下を確認し、検証します。

1. デバッグに使用できる IO を代替機能から分離するための機能を追加することを推奨します
2. 初期のボード構築時のデバッグのために、UART0 インターフェイスを接続する機能を追加することを推奨します
3. フローティングにできる UART インターフェイス信号のプルを追加することを推奨します
4. JTAG インターフェイス信号用に、JTAG コネクタまたはテストポイントを追加することを推奨します
5. ピン接続要件に従って、プロセッサ JTAG インターフェイスピンの近くに JTAG インターフェイス信号と EMU0、EMU1 のプルを配置することを推奨します
6. UART および JTAG インターフェイス信号には、外部 ESD 保護機能を追加することを推奨します

回路図レビュー

カスタム回路図設計については、以下のリストに従ってください。

1. デバッグ UART への接続機能が提供されている (UART0、WKUP_UART0)
2. UART インターフェイス信号に必要なプルアップ抵抗と直列抵抗が提供されている
3. 外部インターフェイス信号をプロセッサの UART 信号に直接接続する場合、外部 ESD 保護機能が追加されている

さらに

1. UART を含む多くのプロセッサ IO はフェイルセーフではありません。外部入力、プロセッサの電圧が上昇した後にのみ接続することを推奨します
2. プロセッサ ボードの電源がオフになった場合には、外部インターフェイス信号を接続解除することを推奨します

以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] SK-AM62: 各 UART の用途](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリにも使用できます。

8 カスタム基板回路設計のセルフレビュー

注

カスタム ボード設計時は、『[AM62L \(AM62L32, AM62L31\) プロセッサ ファミリーを使用したカスタム ボード設計に関するハードウェア設計の検討事項](#)』ユーザー ガイドと、『[回路図設計ガイドラインと回路図レビュー チェックリスト](#)』ユーザー ガイドを参照することを推奨します。

必要な回路図の更新が完了した後 (ユーザー ガイド、評価基板または **SK** 回路図の実装、ハードウェア設計の検討事項に関するユーザー ガイド、TI.com のその他の資料に続いて)、カスタム基板設計の次の段階はセルフレビューを実施することです。セルフレビューは、ユーザーズ ガイドの各回路またはインターフェイスのセクションでの詳細な設計ガイドライン説明の最後に記載しているレビュー チェックリスト (全般、回路図レビュー、追加) に従って実行します。セルフレビューのための回路図レビュー チェックリストのセクションの例:

- プロセッサ コアとペリフェラル コア電源のチェックリスト
- 一般的な基板の起動とデバッグ チェックリスト

回路図レビュー チェックリストは、Excel 形式でも使用できます。チェックリストは以下の複数シートに分割しています。

- レビューするすべての回路図セクションへのリンクを記載した **Readme** ページ
- すべての回路図セクションを要約したコンテンツ表と、カスタム基板設計で使用できる **FAQ** やその他の関連資料へのリンク
- IO 電源接続と DDRSS インターフェイス (DDR4、LPDDR4)
- MMC0、MMC1、MMC2 のメモリ インターフェイス接続
- OSPI0 と GPMC のメモリ インターフェイス接続
- CPSW3G - イーサネット、USB0、USB1、UART、MCAN 用のペリフェラル (高速) インターフェイス接続
- MCSPI、MCASP、I2C 用のペリフェラル (同期) インターフェイス接続
- CSI-2、DPI、DSI、GPIO インターフェイス用のペリフェラル (ユーザー インターフェイス) インターフェイス接続
- プロセッサとプロセッサ ペリフェラルのコア電源、プロセッサのアナログと IO 向け電源、eFuse プログラミング用電源などのプロセッサ電源接続
- クロック入出力、リセット入出力、RTC 電源
- ブートモード構成
- 外部インターフェイス設計の一般的な推奨事項
- 電源アーキテクチャ - PMIC またはディスクリート

チェックリストには、各回路図セクションの図 (実例) と参照用の説明ラベルが含まれています。Excel を使用してセルフレビューを実行し、レビュー ステータスを入力して共有するか、ドキュメントを作成できます。

以下の **FAQ** には、カスタム基板回路図のセルフレビューを行う際に、基板設計者が活用できる関連資料とレビュー手順をリスト表記しています。

[\[FAQ\] AM62L \(AM62L32, AM62L31\) 設計上の推奨事項 / カスタム基板ハードウェア設計 - カスタム基板回路図のセルフレビュー](#)

以下のセクションに従ってください。

- **AM62L32, AM62L31** プロセッサ ファミリー回路設計チェックリストと一般ガイドラインおよび回路レビュー チェックリスト:
 - [AM62L32_AM62L31_Schematic_Design_Checklist_General_Guidelines](#)
 - [図付きカスタム基板回路図レビュー チェックリスト](#) - 上記のカスタム基板回路設計ガイドラインを読んだ後に使用することを推奨します

以下の **FAQ** に、過去に起こった一般的なエラーを示します (複数のお客様の回路図と複数の関連資料の参照に基づきます)。エラーのリストを読み、必要に応じてカスタム基板回路図を更新することを推奨します。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM62A / AM62P / AM62D-Q1 / AM64x / AM243x 設計上の推奨事項 / カスタム基板ハードウェア設計 - お客様の回路図レビュー中に発生したエラーのリスト](#)

9 カスタム ボードレイアウトに関する注記 (回路図セクション付近に追加) および一般的なガイドライン

カスタム ボード設計時のエラーを減らすため、プロセッサ、接続されたデバイス、その他のオンボード デバイスについて、必要な、または該当する設計注記を追加することを検討することを推奨します。プロセッサ メモリに必要な設計注記を追加することを推奨します (例: USB2.0 インターフェイス、イーサネット インターフェイス、eMMC、OSPI、SD カード、SDIO を含むディスプレイ (DSITX0) インターフェイス、および USB、MCSPi、MCASP など、使用されるその他のプロセッサ ペリフェラル)。カスタム ボードのブート モード構成、直列抵抗と並列抵抗の配置、デカップリング コンデンサとバルク キャパシタの配置についての注記を含めることを推奨します。

すべての差動信号、性能に影響を与える可能性のある重要な信号をマークし、(必要に応じて) ターゲット インピーダンスを指定することを推奨します。次の例を参照してください。

- USB2.0 データラインの差動インピーダンスは、公称値 90Ω に対して規定の許容範囲内であると想定されます。
- DSITX0 インターフェイス信号の差動インピーダンスは、公称値 100Ω に対して、規定の許容範囲内であると想定されます。

従うべき基板レイアウトのガイドラインについては、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625: 特定のペリフェラルの PCB パターンに関する推奨事項](#)

[\[FAQ\] AM625: MMC0 の PCB 接続要件](#)

[AM6442: MMCSD0 \(eMMC\) および MMCSD1 \(SD カード\) の PCB レイアウト ガイドライン](#)

これらの FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリの場合も使用できます。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x / AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 基板レイアウト - 一般的な高速レイアウト ガイドライン 関連文書へのリンク](#)

LVC MOS ボードの設計およびシミュレーションのガイドラインについては、以下のドキュメントを参照してください。

[高速パラレル インターフェイス向けのボード設計およびシミュレーションのガイドライン](#)

9.1 レイアウトに関する考慮事項

総則

カスタム回路図設計について、以下を確認し、検証します。

1. ユーザー ガイドの上記、「すべてのセクションに共通のチェックリスト」セクションを確認済み
2. カスタム ボード設計が、プロセッサ固有のデータシートの「タイミングおよびスイッチング特性」セクションにある「タイミング条件」表に定義されている PCB パターン遅延要件に準拠していることを確認することを推奨します
3. プロセッサ固有のデータシートの「アプリケーション、実装、およびレイアウト」セクションの関連セクションに従うことを推奨します
4. 一般的な高速ガイドラインに従うことを推奨します

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] AM625 / AM623 / AM620-Q1 / AM62L / AM64x / AM243x \(ALV\) / AM62Ax / AM62D-Q1 / AM62Px 基板レイアウト - 一般的な高速レイアウト ガイドライン 関連文書へのリンク](#)

10 カスタム ボード設計シミュレーション

接続されたメモリ (DDR4 または LPDDR4) のベースライン駆動インピーダンスと ODT 設定は、評価基板上で実行されるシグナル インテグリティ (SI) シミュレーションから導き出されます。

評価基板の回路図の実装とは構成値が異なる場合があるため、カスタム ボード設計でシミュレーションを実行し、値を確定することを推奨します。

シミュレーションを実行するには、以下の FAQ を参照できます。

[\[FAQ\] AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP/AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1/AM62L/AM62P/AM62P-Q1/AM64x/AM243x カスタム ボード ハードウェア設計 — IO バッファの S パラメータと IBIS モデル](#)

[\[FAQ\] AM64x, AM243x \(ALV\)、AM62x, AM62L, AM62Ax, AM62D-Q1, AM62Px 用の DDR IBIS モデルの使用](#)

高速 LPDDR4 インターフェイスのボード抽出、ボード シミュレーション、および分析手法の概要については、『[AM62x, AM62Lx DDR 基板の設計およびレイアウトのガイドライン](#)』アプリケーション ノートの「[LPDDR4 ボード設計シミュレーション](#)」の章を参照してください。

駆動能力は、SysConfig 上の [DDR レジスタ構成ツール](#) を使用して調整できます。

DDRSS レジスタ構成の詳細については、以下の FAQ を参照してください。

[\[FAQ\] AM62A7/AM62A3/AM62A1-Q1/AM62D-Q1 カスタム ボード ハードウェア設計 — プロセッサ DDR サブシステムとデバイスレジスタ構成](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリにも使用できます。

PDN パワー SI シミュレーションに関するクエリについては、次の FAQ を参照してください。

[\[FAQ\] AM62A3-Q1:AM62A3-Q1 PDN Power SI シミュレーションに関する質問](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリにも使用できます。

10.1 DDR-MARGIN-FW

DDR マージン ファームウェアとそのサポート スクリプトを使用すると、DDR インターフェイスのオンボードでのカスタム ボード マージンの視覚化と測定を実行できます。これらのツールを使用すると、重要なデータ信号のプローブを使わない測定を行い、カスタム ボード設計がインターフェイスの推奨設計ガイドラインに従っているかどうかを理解できます。

[DDR-MARGIN-FW — システムの DDR マージンを測定するファームウェアとスクリプト](#)

利用可能かについては、Ti.com でデバイス固有の ([AM62L](#)) 製品ページをご覧ください。

詳細情報については、以下の FAQ (よくある質問) を参照してください。

[\[FAQ\] PROCESSOR-SDK-AM62X:AM625/AM623/AM620-Q1/AM625-Q1/AM625SIP DDR マージン テスト ツールに関する質問](#)

FAQ (よくある質問) は汎用的なもので、AM62Lx プロセッサ ファミリにも使用できます。

11 その他の参考資料

その他の参考資料には、FAQ と、特定のプロセッサ向けの『カスタム ボード設計に関するハードウェア設計の検討事項』ドキュメントが含まれています。PMIC と EPHY を含む、接続デバイスの回路図。

11.1 AM64x, AM243x, AM62x, AM62Ax, AM62D-Q1, AM62Px, AM62Lx プロセッサ ファミリに関する FAQ (よくある質問)

以下の FAQ (よくある質問) では、カスタム ボード回路図設計およびカスタム ボード回路図レビューで参照できる主な関連資料をまとめています。

[\[FAQ\] AM64x, AM243x \(ALV, ALX\)、AM62x, AM62Ax, AM62Px, AM62D-Q1, AM62L カスタム ボード ハードウェア設計 — 回路図設計および回路図レビュー時における参照資料](#)

注

カスタム ボード回路図のレビューに、D-Notes および R-Notes 付きの評価基板 (EVM) PDF 回路図を使用する際は、追加情報として、回路図に追加されている FAQ リンクを参照することをお勧めします。

11.2 FAQ — プロセッサ製品ファミリ別および Sitara プロセッサ ファミリ

TI Sitara プロセッサのアプリケーションおよびシステム チームが、複数のカスタム ボード設計者とのやり取り、カスタム ボード設計者から寄せられたクエリ、さらに社内資料のレビューを通じて得た知見に基づき、FAQ を作成しました。この FAQ には、プロセッサの機能、プロセッサの電源と IO 接続、プロセッサのペリフェラルおよびインターフェイス、プロセッサ評価用 SK または評価基板、カスタム ボード設計レビューでよく見られるエラー、データシートとピン属性、よく寄せられる E2E クエリに関する内容 (詳細な説明や例示を含む) がまとめられており、カスタム ボード設計段階における設計者を支援することを目的としています。カスタム ボード設計時には、本 FAQ に加え、TI.com で提供されている『カスタム ボード設計に関するハードウェア設計の検討事項』、『回路図設計ガイドライン』、『回路図レビュー チェックリスト』などのその他の設計資料も参照してください。

AM62Lx プロセッサファミリ:

[\[FAQ\] AM62L \(AM62L32, AM62L31\) カスタム ボード ハードウェア設計 — プロセッサ関連資料、機能、ペリフェラル、インターフェイス、評価基板に関する FAQ](#)

AM62Px プロセッサファミリ:

[\[FAQ\] AM62P, AM62P-Q1 カスタム ボード ハードウェア設計 — プロセッサ関連資料、機能、ペリフェラル、インターフェイス、スタータキットに関する FAQ](#)

AM62Ax および AM62D-Q1 プロセッサ ファミリ:

[\[FAQ\] AM62A7 / AM62A7-Q1 / AM62A3 / AM62A3-Q1 / AM62A1-Q1 / AM62D-Q1 カスタム ボード ハードウェア設計 — プロセッサ関連資料、機能、ペリフェラル、インターフェイス、スタータキットに関する FAQ](#)

AM62x プロセッサ ファミリ:

[\[FAQ\] AM625, AM623, AM620-Q1, AM625-Q1, AM625SIP カスタム ボード ハードウェア設計 — プロセッサ関連資料、機能、ペリフェラル、インターフェイス、スタータキットに関する FAQ](#)

Sitara プロセッサ ファミリ:

[\[FAQ\] カスタム ボード ハードウェア設計 - すべての Sitara プロセッサ \(AM62x, AM62Ax, AM62D-Q1, AM62Px, AM62L, AM64x, AM243x, AM335x\) ファミリに関する FAQ \(よくある質問\) のマスタ \(完全\) リスト](#)

Sitara プロセッサ ファミリのソフトウェア関連の FAQ を含む、利用可能な FAQ 一覧については、次の FAQ を参照してください。

[\[FAQ\] AM6x: AM62x, AM62Ax, AM62D-Q1, AM62Px, AM62L, AM64x, AM24x, AM3x, AM4x Sitara デバイスに関する最新の FAQ \(よくある質問\)](#)

注

FAQ は頻繁に更新されています。最新の情報を入手するため、関心のある FAQ と FAQ のマスタ リストを定期的に確認することを推奨します。

11.3 回路図レビュー (セルフ) と回路図レビュー要求 (サプライヤ)

カスタム基板設計サイクルの一部として、設計のセルフレビューとチームレビューの実施を推奨します。必要に応じて、シリコン サプライヤとの外部レビューを計画できます。回路図レビューの要求に従うプロセスについては、サプライヤ独自の文書を確認してください。

回路図レビューの要求を TI に提出する必要がある場合、以下の FAQ に従うことを推奨します。

[\[FAQ\] Sitara MPU ハードウェア アプリケーションのサポート - 回路図レビューの要求](#)

11.4 プロセッサ接続デバイスのチェックリスト

[『イーサネット PHY の PCB 設計レイアウト チェックリスト』](#)

注

接続されているデバイスのデバイス固有の回路図レビュー チェックリストが [Ti.com](https://www.ti.com) で利用可能かどうかを確認し、利用可能なチェックリストを使用してカスタム ボード回路図実装を検証することを推奨します。

12 ユーザー ガイドの内容と使用方法の概要

ユーザー ガイドには、カスタム基板の回路設計中にカスタム基板設計者が参照できる回路設計ガイドラインが含まれています。ユーザー ガイドには、カスタム基板設計のレビューに使用する各ペリフェラル セクションの回路図レビュー チェックリストも掲載しています。ユーザー ガイドに記載している推奨事項をカスタム基板設計者が活用すれば、カスタム基板設計を最適化し、回路図のエラーを最小化し、カスタム基板の起動とデバッグ時間を短縮し、将来の基板の再アレンジを最小化できます。

13 参考資料

13.1 AM62L

- テキサス・インスツルメンツ:『[AM62Lx Sitara プロセッサ](#)』、データシート
- テキサス・インスツルメンツ:『[AM62L Sitara プロセッサ](#)』、テクニカル リファレンス マニュアル
- テキサス・インスツルメンツ:『[AM62Lx Sitara プロセッサ・シリコン エラッタ](#)』
- テキサス・インスツルメンツ:評価基板「[TMDS62LEVM](#)」、製品ページ
- テキサス・インスツルメンツ:『[AM62L \(AM62L32, AM62L31\) プロセッサ ファミリーを使用したカスタム ボード設計に関するハードウェア設計の検討事項](#)』、ユーザー ガイド
- テキサス・インスツルメンツ:『[AM62x, AM62Lx DDR ボード設計およびレイアウト ガイドライン](#)』、アプリケーション ノート
- テキサス・インスツルメンツ:『[PCB 設計の AM62Lx エスケープ ルーティング](#)』、アプリケーション ノート
- テキサス・インスツルメンツ:『[AM62L 最大電流定格](#)』、アプリケーション ノート
- テキサス・インスツルメンツ:『[AM62L 電源の実装](#)』、アプリケーション ノート
- テキサス・インスツルメンツ:『[AM62L 製品概要](#)』、アプリケーション ノート
- テキサス・インスツルメンツ:『[Sitara AM62Lx ベンチマーク](#)』、アプリケーション ノート
- テキサス・インスツルメンツ:『[AM625x/AM623x および AM62Lx ハードウェア移行ガイド](#)』、アプリケーション ノート
- テキサス・インスツルメンツ:『[高速パラレル インターフェイス向けボード設計およびシミュレーションのガイドライン](#)』、アプリケーション ノート
- テキサス インスツルメンツ、『[MCU+ SDK 用 xSPI カスタム フラッシュ デバッグ ガイド](#)』、アプリケーション ノート
- テキサス・インスツルメンツ:『[AM62x オーディオ システムの設計ガイド](#)』、アプリケーション ノート
- テキサス・インスツルメンツ:『[AM275x オーディオ システムの設計ガイド](#)』、アプリケーション ノート

13.2 AM62P、AM62P-Q1

- テキサス インスツルメンツ、『[AM62Px Sitara プロセッサ](#)』、データシート
- テキサス インスツルメンツ、『[AM62Px Sitara プロセッサ](#)』、テクニカル リファレンス マニュアル
- テキサス インスツルメンツ、『[AM62Px シリコン エラッタ](#)』
- テキサス インスツルメンツ、『[SK-AM62P-LP スタータ キット](#)』、製品ページ
- テキサス インスツルメンツ、『[AM62P, AM62P-Q1 プロセッサ ファミリーを使用したカスタム ボード設計に関するハードウェア設計の検討事項](#)』、ユーザー ガイド
- テキサス インスツルメンツ、『[AM62P 電力推定ツール](#)』、アプリケーション ノート
- テキサス インスツルメンツ、『[AM62Px デバイスへの電力供給のための PMIC](#)』、アプリケーション ノート
- テキサス インスツルメンツ、『[PCB 設計の AM62Px エスケープ ルーティング](#)』、アプリケーション ノート
- テキサス インスツルメンツ、『[AM62Ax, AM62Px, AM62Dx LPDDR4 ボード設計およびレイアウト ガイドライン](#)』、アプリケーション ノート
- テキサス インスツルメンツ、『[SK-AM62P-LP デザイン パッケージ フォルダおよびファイル リスト](#)』、製品概要
- テキサス インスツルメンツ、『[Sitara AM62P ベンチマーク](#)』、アプリケーション ノート
- テキサス インスツルメンツ、『[TPS6522430-Q1 および TPS6522230-Q1 PMIC を用いた Sitara AM62A/P/D\(-Q1\) 向け電源設計](#)』、アプリケーション ブリーフ

13.3 AM62A7、AM62A3、AM62A7-Q1、AM62A3-Q1、AM62A1-Q1

- テキサス インストルメンツ、[AM62Ax Sitara プロセッサデータシート](#)
- テキサス インストルメンツ、『[AM62Ax Sitara プロセッサ](#)』、テクニカル リファレンス マニュアル
- テキサス インストルメンツ、[AM62Ax シリコン エラッタ](#)
- テキサス インストルメンツ、[スタータ キット SK-AM62A-LP](#)、製品ページ
- テキサス インストルメンツ、『[AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1、AM62D-Q1 プロセッサ ファミリーを使用するカスタムボード設計に関するハードウェア設計の検討事項](#)』、ユーザー ガイド
- テキサス インストルメンツ、『[AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1、AM62D-Q1 プロセッサ ファミリー回路図設計ガイドラインおよび回路図レビュー チェックリスト](#)』、ユーザー ガイド
- テキサス インストルメンツ、『[AM62Ax 同期サンプル レート変換](#)』、アプリケーション ノート
- テキサス インストルメンツ、『[AM62Ax パワー推定ツール](#)』、アプリケーション ノート
- テキサス インストルメンツ、『[AM62Ax 用 PMIC ソリューション](#)』、製品概要
- テキサス インストルメンツ、『[AM62Px デバイスへの電力供給用 PMIC](#)』、製品概要
- テキサス インストルメンツ、『[PCB 設計用 AM62Ax/AM62Dx エスケープ ルーティング](#)』、ユーザー ガイド
- テキサス インストルメンツ、『[AM62Ax、AM62Px、AM62Dx LPDDR4 ボード設計およびレイアウト ガイドライン](#)』、アプリケーション ノート
- テキサス インストルメンツ、『[SK-AM62A-LP デザインパッケージフォルダおよびファイルリスト](#)』、製品概要
- テキサス インストルメンツ、『[Sitara AM62Ax ベンチマーク](#)』、アプリケーション ノート
- テキサス インストルメンツ、『[TPS6522430-Q1 および TPS6522230-Q1 PMIC を用いた Sitara AM62A/P/D\(-Q1\) 向け電源設計](#)』、アプリケーション ブリーフ

13.4 AM62D-Q1

- テキサス インストルメンツ、『[AM62Dx Sitara プロセッサ](#)』、データシート
- テキサス インストルメンツ、『[AM62Dx Sitara プロセッサ](#)』、テクニカル リファレンス マニュアル
- テキサス インストルメンツ、『[AM62Dx Sitara プロセッサ シリコン エラッタ、シリコン リビジョン 1.0](#)』
- テキサス インストルメンツ、『[AUDIO-AM62D-EVM](#)』、製品ページ
- テキサス インストルメンツ、『[AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1、AM62D-Q1 プロセッサ ファミリーを使用するカスタムボード設計に関するハードウェア設計の検討事項](#)』、ユーザー ガイド
- テキサス インストルメンツ、『[AM62A7、AM62A7-Q1、AM62A3、AM62A3-Q1、AM62A1-Q1、AM62D-Q1 プロセッサ ファミリー回路図設計ガイドラインおよび回路図レビュー チェックリスト](#)』、ユーザー ガイド
- テキサス インストルメンツ、『[AM62Ax 用 PMIC ソリューション](#)』、製品概要
- テキサス インストルメンツ、『[AM62Px デバイスへの電力供給用 PMIC](#)』、製品概要
- テキサス インストルメンツ、『[PCB 設計用 AM62Ax/AM62Dx エスケープ ルーティング](#)』、ユーザー ガイド
- テキサス インストルメンツ、『[AM62Ax、AM62Px、AM62Dx LPDDR4 ボード設計およびレイアウト ガイドライン](#)』、アプリケーション ノート
- テキサス インストルメンツ、『[Sitara AM62Dx ベンチマーク](#)』、アプリケーション ノート
- テキサス インストルメンツ、『[TPS6522430-Q1 および TPS6522230-Q1 PMIC を用いた Sitara AM62A/P/D\(-Q1\) 向け電源設計](#)』、アプリケーション ブリーフ

13.5 AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP

- テキサス インストルメンツ、『[AM62x Sitara プロセッサ](#)』、データシート
- テキサス インストルメンツ、『[AM625SIP — LPDDR4 SDRAM 内蔵 AM6254 Sitara プロセッサ](#)』、データシート
- テキサス インストルメンツ、『[AM62x Sitara プロセッサ](#)』、テクニカル リファレンス マニュアル
- テキサス インストルメンツ、『[AM62x シリコン エラッタ](#)』
- テキサス インストルメンツ、『[AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP プロセッサ ファミリーを使用するカスタムボード設計の際のハードウェア設計の検討事項](#)』、ユーザー ガイド
- テキサス インストルメンツ、『[AM625、AM623、AM620-Q1、AM625-Q1、AM625SIP プロセッサ ファミリー 回路図設計ガイドラインおよび回路図レビュー チェックリスト](#)』、ユーザー ガイド
- テキサス インストルメンツ、『[SK-AM62B-P1 スタータ キット](#)』、製品ページ
- テキサス インストルメンツ、『[SK-AM62B ディスクリート電源ソリューション用のスタータ キット](#)』、製品ページ
- テキサス インストルメンツ、『[SK-AM62-LP スタータ キット](#)』、製品ページ

- テキサス インストルメンツ、『SK-AM62-SIP スタータキット』、製品ページ
- テキサス インストルメンツ、『AM62x の消費電力』、アプリケーション ノート
- テキサス インストルメンツ、『AM62x 最大電流定格』、アプリケーション ノート
- テキサス インストルメンツ、『AM62x 電力推定ツール』、アプリケーション ノート
- テキサス インストルメンツ、『TPS65219 PMIC による AM62x の電源供給』、アプリケーション ノート
- テキサス インストルメンツ、『TPS65219 PMIC による AM625SIP の電源供給』、アプリケーション ノート
- テキサス インストルメンツ、『AM62x のディスクリートパワー ソリューション』、アプリケーション ノート
- テキサス インストルメンツ、『PCB 設計用の AM62 エスケープ ルーティング』、アプリケーション ノート
- テキサス インストルメンツ、『PCB 設計の AM62x (AMC) エスケープ ルーティング』、アプリケーション ノート
- テキサス インストルメンツ、『PCB 設計の AM62x SiP エスケープ ルーティング』、アプリケーション ノート
- テキサス インストルメンツ、『AM62x、AM62Lx DDR ボード設計およびレイアウト ガイドライン』、アプリケーション ノート
- テキサス インストルメンツ、『PRU-ICSS の機能比較』、アプリケーション ノート
- テキサス インストルメンツ、『AM625SIP プロセッサに LPDDR4 を内蔵することでいかに開発を促進できるか』、アプリケーション ブリーフ
- テキサス インストルメンツ、『AM625SIP: システム イン パッケージの説明』、製品概要
- テキサス インストルメンツ、『SK-AM62B-P1 デザイン パッケージ内容の概要』、製品概要
- テキサス インストルメンツ、『SK-AM62-LP デザイン パッケージ内容の概要』、製品概要
- テキサス インストルメンツ、『SK-AM62-SIP デザイン パッケージフォルダおよびファイルリスト』、製品概要
- テキサス インストルメンツ、『SK-AM62B デザイン パッケージフォルダおよびファイルリスト』、製品概要
- テキサス インストルメンツ、『Sitara AM62x ベンチマーク』、アプリケーション ノート

13.6 すべてのプロセッサ ファミリに共通

- テキサス インストルメンツ、『AM623、AM625、AM625SIP、AM620-Q1、AM625-Q1、AM62A3、AM62A7、AM62A7-Q1、AM62D-Q1、AM62P-Q1 回路図設計ガイドラインおよびレビュー チェックリスト』アプリケーション ノート
- テキサス インストルメンツ、『MCU+SDK を使用した SysConfig による開発の迅速化』、アプリケーション ノート
- テキサス インストルメンツ、『高速パラレル インターフェイス向けボード設計およびシミュレーションのガイドライン』、アプリケーション ノート
- テキサス インストルメンツ、『AM62x、AM62Ax、AM62Px、AM62Lx のスペクトラム拡散クロック処理』、アプリケーション ノート
- テキサス インストルメンツ、『Sitara プロセッサ電源分配回路: 実装と分析』アプリケーション ノート
- テキサス インストルメンツ、『高速インターフェイスのレイアウト ガイドライン』アプリケーション ノート **SPRAAR7**
- テキサス インストルメンツ、『高速レイアウト ガイドライン』アプリケーション ノート
- テキサス インストルメンツ、『Jacinto7 AM6x、TDA4x、および DRA8x 高速インターフェイス設計ガイドライン』アプリケーション ノート
- テキサス インストルメンツ、『DSP および Arm アプリケーション プロセッサの熱設計ガイド』アプリケーション ノート
- テキサス インストルメンツ、『エミュレーションおよびトレース ヘッダー テクニカルリファレンス マニュアル』ユーザー ガイド
- テキサス インストルメンツ、『XDS ターゲット接続ガイド』アプリケーション ノート
- テキサス インストルメンツ、『TIA/EIA-644 (LVDS) 向けインターフェイス回路』設計時検討事項
- テキサス インストルメンツ、『汎用ハードウェア設計 / BGA PCB 設計 / BGA デカップリング』アプリケーション ノート
- テキサス インストルメンツ、『MSL 定格およびリフロー プロファイル』アプリケーション ノート
- テキサス インストルメンツ、『耐湿性レベル検索』パッケージ検索
- テキサス インストルメンツ、『KeyStone デバイス向けクロック設計ガイド』アプリケーション ノート
- テキサス インストルメンツ、『KeyStone II デバイス向けハードウェア設計ガイド』アプリケーション ノート
- テキサス インストルメンツ、『TIDA-01413 — ADAS 8 チャネル センサ フュージョン ハブ リファレンス デザイン』デザイン イン ガイド
- テキサス インストルメンツ、『Jacinto 7 DDRSS レジスタ構成ツール』アプリケーション ノート
- テキサス インストルメンツ、『IBIS モデルのタイミング解析への使用』アプリケーション ノート
- テキサス インストルメンツ、『ディスプレイ インターフェイス: Sitara MPU 視覚化設計に関する包括的なガイド』アプリケーション ノート
- テキサス インストルメンツ、『McASP 設計ガイド — ヒント、テクニック、実践的な例』アプリケーション ノート

- テキサス インストルメンツ、『単一の LVCMOS 発振器での複数の負荷の駆動』アプリケーション ノート

13.7 利用可能な FAQ (よくある質問) のマスター リスト - プロセッサ ファミリー別

選択したプロセッサまたはプロセッサ ファミリーに関する利用可能な FAQ (よくある質問) のリストをすばやく表示するには、FAQ の包括的なリストを利用することをお勧めします。

[\[FAQ\] AM62L \(AM62L32, AM62L31\) カスタム ボード ハードウェア設計 — プロセッサ関連資料、機能、ペリフェラル、インターフェイス、評価基板に関する FAQ](#)

[\[FAQ\] AM62P, AM62P-Q1 カスタム ボード ハードウェア設計 — プロセッサ関連資料、機能、ペリフェラル、インターフェイス、スタータキットに関する FAQ](#)

[\[FAQ\] AM62A7 / AM62A7-Q1 / AM62A3 / AM62A3-Q1 / AM62A1-Q1 / AM62D-Q1 カスタム ボード ハードウェア設計 — プロセッサ関連資料、機能、ペリフェラル、インターフェイス、スタータキットに関する FAQ](#)

[\[FAQ\] AM625, AM623, AM620-Q1, AM625-Q1, AM625SIP カスタム ボード ハードウェア設計 — プロセッサ関連資料、機能、ペリフェラル、インターフェイス、スタータキットに関する FAQ](#)

13.8 利用可能な FAQ (よくある質問) のマスター リスト - Sitara プロセッサ ファミリー

[\[FAQ\] カスタム ボード ハードウェア設計 - すべての Sitara プロセッサ \(AM62x, AM62Ax, AM62D-Q1, AM62Px, AM62L, AM64x, AM243x, AM335x\) ファミリーに関する FAQ \(よくある質問\) のマスタ \(完全\) リスト](#)

13.9 ソフトウェア関連を含む FAQ (よくある質問)

[\[FAQ\] AM6x:AM62x, AM62Ax, AM62D-Q1, AM62Px, AM62L, AM64x, AM24x, AM3x, AM4x Sitara デバイスに関する最新の FAQ \(よくある質問\)](#)

13.10 接続デバイスに関する FAQ (よくある質問)

[\[FAQ\] DP83869-EP:イーサネット準拠試験の失敗](#)

[\[FAQ\] TPS65219:Sitara AM62x MPU への電力供給における PMIC とディスクリートソリューションを比較した場合の利点](#)

[\[FAQ\] TPS6594-Q1, TPS6593-Q1, LP8764-Q1 PMIC に関する FAQ のリスト](#)

14 用語

ADC	A/D コンバータ
BOM	部品表
CAN	コントローラ エリア ネットワーク
CPPI	通信ポートプログラミング インターフェイス
CPSW3G	共通プラットフォーム イーサネット スイッチ 3 ポート ギガビット
DFU	デバイス ファームウェア アップグレード
DNI	インストールしない
DPI	ディスプレイパラレル インターフェイス
DRD	デュアル ロール デバイス
E2E	エンジニア間
ECC	エラー訂正コード
EMC	電磁適合性
EMI	電磁干渉
eMMC	組込みマルチメディア カード
EMU	エミュレーション制御
EOS	電氣的オーバー ストレス

ESD	静電放電
ESL	有効直列インダクタンス
ESR	実効直列抵抗
FAQ (よくある質問)	よくある質問
FET	電界効果トランジスタ
GPIO	汎用入出力
GPMC	汎用メモリコントローラ
HS-RTDX	高速リアルタイム データ交換
I2C	IC の相互接続 (Inter-Integrated Circuit)
IBIS	入出力バッファ情報仕様
IEP	産業用イーサネット ペリフェラル
JTAG	ジョイント テスト アクション グループ
LDO	低ドロップアウト
LVMOS	低電圧相補型金属 酸化膜 半導体
MAC	メディア アクセス コントローラ
MCASP	マルチチャネル オーディオ シリアル ポート
MCSPi	マルチチャネル シリアル ペリフェラル インターフェイス
MDI	メディア依存インターフェイス
MDIO	管理データ入出力 (Management Data Input/Output)
MMC	マルチメディア カード
MMCSd	マルチメディア カード / セキュア デジタル
ODT	オンダイ終端
OPN	発注用型番
OSPI	オクタル シリアル ペリフェラル インターフェイス
PCB	プリント基板
PDN	電源分配ネットワーク
PET	電力推定ツール
PMIC	パワー マネージメント集積回路
POR	パワーオンリセット
QSPI	クワッド シリアル ペリフェラル インターフェイス
RGMII	RGMII (Reduced Gigabit Media Independent Interface)
RMII	簡易メディア独立インターフェイス
ROC	プロセッサ固有データシート推奨動作条件
SD	セキュア デジタル
SDIO	セキュア デジタル入出力
SPI	シリアル ペリフェラル インターフェイス
TCK	テスト クロック入力
TDI	テスト データ入力
TDO	テスト データ出力
TEN	テスト イネーブル
TMS	テスト モード選択入力

TRC_DATAn	トレース データ n
TRM	テクニカル リファレンス マニュアル
TRSTn	リセット
UART	汎用非同期レシーバ/トランスミッタ
WKUP	ウェークアップ
XDS	拡張開発システム
ZQ	メモリ デバイス校正基準抵抗

15 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from MARCH 31, 2025 to MAY 30, 2026 (from Revision * (March 2025) to Revision A (May 2026))

	Page
• タイトルを「AM62L (AM62L32, AM62L31) プロセッサ ファミリー回路設計ガイドライン、設計チェックリストおよびレビュー チェックリスト」に変更。.....	0
• 概要を更新。.....	1
• 「プロセッサ ファミリー固有のユーザー ガイド」セクションを更新。.....	3
• 「カスタム ボード回路図設計実装チェックリストのサブセクション説明」を更新。.....	3
• ユーザー ガイドの編集セクションで参照されているプロセッサ固有のデータシートの使用事例とバージョンを追加。..	6
• 「必要なプロセッサの GPN (汎用型番) および OPN (注文用型番) の選択に関するチェックリスト」セクションを更新。7	7
• プロセッサ IO 電源シーケンシング図用に負荷スイッチを追加。.....	8
• 「AM62Lx プロセッサ ファミリーの電力アーキテクチャ」セクションを更新。.....	8
• 「TPS65214x 用 PMIC ベース電源アーキテクチャのチェックリスト」セクションを更新。.....	10
• 「部品選定チェックリスト」を更新。.....	17
• 「回路設計ページのシーケンシング」と「SK 基板のレイアウト」セクションを追加.....	18
• 「プロセッサ固有の SDK」セクションを追加.....	19
• RSVD0 予約済みピン (信号) セクションを更新。.....	20
• 電源レールの図を追加。.....	23
• 電源に関するセクションを更新。.....	23
• 「プロセッサ コアとペリフェラル コア電源のチェックリスト」を更新。.....	25
• 外付けコンデンサ Cap_VDDsx のピン配置を追加。.....	27
• IO グループ用デュアル電圧 IO 電源チェックリストを更新。.....	29
• (ペリフェラル) IO グループの固定電圧 1.8V IO 電源チェックリストを更新。.....	30
• eFuse LDO および EN 制御の図を追加。.....	31
• 「VPP 用電源 (eFuse ROM プログラミング)」セクションを更新。.....	31
• RTC のみローパワー モードの電源図を追加。.....	34
• 「RTC のみローパワー モード」セクションを更新。.....	34
• RTC のみのローパワー モード チェックリストの更新。.....	36
• 「電源レール用コンデンサのチェックリスト」を更新。.....	38
• WKUP_OSC0 クロック接続の図を追加。.....	39
• WKUP_OSC0 (高周波) クロック (内部発振器) または LVCMOS デジタル クロック (外部発振器) セクションを更 新。.....	39
• LFOSC0 クロック接続の図を追加。.....	40
• 「LFOSC0 (低周波数) クロック (内部発振器) または LVCMOS デジタル クロック (外部発振器)」セクションを更新。40	40
• 「クロック入力チェックリスト — LFOSC0」を更新。.....	43
• SOC_Cold_Warm_RESET_Debounce_Logic の図を追加。.....	45
• プロセッサのリセット入力のチェックリストを更新。.....	46
• ブート モード構成スイッチの図を追加。.....	48
• 「ブート モードの構成 (プロセッサ用)」セクションを更新。.....	48

• 「ブートモードの構成 (プロセッサ用) チェックリスト」を更新。.....	51
• JTAG プル接続図を追加。.....	52
• 「JTAG および EMU チェックリストを使用したカスタム ボードのデバッグ」を更新。.....	54
• 「サポートされているプロセッサ コアと MCU コア」のセクションを追加.....	55
• 「IO グループ接続用の IO 電源」の図を追加。.....	55
• 「IO グループ用 IO 電源接続チェックリスト」を更新。.....	57
• 「ルーティングトポロジとメモリ終端の接続」セクションを更新。.....	59
• 「DDR4 実装チェックリスト」を更新。.....	60
• DDRSS LPDDR4 インターフェイスの図を追加。.....	61
• LPDDR4 実装チェックリストを更新。.....	63
• MMC0 eMMC インターフェイスの図を追加。.....	64
• MMC0 (eMMC) のチェックリストを更新。.....	67
• MMC1 SD カード インターフェイスの図を追加。.....	69
• SD カード インターフェイス (MMC1) チェックリストを更新。.....	72
• SDIO インターフェイスを使用した M.2 インターフェイスの実装の図を追加。.....	74
• SDIO (MMC2 推奨、組込み) インターフェイスのチェックリストを更新。.....	76
• OSPI0 インターフェイスの図を追加。.....	78
• OSPI0 または QSPI0 ペリフェラル インターフェイスの実装チェックリストを更新。.....	81
• GPMC インターフェイスのチェックリストを更新。.....	84
• イーサネット (MAC) インターフェイスのセクションを追加.....	85
• 「MAC (データ、制御、クロック) インターフェイス信号の接続」セクションを更新。.....	87
• イーサネット インターフェイス チェックリストを更新。.....	90
• USC SOC ホストインターフェイスの図を追加。.....	92
• USB インターフェイス チェックリストを更新。.....	94
• フロー制御図を含む UART インターフェイスの接続図を追加。.....	96
• UART (ユニバーサル非同期レシーバ/トランスミッタ) チェックリストの更新。.....	97
• 「モジュラー コントローラ エリア ネットワーク チェックリスト」を更新。.....	99
• SPI インターフェイスの図 (汎用) を追加。.....	100
• MCSPI インターフェイスの図 (汎用) を追加。.....	100
• MCSPI インターフェイスのチェックリストを更新。.....	105
• MCASP インターフェイスのチェックリストを更新。.....	106
• 「I2C インターフェイス — オープンドレインまたはエミュレートされたオープンドレイン」の図を追加。.....	107
• I2C (オープンドレイン出力タイプ IO バッファ) インターフェイス チェックリストを更新。.....	109
• I2C (エミュレートされたオープンドレイン出力タイプ IO) インターフェイス チェックリストを更新。.....	111
• DPI (VOUT0) ペリフェラル チェックリストを更新。.....	113
• DSITX0 ペリフェラル チェックリストを更新。.....	114
• GPIO チェックリストを更新。.....	117
• ADC サンプル レートを 4MSPS から 2MSPS に変更。.....	119
• ADC0 チェックリストを更新。.....	120
• カスタム基板回路設計セルレビューのセクションを更新。.....	124
• 「DDR-MARGIN-FW」セクションを追加.....	126

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月