

Application Note

高精度データコンバータ選択ガイド



James Steenbock

概要

アプリケーションに適した D/A コンバータ (DAC) を選択する上で、デバイスの仕様に関連するいくつかの考慮事項があります。適切な選択を行うには、高精度 DAC の機能パラメータと、DAC の性能やシステム能力への影響を理解する必要があります。このガイドでは、主な DAC の仕様と、特定のシステムに最適な DAC の選択方法について説明します。

目次

1 概要.....	2
2 詳細説明.....	3
2.1 データコンバータアーキテクチャの概要.....	3
2.1.1 ストリング DAC.....	3
2.1.2 R-2R DAC.....	3
2.1.3 乗算型 DAC.....	4
2.2 データコンバータのパラメータ.....	5
2.2.1 分解能.....	5
2.2.2 リファレンスタイプ.....	6
2.2.3 チャンネル数.....	6
2.2.4 インターフェイスのタイプ.....	6
2.2.5 出力タイプ.....	6
2.2.6 積分非直線性および微分非直線性.....	7
2.2.7 セトリングタイムおよび更新時間.....	10
2.2.8 物性.....	10
2.2.9 主な特長.....	11
3 まとめ.....	12
3.1 デバイスの例.....	13
3.2 その他のリソース.....	13
4 参考資料.....	14

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

DAC を選択する前に、絶対システム要件を評価します。

- **主な仕様は？** – 出力電圧範囲、電流駆動能力、電流駆動、通信インターフェイスが重要な考慮事項です。
- **高分解能が必要か？** – 一部のアプリケーションでは、ビット分解能を低くして十分な性能を達成し、DAC の消費電力とコストを低減します。
- **DAC の帯域幅は？** – DAC 出力の変化に必要な最小時間は、出力スルーレート制限とセトリング タイムに関係します。
- **システムの複雑性を低減する統合機能とは？** – 内蔵電圧リファレンス、出力監視や STATUS アラームなどの診断機能、または内蔵 A/D コンバータ (ADC) は、設計を簡素化し、部品表 (BOM) を削減することができます。
- **ターゲット業界で必要とされるデバイス定格は？** – 車載向け AEC-Q100 (Q1) または宇宙用途向 (SP) け耐放射線特性。

2 詳細説明

高精度 DAC パラメトリック検索ページにアクセスして、このガイドに記載されているパラメータをチェックしてください。

2.1 データコンバータアーキテクチャの概要

以下の 3 つの高精度 DAC アーキテクチャがあります。

- ストリング
- 抵抗ラダー (R-2R)
- 乗算型 DAC (MDAC)

2.1.1 ストリング DAC

ストリング DAC は、直列に接続された 2^N 抵抗で構成されます。ここで、 N は DAC の分解能です。これらの抵抗は、正の DAC リファレンス電圧 (V_{REF}) と負の DAC リファレンス電圧の間に接続されます。このアーキテクチャにより、リファレンス電圧に対して一定の入力インピーダンスが提供され、低コストかつ低消費電力の設計に最適な構造が実現します。DAC によってラッチされたコードは対応するスイッチを閉じ、リファレンス電圧を目的の出力レベルに分周してから、出力バッファに直接接続します。この出力バッファは、負荷を駆動するための低出力インピーダンスを実現し、リファレンス電圧源を外部負荷条件から絶縁します。

設計内の抵抗の数が増加すると、分解能が高い場合、ストリング DAC は効率が低くなります。各入力コードは抵抗とスイッチを表すため、抵抗の増加は指数関数的です。8 ビット ストリング DAC では 256 の抵抗しか必要ありませんが、16 ビットのストリング DAC には 65536 の抵抗が必要です。このアーキテクチャは本質的に単調性です。これはすなわち、コード値の正のステップが、出力電圧において負の変化をもたらすことは決してなく、またその逆も同様であることを意味します。1 回のコード変化にはアクティブ スイッチが 2 つしか関係しないため、ストリング DAC のグリッチ エネルギーは小さくなります。図 2-1 に、ストリング DAC アーキテクチャの簡易図を示します。

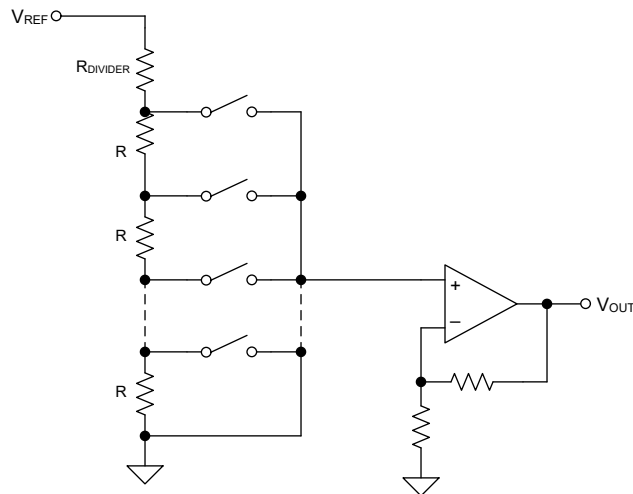


図 2-1. ストリング DAC アーキテクチャ

2.1.2 R-2R DAC

R-2R DAC (またはラダー DAC) アーキテクチャは、 R および $2R$ という 2 つの抵抗値を用いて反復パターンを構成しており、その設計における各 $2R$ 成分は、スイッチを介して V_{REF} または GND のいずれかに接続されています。各スイッチの状態は、DAC へのラッチされた入力コードによって異なります。MSB は V_{OUT} に最も近いスイッチを制御し、LSB は V_{OUT} から最も遠いスイッチを制御します。R-2R アーキテクチャのリファレンス電圧入力インピーダンスは、デジタル入力コードに応じて変化します。R-2R 設計は、 $2N$ の抵抗しか必要ないため、高分解能のデバイスで一般的に使用されます (ここで、 N は DAC の分解能)。R-2R DAC は最大 16 または 20 ビットの高分解能と良好なノイズ特性を実現します。このタイプの DAC は本質的に単調性ではありません。

図 2-2 に、R-2R DAC アーキテクチャの図を示します。

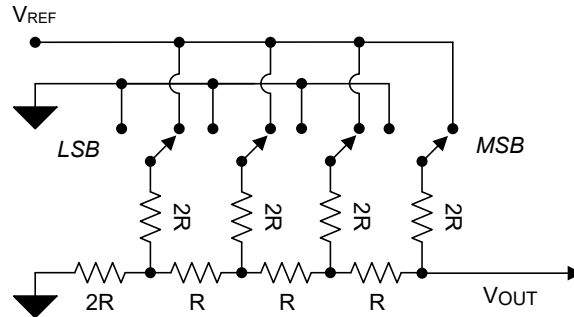


図 2-2. R-2R DAC のアーキテクチャ

コードからコードへの遷移に応じて一度に多くのスイッチが変更されるため、R-2R DAC はグリッチ エネルギーが大きくなります。4 ビット DAC において、入力コードが 1000'b から 0111'b へと変化する際には、4 つのスイッチすべてがその状態を切り替えることになります。これは、メジャー キャリー遷移として知られています。このタイプのミッドスケール コード変化では、多くの場合、最大のグリッチ エネルギーが生成されます。

図 2-3 に、メジャー キャリー遷移の例を示します。グラフのステップ 1 において、出力電圧は前回のコード変化からのセトリング過程にあります。ステップ 2 において、メジャー キャリー遷移に起因する出力電圧の上昇が生じます。ステップ 3 で、スイッチが安定するにつれて、より大きな電圧降下が生じます。

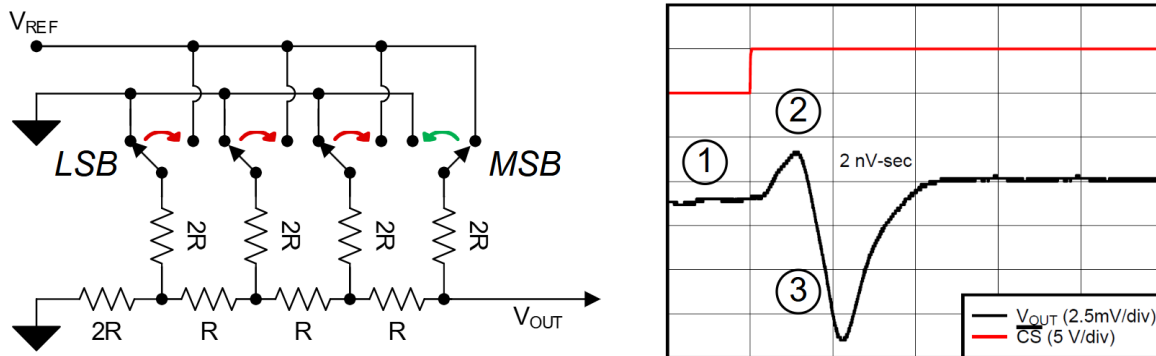


図 2-3. メジャー キャリー遷移グリッチ電圧

2.1.3 乗算型 DAC

乗算型 DAC (MDAC) は、R-2R DAC と同様の構造を持っています。リファレンス電圧と出力の交換を行い、電流スイッチング ラダー アーキテクチャを形成します。このアーキテクチャにより、電圧リファレンスの入力インピーダンスは一定であるため、リファレンス電圧は動的になります。MDAC は基本的にリファレンス電圧に入力コードを乗算します。MDAC は、電源電圧よりも高いリファレンス電圧を使用することができ、電源電圧ではなくリファレンス電圧で決定されるフルスケール出力を使用できます。この抵抗アーキテクチャは電流ステアリングを使用するため、セトリング タイムの短縮、全高調波歪み (THD) とノイズの低減を実現できます。これらは、波形生成などのアプリケーションに望ましい特性です。

MDAC の電流出力を電圧に変換するには、トランスインピーダンス アンプ (TIA) が必要です。MDAC の出力インピーダンスは入力コードによって変化するため、出力における直線性誤差の発生を防ぐには、オフセット電圧の低い TIA が必要です。最終的な出力電圧は、リファレンス電圧入力と比較して反転されます。

MDAC は多くの場合、試験および測定アプリケーションに使用されますが、AC 波形の生成や信号の減衰とミキシングなど、他の目的でも実装することもできます。MDAC を使用して、DC 入力電圧から波形を生成することもできます。図 2-4 に、MDAC アーキテクチャの簡易図を示します。

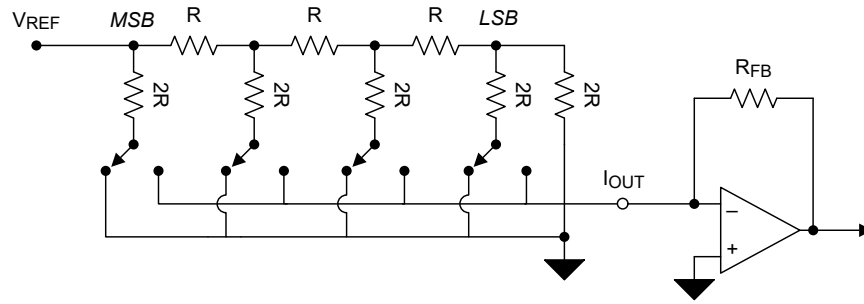


図 2-4. MDAC アーキテクチャ

2.2 データコンバータのパラメータ

高精度 D/A コンバータ パラメトリック検索ページには、DAC の選択に役立つパラメトリック フィルタが掲載されています。各パラメータの概要を以下に示し、検索ウィンドウに表示される各列の主な考慮事項を説明します。

2.2.1 分解能

分解能は、アナログ出力信号を決定するために使用されるデジタル入力ビット数です。「コード」は、単一のデジタル入力値です。コードの総数は、DAC 出力が生成できる離散ステップの数を表します。DAC の分解能との組み合わせにより、リファレンス電圧は LSB (最下位ビット) の重み、すなわち出力のステップ サイズを決定します。以下の式の例は、さまざまな DAC 分解能の LSB 電圧計算を示しています。

$$V_{LSB} = \frac{A \times V_{REF}}{2^n} \quad (1)$$

たとえば、 $A = 1\frac{V}{V}$ 、 $V_{REF} = 5V$

$$8 \text{ ビット DAC: } V_{LSB} = \frac{1 \times 5V}{256} = 19.531mV$$

$$12 \text{ ビット DAC: } V_{LSB} = \frac{1 \times 5V}{4096} = 1.2207mV$$

$$16 \text{ ビット DAC: } V_{LSB} = \frac{1 \times 5V}{65,536} = 76.294\mu V$$

より高い分解能の DAC を採用すると、小さいステップ電圧出力制御が可能となります。解像度を上げると、ユーザーが使用できる入力コードの数が指数関数的に増えます。16 ビット DAC には 65,536 個のコードがあり、20 ビット DAC には 1,048,576 個のコードがあります。高音質オーディオ変換や医療画像処理といったアプリケーションでは、スタジオ録音の原音波形や、超音波や MRI 装置から得られる高感度なデジタル データを正確に再現するために、より高い分解能を備えた DAC が不可欠となります。異なる解像度ごとに利用可能な入力コードの総数を、以下に示します。

$$8 \text{ ビット} = 2^8 = 256 (0 \sim 255)$$

$$10 \text{ ビット} = 2^{10} = 1,024 (0 \sim 1,023)$$

$$12 \text{ ビット} = 2^{12} = 4,096 (0 \sim 4,095)$$

$$16 \text{ ビット} = 2^{16} = 65,536 (0 \sim 65,535)$$

$$20 \text{ ビット} = 2^{20} = 1,048,576 (0 \sim 1,048,575)$$

2.2.2 リファレンス タイプ

DAC のリファレンス電圧は、内部と外部のいずれかにできます。複数の DAC で外部リファレンス電圧を共有できるため、同相モード ノイズを除去し、DAC デバイスの内部スイッチング動作による付加的なノイズ結合を防止できます。多くの場合、放射測定アプリケーションにおいて、外部リファレンスは必須要件となり、精度の向上、ノイズの低減、温度安定性の向上を実現できます。

内部リファレンスにより、DAC 出力制御向けのシンプルな統合型設計が実現します。内部リファレンスを採用する利点として、基板レイアウトにおける配線の複雑性の低減および電力効率の向上が挙げられます。

2.2.3 チャンネル数

チャンネル数とは、1 つのデバイスに統合されている独立した DAC の数です。入力コードやゲインなどの特性は、各チャンネルまたはグループ内の複数のチャンネルに個別に適用されます。DAC のチャンネル数を増やすと消費電力が増大しますが、複数の制御された出力を単一の IC に統合することで、システム設計の複雑さが軽減されます。例として、[図 2-5](#) に、2 チャンネルの DAC を示します。

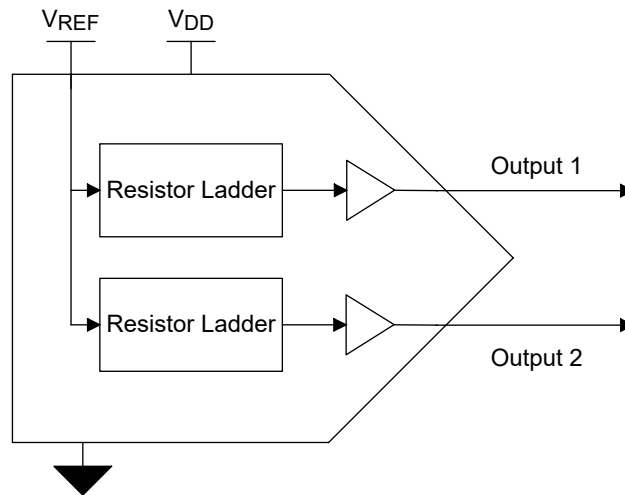


図 2-5. 2 チャンネルの DAC

2.2.4 インターフェイスのタイプ

高精度 DAC で使用できる最も一般的なインターフェイスタイプは SPI と I2C の 2 つです。多くの DAC デバイスは、SPI と I2C の両方の通信に対応できます。

シリアル パリフェラル インターフェイス (SPI) は、全二重通信を実現する 3 線式または 4 線式プロトコルであり、チップ セレクト (CS) ピンを介したハードウェア ベースのデバイス選択機能を備えています。SPI は、高速な通信を必要とするアプリケーションにおいて有利であり、DAC デバイスによっては最大 100MHz もの速度を実現します。

I2C (Inter-Integrated Circuit) は、デバイス固有のレジスタ アドレス指定により、ソフトウェア ベースのデバイス選択と半二重通信を実現する 2 線式プロトコルです。この 2 線式構造は、ピン数が限られている設計で利点があります。I2C は SPI より低速で、標準化された速度は 100kHz と 400kHz です (しかし、一部のシステムは 1MHz で動作する高速+ モード I2C をサポートしています)。ホストコントローラはスタート、ストップ、アクリッジ コマンドをサポートする必要があり、その結果、設計上のオーバーヘッドが複雑化します。

2.2.5 出力タイプ

DAC アーキテクチャに応じて、出力は電圧または電流のいずれかになります。電圧出力と電流出力の両方のオプションを備えたより複雑な DAC もありますが、一部の DAC は 1 種類のみ出力を備えています。

DAC 出力は、バッファ付きまたはバッファなしで行うこともできます。一部のデバイスは引き続きバッファなしであるため、ユーザーは特定のシステム要件に合わせてカスタマイズされたオペアンプを選択できます。

DAC 出力は、ユニポーラまたはバイポーラ構成で供給されます。ユニポーラ出力は、正と負のいずれかの出力を供給できますが、両方の出力を単一のリファレンス電圧にすることはできません。ユニポーラ デバイスの場合、バイナリ入力コードは符号なしとなります。バイポーラ構成では正と負の両方の出力が提供され、多くの場合、符号付きバイナリコードを使用して特定のアナログ値を選択します。バイポーラ出力には、内部アンプに正と負の両方の電圧源が必要です。

2.2.6 積分非直線性および微分非直線性

積分非直線性 (INL) は、DAC のデジタル入力コードの理想的な伝達関数からのアナログ出力値の偏差であり、ゼロスケールコードからフルスケールコードまでの完璧な行で表されます。微分非直線性 (DNL) は、アナログ出力の予測される 1LSB (最下位ビット) ステップと経験的に測定されるステップ サイズとの差です。理想的な場合、すべてのデジタルコードがリファレンス電圧とゲインの伝達関数から得られた正確な電圧出力を生成し、隣接するコードによって一貫したステップ サイズが生成されます。図 2-6 に、この理想的な場合を示します。

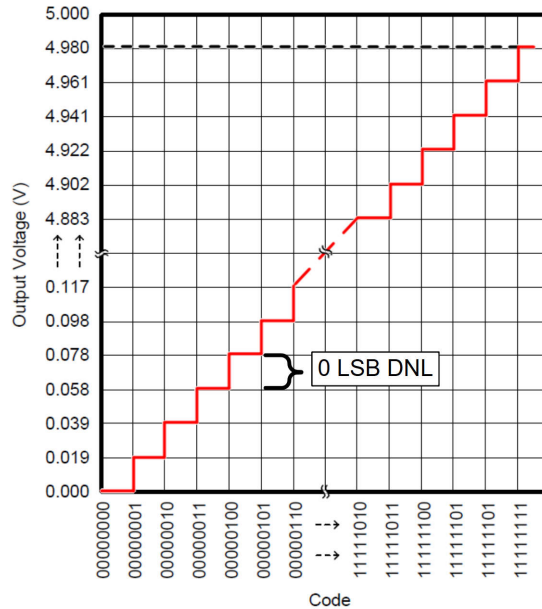


図 2-6. 理想的な伝達関数

実際のシステムでは、アナログ出力は出力範囲全体にわたって伝達関数の理論的結果から逸脱する可能性があります。図 2-7 に、0.5LSB の DNL を示します。

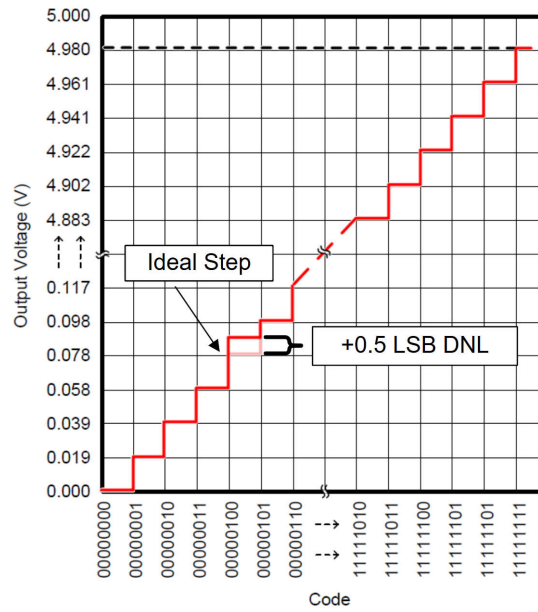


図 2-7. 非理想的な DNL ステップ

DNL が 1LSB を超える DAC は非単調性であり、DAC コードが増加するとアナログ出力が減少します。その逆も同様です。この動作は、閉ループ アプリケーションでは望ましくありません。図 2-8 に、非単調 DNL ステップを示します。

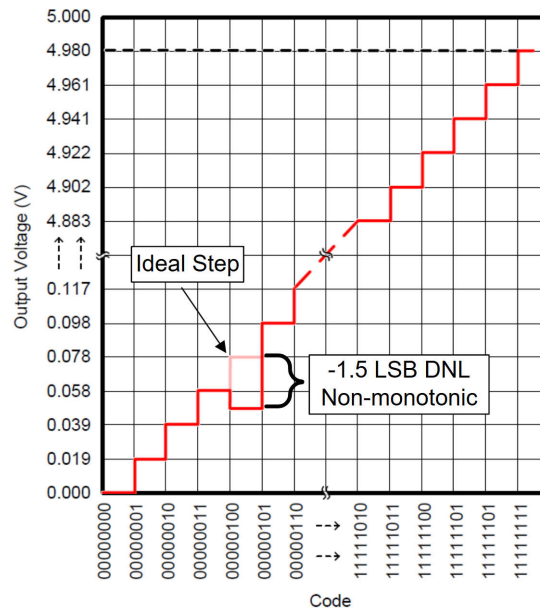


図 2-8. 非単調性 DNL ステップ

INL は DNL に数学的に関連付けられます。ここで、2 つの出力コード間の INL は、遷移中の各コード ステップに対する DNL の合計です。図 2-9 に、INL の例を示します。

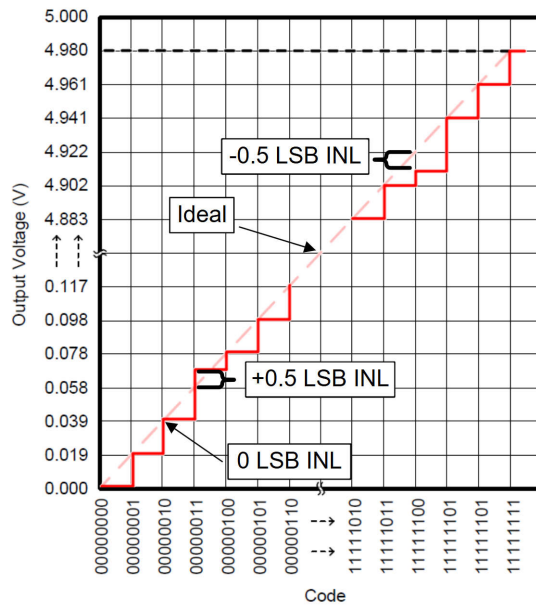


図 2-9. DAC 伝達関数の INL

2.2.7 セトリング タイムおよび更新時間

DAC のセトリング タイムは、DAC がある出力電圧から新しい出力電圧に遷移するために必要な合計時間です。これが有効な出力とみなされるには (通常は ± 1 LSB)、最終的なアナログ値が定義されたスレッショルド内でセトリングする必要があります。セトリング タイムは、(たとえばアクティブ Low LDAC ピンをアサートすることにより) 新しい入力コードが DAC によって最初にラッチされると始まります。コード ステップが大きいほど、出力バッファのスルーレートによりセトリング タイムが長くなります。図 2-10 に、新しい入力コードが DAC に送信された後のセトリング プロセスの各部分を示します。

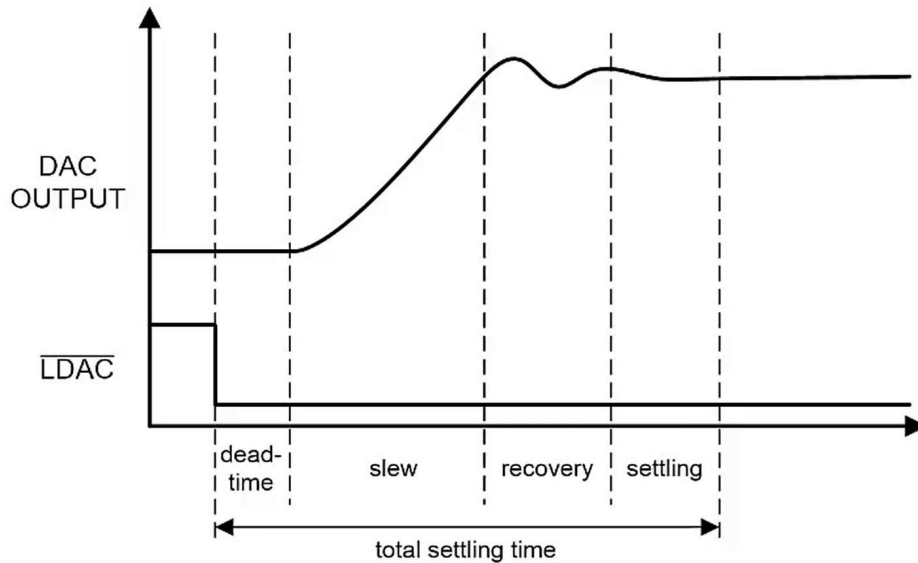


図 2-10. DAC のセトリング タイム

DAC の更新時間は、新しいコードが DAC にラッチされるまでの最小時間です。特定の期間内の更新の最大数は、更新レートを表します。選択された DAC の通信速度が高速な場合、セトリング タイムによって更新レートが制限されることがあります。この制限は、ホスト コントローラから次のコード変化が受信される前に、DAC 出力電圧がターゲット電圧で安定するのに十分な時間がない場合に発生します。または、セトリング タイムがデジタル通信プロトコルのタイミング仕様よりも短くなる可能性があります。この場合、単一のコード変化コマンドが完了するまでの合計時間が最小更新時間になります。

DAC のサンプル レートは、どの指標が制限要因となっているかによって、考えられる限り最悪の事態のセトリング タイムか通信プロトコルの最小更新時間かのいずれかの逆数をとることによって決定されます。

2.2.8 物性

DAC には、さまざまなパッケージ サイズがあります。DAC を選択する際の物理的な検討事項は、システムの要件と基板面積によって異なります。

特定のアプリケーションでは、各種業界規格に応じて、安全性または品質の定格を満たしたパッケージが必要です。TI は、AEC-Q100 車載グレード (Q1) および宇宙グレード (SP) 認定デバイスを含め、複数の認定レベルの高精度 DAC を提供しています。

DAC のパッケージ仕様は、デバイス製品ページの「製品詳細」セクションの「パッケージ | ピン数 | サイズ」タブに記載されています。特定のパッケージタイプの包括的なリストについては、TI.com の [パッケージング関連の用語](#) ページを参照してください。

2.2.9 主な特長

一部の DAC には、ユーザー制御オプションを拡充する機能、追加のデバイス情報を提供する機能、またはホストコントローラへの警告システムを有効化する機能が追加で搭載されています。

SDO–読み出し機能を備えた DAC は、4 線式 SPI インターフェイスを備えています。SDO ピンは、レジスタ情報をホストに送り返すことができます。通常は SDO-EN ビットで制御され、機能のオン / オフを切り替えます。すべての DAC が読み戻しに対応しているわけではなく、一部のデバイスには、DAC 入力レジスタの更新用として SDI ハードウェア ピンのみが搭載されています。

EEPROM– EEPROM 不揮発性メモリを内蔵した DAC には、パワー サイクル後に自動的にロードされるプログラム済み設定を保存できます。この機能は、絶縁された環境でカスタム設定を必要とするシステムに便利です。EEPROM のデータ保持は、デバイスの仕様によっては 20 年から 50 年にわたる可能性があり、数千回の通信サイクルに耐えることができます。

HART– HART は、4 ~ 20mA 計測機器に対する下位互換性のある拡張機能で、スマートなマイクロプロセッサ ベースのフィールド デバイスとの双方向通信が可能です。HART 機能を備えた DAC は、ファクトリオートメーションや制御アプリケーションで使用されます。HART に関する詳細については、『[HART プロトコルの基本ガイド](#)』を参照してください。
HART プロトコルの詳細については、『[HART プロトコルの基本ガイド](#)』を参照してください

統合型温度センサ – 温度センサを内蔵したデバイスは、デバイス パッケージ内のさまざまなポイントの温度を報告できます。この情報は、デジタル読み戻し値として通知されるか、電圧に変換して、測定のために外部監視ピンに送られます。これらのセンサは、特定のハードウェア ピンに対するプログラマブル アラートをサポートしており、過熱シャットダウン機能を提供します。一部のハイエンド DAC は、内部部品を監視するために、チャンネルごとに複数の温度センサを備えている場合があります。

アナログ監視 – 内部 ADC 監視システムを搭載した DAC はアナログ入力ピンを備えており、デバイスを制御スーパーバイザとして機能させることができます。これらの DAC には、アラーム上限とアラーム下限のウィンドウ スレッシュホールドを設定するためのプログラミング オプションが含まれています。専用のアラーム出力ピンは、ユーザー定義の条件に基づいてホストコントローラに情報を送信します。この種の監視機能は、産業用制御、試験、測定システムで診断機能を強化します。

フレキシブルな GPIO – FlexIO ピンは、デバイスにプログラムされたレジスタ設定に応じて、ADC 入力、GPIO、シーケンシング信号のいずれかとして構成できます。その他の機能として、アラーム入力、変換レポート、変換トリガ、DAC データクリア機能があります。

スマート DAC – スマート DAC デバイスは、拡張機能と工場出荷時のプログラマビリティを実現するため、システム内のリソース数を削減できます。これらのデバイスは、不揮発性メモリ、プログラマブル ステート マシン ロジック、パルス幅変調ジェネレータ、カスタム波形ジェネレータを内蔵しています。スマート DAC により、最小限のリソースやシンプルなセンサ測定 / 制御帰還ループが必要となるシステムで複雑なソフトウェアが不要になります。スマート DAC アプリケーションの詳細については、『[スマート DAC 製品選定ガイド](#)』を参照してください。

3 まとめ

高精度 DAC 製品ラインアップは、多様な製品の特長と機能を提供します。このガイドに記載されているパラメータや機能を把握することで、分かりやすく体系的なプロセスで、最優先事項やニーズに基づいてデバイスの選択を行うことができますようになります。

高精度 D/A コンバータ パラメトリック検索ページには、検索ページが表示されます。このツールには、前述のセクションに説明されているすべてのパラメータが含まれています。表の左上にある「Columns」(列) を選択すると、さまざまなパラメータ列をリストに追加すること、またリストから削除することができます。動作温度範囲、パッケージ寸法、標準消費電力、GPIO 数の列は、ここに記載されています。リストに追加したら、列見出しの下にあるフィルタ記号を選択することで、表の各パラメータを特定の条件に合わせてフィルタリングできます。または、「Columns」(列) ボタンの左側にある「All Filters」(すべてのフィルタ) を選択すると、使用可能なすべてのフィルタのドロップダウンメニューが表示されます。ここでフィルタ設定を調整すると、自動的にパラメータが列リストに追加されます。見出しをクリックしてドラッグすると、列の順序を変更できます。

The screenshot shows the Texas Instruments website's parametric search interface for Precision DACs ($\le 10\text{ MSPS}$). The page includes a search bar, navigation links, and a breadcrumb trail: Home / Products / Data converters / Digital-to-analog converters (DACs) / Precision DACs ($\le 10\text{ MSPS}$). The main content is a table of products with a sidebar of filters. The table columns are: Product number, Images, Resolution (bits), Number of DAC channels, Interface type, Output type, Output voltage range (V), Output current range (mA), INL (max) (LSB), Settling time (μs), Package type, Pin count, Reference type, Architecture, Rating, and Features. The sidebar filters include: Images, Description, Resolution (Bits), Number of DAC channels, Interface type, Output type, Output voltage range (V), Output current range (mA), INL (max) (LSB), Settling time (μs), Package type, Pin count, Package area (mm²), Package size (L x W) (mm), Reference type, Architecture, Rating, Features, Price/Quantity (USD), Sample/update rate (MSPs), Power consumption (typ) (mW), Operating temperature range (°C), Status, Product type, ADC resolution (bits), DAC resolution (bits), and Number of GPIOs.

Product number	Images	Resolution (bits)	Number of DAC channels	Interface type	Output type	Output voltage range (V)	Output current range (mA)	INL (max) (LSB)	Settling time (μs)	Package type	Pin count	Reference type	Architecture	Rating	Features
▼ DAC60516W - NEW Datasheet: PDF HTML		12	16	I2C, SPI	Buffered Voltage	0 to 5	—	1	6	DSBGA	34	Ext	R2R	Catalog	Small Size
▼ TSMU818A045 - NEW Datasheet: PDF HTML		18	8	SPI	Buffered Current, Buffered Voltage, Negative and Positive	-10 to 10, -15 to 15, -20 to 20, -5 to 5	-100 to 100	4	—	FCBGA	144, 196	Ext	R2R	Catalog	Integrated Temp Sens
▼ AMC57048 - NEW Datasheet: PDF HTML		—	8	I2C, SPI	—	—	—	—	—	HTGFP	64	—	—	Catalog	Flexible GPIOs, Temp s monitoring
▼ AFE5304W - NEW Datasheet: PDF HTML		10	4	I2C, SPI	Buffered Current, Buffered Voltage	0 to 5	-0.25 to 0.25	1	10	DSBGA	16	Ext, Int	String	Catalog	Smart DAC
▼ DAC60516 Datasheet: PDF HTML		12	16	I2C, SPI	Buffered Voltage	0 to 5	—	1	6	WQFN	28	Ext, Int	R2R	Catalog	Small Size
▼ DAC121S101-SEP Datasheet: PDF HTML		12	1	SPI	Buffered Voltage	0 to 5.5	—	8	8	VSSOP	8	Ext	String	Space	Low Power
▼ TSMU818A030 Datasheet: PDF HTML		18	8	SPI	Buffered Current, Buffered Voltage, Negative and Positive	-10 to 10, -15 to 15, -5 to 5	0 to 150	4	—	FCBGA	144, 196	Ext	R2R	Catalog	Integrated Temp Sens
▼ DAC80516 Datasheet: PDF HTML		16	16	I2C, SPI	Buffered Voltage	0 to 5	—	2	6	WQFN	28	INT/EXT	R2R	Catalog	Small Size
▼ AMC7908 Datasheet: PDF HTML		—	8	I2C, SPI	—	-10 to 10	—	—	—	WQFN	32	Internal 2.5-V	—	Catalog	Built-in sequencing cap capability, integrated A

図 3-1. 高精度 D/A コンバータ パラメトリック検索ページ

3.1 デバイスの例

当社のデバイス カタログと DAC 固有の部品の例を以下に示します。

DAC43701 – コスト最適化、低消費電力

低コスト デバイスですが、追加機能をサポートして、ユーザーの柔軟性を高めることができます。

- 8 ビット、10 ビット、12 ビット バージョンがあります。
- EEPROM とスマート DAC 機能が含まれています。
- ストリング DAC アーキテクチャにより、低グリッチで安定した VREF 入力インピーダンスを実現します。

DAC80516 – 高チャネル数、小型パッケージ

DAC デバイスは、小型パッケージ サイズを維持しながら、多くのチャネルをサポートできます。

- 12 ビット、16 ビット バージョンがあります。
- R-2R アーキテクチャは、大幅に少ない抵抗数で、より高い分解能と複数チャネルに対応します。
- 6us の高速セトリング タイムにより、より高速なコード間遷移を実現します。

DAC8775 – 拡張機能セット、産業用制御

一部の DAC は、より複雑なファクトリ オートメーション アプリケーションを容易にする多くの機能セットを搭載しています。

- チップの消費電力を最小限に抑える適合型パワー マネージメント。
- CRC / フレーム エラー チェック、ウォッチドッグ タイマ、サーマル アラーム、開回路 / 短絡保護などの拡張監視機能。
- 各チャネルへの昇降圧コンバータ統合による消費電力の最小化と大幅なシステム統合の実現。
- 負荷電流の検出とセトリング タイムを最適化する自動学習モード。

3.2 その他のリソース

[高精度 D/A コンバータ パラメトリック検索ページ](#)

[プレジジョン ラボ シリーズ:D/A コンバータ \(DAC\)](#)

[HART プロトコルの基本ガイド](#)

[スマート DAC 製品選定ガイド](#)

[パッケージング関連の用語](#)

[DAC E2E フォーラム](#)

4 参考資料

1. テキサス インスツルメンツ、『あらゆる高精度用途に対応する DAC』、Analog Design Journal。
2. テキサス インスツルメンツ、『プレジジョン ラボ シリーズ:D/A コンバータ (DACs)』、ビデオ シリーズ。
3. テキサス インスツルメンツ、『セトリング タイムと更新レート』、ビデオ シリーズ。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月