

Application Note

3 相 AC/DC アプリケーション向けの 3 レベル フライング コンデンサ コンバータに関する設計上の検討事項



Riccardo Ruffo, Bowen Ling

概要

3 レベルのフライング コンデンサ変換構造を採用したことで、650V 定格のトランジスタを DC 電圧が 650V を上回る 3 相 DC/AC アプリケーションで使用できます。このホワイト ペーパーでは、3 レベルのフライング コンデンサトポロジの概要を解説しています。設計上のポイントおよび実験結果を示し、TI の GaN トランジスタを使用した場合におけるこのトポロジの利点を実証します。

目次

1 概要.....	2
2 フライング コンデンサ スイッチング セルの動作原理.....	3
2.1 3 レベルフライングコンデンサスイッチングセルのスイッチングパターン.....	4
3 フライング コンデンサ スイッチング セルの設計上の検討事項.....	5
3.1 導通損失とスイッチング損失.....	5
3.2 受動部品の設計.....	6
3.3 レイアウトに関する考慮事項.....	9
3.4 プリチャージ ネットワーク.....	10
4 実験結果.....	11
4.1 TIDA-010957 のフライング コンデンサのプリチャージ.....	11
4.2 定常状態での動作.....	12
5 まとめ.....	14
6 参考資料.....	14

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

近年、再生可能エネルギー分野において、高効率で高電力密度の電力変換システムが不可欠となっています。400V DC リンク定格の単相アプリケーションを対象とする場合、GaN 技術の採用は最先端の設計手法となっています [1, 2]。800V システムを対象とする場合、2 レベルのトポロジにおける GaN には 1000V を超える耐圧が必要となるため、この高電圧に耐えられる GaN トランジスタを見つけることは容易ではありません。従来のハーフブリッジセルでは、各スイッチングデバイスが DC バスの最大電圧に耐える必要があります。3 相アプリケーションで生じる電圧ストレスを低減するには、代替のマルチレベルトポロジを考慮する必要があります。電源部品を追加することで、マルチレベルコンバータを採用するときにデバイス全体の電圧ストレスを大幅に低減できます。3 に示されているように、さまざまなトポロジが存在しますが、フライングコンデンサは最もコスト効率に優れた設計結果を示しています。本書では、3 レベルのフライングコンデンサトポロジについて説明します。特に、テキサスインスツルメンツの GaN FET を使用した実装に焦点を当てています。

2 フライングコンデンサスイッチングセルの動作原理

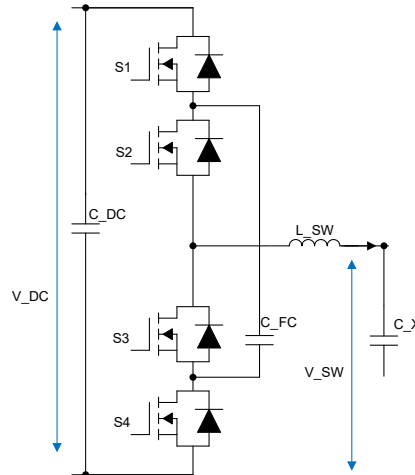


図 2-1. 3 レベル フライングコンデンサスイッチングセル

3 レベルのスイッチングセルには、図 2-1 に示すように、以下の構成要素が含まれています。

- S1、S2、S3、S4 は 4 つのパワースイッチです。
- C_{FC} はフライングコンデンサです。
- L_{SW} はスイッチングノードインダクタンスです。
- C_{DC} は DC リンク電圧コンデンサです。

このトポロジは、 V_{SW} 電圧が常に DC リンク電圧 (V_{DC}) よりも低い昇圧コンバータトポロジと見なされることに注意してください。

このトポロジでは、適切な組み合わせでトランジスタをオンにすることで、スイッチングノード出力上の 3 つの電圧レベルを実現します。

1. 出力が V_{dc} と同等: S1 と S2 がオン。
2. 出力が 0V と同等: S3 と S4 がオン。
3. 出力が $V_{DC} - V_{FC}$ と同等: S1 と S3 がオン。
4. 出力が V_{FC} と同等: S2 と S4 がオン。

3 番目と 4 番目のスイッチング状態からわかるように、2 つのコンデンサの電圧 (V_{fc} と V_{dc}) を一定に制御することが重要です。この条件により、フライングコンデンサ電圧が DC リンク電圧の半分に制御されている場合、スイッチングノード電圧が DC リンク電圧の半分になることが保証されます。

2.1.3 レベルフライイングコンデンサスイッチングセルのスイッチングパターン

図 2-1 からわかるように、各位相には 4 つのスイッチ (S1、S2、S3、S4) が実装されています。このトポロジでは、各 FET の定格は DC リンク電圧の半分です。この出力段を制御するためにはさまざまなスイッチング方式がありますが、複雑さを低減するため、比較的シンプルな方式が選択されています。この設計では、すべてのトランジスタが公称周波数 f_{SW} でスイッチングしています。デッドタイム、キャリア、デューティサイクルは、FET ごとに定義する必要があります。

- スwitchのペア S1+S4、および S2+S3 は互いに相補的な関係にあります。スイッチングセルごとに 2 組のデッドタイムが必要です。S1 と S4 が互いに相補していない場合、 C_{DC} が短絡するリスクがあり、S2 と S3 の間に深刻な過電流と過電圧が発生します。S2 と S3 が互いに相補的にスイッチングしない場合、 C_{FC} が短絡するリスクがあり、S1 と S4 の間に深刻な過電流と過電圧が発生します。
- S1+S4 信号と S2+S3 信号は互いに 180 度の位相シフトされています。この位相シフトにより、スイッチングノードインダクタではスイッチング周波数が 2 倍になるため、必要なインダクタンス値が小さくなります。
- 最初の近似では、2 つの PWM ペアに適用されるデューティサイクルは同じになります。デューティサイクルは、 V_{SW} と V_{DC} の比として計算できます。

スイッチングセルの異なる動作ポイントを調査します。デューティサイクルは、S1 および S2 のオン時間として定義されます。

- デューティサイクルが 50% を超えると、S1 と S2 は S3 および S4 よりもオン状態の時間が長くなります。1000V DC リンクがある場合、出力スイッチング電圧はレベル 500V と 1000V の間でスイッチングします。
- デューティサイクルが 50% より低い場合、S3 と S4 は S1 および S2 よりもオン状態の時間が長くなります。1000V DC リンクがある場合、出力スイッチング電圧はレベル 0V と 500V の間でスイッチングします。
- 要求されたデューティが 50% になると、4 つのスイッチがスイッチング時間の 50% になります。1 次近似値では、出力スイッチングノード電圧は 500V に固定されます。

3 レベル フライイング コンデンサ コンバータのスイッチング パターン グラフは、[TIDA-010957 設計ガイド](#)のセクション 2.2.1 を参照してください。

3 フライングコンデンサスイッチングセルの設計上の検討事項

3.1 導通損失とスイッチング損失

3.1.1 AC 導通損失

導通損失は主に FET の $R_{DS,ON}$ によって決まります。いつでも、スイッチングノード電流を同時に導通する 2 つのデバイスが常にあります。単一の FET の合計導通損失は式 1 のように計算できます。

$$P_{COND} = \frac{R_{DS,ON} \times I_{SW}^2}{\sqrt{2}} \quad (1)$$

ここで、 I_{SW} はインダクタの RMS 電流を表します。

3.1.2 AC スwitching 損失

スイッチング損失は、各トランジスタに関連するスイッチング周波数とスイッチングエネルギーに依存します。スイッチングエネルギーは、スイッチング過渡時のデバイスの電流と電圧に関係します。データシートのスイッチングエネルギー曲線、たとえば LMG3522R030 データシートのスイッチングエネルギー曲線を使用すると、総スイッチング損失を推定できます。

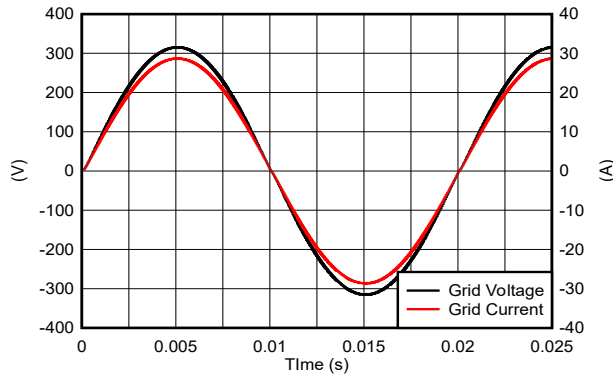


図 3-1. グリッド電圧とグリッド電流

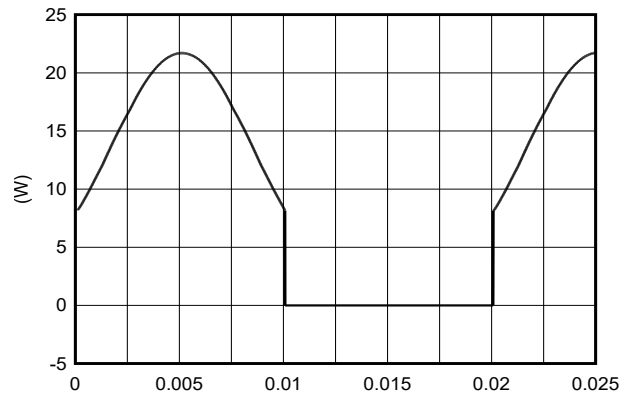


図 3-2. スwitching 損失: S1、S2

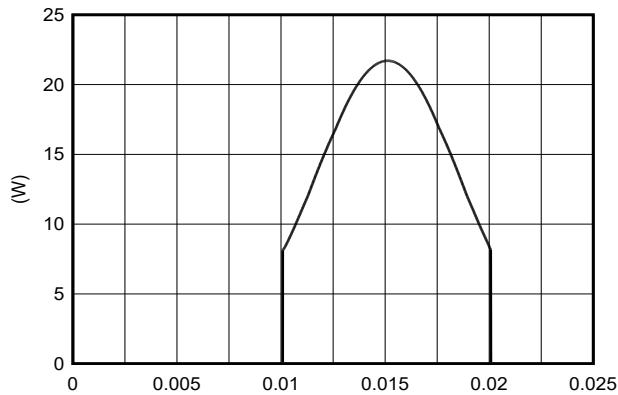


図 3-3. スwitching 損失: S3、S4

図 3-1 に、前述のスイッチングセルのスイッチングノードの電流と電圧を示します。電流と電圧はどちらも位相が揃っており、その結果、スイッチングセルのインバータ動作が関係していることに注意してください。4つのトランジスタのスイッチング損失を図 3-2 と図 3-3 に示します。スイッチング損失は、電気的周期の半分の間のみ発生することに注意してください。つまり、半周期のスイッチがハードスイッチングし、残りの半周期の FET がソフトスイッチングしているということです。AC 全周期で平均すると、すべての FET における AC 損失は等しくなります。追加の調査を実施した結果、下記に記載したすべての動作モードにおけるスイッチング損失は常に同じであることが確認されました。動作モードとは、以下のことを意味します。

- AC から DC への力率補正 (PFC) 電源
- DC からグリッドに供給されるインバータ電力。
- 無効電力のみグリッドに送り込まれたり、引き出されたりする場合の、容量性補償器および誘導性補償器。

3.2 受動部品の設計

3.2.1 ブーストインダクタ設計

昇圧インダクタまたはスイッチングノードインダクタを使用して、スイッチングセルによって生成される電圧パルスをフィルタリングします。適切なインダクタを選択するときは、次の 3 つの重要なパラメータを考慮する必要があります

- インダクタの損失を駆動するピークツーピークリップル電流
- コアの飽和電流を駆動するアプリケーションのピーク電流
- アプリケーション自体の RMS 電流。

3 レベル フライイングコンデンサコンバータでは、昇圧インダクタを流れるピークツーピークリップル電流 (L_{SW}) は次のように計算されます。

$$D_{\text{eff}} = 2 \times D - \text{floor}(2 \times D) \quad (2)$$

$$\Delta I_L = \frac{V_{\text{DC}} \times (D_{\text{eff}}(1 - D_{\text{eff}}))}{4 \times L_{\text{SW}} \times f_{\text{SW}}} \quad (3)$$

ここで:

- V_{DC} は DC リンク電圧
- D_{eff} はインダクタに適用される実効デューティ比
- L_{SW} は昇圧インダクタンス
- f_{SW} はスイッチング周波数

デューティサイクルの関数の式を、図 3-4 に示します。

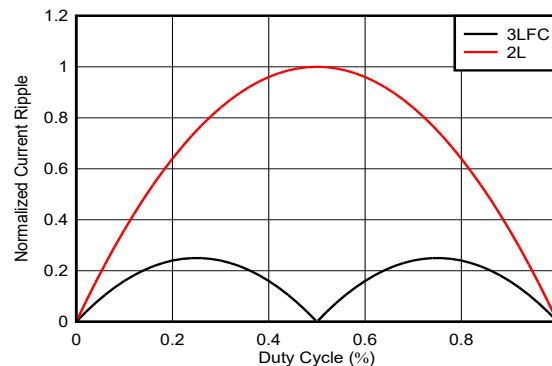


図 3-4. 3 レベルおよび 2 レベルのコンバータを使用した場合の正規化リップル電流とデューティサイクルとの関係

2 レベルコンバータと比較して、3 レベルコンバータではピークツーピーク電流を 75% 低減できます。インダクタに流れ込む周波数が 2 倍で、印加される電圧が半分になるため、ピークツーピーク電流は 75% 減少します。図 3-4 は、デューティサイクルが 25% および 75% に等しいとき、リップルが最大になることを示しています。正弦波アプリケーションでは、TI はワーストケースとして 25%、75% のデューティサイクルを考慮することを推奨しています。

3.2.2 DC リンク高周波リップル

DC リンク電圧リップルと RMS 電流は、次のように計算できます。

$$\Delta V_{DC} = \frac{D(1-D) \times I_{boost}}{C_{out} \times f_{sw}} \quad (4)$$

$$I_{out, RMS} = \sqrt{D \times I_L^2 \times (1-D) + \frac{\Delta I_L^2}{12}} \quad (5)$$

ここで:

- ΔV_{DC} は、C_DC 端子で観測できる DC リンク電圧リップルです。
- D は、平均スイッチング ノード電圧と DC リンク電圧の比です。この値は、デューティ サイクルに相当します。
- I_L はスイッチング ノード電流です。
- f_{sw} は 4 つの FET のスイッチング周波数です。

これら 2 つの式は、[図 3-5](#) および [図 3-6](#) に示すようにデューティ サイクルに対してプロットされています。

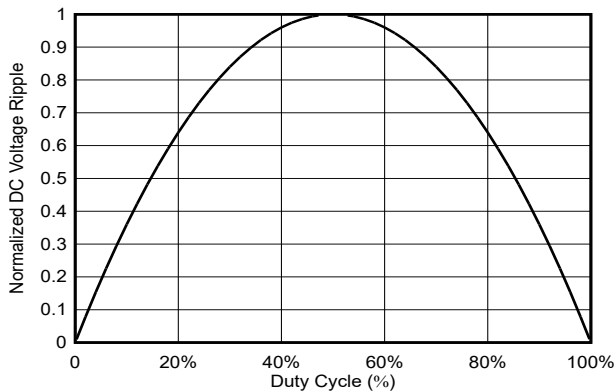


図 3-5. デューティ サイクルと DC 電圧リップルの関係

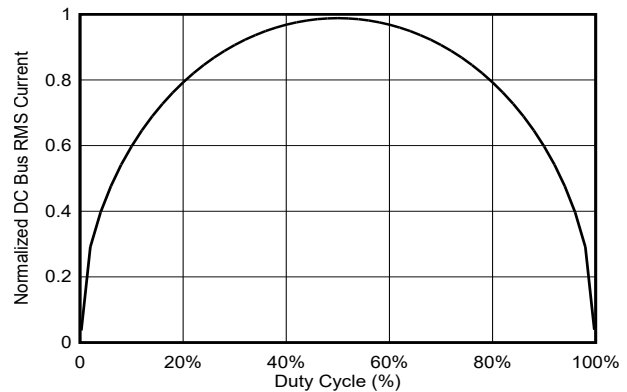


図 3-6. デューティサイクルと DC バス RMS 電流の関係

[図 3-6](#) は、デューティ サイクルが 50% の場合に最悪のシナリオが常に発生することを示しています。コンデンサを選定するときは、AC サイクル全体における平均リップルを考慮する必要があります。コンデンサに流れ込むスイッチング周波数は f_{sw} と等しく、この時間はインダクタの場合のように 2 倍にはなりません。

3.2.3 フライイングコンデンサの設計

このトポロジでは、フライイングコンデンサが重要な部品です。この部品は、DCリンク電圧の半分以上の電圧定格で選択する必要があります。インダクタ電流全体がフライイングコンデンサに流れると、大きな電圧リップルが発生します。フライイングコンデンサの両端のピークツーピーク電圧リップルは、下記のとおり計算できます。

$$\Delta V_{FC} = \frac{(0.5 - \text{ABS}(D - 0.5)) \times I_L}{C_{FC} \times f_{sw}} \quad (6)$$

ここで、 C_{FC} はフライイングコンデンサの容量値です。

この式から、スイッチング周波数を上げるとリップル電圧を大幅に下げることができ、このトポロジにおいて GaN トランジスタがより魅力的になることがわかります。

さらに、RMS 電流は次のように計算できます。

$$I_{FC, \text{RMS}} = \sqrt{2(0.5 - \text{ABS}(D - 0.5)) \times \left(I_L^2 + \frac{\Delta I_L^2}{12} \right)} \quad (7)$$

図 3-7 と図 3-8 に、フライイングコンデンサのリップル電圧と、デューティサイクルの関数における RMS 電流を示します。

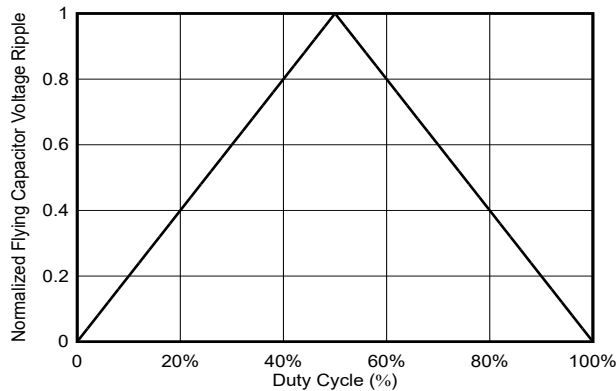


図 3-7. フライイングコンデンサのピークツーピーク電圧とデューティサイクルの関係

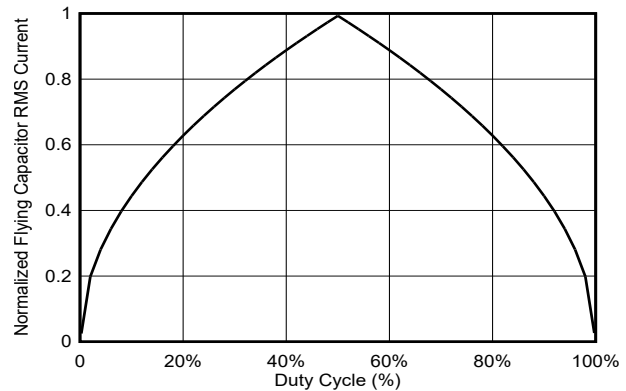


図 3-8. フライイングコンデンサの RMS 電流とデューティサイクルの関係

図 3-7 および図 3-8 は、デューティサイクルが 50% の場合に最悪のシナリオが発生することを示しています。フライイングコンデンサに流れる基本リップル周波数は、スイッチング周波数と等しくなります。設計したコンバータで優れたコスト構造を実現するために、TI は、フィルムコンデンサの使用を推奨します。これは、高静電容量を実現しながら、低コストの設計で大きなリップル電流に対応できるためです。

3.3 レイアウトに関する考慮事項

セクション 3.2 で示したように、式から、スイッチング周波数を高くすることで、フライングコンデンサとブーストインダクタの値を大幅に低減できることがわかります。より高いスイッチング周波数を実現するために、GaN トランジスタを採用することができます。これらのトランジスタは、標準的な Si FET より高速なスイッチング速度を達成するので、スイッチング損失が減少します。スイッチング速度が速くなると di/dt が高くなり、ループ寄生インダクタンスと相まって、デバイスの過電圧が大きくなる可能性があります。過電圧が原因で EMI の問題が発生し、デバイスの破壊も発生します。このトポロジでは、[図 3-9](#) に示すように、2 つの整流ループを識別できます。

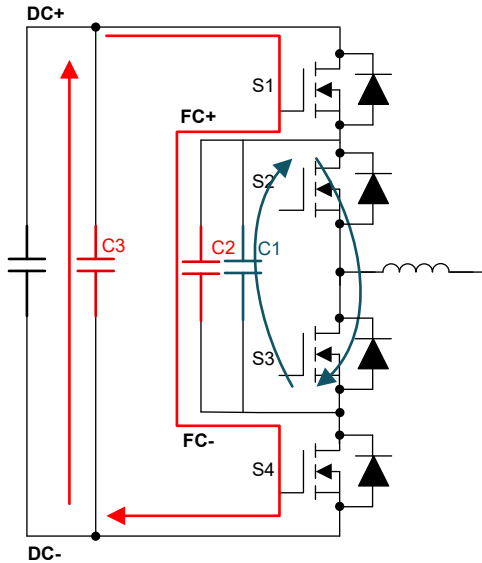


図 3-9. 3 レベルフライングコンデンサスイッチングレグの整流ループ

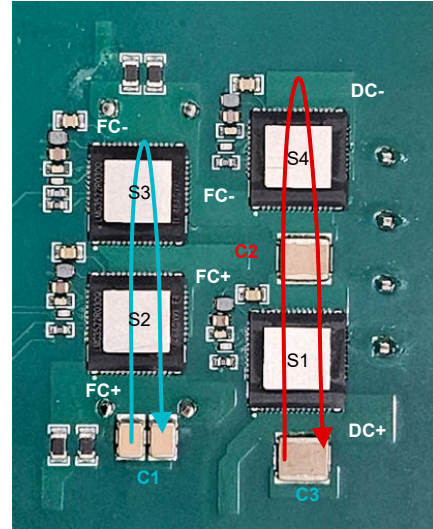


図 3-10. LMG3522R030 をベースとした 3 レベルフライングコンデンサスイッチングセルのレイアウト

フライングコンデンサは[図 3-10](#)には示されていません。デカップリングセラミックコンデンサのみを示しています。青い矢印は内部ループを表しており、S2、S3、C1 の寄生インダクタンスで構成されています。LMG3522R030 のデータシートに記載されているレイアウトの推奨事項に従って、このレイアウトを最適化できます。赤い円は外部ループを表しており、S1、S4、C3 で構成されています。S2 と S3 の寄生インダクタンスをデカップリングするために、コンデンサ C2 を C1 と並列に配置できます。このようにコンデンサを追加すると、電力性能に影響を及ぼさずにローカルレイアウトを改善でき、FET を分散できます。3 レベルフライングコンデンサスイッチングセルの推奨レイアウトを[図 3-10](#)に示します。

この画像から、コンデンサ C2 を追加すると、スイッチングループの寄生インダクタンスが減少していることに注意してください。部品を追加する場合、基板の機械的寸法が大きくなるため、ゲートドライバの信号処理が複雑になります。これにより、FET のスイッチング速度を低下させる必要が生じ、結果として総損失が増加する可能性があります。ゲートドライバを内蔵した GaN トランジスタを LMG3522R030 として使用すると、この問題を解決できます。ゲートドライバを内蔵している設計のため、GaN トランジスタを迅速に駆動することができます。

3.4 プリチャージ ネットワーク

フライングコンデンサコンバータにおける重要な課題は、フライングコンデンサ自体のプリチャージ方式です。

コンバータの公称動作中、フライングコンデンサの電圧レベルは、電圧制御ループによって公称電圧 $V_{dc}/2$ に設定されます。フライングコンデンサの電圧を DC バス電圧の半分の値に制御することで、FET にかかる電圧ストレスを DC バス電圧の半分に規定できます。

コンバータを初めてグリッドに接続する場合、マイコンと AUX 電源はオフになります。コンバータのプリチャージシーケンス中、DC リンク電圧は上昇を開始しますが、フライングコンデンサの電圧は依然としてゼロになります。グリッド電圧が高く、DC バス電圧がトランジスタの降伏電圧よりも高い値に達すると、FET が損傷するリスクがあります。この問題は、[図 3-11](#) に示すように、S1 と S4 と並列にツェナーダイオードと抵抗を使用することで解決されます。

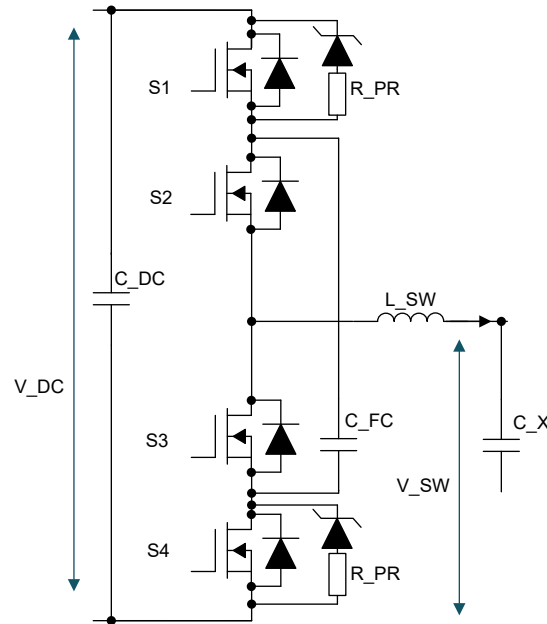


図 3-11. 3 レベル フライングコンデンサコンバータのプリチャージネットワーク

FET と並列にツェナーダイオードを接続すると、FET の両端の電圧をクランプできます。これにより、ツェナー電圧に達すると、フライングコンデンサの充電が開始されます。充電電流を制御するには、数オームの抵抗を直列に配置して、充電電流を制限します。充電電流と充電時間との間のトレードオフは、容量値に基づいて抵抗の値を変更することで求められます。回路の定数時間は、[式 8](#) を使用して計算できます。

$$\tau = 2R_{PR}C_{FC} \quad (8)$$

4 実験結果

この章では、TIDA-010957 と呼ばれるリファレンス デザインの実験結果を示します [5]。これは、TI GaN FET (LMG3522R030) をベースとした定格 15kVA の TI リファレンス デザインで、三相 + ニュートラル対応アプリケーションを対象としています。このリファレンス デザインは、650V の GaN トランジスタを使用しながら、900V DC リンクに接続できます。GaN FET には内蔵ゲートドライバがあるため、70kV/us のスイッチング速度を達成できます。このリファレンス デザインの回路概略図については、[図 4-1](#) を参照してください。

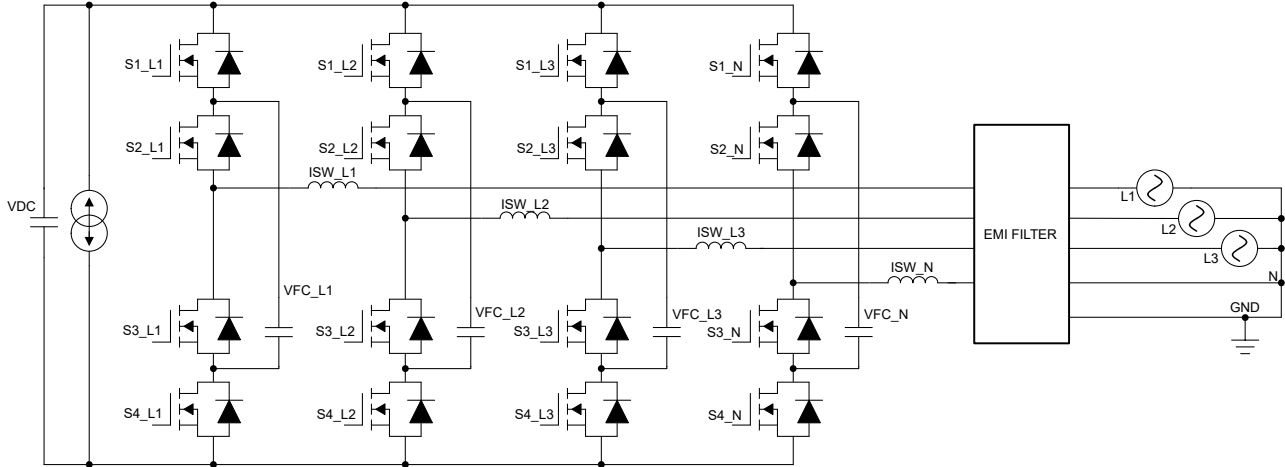


図 4-1. TIDA-010957 リファレンス デザインの回路概略図

このトポロジでは、4 つのクローン ブランチがすべてフライング コンデンサ トポロジによって実装されていることがわかります。コンバータの各スイッチング セルは、 $21A_{rms}$ を処理できます。

4.1 TIDA-010957 のフライング コンデンサのプリチャージ

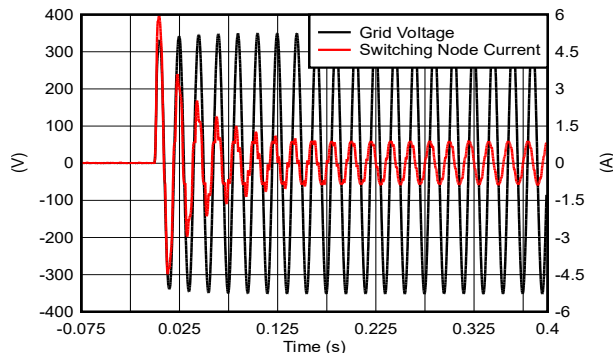


図 4-2. フライング コンデンサのプリチャージ シーケンス - グリッド電圧およびグリッド電流

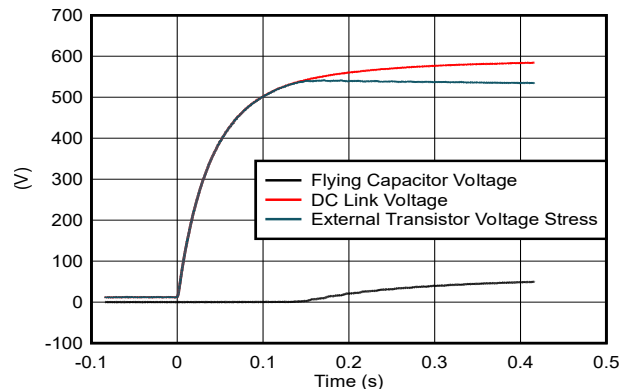


図 4-3. フライング コンデンサのプリチャージ シーケンス - DC リンク電圧、フライング コンデンサ電圧および外部トランジスタの電圧ストレス

[図 4-2](#) および [図 4-3](#) に、プリチャージ シーケンスに関連する波形を示します。以下の波形を示します。

- 位相 L1 の電流
- 位相 L1 の電圧
- DC リンク電圧
- フライング コンデンサ電圧
- 外部トランジスタの電圧ストレス

このテストでは、テスト対象のコンバータをグリッドに接続しました。コンバータの端子には、グリッド電圧が直ちに印加されていることに注意してください。グリッド電圧が確立されると、グリッド突入電流が発生します。ツェナー ダイオードによって、FET 両端の電圧は実質的に 520V にクランプされます。

4.2 定常状態での動作

このリファレンス デザインは、4 つの動作モードでテストされました。

- インバータ動作: DC からグリッドに電力を変換します。
- PFC 動作: グリッドから DC への電力コンバータ。
- インバータと静電容量性電力補償器: 有効電力とともに無効電力がグリッド注入へされます。
- インバータと誘導性電力補償器: 有効電力が注入され、無効電力がグリッドから消費されます。

実験中に収集されたデータを収集し、[図 4-4](#) ~ [図 4-11](#) に示します。これらの図では、4 つの動作ポイントのスイッチング ノード電圧、グリッド電流、グリッド電圧を示しています。

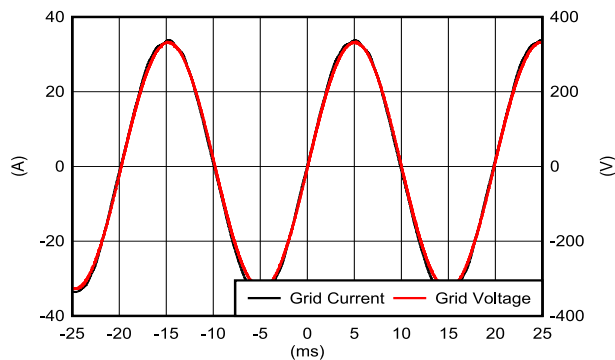


図 4-4. 実験的な PFC 動作: ライン電流、ライン電圧、スイッチング ノード電圧 (図 A)

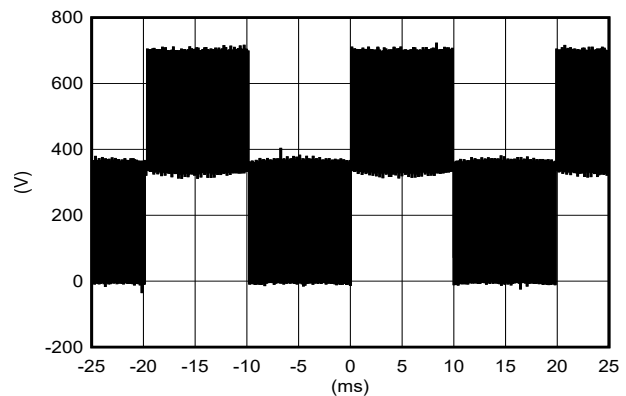


図 4-5. 実験的な PFC 動作: ライン電流、ライン電圧、スイッチング ノード電圧 (図 B)

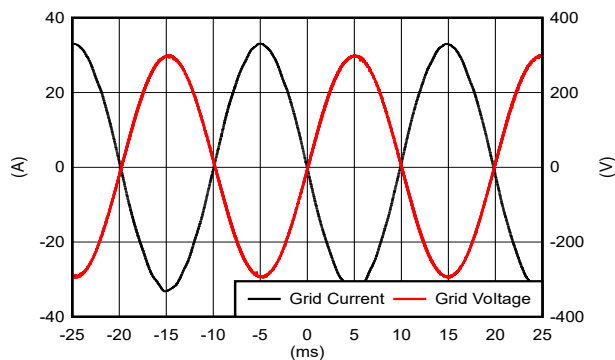


図 4-6. 実験的インバータの動作: ライン電流、ライン電圧、スイッチング ノード電圧 (図 A)

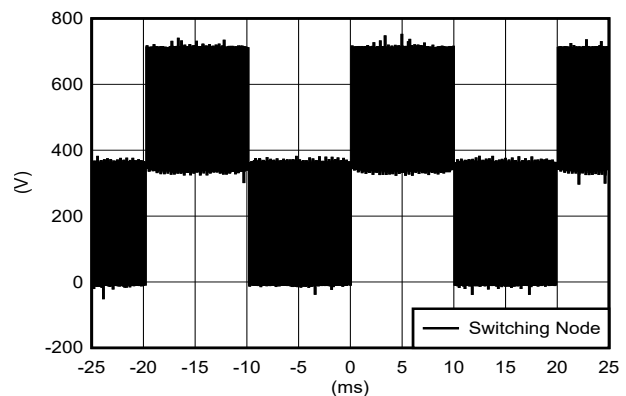


図 4-7. 実験的インバータの動作: ライン電流、ライン電圧、スイッチング ノード電圧 (図 B)

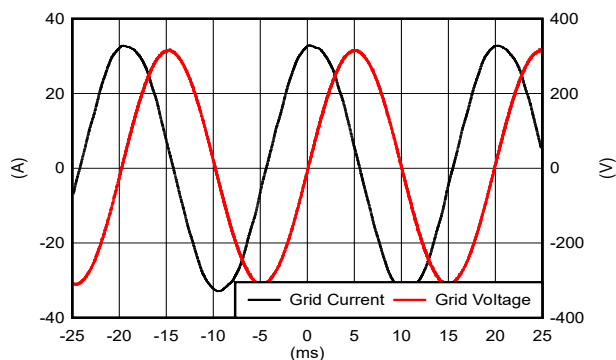


図 4-8. 実験的インバータと容量性補償の組み合わせ: ライン電流、ライン電圧、スイッチング ノード電圧 (図 A)

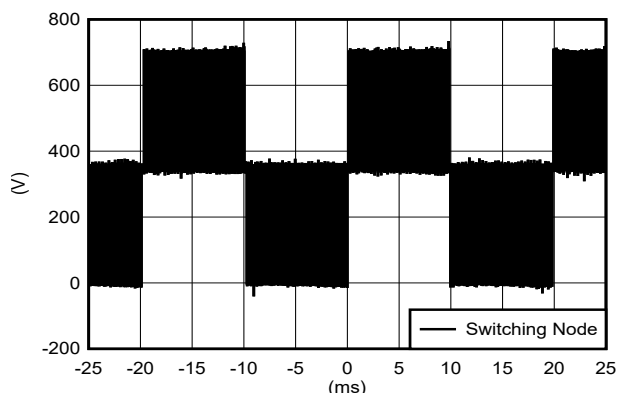


図 4-9. 実験的インバータと容量性補償の組み合わせ: ライン電流、ライン電圧、スイッチング ノード電圧 (図 B)

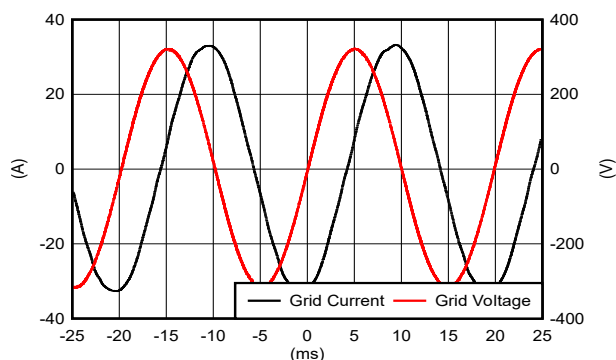


図 4-10. 実験的インバータと誘導性補償: ライン電流、ライン電圧、スイッチング ノード電圧 (図 A)

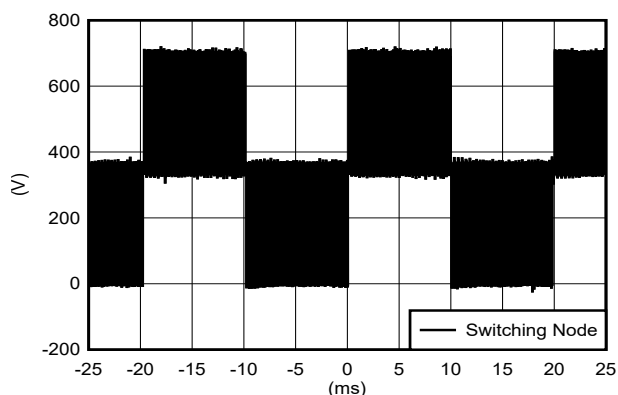


図 4-11. 実験的インバータと誘導性補償: ライン電流、ライン電圧、スイッチング ノード電圧 (図 B)

最初に、電気的周波数グリッドの周期を考慮したときに、スイッチング ノードの電圧が 3 つの区別されたレベルを示していることがわかります。これは、周期の半分に 50% を下回るデューティ サイクルが必要であり、周期の残りの半分には、50% を超えるデューティ サイクルが必要とされるためです。3 つの電圧レベルと、等価スイッチング周波数の 2 倍化により、前述の図からもわかるように、グリッド電流のリプル電流を低く抑えることができます。第二に、これらの結果から、リップル電流や効率の悪化が見られなかったため、このトポロジはすべての動作ポイントで同じ性能を維持しながら動作することに注意してください。このリファレンス デザインでは、LMG3522R030 を使用することで、平均接合部温度が 105°C のときに、18kW で 98.9% のピーク効率が測定されました。接合部温度は、デバイスに内蔵された温度センシング機能を使用して取得されました。

5 まとめ

フライング コンデンサトポロジは、コンバータのサイズの縮小と効率の向上を試みる際に推奨される設計です。GaN トランジスタを採用すると、スイッチング周波数を大幅に高くすることができるため、結果として、このトポロジはさらに魅力的です。TI の GaN FET と統合型ゲートドライバを使用することで、電源レイアウトを最適化できることが実証されています。70kV/ μ s のスイッチング速度が、大きな電圧オーバーシュートなしに達成されました。

本研究では、定格出力 15kW の三相 + ニュートラル対応リファレンス デザインを基準として採用しています。このトポロジは、インバータ、PFC、無効電力補償で動作できます。99% に近いピーク効率を達成しています。

6 参考資料

1. テキサス インスツルメンツ、『TI の GaN FET をベースとする 10kW 単相ストリング インバータに関する設計上の検討事項』、技術記事。
2. How2Power、『Assessing Performance of a 10kW String Inverter Based on GaN FETs』、記事。
3. テキサス インスツルメンツ、『3 相産業用システム電源設計のための AC/DC 電力変換トポロジの比較』、セミナー。
4. IEEE、『Inverter Side RL Filter Precise Design for Motor Overvoltage Mitigation in SiC-Based Drives』、記事。
5. テキサス インスツルメンツ、『15kW、双方向、三相 + ニュートラル対応、GaN ベースのフライング コンデンサ方式リファレンス デザイン』、設計ガイド。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月