

Application Note

TUSB2E221 リピータの設計および構成ガイド

Ryan Kitto

概要

このアプリケーション ノートでは、システムの設計要件に適合するように TUSB2E221 eUSB2 リピータを構成する方法について説明します。本書では、ピンストラップ モードまたは I2C 構成用に TUSB2E221 を構成する方法、TUSB2E221 の USB2 および eUSB2 PHY を構成する方法、リピータ構成に基づいてシステムのレイアウトを設計する際の推奨事項について説明します。

目次

1 概要	2
2 TUSB2E221 のさまざまな構成方法	3
2.1 I2C 構成.....	3
2.2 ピンストラップ構成.....	4
3 レイアウトのガイドライン	6
3.1 ピンストラップ モードのレイアウト ガイドライン.....	6
3.2 I2C 構成のレイアウト ガイドライン.....	6
4 その他のピン構成	7
4.1 パワー ピン.....	7
4.2 コントロールピン.....	7
5 まとめ	8
6 参考資料	9

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

USB2.0 規格は、数十年にわたって業界で長期的に使用されており、幅広い製品や用途で使用されています。

しかし、業界の進化に伴い、プラットフォームとプロセッサのサイズは小型化し続けており、電力とサイズに関する要件はより厳しくなる一方で、今日のあらゆる USB ホストやデバイスに期待される USB2.0 の機能も引き続き必要とされています。USB2.0 は業界で最も高い電圧信号振幅を持つ規格の一つであり、LS または FS 機能には最大 3.3V を必要としますが、電力とサイズがより重視される業界では、3.3V の信号伝達は現実的ではありません。これに対し、USB-IF は、現在使用されている機能に影響を与えることなく、より低い振幅で USB2.0 の機能を実現することを目的とした仕様である、組み込み USB2 (eUSB2) 物理層サブプリメントを確立しました。この仕様の一部として、USB-IF は eUSB2 リピータも導入しました。

eUSB2 リピータは、eUSB2 信号の低い電圧 (1.0V または 1.2V) を、振幅の差の影響を受けずに、最大 3.3V の標準的な USB2.0 信号電圧と接続できるようにする IC であり、TUSB2E221 はそうしたリピータの一つです。TUSB2E221 は、リピータの一方の側で eUSB2 信号と同時に接続し、その信号を期待される電圧で USB2 信号を出力するように変換したり、反対側で USB2 信号を eUSB2 信号に出力したりすることで、この通信を可能にします。また、これらのリピータは、eUSB2 または USB2 パターンから発生する信号の損失を補償し、USB2 または eUSB2 信号の振幅またはエンファシスを調整するのにも役立ちます。

本資料は、TUSB2E221 をシステムに実装および構成するさまざまな方法を紹介することを目的としています。これには、TUSB2E221 をピンストラップ モードまたは I2C モードのいずれかに構成する方法、ピンストラップ モードでの推奨設定、および I2C モードで TUSB2E221 を構成する方法が含まれます。また、TUSB2E221 の機能を適切に利用するためのアプリケーションのレイアウト設計方法についても説明します。

2 TUSB2E221 のさまざまな構成方法

TUSB2E221 の構成方法は、I2C 構成とピンストラップ設定の 2 種類があります。どちらのオプションも有効であり、利用可能ですが、それぞれに利点があります。

I2C 構成により、eUSB2 PHY と USB2 PHY の両方を同時に構成できるため、システム設計に応じて特定の構成を組み合わせたことが可能です。さらに、I2C では、ピンストラップ モードでリピータを使用する場合には利用できない設定が、特定のレジスタにいくつか追加されます。

ピンストラップ構成を使用すると、リピータの実装ははるかに単純で、eUSB2 PHY と USB2 PHY のどちらかのみを構成でき、両方を一度に構成することはできません。これにより、リピータの片側は、どの PHY が構成されているかに基づいて設定されたガイドラインに従うことができます。ピンストラップ モードでは、TUSB2E221 を適切に構成するための I2C バスも不要になり、3 本の EQ ピンと SDA/SCL ピンのみを使用して PHY 構成を決定できます。

2.1 I2C 構成

I2C を使用して TUSB2E221 を構成するには、TUSB2E221 を I2C モードに設定するために、特定のピンを構成する必要があります。

表 2-1. I2C モードのピン構成

ピン名	ピン構成
EQ0	GND にプルダウンまたはフローティング。
EQ1	GND にプルダウンまたはフローティング。
EQ2/INT	フローティング、またはオープンドレイン モードでは 10KΩ の PU を使用してホストの GPIO に接続。
SCL	1KΩ の抵抗を使用して PU から VIO。
SDA	1KΩ の抵抗を使用して PU から VIO。

上記のピンを表 2-1 に示すように構成した場合、リピータは I2C モードに設定され、リピータのポート 0 とポート 1 は USB リピータ モードに設定されます。

I2C モードに入ると、次に示すビットを変更して、eUSB2 と USB2 のどちらかの PHY の性能を調整できます。

表 2-2. TUSB2E221 構成ビット

登録	説明
E_EQ_Px	eUSB2 ピンの RX EQ を制御します。これにより、0.34dB から 4.07dB までの損失補償が可能です。
E_HS_TX_AMPLITUDE_Px	リピータの eUSB2 ピンによって信号出力の TX 振幅を制御します。これにより、eUSB2 ピンの出力が 360mVpp ~ 500mVpp の範囲であるように設定されます。
E_HS_TX_PRE_EMPHASIS_Px	eUSB2 ピンの出力のプリエンファシスを制御します。このプリエンファシスの範囲は、0dB ~ 3.86dB です。
U_EQ_Px	USB2 ピンの RX EQ を制御します。これにより、0.06dB ~ 3.35dB までの損失補償が可能になります。
U_SQUELCH_THRESHOLD_Px	USB2 ピンのスケルチ スレッシュホールドを制御します。これにより、USB2 HS 信号は 85mV という低い値でも検出可能となるか、検出に最低 130mV の信号が必要となります。
U_DISCONNECT_THRESHOLD_Px	USB2 接続の接続解除スレッシュホールドを制御します。これは、HS 信号の振幅が大きすぎるかどうかを判断する範囲を設定するもので、最小値 525mV から最小値 825mV までの範囲です。
U_HS_TX_AMPLITUDE_Px	リピータの USB2 ピンによって信号出力の TX 振幅を制御します。これにより、USB2 ピンの出力が 740mVpp ~ 1040mVpp の範囲であるように設定されます。
U_HS_TX_PRE_EMPHASIS_Px	USB2 ピンの出力のプリエンファシスを制御します。このプリエンファシスの範囲は、0.5dB ~ 4.0dB です。

上記のビットを調整することで、TUSB2E221 の性能をシステムの制約に合わせて調整することができます。たとえば、リピータと USB2 コネクタの間の USB2 パターンが長さに関して長いシステムでは、U_EQ_Px ビットと U_HS_TX_AMPLITUDE_Px ビットをより高い値に調整してリピータの USB2 側の性能を向上させることができ、リピータからの USB2 信号出力をより強い駆動強度にすると同時に、受信時の USB2 信号を改善できます。

また、I2C モードでは、これらの構成ビットはピンストラップ モードよりも多くの設定が利用可能です。これらの設定は一般的なアプリケーションでは必要ありませんが、極端な設計ケースでは、システムの性能をさらに向上させるために使用できます。

要約すると、I2C モードでは、ピンストラップ モードですぐに利用できる構成よりもさらに詳細な TUSB2E221 の構成が可能になりますが、その代償として、ピンストラップ モードで利用できる構成の容易さは失われます。

2.2 ピンストラップ構成

I2C 構成とは異なり、ピンストラップ モードではソフトウェアや外部プログラミングは不要で、TUSB2E221 の 3 つの EQ ピン (EQ0、EQ1、EQ2) と SDA/SCL ピンを使用して、eUSB2 PHY または USB2 PHY のいずれかの補償レベルを選択します。これにより、I2C を使用して USB2 と eUSB2 の両方の PHY を制御するのではなく、システム設計に最適な補償レベルを簡単に選択できます。

一つ注意すべき点は、ピンストラップ モードで SDA と SCL がどのように構成されるかによって、どの PHY が構成されるかが変わることです。下の表 2-3 は、SCL/SDA ピンの設定に基づいて構成可能な PHY の一覧です。

表 2-3. ピンストラップ PHY の選択

SCL	SDA	EQ0	EQ1	EQ2
Low / フローティング	Low / フローティング	USB2 PHY 構成		
High	Low / フローティング	eUSB2 PHY 構成		ハイインピーダンス

2.2.1 USB2 PHY 構成

SDA ピンと SCL ピンの両方が Low またはフローティングになると、TUSB2E221 は 3 つの EQ ピンを介して USB2 PHY を構成できます。これらのピンを使用して、最大 8 つの異なる構成が可能になり、各構成はリピータから USB2 コネクタまでの USB2 データ レーン上で特定の量の等価直列抵抗 (ESR) に合わせてカスタマイズされます。

ただし、使用可能なオプションは 8 つありますが、代表的なアプリケーションでは、そのうち 3 つのみを検討する必要があります。

表 2-4. USB2 PHY ピンストラップ構成

EQ0	EQ1	EQ2	USB2 PHY 補償レベル	USB ESR
Low/フローティング	Low/フローティング	Low/フローティング	レベル 0	USB A: 2.5Ω USB B: 2.5Ω
High	Low/フローティング	Low/フローティング	レベル 1	USB A: 10Ω USB B: 10Ω
Low/フローティング	High	Low/フローティング	レベル 2	USB A: 17.5Ω USB B: 17.5Ω

利用可能な 8 つの設定のうち、これら 3 つが USB2 レーン両方を同じ補償レベルに設定するために一般的に選択されます。他の 5 つの設定は、異なる ESR 値の USB2 レーンを使用できるように設計されていますが、通常は使用されません。

eUSB2 リピータの USB2 側の ESR を決定することで、EQ ピンを介して適切な補償設定を選択し、USB2 信号が適切に補償されるようにすることができます。たとえば、リピータと USB2 コネクタとの間の距離が最小限で、データパスに部品が存在しないシステムでは、eUSB2 リピータを USB2 PHY 補償レベル 0 に設定するのが最適です。

また、I2C を事前に使用する場合は、TUSB2E221 の表 5-4 を使用して、表 2-2 に記載されているレジスタに使用されるレジスタ値に最適な EQ ピンのピンストラップ設定を決定できます。表 5-4 は、使用されているピンストラップ補償レベルに基づいてレジスタがどのように調整されているかを正確に示すためにも使用できます。

2.2.2 eUSB2 PHY 構成

SDA が Low またはフローティングになっている間に SCL を High にすると、TUSB2E221 は eUSB2 PHY 構成を可能にします。eUSB2 PHY 構成モードでは、EQ ピンを使用して 4 種類の eUSB PHY 補償レベルを選択します。

表 2-5. eUSB PHY のピンストラップ構成

EQ0	EQ1	EQ2	eUSB PHY 補償レベル	eUSB ESR
Low/フローティング	Low/フローティング	Low/フローティング	レベル 0	eUSB0:2.5Ω eUSB1:2.5Ω
High	Low/フローティング	Low/フローティング	レベル 1	eUSB0:7.5Ω eUSB1:7.5Ω
Low/フローティング	High	Low/フローティング	レベル 2	eUSB0:15Ω eUSB1:15Ω
High	High	Low/フローティング	レベル 3	eUSB0:25Ω eUSB1:25Ω

リピータとホスト/デバイスとの間の eUSB2 データレーンの ESR に応じて、ピンストラップモードの EQ ピンは、eUSB2 データレーンの ESR にできるだけ近い値になるように構成する必要があります。たとえば、eUSB2 データレーンに沿って一部の部品が存在する場合、またはリピータとホスト/デバイスとの間のパターン長が 10 インチの場合、eUSB PHY 補償レベル 3 が最適な構成レベルになります。

I2C を事前に使用した場合、TUSB2E221 データシートの表 5-6 を使用して、表 2-2 に記載されている eUSB レジスタの設定に最適なピンストラップ設定を決定できます。表 5-6 は、使用されているピンストラップ設定に基づいて、eUSB2 PHY がどのように構成されているかを正確に判断するためにも使用できます。

3 レイアウトのガイドライン

eUSB2 PHY と USB2 PHY の構成方法によって、eUSB2 および USB2 データレーンの推奨長が異なる場合があります。リピータの設定を決定する際には、設定とパターン長の両方を念頭に置いておくことが重要です。必要な部品 (ESD、CMC など) に基づいて特定の補償設定を考慮してパターンを設計するか、ホスト / デバイスからリピータまでのパターン長およびリピータからコネクタまでのパターン長に基づいてリピータを構成するのが最善です。

3.1 ピンストラップ モードのレイアウト ガイドライン

TUSB2E221 をピンストラップ モードを念頭に置いて設計する場合、どの PHY を構成するかによって、eUSB2 および USB2 パターンの推奨パターン長がそれに応じて変化する点を考慮することが重要です。

TUSB2E221 を設定してリピータの USB2 PHY を構成する場合、ホスト / デバイスとリピータとの間の eUSB2 パターンを最大 5 インチにすることを推奨します。これは、5 インチのパターンで通常見られる損失を考慮して、eUSB2 PHY がデフォルトで設定されているためです。USB2 PHY に選択された設定に応じて、USB2 パターンの最大長は 11 インチまでを推奨します。この最大長は、表 2-4 に記載の USB2 PHY の最大補償レベルに関連して使用されています。

TUSB2E221 がリピータの eUSB2 PHY を構成するように設定されている場合、USB2 信号がリピータに到着する前にシグナル インテグリティに大きな影響を与えることなく USB ケーブルを通過できるように、リピータと USB コネクタとの間の距離をできるだけ短くすることを推奨します。eUSB2 PHY の設定方法に応じて、eUSB2 パターンは、それぞれ表 2-5 の補償レベルに従って、2.5、5、7.5、10 インチのいずれかになります。

3.2 I2C 構成のレイアウト ガイドライン

I2C モードの場合、eUSB2 パターンと USB2 パターンの両方のパターン長は、それぞれの PHY の構成方法によって変化する可能性があります。TUSB2E221 データシートの表 5-3 から表 5-6 に従って、設定されたレジスタ値に基づいて、USB2 および eUSB2 データレーンの推奨パターン長を概算できます。

4 その他のピン構成

eUSB2 リピータが適切に機能するように、EQ、DP/DN、eDP/eDN ピン以外に、TUSB2E221 の他のピンも構成する必要があります。

4.1 パワーピン

TUSB2E221 は、3.3V および 1.8V の両方の電源レールを使用して、リピータ内の内部 eUSB2 および USB2 PHY に電力を供給します。電源シーケンス要件がないため、これらのピンの構成は簡単です。両方のピンが必要な最小電源電圧に達するのに要する最大時間は 2ms であるため、その要件を満たしていることを確認してください。

それ以外で唯一懸念されるのは、デカップリング コンデンサです。両方の VDD3V3 が同一レールを使用すると仮定すると、各電源レールには 1 μ F のプルダウン コンデンサを接続する必要があります。また、各電源ピンには 100nF のコンデンサを配置することが推奨されるため、VDD3V3 レールには 100nF コンデンサを 2 個、VDD1V8 レールには 100nF コンデンサを 1 個配置します。eUSB2 リピータの仕様が提供されている場合は、その仕様に従うことを推奨します。

4.2 コントロールピン

TUSB2E221 には、リピータ制御および機能のための 3 つの追加ピン、RESETB、VIOSEL、CROSS ピンがあります。

VIOSEL ピンを使って、構成方法に応じて、IO ピンの電圧スレッシュホールド (EQ、CROSS、INT、SDA/SCL、RESETB) を制御します。1.8V の高 IO 信号の場合、VIOSEL ピンを 1.8V にプルアップする必要があります。1.2V の高 IO 信号の場合、VIOSEL ピンを VSS/GND にプルダウンする必要があります。

RESETB ピンはアクティブ Low のリセットで、TUSB2E221 をイネーブルにするかどうかを制御します。RESETB ピンを Low にすると、TUSB2E221 はディスエーブルになって機能しなくなり、USB2 レーンがディスエーブルになります。RESETB ピンを High にすると、TUSB2E221 がイネーブルになり、eUSB2 PHY がデフォルト モードに移行して、eDSPr または eUSPr からの構成を待機します。通常、RESETB ピンを 1K Ω の抵抗で VIOSEL ピンで選択された VIO にプルアップし、100nF のコンデンサを GND に接続することを推奨します。

最後に、TUSB2E221 の DSBGA パッケージを使用する場合には、TUSB2E221 内の内部クロスバー マルチプレクサを制御する追加の CROSS ピンがあります。この内部マルチプレクサは、DP/DN A/B ポートおよび eDP/eDN 0/1 ポートの配線を制御します。起動時に CROSS ピンが Low になると、eUSB0 は USBA に、eUSB1 は USBB に配線されます。起動時に CROSS ピンが High になると、USBB へ配線された eUSB0、eUSB1 は USBA に配線されます。このクロスバー マルチプレクサが不要なほとんどの場合、CROSS ピンをプルダウンしたままにして、信号をリピータ経由で配線するのが最善です。TUSB2E221 の QFN パッケージでは、このマルチプレクサはアクセスできず、デフォルトでプルダウンされます。

5 まとめ

TUSB2E221 を使用すると、システムのニーズに応じて、シンプルな構成と包括的な構成の両方を実現できます。TUSB2E221 をシステムのニーズに合わせて調整し、それに基づいて設計することで、eUSB2 をシステムに簡単に導入できます。

6 参考資料

1. TUSB2E221 データシート: <https://www.ti.com/lit/gpn/tusb2e221>
2. TUSB2E221QFN 評価基板ユーザー ガイド: <https://www.ti.com/lit/pdf/snlu354>

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月