

Application Note

絶縁型設計における EMC の最適化: CISPR と IEC 準拠に適した 10 種類の PCB 手法



Ayush Mangla, Himalaya Pramanick, Varun Kumar

概要

このアプリケーション ノートでは、コンデンサの配置、フェライトビーズ フィルタ、PCB の慎重なグランド接続など、PCB の上位 10 種類の改善を通じて、電磁波を最小化し、耐性を最大限に高めるための手法の概要を説明します。このアプリケーション ノートは、TI の電源内蔵信号アイソレータ ISOW64xx、ISOW308x、および ISOW1050 デバイスを使用して設計されていますが、優れた EMC 性能を得るために、他のすべてのアイソレータ設計でこれらの手法を使用できます。

目次

1 概要.....	2
2 ボード設計手法による EMC 性能の強化.....	3
2.1 ピン 1 とピン 16 の HF デカップリング コンデンサ.....	3
2.2 コンデンサ バンクと相対配置.....	3
2.3 電源レールのフェライトビーズ π 型フィルタ.....	4
2.4 フェライトビーズの下に絶縁銅アイランド (KOZ).....	4
2.5 CAN/RS-485 ケーブル上の同相モード チョーク (ISOW3080 および ISOW1050 デバイス用).....	4
2.6 ポスト アイランド コンデンサ.....	5
2.7 I/O トレース上の直列抵抗またはローパス フィルタ.....	5
2.8 GND1 と GND2 の間の Y コンデンサ (安全性が重要).....	5
2.9 中間層コンデンサ (絶縁領域にある基板コンデンサ).....	5
2.10 VDD 入力レールの 100 μ F バルク コンデンサ.....	6
3 まとめ.....	7
4 参考資料.....	8

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

最初の設計の反復で EMC 性能を向上させるために、潜在的にコストのかかる基板再スピンを発生させることなく実現できるように、このアプリケーション ノートでは、放射エミッションと伝導エミッションを低減しながら、耐性マージンを改善する実証済みのシステム レベルの手法を複数紹介します。

この手法は、[ISOW6441DWEEVM](#)、[ISOW3080DWEEVM](#)、[ISOW1050DWEEVM](#) 評価基板を基準としており、[ISOW6441](#)、[ISOW3080](#)、[ISOW1050](#) の各デバイス ファミリーに適用できます。このような手法のいくつかは、スイッチング ノイズの基本的な根本原因に対処し、すべての設計に実装する必要がありますが、他の手法は、性能をさらに向上させる必要があります。これらの手法は、EMC 性能を向上させるため、アイソレータを採用したあらゆる設計に使用できます。

- ピン 1 とピン 16 の HF デカップリング コンデンサ
- コンデンサ バンクと相対配置
- 電源レールのフェライトビーズ π 型フィルタ
- フェライトビーズの下に絶縁銅アイランド (KOZ)
- 通信バスに同相チョーク (たとえば、CAN/CAN-485 RS)
- ポスト アイランド コンデンサ
- I/O トレース上の直列抵抗またはローパス フィルタ
- GND1 と GND2 の間の Y コンデンサ (安全性が重要)
- 中間層コンデンサ (絶縁領域内のサブストレート コンデンサ)
- VDD 入力レールの 100 μ F バルク コンデンサ

2 ボード設計手法による EMC 性能の強化

2.1 ピン 1 とピン 16 の HF デカップリング コンデンサ

内蔵 DC/DC コンバータは約 60MHz でスイッチングします。この周波数 (60MHz) とすべての高調波周波数は、放射エミッションと伝導エミッションの両方のスペクトルに現れます。VDD (ピン 1) および VISO (ピン 16) に直接配置された 100nF X7R セラミック コンデンサにより、基本周波数で低インピーダンスのシャントパスが提供されます。デバイスの電源ピンから容量端子への実効インダクタンスがデバイスのグランドピンと容量端子と同じになるように、コンデンサは両側で電源ピンとグランドピンの間で対称的に配置する必要があります。(ISOW1050DWEEVM 評価基板の C27 と C28 の配置を参照してください)。

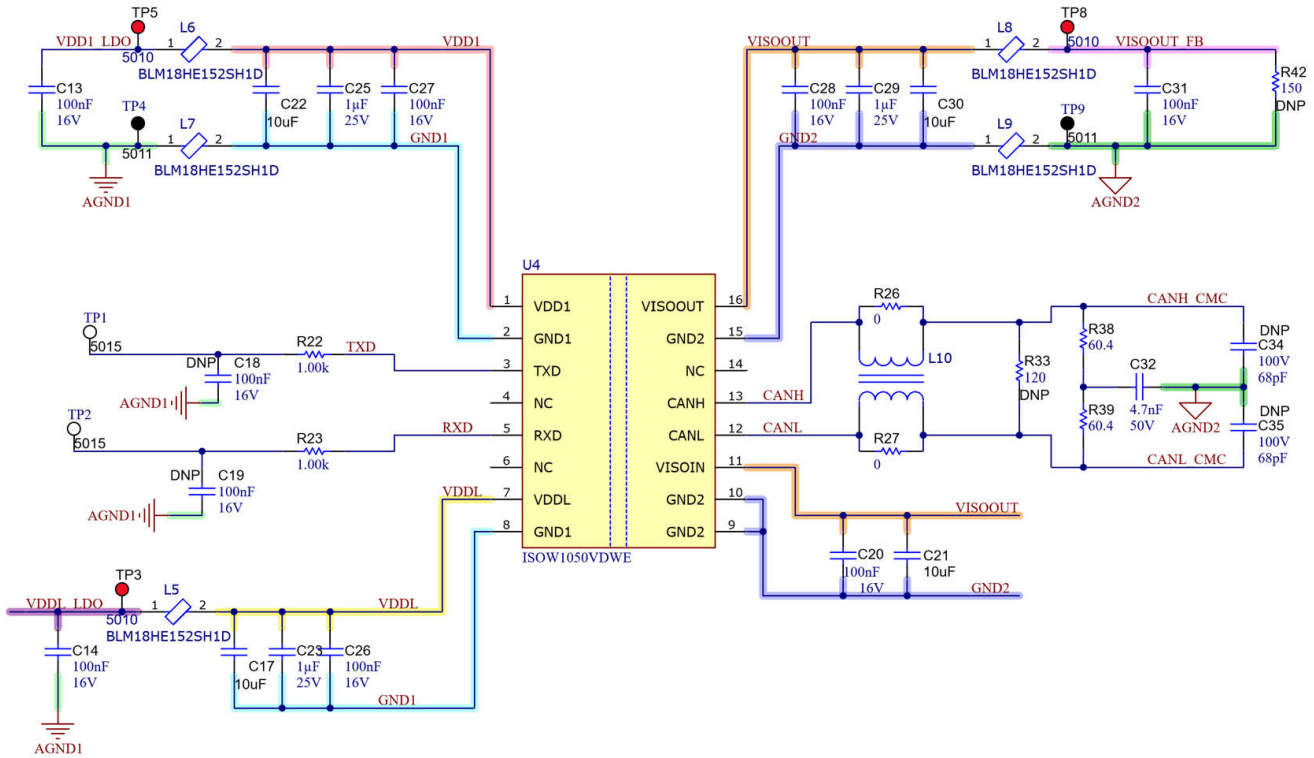


図 2-1. 上記の手法については、ISOW1050DWEEVM 評価基板の回路図参照を参照してください

逆ジオメトリ容量 (例: 0306YD104KAT2A、参照を参照) または 10nF の容量 (例: GCM155L81E103KA37D、参照を参照) を使用することで、EMC 性能をさらに向上させることができます。この容量は、はるかに高い直列共振周波数 (SRF) と低い等価直列抵抗および等価直列インダクタンス (ESL/ESR) を備えています。

2.2 コンデンサ バンクと相対配置

適切なコンデンサをスタックすることで、広い周波数帯域にわたって低インピーダンスを維持:

- 60MHz (スイッチング基本波): 100nF であればこれに対応できます
- 1–30MHz (高調波および同相モード): 1μF はインピーダンスフロアを提供します
- < 1MHz (低周波過渡): 10μF は負荷ステップ電流を吸収します

正しい順序: 最小→最大、最も近い→試験対象デバイス (DUT) から最も遠い:

図 2-1 の容量バンク [(C27、C25、C22) および (C28、C29、C30)] の配置を参照してください。コンデンサと IC の間の PCB パターンは mm ごとに、直列インダクタンスが約 1nH 増加するため、この次数が重要です。大きな 10μF コンデンサを IC のできるだけ近くに配置し、IC から最も離れた場所に小さい 100nF コンデンサを配置すると、インピーダンスプロファイルが反転し、HF ノイズのシャントが低下します。電源リップルの低減を目標とするアプリケーションでは、標準的な 10μF から 22μF または 47μF にバルクコンデンサを増やすことで、電源リップルの改善に役立ちます。

2.3 電源レールのフェライト ビーズ π 型フィルタ

スイッチング ノイズのフィルタ処理がない場合、ノイズは VDD 電源プレーンと PCB グランド プレーンに直接伝搬します。この動作により入力端子に伝導エミッションが発生し、グランド プレーンのノイズは放射エミッションにつながります。フェライトビーズ π 型フィルタは、カットオフ周波数を超えるすべてのノイズをブロックし、基本周波数とすべての高調波周波数がメイン ボードの銅プレーンに達するのを防止します。フェライトビーズ (FB) (たとえば、BLM18HE152SH1D、参照を参照) の使用は、同相電流ループによる放射エミッションを最小限に抑えるために不可欠です。図 2-1 に示すように、DUT DC-DC コンバータとシステムの他の部分との間に FB を挿入することで、大きな同相電流ループのパスを切断し、短い電流ループのみが形成されるように制限できます。カットオフ周波数は次のように計算されます。

$$F_c = 1 \div (2\pi \times \sqrt{L \times C_{\text{eff}}}) \quad (1)$$

レールごとに 2 つのフェライトビーズ (図 2-1 に示すように、1 つは電源ラインに、もう 1 つはリターンまたは GND に接続) は、平衡差動フィルタリングに役立ちます。(VDD では L6、L7、VISO では L8、L9)。

2.4 フェライトビーズの下に絶縁銅アイランド (KOZ)

フェライトビーズは、大きな同相電流ループの形成を減衰させて遮断します。FB はデバイスを PCB の他の部分から分離しますが、FB の前後にあるすべての電源プレーンとグランドプレーンが PCB 全体で分離された状態を維持する必要があります。これにより、FB をバイパスして、プレーン間の容量性結合により形成される、代替同相電流ループが形成されないままになります。反対側の銅箔間に 0.1pF の寄生容量を配置すると、フェライトビーズの目的が劣ります。図 2-2 に、内部プレーンと外部プレーンを十分なスペースを確保して分離したキープアウトゾーンを示します。

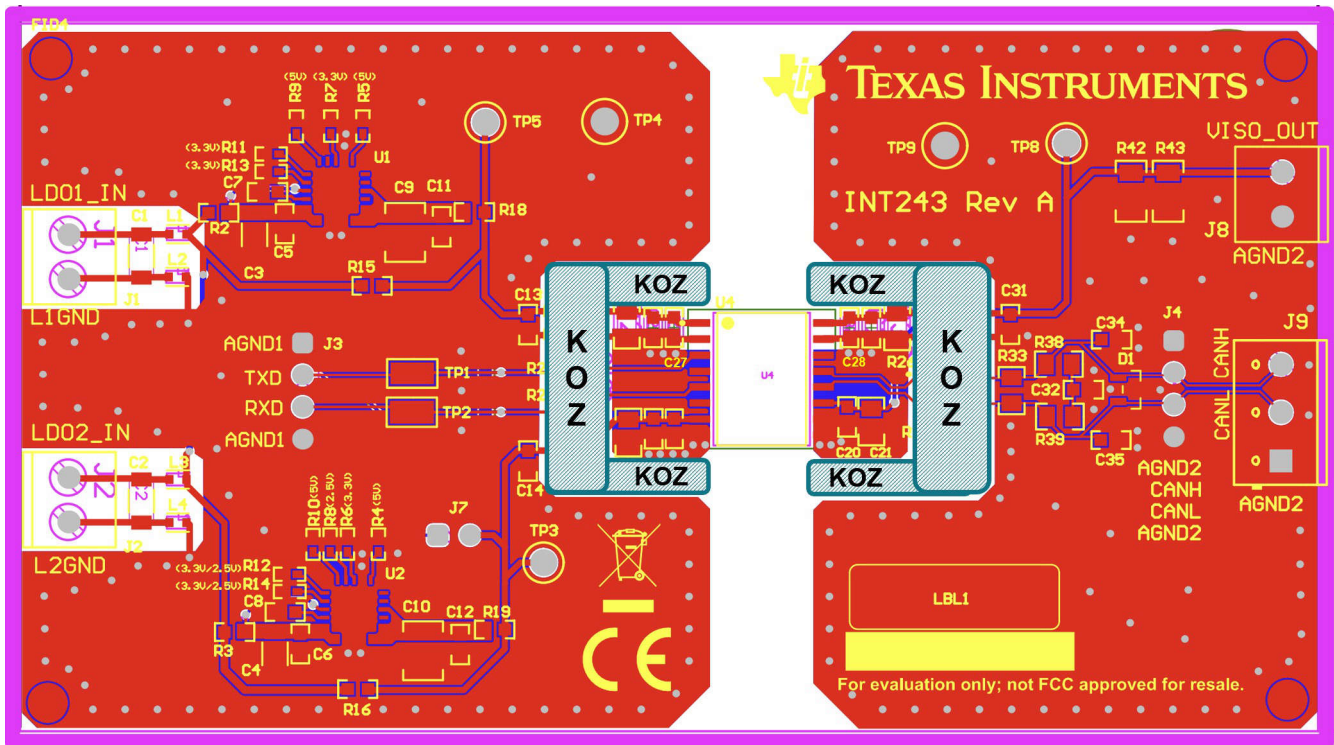


図 2-2. KOZ を示す ISOW1050DWEEVM ボードのレイアウト リファレンス

ISOW6441、ISOW3080、ISOW1050 評価ボードは、最上層と最下層の両方に銅箔部分に意図的な隙間を示しています。これは、寄生容量を回避するための意図的な禁止ゾーンです。

2.5 CAN/RS-485 ケーブル上の同相モード チョーク (ISOW3080 および ISOW1050 デバイス用)

絶縁型トランシーバ (ISOWRS485-ISOW3080 および ISOWCAN-ISOW1050) には、ケーブルを介して外部デバイスに接続する絶縁出力バスがあります。システムに接続されているケーブルやワイヤは、コンバータから高周波スイッチングノイズを拾い、トランスミッタ アンテナとして機能することがあります。ケーブルが長いと、放射レベルが高くなります。この結

果に対する答えは、同相ノイズを減衰させるために利用できる同相チョーク (CMC) を使うことで、同相電流ループをできるだけ小さくすることです。CMC (たとえば、[ACT45B-101-2P-TL003](#)、[参照](#)と [図 2-1](#) の L10 を参照) は、同相電流に対する高インピーダンスを実現すると同時に、差動信号を最小限の挿入損失で渡します。その結果、ISOW 出力からの同相ノイズはケーブルに到達する前にブロックされ、差動データ信号は影響を受けません。

CMC の位置が重要です。 CMC をコネクタから離れた場所に配置すると、同相ノイズが PCB パターンに結合し、チョークの目的が損なわれます。チョーク端子間の浮遊フリンジ容量を最小限に抑えるためのレイアウトのガイドラインについては、[図 2-2](#) を参照してください。詳細なレイアウトについては、[ISOW1050DWEEVM](#) 評価基板を参照してください。

2.6 ポスト アイランド コンデンサ

絶縁アイランド ([セクション 2.4](#)) にもかわらず、いくつかの残留 HF ノイズは依然としてフェライトビーズ領域と交差しています。PCB 基板を通過する寄生容量は避けられません。つまり、小さいですがゼロではありません。コンデンサ ([図 2-1](#) と [図 2-2](#) の C13 および C31) はメイン基板の GND 側 (フェライト出力の後) に配置されており、この残留ノイズをローカルグラウンドにシャントしてから、ノイズが PCB のグラウンドプレーンに到達します。これらのコンデンサは、入力端子の伝導型エミッション (CE) と、アンテナとして動作する PCB プレーンからの放射エミッション (RE) の両方を直接改善します。メイン基板の GND 側にコンデンサを配置することでも、外部伝導外乱 (電源入力への放射結合) に対する耐性が向上します。

2.7 I/O トレース上の直列抵抗またはローパス フィルタ

I/O トレースの高速デジタル エッジは、データレートに応じて、数百 MHz までの重要な高調波エネルギーを伝達します。これらの配線をオフボード コネクタまたはケーブルに配線すると、これらのラインは直接放射します。直列抵抗はエッジのスルー レートを制限し、高調波の振幅を低減します。抵抗 — コンデンサ (RC) またはインダクタ — コンデンサ (LC) ローパスフィルタにより、定義されたカットオフ周波数を提供します。配線を通して放射を制御する方法は多数存在します。

- 直列抵抗 ($\approx 1\text{k}\Omega$ [図 2-1](#) の R22、R23): エッジ立ち上がり時間を低速にし、信号周波数を上回る高調波振幅を小さくします。専用の容量が並列に接続されていないため、このオプションには定義されたカットオフ周波数がありません。
- RC ローパスフィルタ: $1\text{k}\Omega$ 抵抗を使用してローパスフィルタを作成した後、信号ラインから GND へ小さなコンデンサ (約 100pF) を追加します。はるかに低いデータレートで動作する場合、コンデンサの値をさらに大きくできます。
 - $F_C = 1/(2\pi \times R \times C)$
- フェライトビーズ + コンデンサ: 直列抵抗をフェライトビーズとグラウンド間のコンデンサを置き換えることで、すべての I/O ラインで完全な高除去ローパスフィルタを実現できます。
 - 信号周波数 ($\leq 10\text{Mbps}$) で: フェライトは小型の抵抗 ($\approx 0.5\Omega$ DC) のように見えます
 - スイッチングコンバータ周波数 ($\approx 60\text{MHz}$): フェライトのインピーダンス $> 1\text{k}\Omega$ インピーダンスは、固定抵抗よりはるかに優れています

2.8 GND1 と GND2 の間の Y コンデンサ (安全性が重要)

ISOW の DC/DC コンバータは、寄生容量 (約 2pF) を経由して絶縁バリアをまたぐ同相 (CM) スイッチング電流を生成します。制御された帰路を持たない場合、この CM 電流:

- GND1 から流れる → PCB 電源プレーン → ケーブルとコネクタ → 放射 (放射不良)
- カップリングをオフボード回路に統合し、耐性の障害を発生させます (耐性の低下)。

安全定格の Y コンデンサは GND1 と GND2 をブリッジ接続し、CM 電流に対して短い制御されたローカルリターンパスを提供します。Y コンデンサは絶縁バリアをブリッジ接続します。Y コンデンサは、IEC 60384-14 規格の認定を受けた安全定格部品である必要があります。これらのコンデンサは安全定格ではないため、絶縁バリアの両側に標準の多層セラミックコンデンサ (MLCC) を使用しないでください。Y コンデンサの例として、[P101AA102M250](#) (1nF) および

[P101AA102M250](#) (4.7nF) があります ([参照](#)を参照)。

2.9 中間層コンデンサ (絶縁領域にある基板コンデンサ)

プリント基板 (PCB) に Y コンデンサを使用すると、コンデンサの両側にリードインダクタンスが生じ、コンデンサの寄生インダクタンスに加えて、 200MHz より高い周波数ではコンデンサの効果が低下します。低インダクタンス容量を形成する 1 つの方法は、内部 PCB の層を重ね合わせて配置することです。これは、マルチレイヤ PCB レイアウトによって可能性があります。絶縁バリアのどちらかの側で内部リファレンス層 (GND と VCC) を拡張すると ([図 2-3](#) を参照)、内部層のオー

オーバーラップが形成されます。このオーバーラップ領域は、GND1 層と VCC2 層を拡張し、FR4 材料が誘電体として機能することにより形成され、GND1 と VCC2 の間にスティッチング容量が生じます。

絶縁要件が機能絶縁、基本絶縁、強化絶縁のどれであるか、また動作電圧に応じて、層間の間隔を調整して静電容量の値を実現することもできます。層容量の設計例については、『ISOW7841 統合信号を使用する低放射の設計』アプリケーションレポートを参照してください。

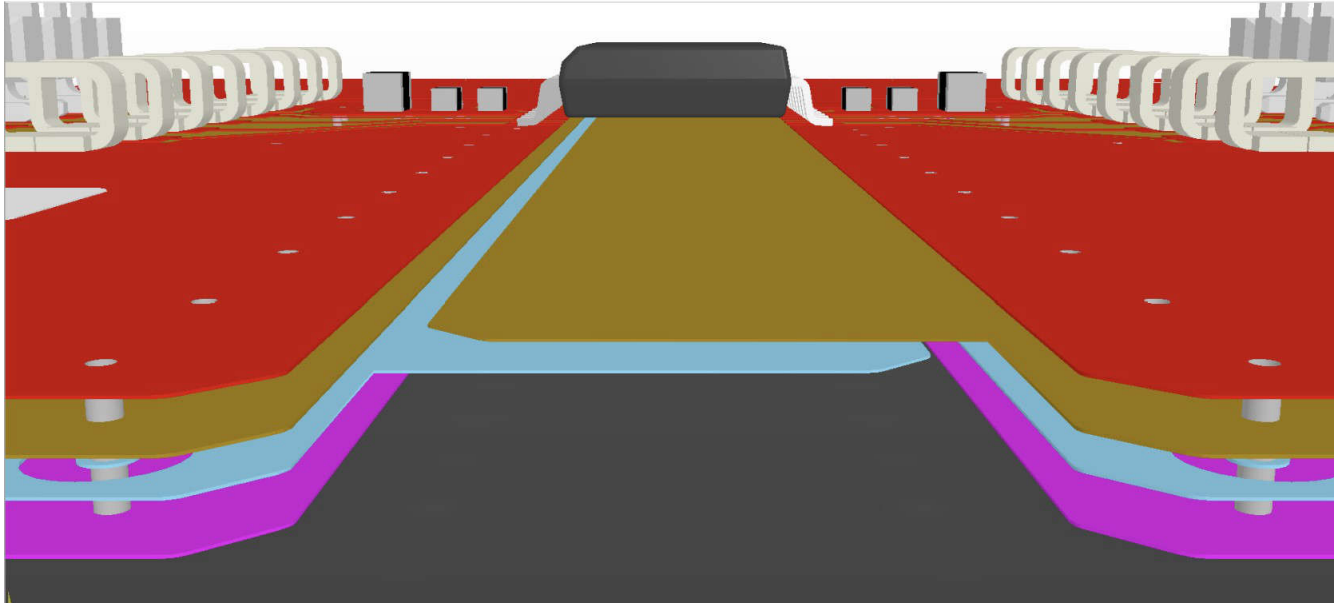


図 2-3. PCB 層を使用した層間容量を示す図

PCB の端については、特別な注意が必要です。エッジでは、プレーンを空気にさらすことができます。逆電圧は基板の端に近い場合、これらの反対側の電圧は電界ストレスにつながり、その後エッジに沿って空気が破壊される可能性があります。

2.10 VDD 入力レールの 100 μ F バルクコンデンサ

ISOW DC/DC コンバータは、VDD レールからパルス電流を引き込みます。十分なバルク容量がないと、VDD に電圧リップルが発生し、同じレールを共有する他の回路にアップストリームに伝搬します。その結果、伝導型電磁波は入力端子の電圧による外乱を測定するものです。100 μ F コンデンサ (T491X107K010AT、[参照を参照](#)) をフェライトビーズ π 型フィルタの前に VDD 電源のエントリポイントに配置することで、低周波の外乱を最小限に抑えることができます。これはローカル電荷を蓄積する役割を果たし、オンボードでパルス電流を供給するため、外乱がアップストリームに伝播しません。

VDD 電源レールを敏感なアナログ回路 (ADC、オペアンプ、または PLL) と共有しないようにすることをお勧めします。100 μ F を使用した場合でも、残留スイッチングリップルが発生すると、アナログ性能が低下する可能性があります。TI はまた、敏感な回路ごとに個別の LDO (低ドロップアウトレギュレータ) またはフェライト + コンデンサ フィルタを使用することをお勧めします。

3 まとめ

このアプリケーション ノートでは、外部の電磁干渉に対する耐性を最大化しながら放射エミッションと伝導エミッションを最小化するための包括的な手法を推奨します。これらの手法には、デカップリング コンデンサ、フェライト ビーズ π 型フィルタ、絶縁型銅アイランド、同相チョーク、Y コンデンサの戦略的な配置が含まれます。これらの手法では、PCB レイアウトの重要性を強調し、ISOW6441DWEEVM、ISOW3080DWEEVM、ISOW1050DWEEVM の評価基板設計を例として参照しています。これらの手法は、EMC 性能を向上させるために、アイソレータを使用したあらゆる設計に適用できます。表 3-1 に、このアプリケーション ノートで述べた手法を使用して、ISOW64xx デバイスで達成される EMC 性能をまとめます。

このファミリのデバイスの EMC 性能の詳細については、『EMC 準拠レポート:内蔵電源付きアイソレータの CISPR/IEC テスト結果』アプリケーション ノートを参照してください。

表 3-1. ISOW64xx の EMC 結果

テストの種類	標準	パラメータ	レベル クラス	結果
放射放出	CISPR 32	産業用放射放出	クラス B	合格
	CISPR 25	車載対応の放射放出	クラス 5	合格
放射耐性	IEC 61000-4-3	産業用放射耐性	20V/m	合格
	ISO11452-2	車載対応の放射耐性	100V/m	合格
伝導耐性	IEC 61000-4-6	伝導耐性	15Vrms	合格
伝導放出	CISPR 32	伝導放出	クラス B	合格
磁気耐性	IEC 61000-4-8	磁界	100A/m (レベル 5)	合格
ESD	AEC Q100-002	HBM ESD	2kV	合格
	AEC Q100-011	CDM ESD	1.5kV	合格
	IEC 62368-1	サージ絶縁	10.4kV	合格
CMTI	VDE 0884-17	同相過渡電圧耐性	100kV/ μ s (最小値)、 200kV/ μ s (代表値)	合格

4 参考資料

1. Kemet, [P101AA102M250](#)、Y コンデンサ、データシート。
2. Kemet, [T491X107K010AT](#)、タンタル コンデンサ、データシート。
3. Kyocera, [0306YD104KAT2A](#)、逆形状コンデンサ、データシート。
4. Kyocera, [GCM155L81E103KA37D](#)、10nF コンデンサ、データシート。
5. Murata, [BLM18HE152SH1D](#)、フェライトビーズ、製品ページ。
6. TDK, [ACT45B-101-2P-TL003](#)、同相チョーク、データシート。
7. テキサス インスツルメンツ、『[EMC 準拠レポート:内蔵電源付きアイソレータの CISPR/IEC テスト結果](#)』、アプリケーション ノート。
8. テキサス インスツルメンツ、『[内蔵電源とデジタル アイソレーション設計を使用する設計性能の向上](#)』、アプリケーション ブリーフ。
9. テキサス インスツルメンツ、『[ISOW7741 で CISPR 32 放射エミッション制限を満たす方法](#)』、アプリケーション ブリーフ。
10. テキサス インスツルメンツ、『[ISOW644x](#)、高い EMC 耐性、強化絶縁、DCDC コンバータ内蔵の 4 チャンネル デジタル アイソレータ』、データシート。
11. テキサス インスツルメンツ、『[ISOW308x](#)、高い EMC 耐性、DC/DC コンバータ内蔵の絶縁型 RS-485/RS-422 トランシーバ』、データシート。
12. テキサス インスツルメンツ、『[ISOW1050](#): 高い EMC 耐性、DC/DC コンバータ内蔵の絶縁型 CAN FD トランシーバ』、データシート。
13. テキサス インスツルメンツ、『[ISOW644x EVM レイアウト ガイダンス用データシート](#)』、評価基板。
14. テキサス インスツルメンツ、『[ISOW308x EVM レイアウト ガイダンス用データシート](#)』、評価基板。
15. テキサス インスツルメンツ、『[ISOW1050 EVM レイアウト ガイダンス用データシート](#)』、評価基板。
16. テキサス インスツルメンツ、『[ISOW7841 統合信号および電源アイソレータを使用する低放射の設計](#)』、アプリケーション ノート。
17. テキサス インスツルメンツ、『[ISOW6441 を使用して、CISPR 25 Class-5 の車載向け放射エミッション規格をクリア](#)』、アプリケーション ノート。
18. テキサス インスツルメンツ、『[ISOW6441 を使用して、CISPR 32 Class-B の放射エミッション規格を容易にクリア](#)』、アプリケーション ノート。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月