

Application Note

TXB0604 および競合するレベル シフタの比較波形の研究



Jack Guan

概要

データ センターの通信、特に Quad-SPI (シングル エンド、半二重、6 チャネル バス) などのシリアル インターフェースでは、高スループットが不可欠です。高品位のシグナル インテグリティと最大帯域幅のサポートを検証するには、システム設計者はホスト/ターゲット デバイスを近接した状態に保つ必要がありますが、必ず実現できるとは限りません。そのようなシステムでこれらの信号を長いパターン/コネクタ長を介して駆動する必要がある場合は、余分のライン容量に起因する帯域幅損失を補償するために TXB0604 または TXB0606 を使用し、QSPI フラッシュを迅速に更新することをお勧めします。このアプリケーション ノートでは、3 つの一般的な設定における標準ベンチ設定を使用して、現在市場で入手可能な先進設計の TXB0604 の性能を評価します。

目次

1 はじめに.....	3
2 TXB0604 と従来および既存市場のソリューションとの比較.....	3
2.1 推奨デバイスの選択.....	4
3 ケース スタディ.....	4
3.1 軽い容量性負荷での性能.....	4
3.2 重い容量性負荷での性能.....	7
3.3 分散型容量性負荷での性能.....	10
4 TXB0604/TXB0606 を使用する設計上の検討事項.....	14
4.1 インピーダンス整合.....	14
4.2 方向変更待機時間、 T_{DCW}	15
5 まとめ.....	16
6 参考資料.....	16

図の一覧

図 3-1. 軽い容量性負荷ベンチの設定、1.2V ~ 1.8V.....	5
図 3-2. TXB0104、1.2V ~ 1.8V、出力 $C_{load} = 15\text{pF}$ 、60MHz.....	5
図 3-3. TXB0604、1.2V ~ 1.8V、出力 $C_{load} = 15\text{pF}$ 、60MHz.....	6
図 3-4. 軽い容量性負荷ベンチの設定、1.8V ~ 3.3V.....	6
図 3-5. TXB0604、1.8V ~ 3.3V、出力 $C_{load} = 15\text{pF}$ 、80MHz.....	7
図 3-6. 重い容量性負荷ベンチの設定、1.2V ~ 1.8V.....	7
図 3-7. 競合製品、1.2V ~ 1.8V、出力 $C_{load} = 100\text{pF}$ 、20MHz.....	8
図 3-8. TXB0604、1.2V ~ 1.8V、出力 $C_{load} = 100\text{pF}$ 、20MHz.....	8
図 3-9. 重い集中型容量性負荷ベンチの設定、1.8V ~ 3.3V.....	9
図 3-10. 競合製品、1.8V ~ 3.3V、出力 $C_{load} = 100\text{pF}$ 、10MHz.....	9
図 3-11. TXB0604、1.8V ~ 3.3V、出力 $C_{load} = 100\text{pF}$ 、10MHz.....	9
図 3-12. 重い分散型容量性負荷ベンチの設定、1.2V ~ 1.8V.....	10
図 3-13. TXB0104、1.2V ~ 1.8V、出力 $C_{load} = 20$ インチ パターン + 50pF 、15MHz.....	10
図 3-14. 競合製品、1.2V ~ 1.8V、出力 $C_{load} = 20$ インチ パターン + 50pF 、33MHz.....	11
図 3-15. TXB0604、1.2V ~ 1.8V、出力 $C_{load} = 20$ インチ パターン + 50pF 、33MHz.....	11
図 3-16. 重い分散型容量性負荷ベンチの設定、1.8V ~ 3.3V.....	12
図 3-17. TXB0104、1.8V ~ 3.3V、出力 $C_{load} = 20$ インチ パターン + 50pF 、15MHz.....	12
図 3-18. 競合製品、1.8V ~ 3.3V、出力 $C_{load} = 20$ インチ パターン + 50pF 、15MHz.....	13
図 3-19. TXB0604、1.8V ~ 3.3V、出力 $C_{load} = 20$ インチ パターン + 50pF 、15MHz.....	13
図 4-1. 外付け直列抵抗によるインピーダンス整合.....	14

図 4-2. TXB0604、1.2V ~ 1.8V、インピーダンス整合が不適切.....	14
図 4-3. TXB0604、1.2V ~ 1.8V、インピーダンス整合が適切.....	15
図 4-4. 自動方向データフローに必要なダミー サイクルの決定.....	16

表の一覧

表 2-1. TXB 型トランスレータの仕様の概要.....	3
--------------------------------	---

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

このアプリケーション ノートは、**TXB 型トランスレータの設計上の課題を克服するための補足**で、TXB 型トランスレータ (TXB010x、TXB030x、TXB060x) に固有の設計上の課題について説明しています。3 つのすべてのデバイスで双方向データ信号の動作電圧の不整合を解決できますが、転送ラインの影響に起因するノイズとバンド幅制限を軽減するのにも役立つ点において **TXB0604/TXB0606** はユニークです。このアプリケーション ノートでは、**TXB0604** と **TXB0606** の性能を 4 チャンネル等価のベンチ設定を使用して説明し、最新の主要デバイスの波形も示しています。この業界最先端の設計を使用すると、従来または競合製品の設計では推奨されていなかった中程度から大規模の容量性負荷バスを扱う際にも、より高いスループットを達成できます。**TXB0604/TXB0606** の目立たない使用例と適用可能な例については、『**ボトルネックからブレイクスルーまで: データセンターにおける QSPI を TXB0604/TXB0606 で最適化**』を参照してください。

一般的なインターフェイス タイプで推奨されるレベル変換デバイスの一覧については、TI の『**電圧トランスレータおよびレベルシフタ**』ページを参照してください。

2 TXB0604 と従来および既存市場のソリューションとの比較

どちらのデバイスアーキテクチャも、同様のプッシュプル バッファ ベースの出力構造とダンピング抵抗を使用して、ロジック状態が適切な DC レベルになるように弱く駆動します。ロジック信号の遷移中 (AC 状態)、ワンショット回路が瞬時に起動して高速スループットを提供し、より高いデータレートが達成されます。**表 2-1** は、TXB010x および TXB060x と競合製品の特性の違いを示しています。

表 2-1. TXB 型トランスレータの仕様の概要

仕様	デバイス		
	TXB060x	TXB010x	他社
V_{CCA}	0.9V ~ 2V	1.2V ~ 3.6V	0.9V ~ 2V
V_{CCB}	1.65V ~ 3.6V	1.65V ~ 5.5V	1.65V ~ 3.6V
最大データレート (出力 Load = 15pF)	180Mbps	100Mbps	140Mbps
最大データレート (出力 Load = 100pF)	132Mbps	特性なし	60Mbps
最大データレート (出力 Load = 50pF + 20 インチ パターン)	128Mbps	特性なし	指定なし
入力アーキテクチャ	シュミットトリガ ベース	CMOS	CMOS
電源の制限	-	$V_{CCA} \leq V_{CCB}$	-
I_{OFF} (部分的パワーダウンリーケージ)	4uA	2uA	30uA
$I_{CCA} + I_{CCB}$	18uA	10uA	36uA
内部直列抵抗	1k Ω	4k Ω	1k Ω
ワンショット インピーダンス (標準値)	22 Ω (V_{CCO} = 0.9V ~ 3.6V)	<ul style="list-style-type: none"> • 70Ω (V_{CCO}= 1.2V ~ 1.8V) • 50Ω (V_{CCO}= 1.8V ~ 3.3V) • 40Ω (V_{CCO}= 3.3V ~ 5V) 	-
入力ドライバの要件	駆動強度: ± 3 mA	駆動強度: ± 2 mA	駆動強度: ± 3 mA
動作温度	-40 $^{\circ}$ C ~ 125 $^{\circ}$ C	-40 $^{\circ}$ C ~ 85 $^{\circ}$ C	-40 $^{\circ}$ C ~ 85 $^{\circ}$ C
ピン互換?	Y	Y	Y
サポート対象チャンネル変動	4、6	1、2、4、6、8	-

- TXB トランスレータの詳細については、『**TXB 型トランスレータによる電圧変換ガイド**』およびデバイスの各データシートを参照してください。

2.1 推奨デバイスの選択

TXB0104 と TXB0604 は両方ともプッシュプル自動双方向信号アプリケーションで使用できますが、以下の特定のケースではどちらか一方が推奨されます：

TXB0604 は、以下のアプリケーション向けに設計されています：

- 対称型電源 ($V_{CCA} \leq$ または $\geq V_{CCB}$)
- 0.9V ~ 3.6V の範囲で I/O が動作
- 最大 100pF の出力負荷が望ましい高データ帯域幅
- 中程度から重い集中型の容量性負荷、出力における分散型容量性負荷、コネクタ長 20 インチ未満
- 低速またはノイズの多い入力信号

TXB0104 は、以下のアプリケーションに推奨されます：

- 1.2V ~ 5.5V の範囲で I/O が動作
- 最大 100Mbps のデータレート
- 短いパターン長/最小容量性負荷

3 ケース スタディ

標準ベンチの設定は、次の 3 種類の負荷シナリオに対応するようにエミュレートされています：

- 軽い容量: テスト対象デバイス (DUT) の出力に 15pF を追加
- 重い容量: DUT の出力に 100pF を追加
- 分散型容量: 20 インチのケーブル長 + 50pF を DUT の出力に追加

各構成に関し、設定のブロック図が参考用に用意されており、競合製品および従来品の同等製品と比較した性能が示されています。3 つの状況が以下の 2 つの電圧範囲にわたり室温 (25°C) でテストされます: 1.2V → 1.8V、1.8V → 3.3V。

3.1 軽い容量性負荷での性能

最初のテストでは、最小容量性負荷での各デバイスのピーク性能を評価します。出力負荷をわずか 15pF に制限することで、各トランスレータの標準的な最大性能を測定できます。テスト構成については、[図 3-1](#) を参照してください。

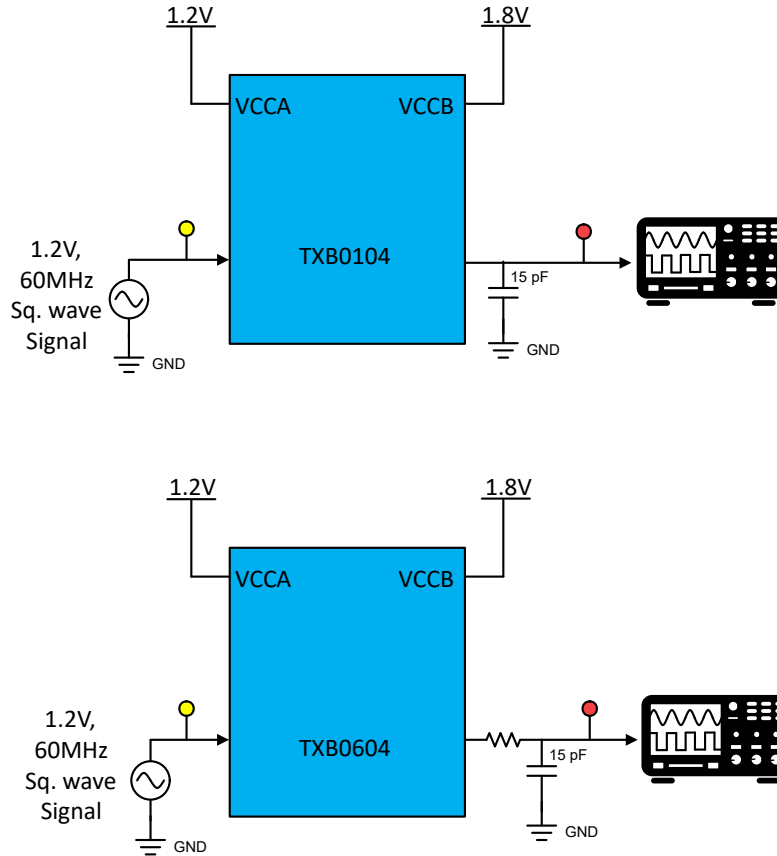


図 3-1. 軽い容量性負荷ベンチの設定、1.2V ~ 1.8V

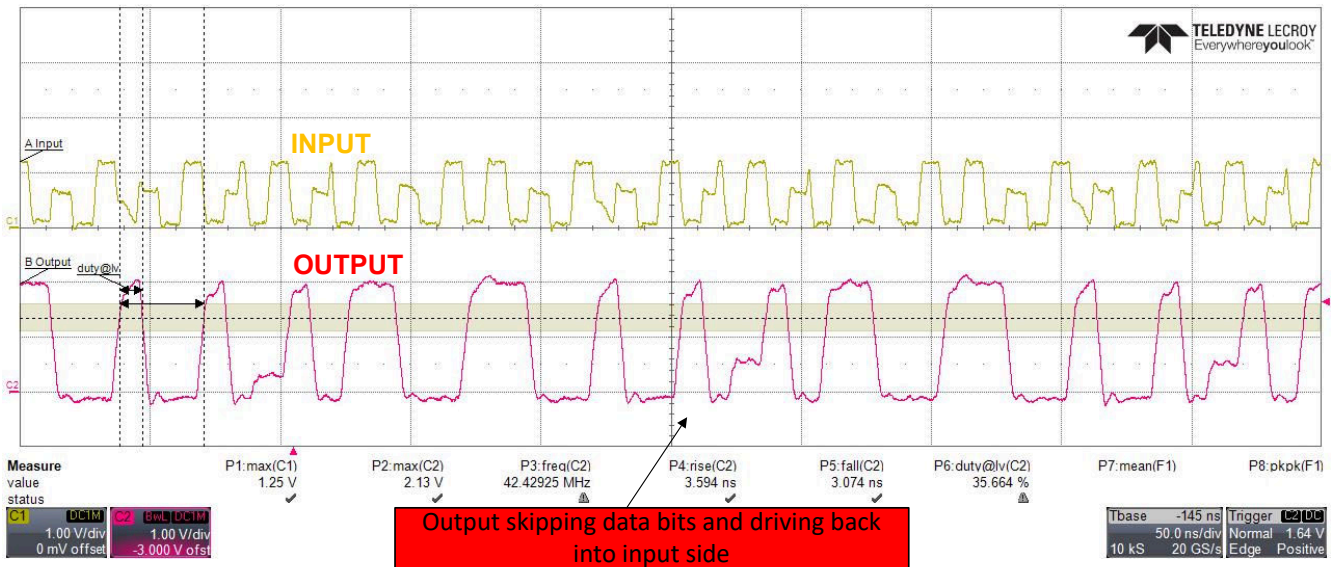


図 3-2. TXB0104、1.2V ~ 1.8V、出力 Load = 15pF、60MHz

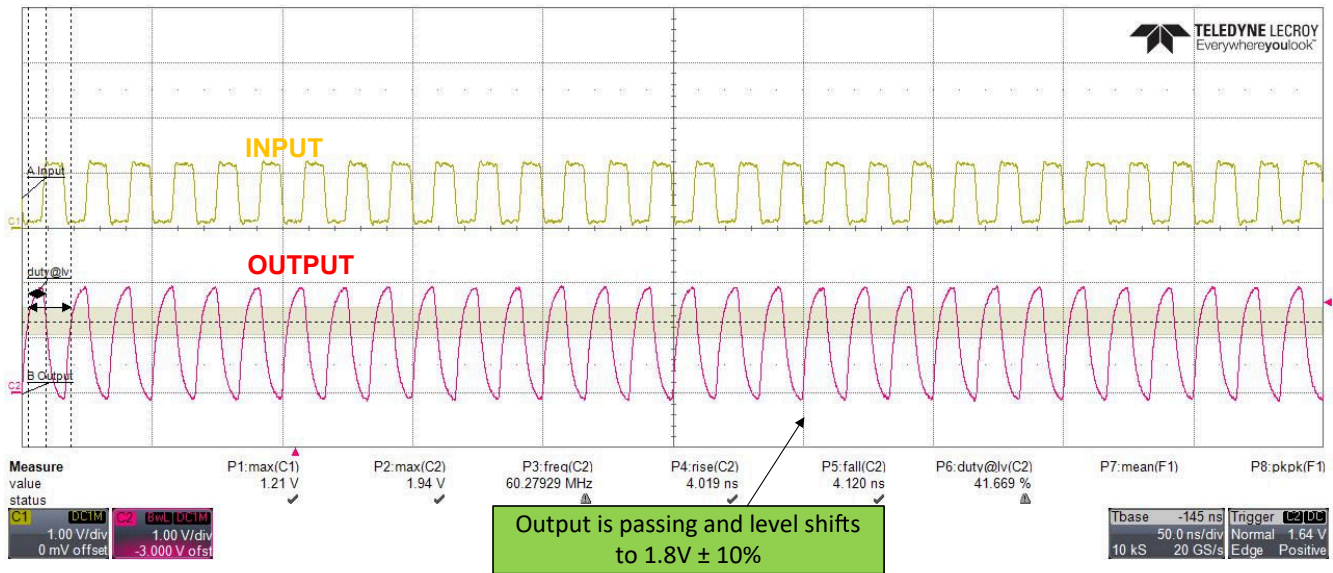


図 3-3. TXB0604、1.2V ~ 1.8V、出力 Load = 15pF、60MHz

両方のデバイスに同じ入力信号を供給すると、TXB0104 (図 3-2) は 60MHz/120Mbps の信号に対応できません。信号がデバイスでサポートされている最大データレートを超えているため、データビットがスキップされます。ただし、TXB0604 は 60MHz の信号を問題なく処理できます。VCC が高い場合、設定および波形が示すように、TXB0604 は 80MHz+ を達成できます。

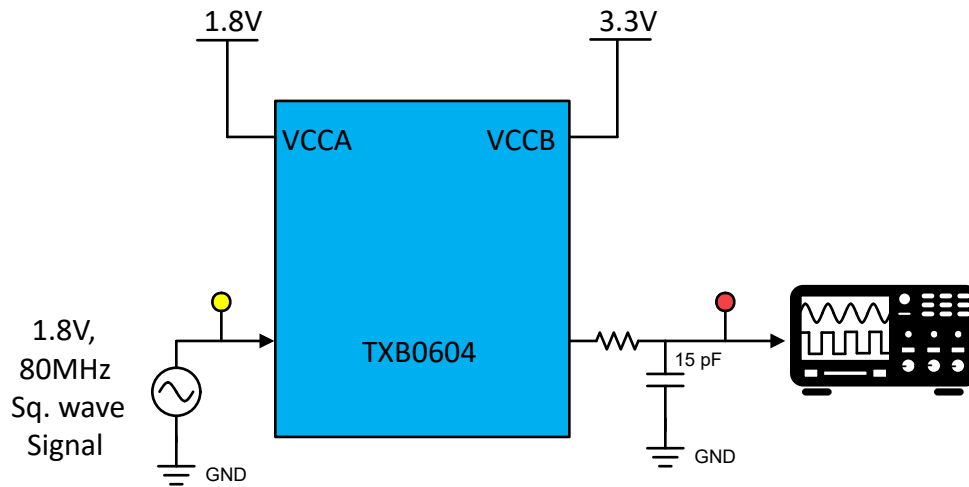


図 3-4. 軽い容量性負荷ベンチの設定、1.8V ~ 3.3V

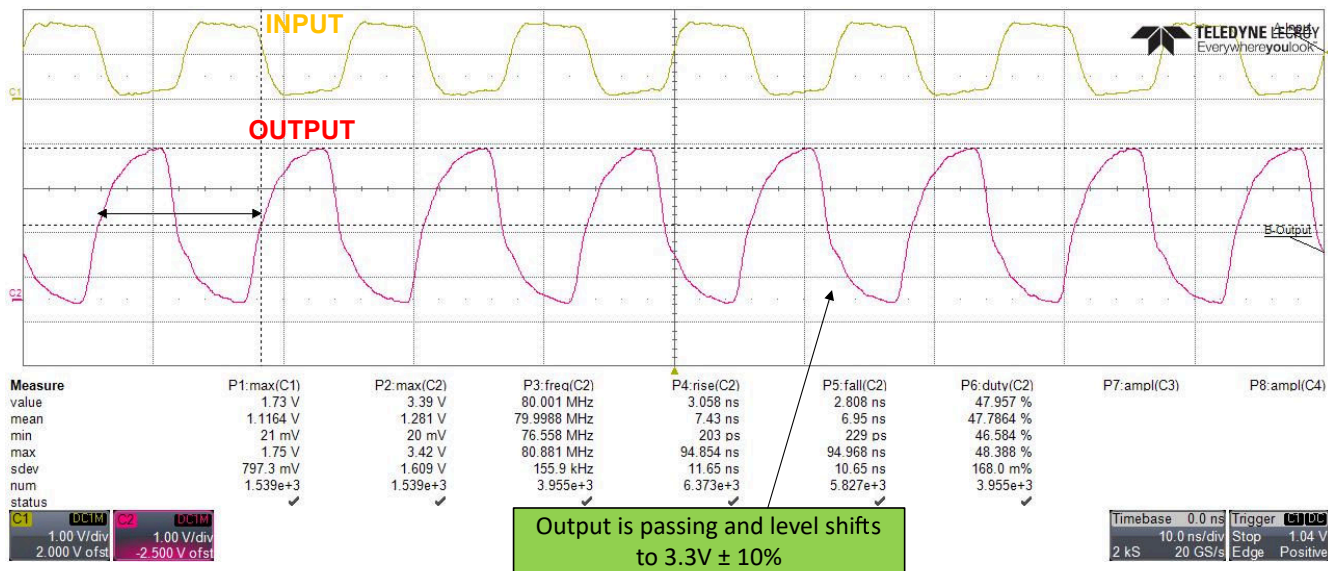


図 3-5. TXB0604、1.8V ~ 3.3V、出力 Load = 15pF、80MHz

上の波形は、容量性負荷が小さいときに高データレートで動作する TXB0604 のシグナル インテグリティをキャプチャしたものです。

3.2 重い容量性負荷での性能

2 番目のテストでは、重い容量性負荷で動作する DUT でシグナル インテグリティを分析します。1.2V ~ 1.8V および 1.8V ~ 3.3V の両方の電圧コーナーを評価します。

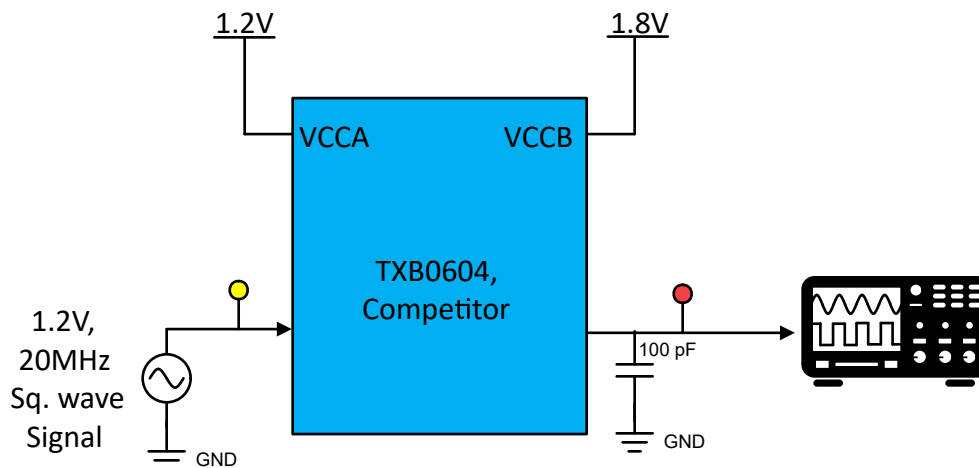


図 3-6. 重い容量性負荷ベンチの設定、1.2V ~ 1.8V

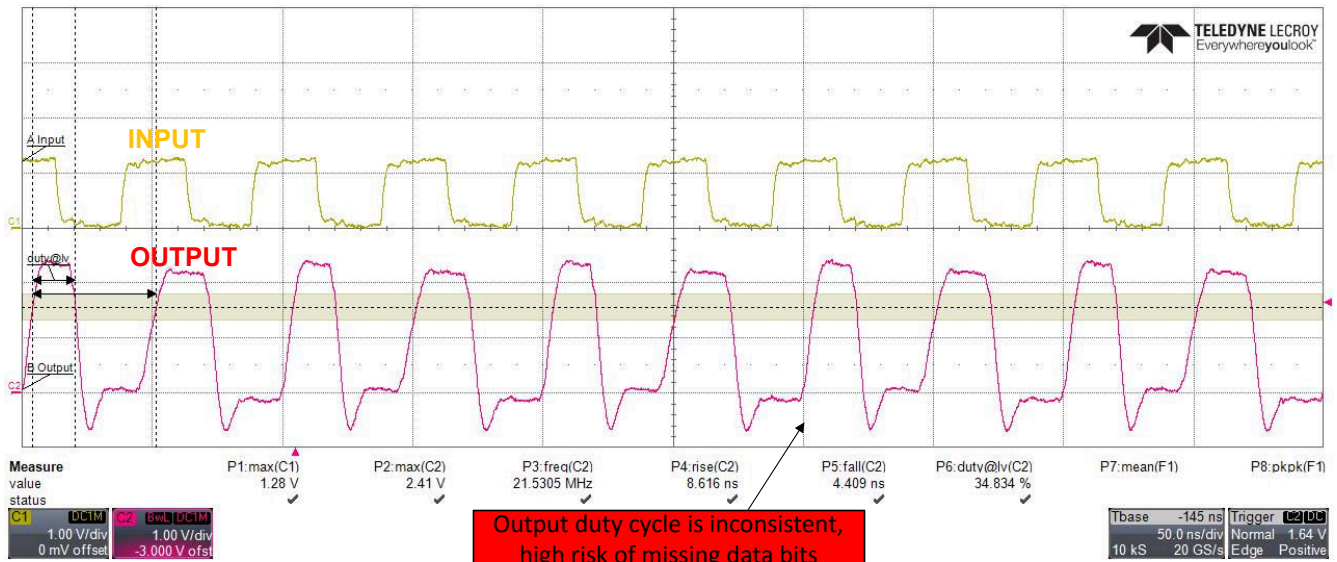


図 3-7. 競合製品、1.2V ~ 1.8V、出力 Clod = 100pF、20MHz

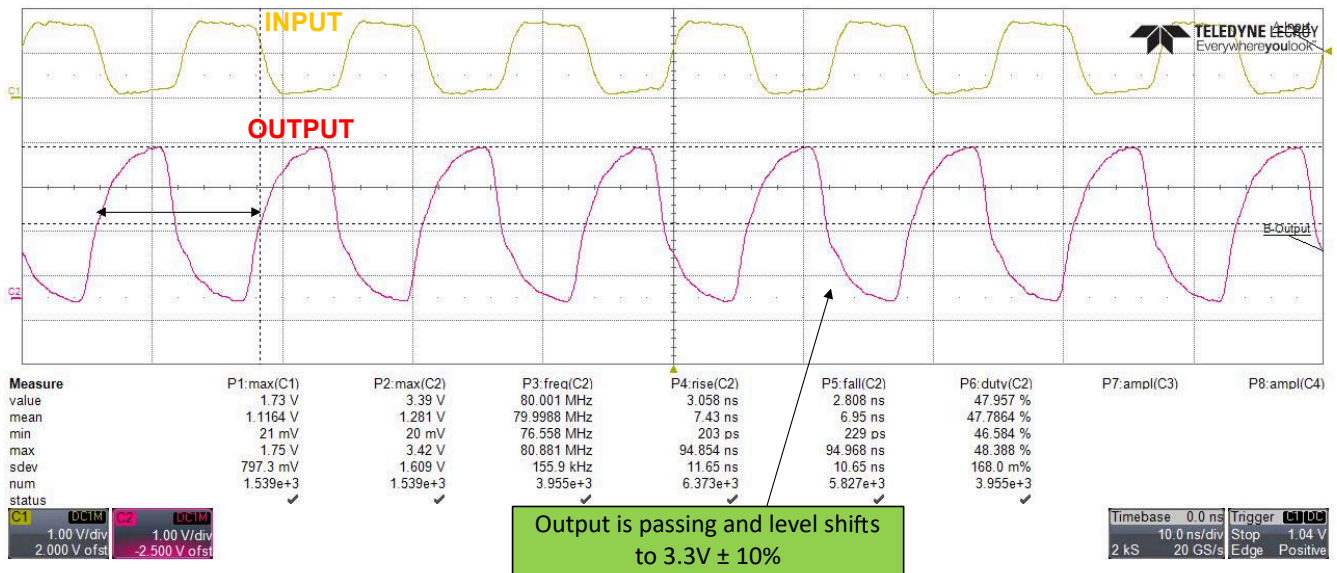


図 3-8. TXB0604、1.2V ~ 1.8V、出力 Clod = 100pF、20MHz

入力が High 状態のとき、競合製品 (図 3-7) の出力信号はロジック ホールド時間と矛盾しています (出力のデューティ サイクル時間が変動して 35% まで低下)。これによりデータ ビットの欠落が発生して通信が失敗するリスクが増大します。ただし、TXB0604 はクリーナー シグナル インテグリティで 20MHz を通すことができます。

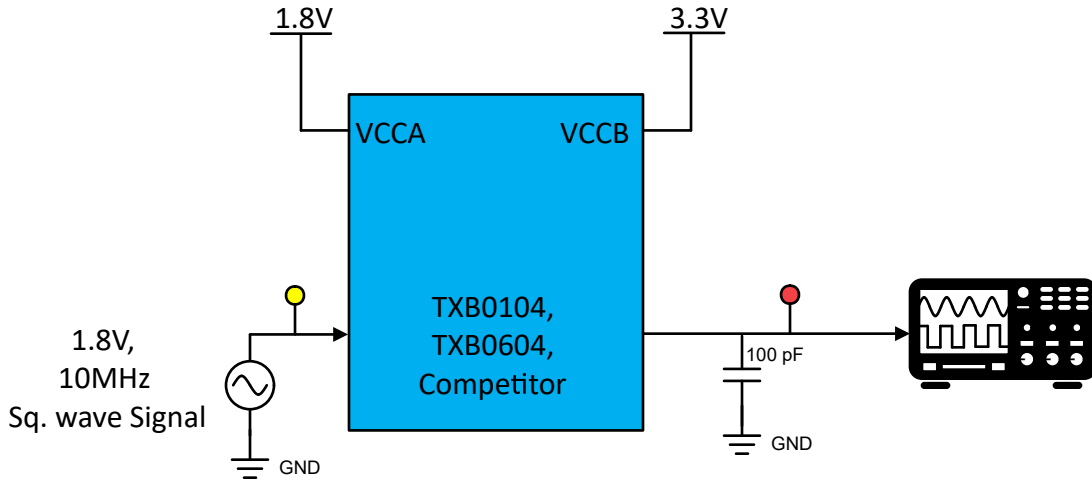


図 3-9. 重い集中型容量性負荷ベンチの設定、1.8V ~ 3.3V

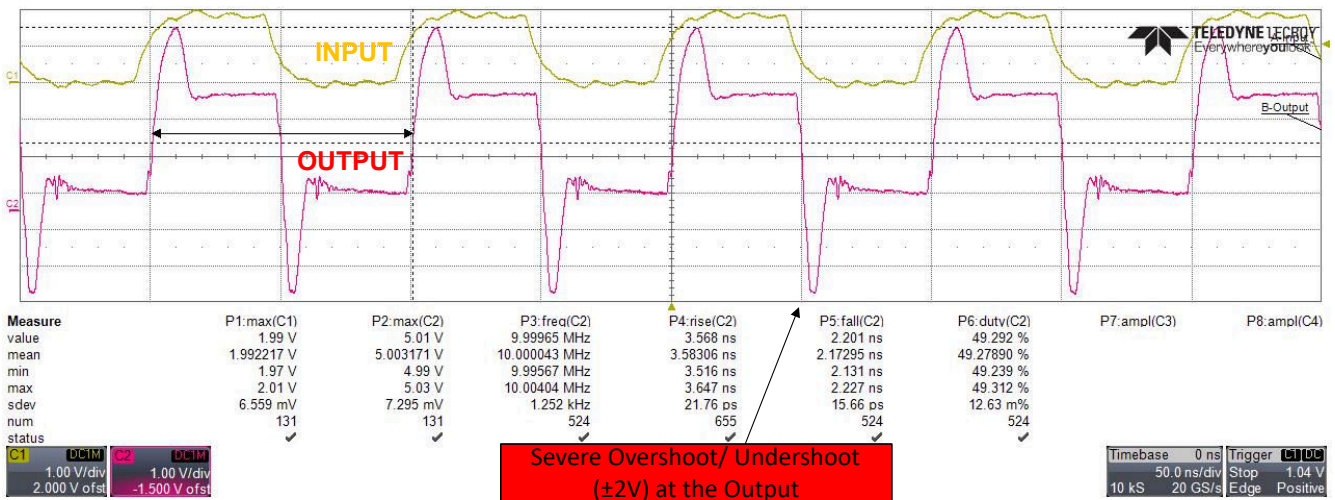


図 3-10. 競合製品、1.8V ~ 3.3V、出力 Load = 100pF、10MHz

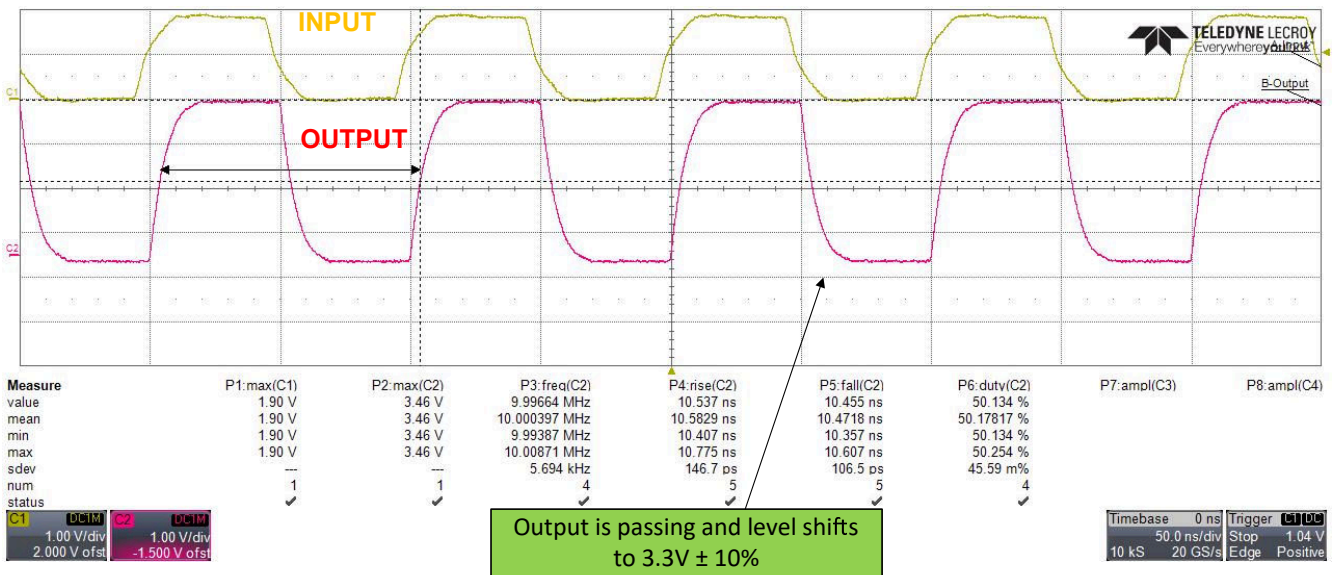


図 3-11. TXB0604、1.8V ~ 3.3V、出力 Load = 100pF、10MHz

TXB0604 は、アンダーシュート/オーバーシュートなしで、出力で期待される 3.3V のレベルにレベル シフトできます。ただし、競合製品の波形は 4.4V でロジック High 出力が観測され (図 3-11)、この入力電圧がサポートされる絶対最大上限を超えると、ホスト/ターゲット デバイスが損傷する可能性があります。

3.3 分散型容量性負荷での性能

3 番目のベンチ テスト条件には、プロセッサとレベル シフタ間、またはレベル シフタとフラッシュ デバイス間の PCB パターンが長いために生じる、分散型容量が含まれます。このベンチ設定では、1.2V ~ 1.8V および 1.8V ~ 3.3V の両方の変換について評価します。

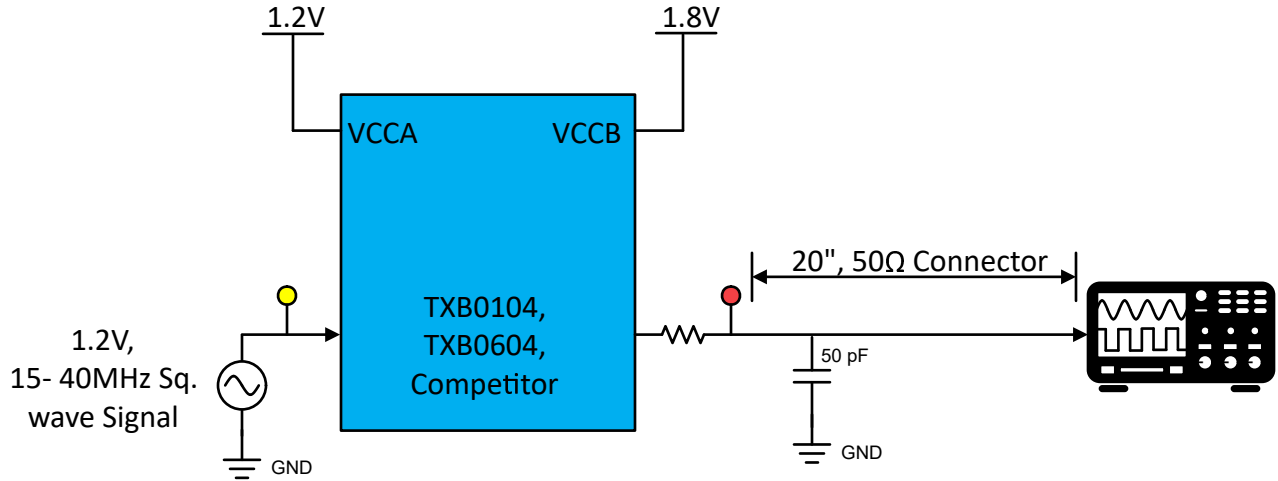


図 3-12. 重い分散型容量性負荷ベンチの設定、1.2V ~ 1.8V

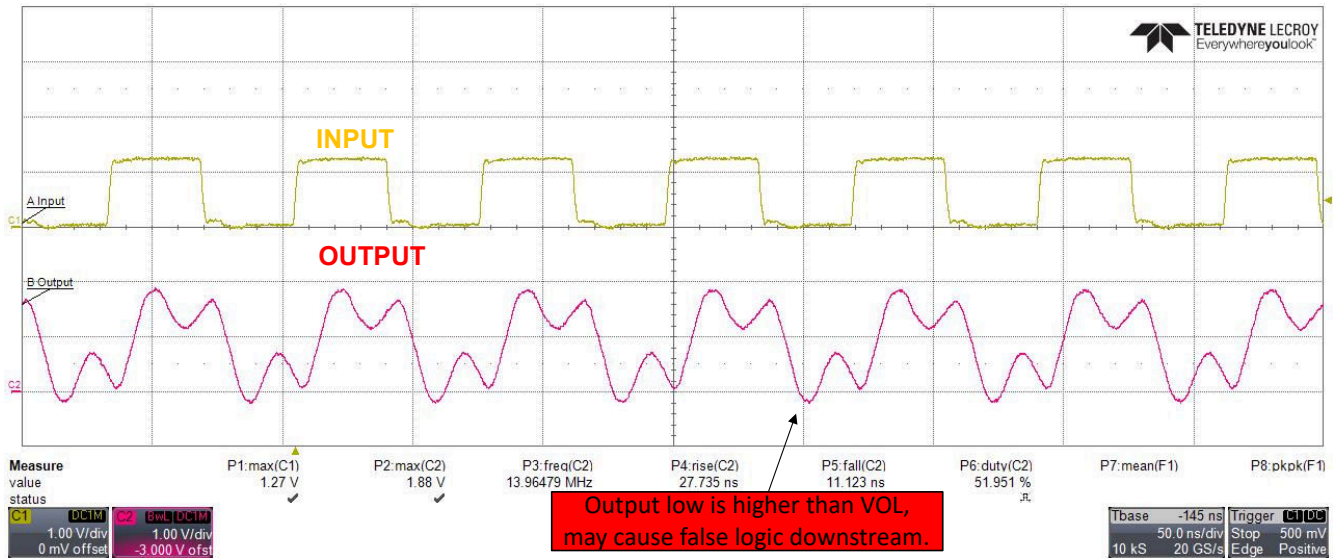


図 3-13. TXB0104、1.2V ~ 1.8V、出力 Cload = 20 インチ パターン + 50pF、15MHz

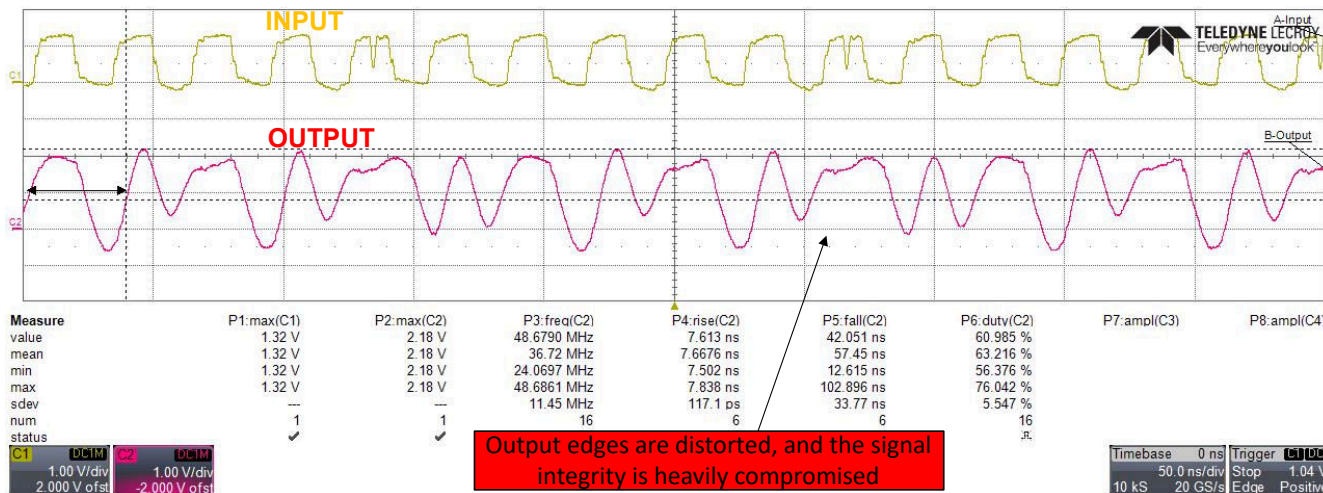


図 3-14. 競合製品、1.2V ~ 1.8V、出力 Cload = 20 インチ パターン + 50pF、33MHz

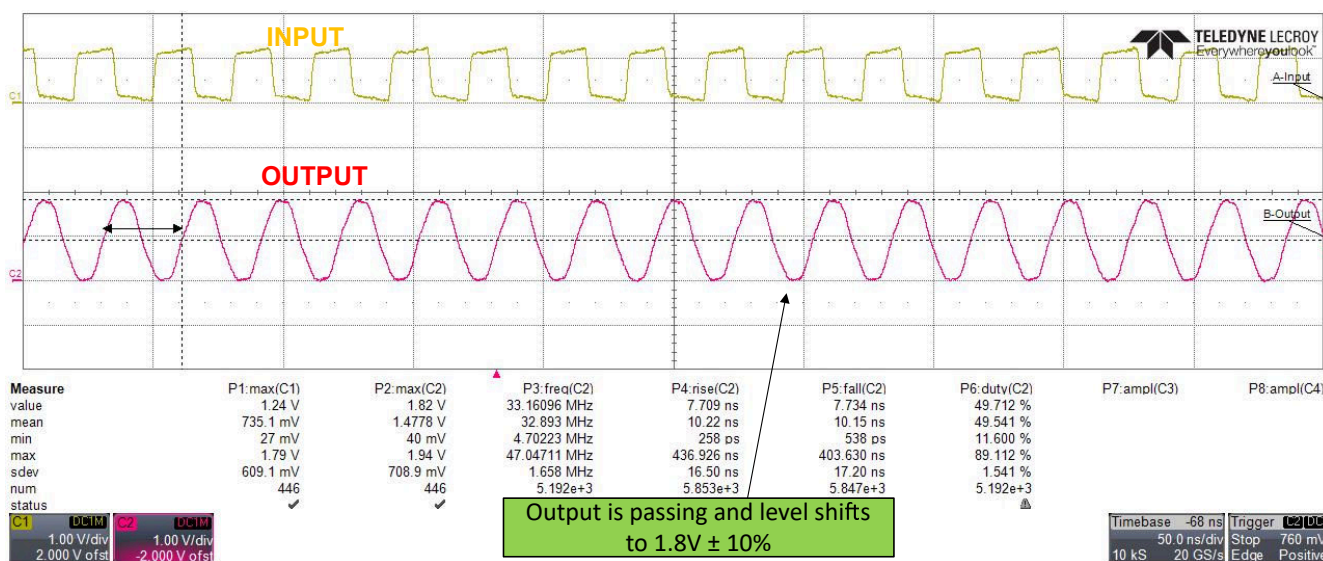


図 3-15. TXB0604、1.2V ~ 1.8V、出力 Cload = 20 インチ パターン + 50pF、33MHz

TXB0104 と競合他社のデバイスは、過剰な寄生容量があるため長いケーブルに対応できません。Low レベルの出力電圧が伝送ラインと結合すると、VOL を 800mV 近くまで上昇させるグリッチが発生します。このアプリケーションで、TXB0604 は最高のシグナル インテグリティを観測します。

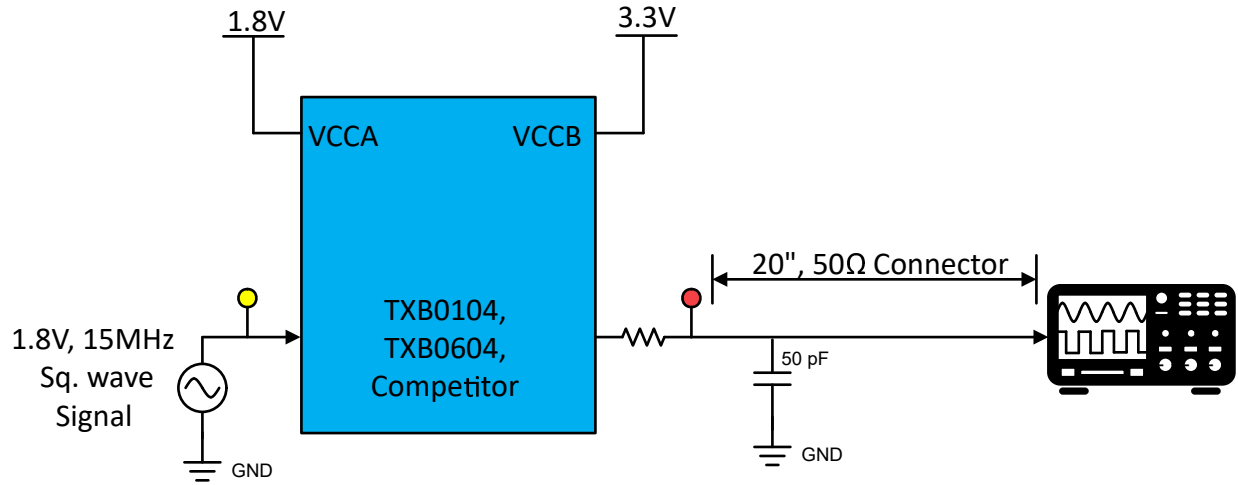


図 3-16. 重い分散型容量性負荷ベンチの設定、1.8V ~ 3.3V

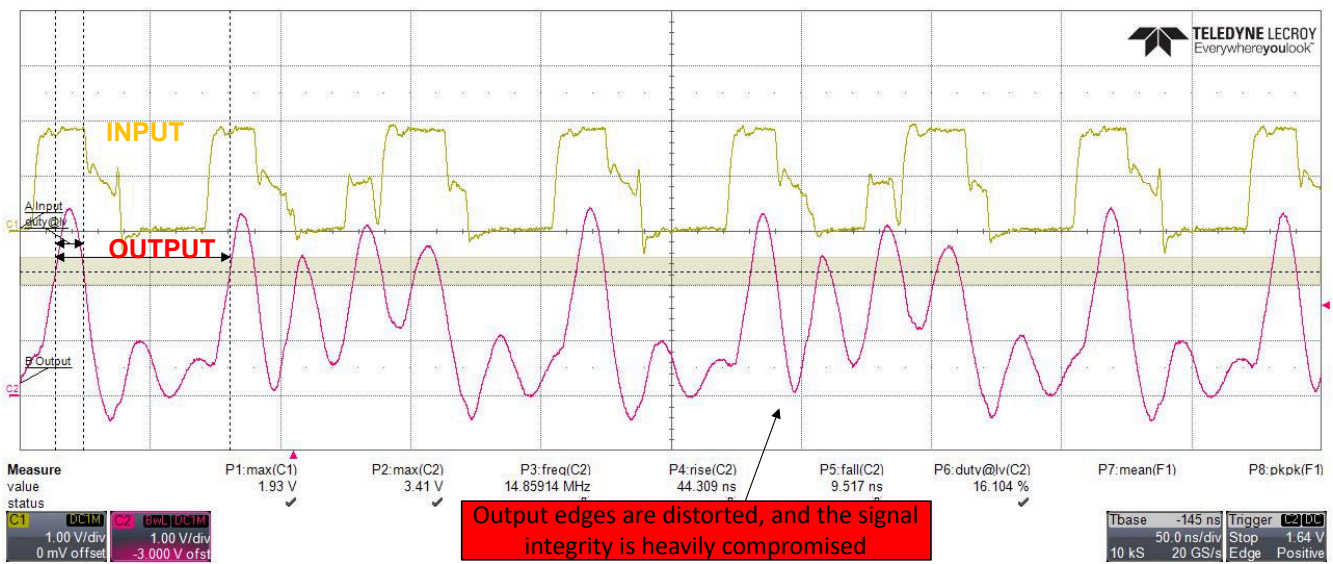


図 3-17. TXB0104、1.8V ~ 3.3V、出力 Load = 20 インチ パターン + 50pF、15MHz

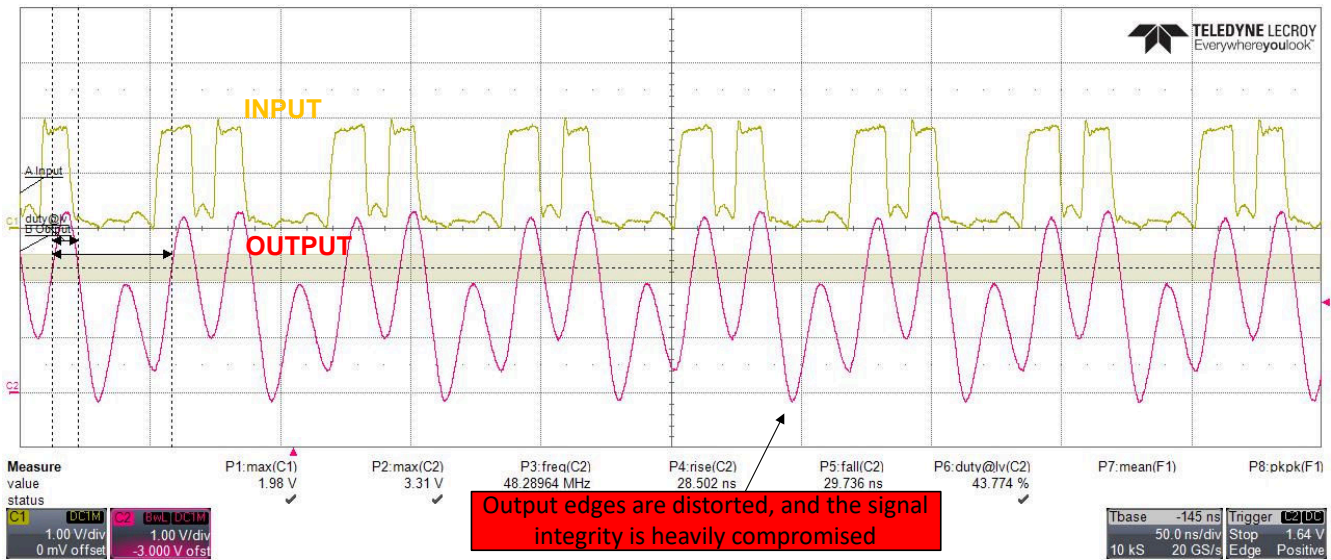


図 3-18. 競合製品、1.8V ~ 3.3V、出力 Cload = 20 インチ パターン + 50pF、15MHz

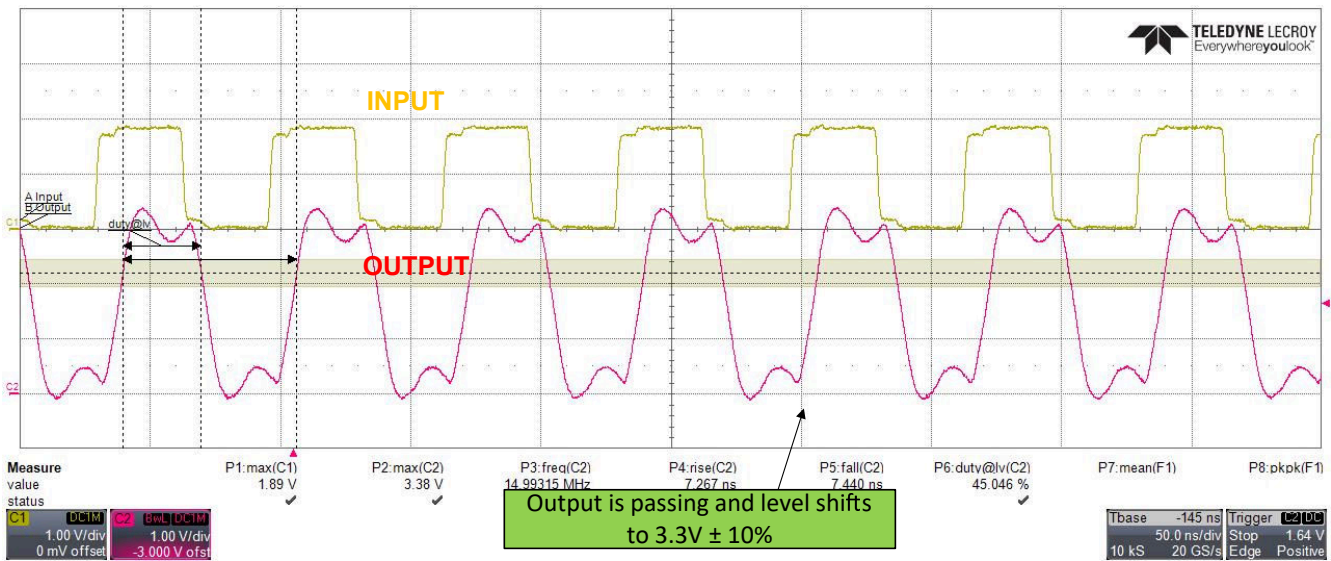


図 3-19. TXB0604、1.8V ~ 3.3V、出力 Cload = 20 インチ パターン + 50pF、15MHz

出力データが入力信号と大幅に異なるため、従来および競合製品の波形では出力動作が許容されません。図 3-19 で、出力側が入力に駆動されると、入力信号のエッジが破壊されることを確認してください。ただし、テストケースにける TXB0104 および競合製品との比較では、TXB0604 のシグナル インテグリティが向上していることを確認できます。

4 TXB0604/TXB0606 を使用する設計上の検討事項

TXB0604 と TXB0606 は伝送ライン周辺のシグナル インテグリティ の問題点を解決するために使用できますが、最高の性能を実現するために考慮すべき設計上の検討事項がいくつかあります。

4.1 インピーダンス整合

オーバーシュートとアンダーシュートは、適切に対処しないと、長い伝送ラインで発生する一般的な症状です。これらの問題が発生するのは、状態が遷移する際のレベル シフタの強力な出力インピーダンスが送信媒体のインピーダンスと一致しないためです。ダンピング抵抗を追加するとこの影響を緩和できます。システム設計者は、ドライバの出力インピーダンスと伝送ラインをより確実に一致させるため、TXB0604 の出力にできるだけ近くに直列終端抵抗を配置する必要があります。システムのインピーダンス特性に応じて、インピーダンス値がきちんと適合しており、テスト済みであることを確認してください。

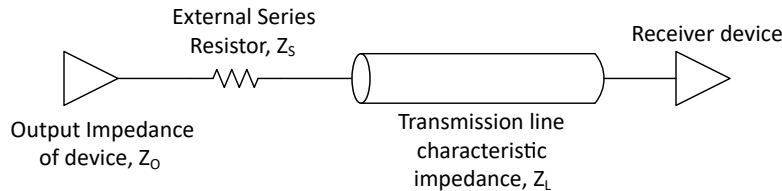


図 4-1. 外付け直列抵抗によるインピーダンス整合

$$Z_0 + Z_S = Z_L \quad (1)$$

以下の例は、図 4-2 のダンピング抵抗を含めること以外はベンチ設定が同じである TXB0604 を示しています。図 4-2 に示すように、 V_{OH} (2.22V) が期待される 1.8V より高いことが観測されます。

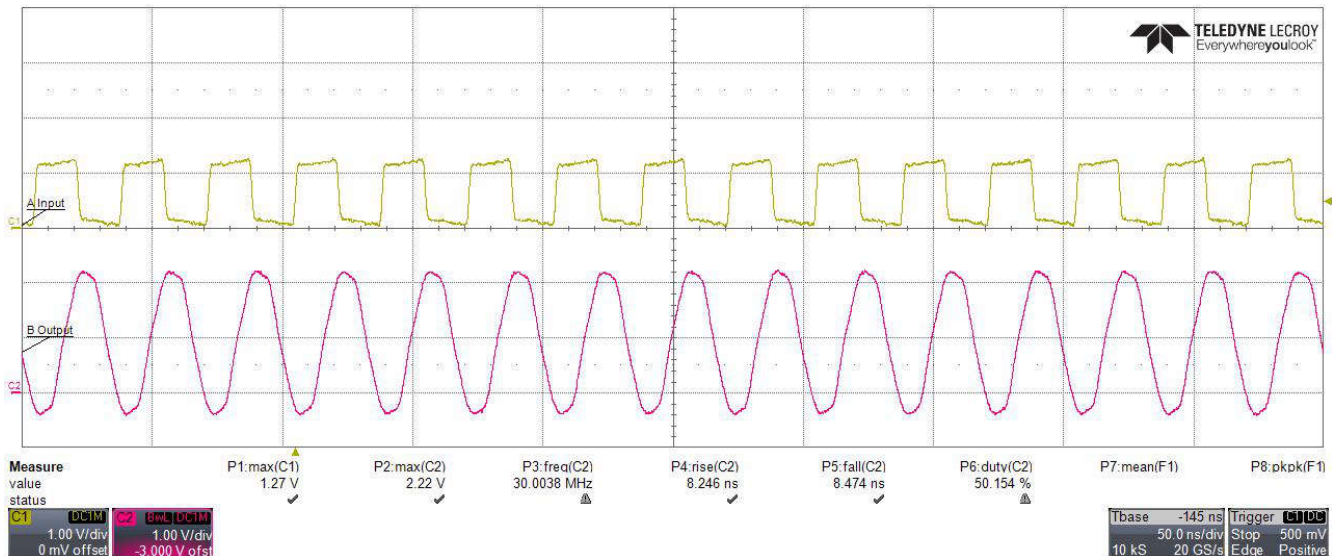


図 4-2. TXB0604、1.2V ~ 1.8V、インピーダンス整合が不適切

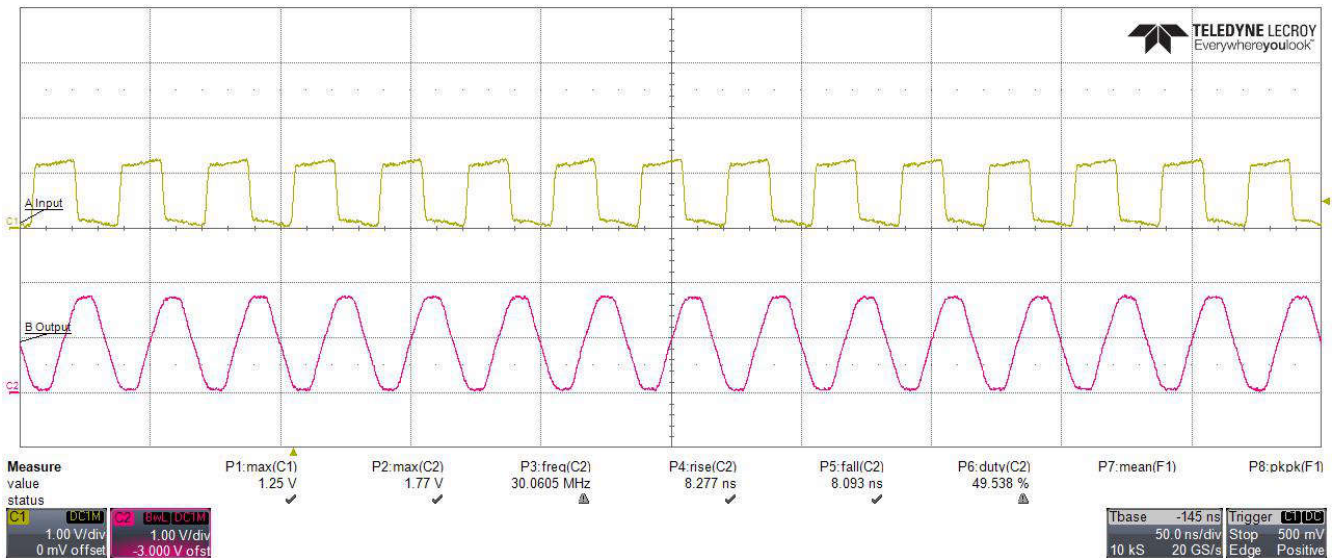


図 4-3. TXB0604、1.2V ~ 1.8V、インピーダンス整合が適切

4.2 方向変更待機時間、 T_{DCW}

デバイスは自動双方向シグナル伝送をサポートしていますが、通信が行われない短いアイドル時間が必要です。この一時停止により、A→B および B→A 側の I/O ドライバが安定し、信号の方向が正しく変化できるようになります。方向を切り替えに必要な時間を T_{DCW} (方向切り替え待機時間) と呼びます。システム設計者はこの間隔を考慮して、ドライバが新しい状態に落ち着くまで、信号がデバイスを通して逆方向に伝送されないようにする必要があります。そうしないと、信号が無視され、デバイスに駆動することができません。 T_{DCW} 仕様は、TXB0604/TXB0606 データシートの各 V_{CCA} 値のスイッチング チャネル表に記載されています。

QSPI アプリケーションでは、I/O ラインは多くの場合双方向であり、インターフェイスは読み取りおよび書き込み動作中にダミー サイクルを使用します。これらのダミー サイクルでは、マイコン、外部フラッシュ、TXB0604/TXB0606 が必要とする、最小ターンアラウンド時間を効果的に使用できます。すべてのコンポーネントの必要を満たすため、システム設計者はこの最小ターンアラウンド時間を満たすために必要なダミー サイクルの合計から、合計所要時間を計算する必要があります。

T_{DCW} を観測することは、通信エラー、データビットの喪失、誤ったデータ キャプチャを防止するために重要です。

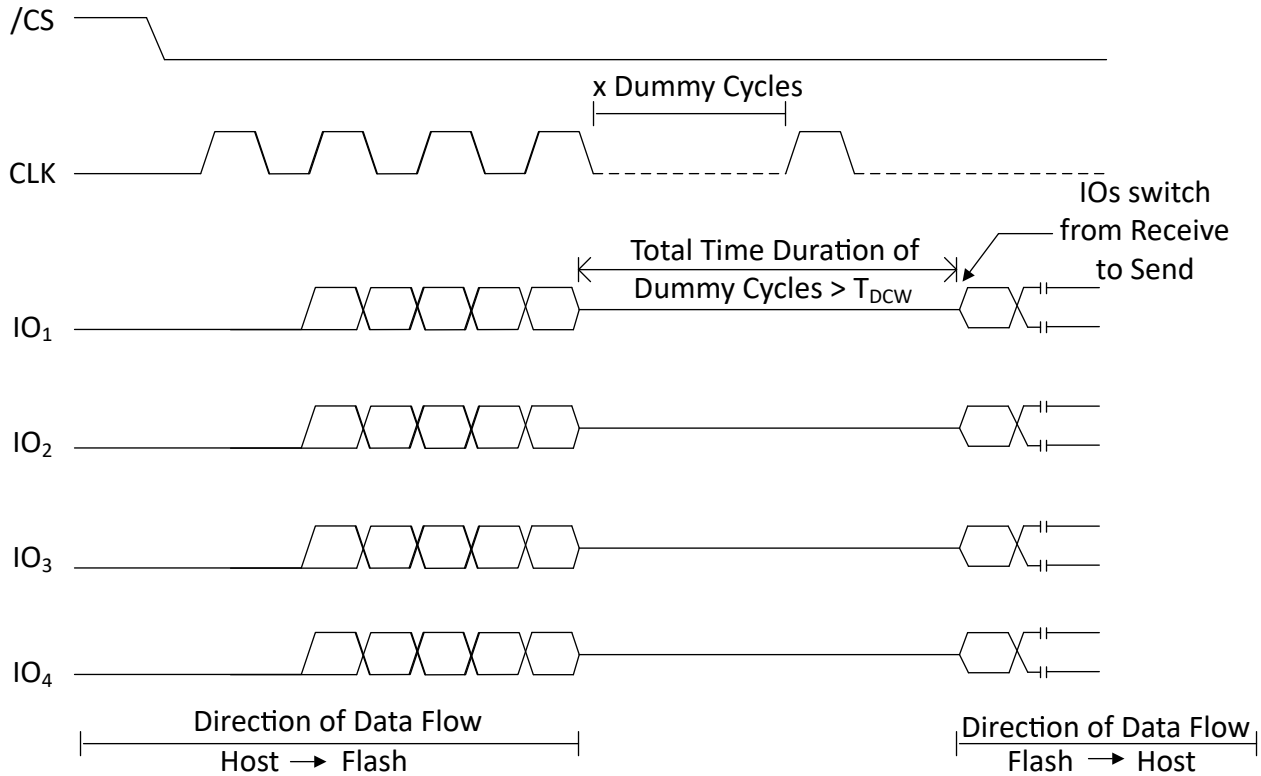


図 4-4. 自動方向データフローに必要なダミー サイクルの決定

5 まとめ

このアプリケーション ノートでは、一連の異なるテスト設定を使用して、**TXB0604** の性能を従来の同等品 (TXB0104 など) や競合製品と比較しています。結果は、**TXB0604** の性能は一貫して同等製品を上回っており、シグナル インテグリティに問題がある場合の代替となり、コスト効率に優れた設計が可能になることを示しています。

6 参考資料

- テキサス インストルメンツ、『[ボトルネックからブレイクスルーへ: データ センターにおける QSPI を TXB0604/ TXB0606 で最適化](#)』、アプリケーション ノート。
- テキサス インストルメンツ、『[TXB 型トランスレータによる電圧変換ガイド](#)』、アプリケーション ノート。
- テキサス インストルメンツ、『[ボトルネックからブレイクスルーへ: データ センターにおける QSPI を TXB0604/ TXB0606 で最適化](#)』、アプリケーション ノート。
- テキサス インストルメンツ、『[回路図チェックリスト- 自動双方向トランスレータを使用した設計ガイド](#)』、アプリケーション ノート。
- テキサス インストルメンツ、『[エッジレート アクセラレータ付き TXB および TXS 電圧レベル シフタの注意事項](#)』、アプリケーション ノート。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月