

## Application Brief

# マルチプレクサを使用して SPI ベースのフラッシュメモリ拡張を実現する方法



FPGA (フィールドプログラマブル ゲートアレイ) ベースの設計で幅広いアプリケーションを実行するためには、十分な容量を確保できる効率的なメモリストレージが必要です。FPGA は内部ストレージを備えています。サーバー、イーサネット スイッチ、SSD、ハードウェア アクセラレータなどの高性能システムでは、メモリ容量を最小限にするために、外部メモリが必要になる場合があります。この外部メモリは、電源遮断時にデータを保持する必要があるかどうかに応じて、揮発性または非揮発性のいずれかになります。フラッシュメモリなどの非揮発性メモリは、電源が供給されていない状態でもデータを保持できるため、ブートアップコードや FPGA のコンフィギュレーションデータの格納に最適です。FPGA は、マルチプレクサ (MUX) を介してルーティングされるシリアル ペリフェラル インターフェイス (SPI) プロトコルを使用して、外部メモリと通信します。

図 1 は、マルチプレクサがどのように SPI 信号をルーティングし、ユーザーが FPGA または外部ヘッダのいずれかを介してフラッシュメモリにアクセスする複数の方法を提供しているかを示しています。このヘッダにより、外部からフラッシュメモリへのアクセスが可能になり、ブートアップコードのデバッグや、その他の格納されたファームウェアのアップデートを実行できます。

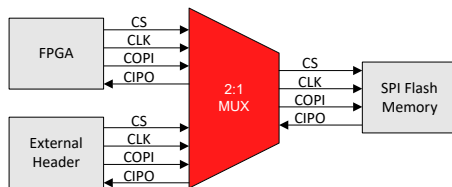


図 1. フラッシュメモリへの外部アクセス

図 2 は、メモリ拡張のためにマルチプレクサを使用して、FPGA が複数の外部メモリにアクセスする方法を示しています。SPI プロトコルではマスタから複数のスレーブへの直接接続が可能ですが、バス容量を低減し、マスタのチップセレクトビットが 1 つしか存在しない場合の接続を容易にするためには、マルチプレクサが不可欠です。マルチプレクサの双方向機能により、同一のマルチプレクサで図 1 と図 2 の両方の使用事例シナリオに対応できます。

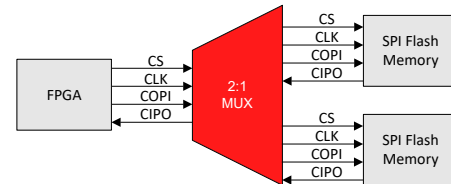


図 2. 複数のフラッシュメモリへの FPGA アクセス

フラッシュメモリへの代替パスを提供するだけでなく、電源オフ保護機能付きマルチプレクサは、FPGA と外部メモリ間を絶縁し、図 3 に示すよう電源シーケンスの問題からシステムを保護します。このアプリケーションの詳細については、『電源オフ保護を備えた信号スイッチを使用した電源シーケンス』、クロストークとオフ絶縁の詳細については、『TI プレジジョン ラボ - スイッチとマルチプレクサ: 帯域幅、クロストーク、オフ絶縁、THD+Noise』を参照してください。

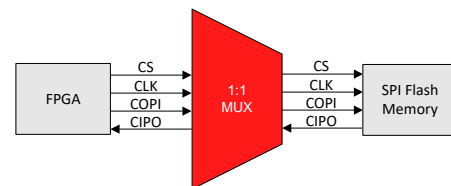


図 3. FPGA と外部メモリの絶縁

## SPI プロトコル

SPI は、FPGA やマイコンがフラッシュメモリ、センサ、ADC、SD カードなどのさまざまなペリフェラルと短距離で通信するために使用する、同期式シリアル インターフェイスです。SPI バスはプッシュプルドライバを使用しているため、I2C または SMBus に使用されるオープンドレインドライバと比較して、より高いクロック周波数 (75MHz) をより低消費電力 (1mA) でサポートします。SPI プロトコルは通常、I2C と比較して 4 つのチャンネル (2 つのデータライン、1 つのクロック信号、1 つのチップセレクトビット) を使用し、I2C では 2 つのチャンネル (1 つのデータラインと 1 つのクロック信号) を使用します。より高いスループットを実現するため、クワッド SPI (4 つのデータライン) およびオクタール SPI (8 つのデータライン) プロトコルは、外部メモリを使用する高性能システムで普及が進んでいます。クワッド SPI およびオクタール SPI の一般的なアプリケーション

は、単一の COPI ラインおよび単一の CIPO ラインではなく、SPI インターフェイスに複数のパラレル データラインを実装するフラッシュ メモリ システムにあります。クワッド SPI は多くの場合、合計 8 本の信号ラインを使用します。1 つのチップ セレクト ライン (CS)、1 つのデータ ストローブ ライン (DQS)、2 つの差動クロック ライン (CLK および nCLK)、および 4 つのデータ ライン (D0、D1、D2、D3) です。オクタル SPI には 4 つの追加データ ライン (D4、D5、D6、D7) が含まれ、合計 12 本の信号ラインがあります。図 4 に、2 つの 4 チャンネル 2:1 マルチプレクサを使用して複数のクワッド SPI フラッシュ メモリにアクセスする例を示します。

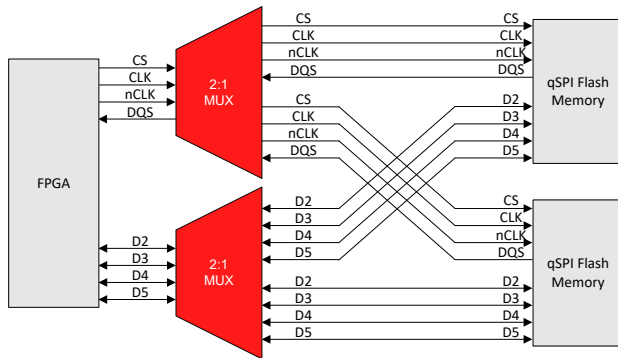


図 4. 複数のクワッド SPI フラッシュ メモリへの FPGA アクセス

図 5 に、2 つの 6 チャンネル 2:1 マルチプレクサを使用して複数のオクタル SPI フラッシュ メモリにアクセスする例を示します。

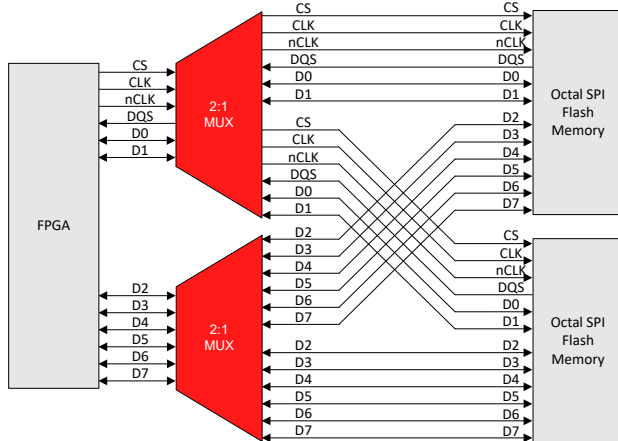


図 5. 複数のオクタル SPI フラッシュ メモリへの FPGA アクセス

SPI バスの詳細については、『アナログ エンジニアのポケットリファレンス』の「SPI バス (シリアル ペリフェラル インターフェイス) ハードウェア概要」セクションを参照してください。

## SPI アプリケーションに適したマルチプレクサの選定

SPI デジタル信号伝達のために最も重要なマルチプレクサのパラメータは、電圧、チャンネル数、帯域幅です。マルチプレクサの適切な電圧を選択するには、FPGA または MCU の I/O 電圧を推奨マルチプレクサ I/O 電圧と単純に一致させます。マルチプレクサのチャンネル数は、SPI プロトコルで定義されます。標準的な SPI プロトコルは 4 つのチャンネル (2 つのデータ ライン、1 つのクロック信号ライン、1 つのチップ セレクト ライン)、クワッド SPI は 8 つのチャンネル、オクタル SPI には 12 のチャンネルが必要です。この帯域幅は、オン状態の容量 ( $C_{ON}$ ) によるクロック信号へのマルチプレクサの寄生効果を考慮するための簡単な方法です。ほとんどのシステムでは、最大基本クロック周波数の 50% のマージンが、アプリケーションには十分なマルチプレクサ帯域幅となります。例えば、最大 SPI クロック信号が 100MHz の場合、帯域幅が 1.5 倍 (150MHz) のマルチプレクサを推奨します。

$$\text{推奨マルチプレクサ帯域幅} = \text{クロック周波数} \times 1.5$$

場合によっては、設計者が理想的な帯域幅を求める際に、最大基本クロック周波数の 3 倍のマルチプレクサを使用する必要がありますが、この要件は一般的なアプリケーションでは必要ありません。

鋭い立ち上がり時間および立ち下がり時間については、TMUX1574 (2GHz 帯域幅) を SPI アプリケーションで使用できます。図 6 に、75MHz の SPI クロック信号を渡すのを TMUX1574 がどのように実行するかを示します。上の波形はリファレンスに対するクロック信号を示し、下の波形はマルチプレクサ通過後の出力クロック信号を示しています。下の波形は、マルチプレクサが出力 SPI クロック信号にほとんど影響を与えていないことを示しています。これは、 $C_{ON}$  が低く、75MHz のクロック信号が歪みなしで通過できるためです。 $C_{ON}$  が小さいマルチプレクサを使用すると帯域幅が拡大しますが、基板レイアウトまたはコネクタが余分な容量を追加するシステムでは重要になります。

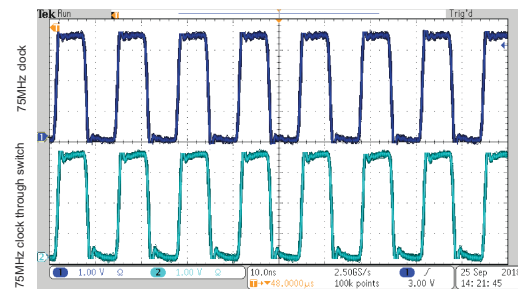


図 6. TMUX1574 を通過する 75MHz クロック

## TI の SPI マルチプレクサ向けソリューション

高性能システムでは、FPGA とマイコンはストレージの拡張に使用する外部メモリを必要とすることがあります。この外部メモリは、フラッシュ メモリなどの非揮発性に設定でき、電源が失われたときにデータを保存できます。この機能により、フラッシュ メモリはブートアップコード、FPGA 構成データ、メディア ファイルを格納するのに理想的です。FPGA とマイコンは、マルチプレクサがルーティングする SPI プロトコル経由で、これらのフラッシュ メモリと通信します。このマルチプレクサでは、電源オフ保護機能付きの電源シーケンス中に FPGA とマイコンを保護しながら、フラッシュ メモリに複数の方法でアクセスできます。さらに、1.2V および 1.8V ロジック互換のデバイスにより、

1.2/1.8V レールのプロセッサが、3.3/5V レールで動作するマルチプレクサを制御している場合、外部の電圧変換が不要です。このデバイス機能により、低いロジックレベルへの移行が促進され、消費電力が低減されたシステム設計を小型化できます。アプリケーションに適したマルチプレクサは、SPI プロトコル、信号電圧、帯域幅の要件によって選定する必要があります。さまざまな SPI アプリケーションをサポートするため、TI の高帯域マルチプレクサ製品ラインアップは、理想的な SPI 性能を実現するために広い範囲の信号電圧をサポートしています。

表 1. SPI マルチプレクサ推奨事項

デバイス	チャンネル数	構成	ロジック (V)	RON (Ω)	CON (pF)	帯域幅 (MHz)
TMUX1574	4	2:1	1.8	2	7.5	2000
TMUX1575	4	2:1	1.2	1.7	10	1800
TMUX1511	4	1:1	1.8	2	3.3	3000
TS3A27518E	6	2:1	1.8	4.4	21.5	240
TMUXL1574	4	2:1	1.2	1	5	1800
TMUXL1511	4	1:1	1.2	1	5	1800

### 参考資料

- テキサス インスツルメンツ、『アナログ エンジニアのポケットリファレンス ガイド』
- テキサス インスツルメンツ、『電源オフ保護を備えた信号スイッチで電源シーケンスを不要に』
- テキサス インスツルメンツ、『低 CON マルチプレクサにおける安定性の問題の改善』
- テキサス インスツルメンツ、『マルチプレクサおよび信号用 1.8V ロジック』

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月