

Application Note

TXE シリーズ 16/24/48 ビット SPI 制御 I/O エクスパンダ、フェイルセーフ アプリケーション

Tyler Townsend

概要

このアプリケーション ノートでは、TXE シリーズの車載認証済み I/O エクスパンダのフェイルセーフ I/O レジスタ セットを使用した 2 つのマイコン フェイルセーフ使用事例を紹介します。使用例としては、マイコンの再起動 (ファームウェアのアップデート) 中に信頼性の高い状態を維持することから、マイコンが故障した際にシステムを既知の状態に保持することまで多岐にわたります。

TXE シリーズの I/O エクスパンダには、[TXE8116-Q1](#)、[TXE8124-Q1](#)、[TXE8148-Q1](#) があります。

目次

1 はじめに.....	2
2 フェイルセーフ レジスタ セットの概要.....	3
3 フェイルセーフ レジスタへの書き込み方法.....	4
4 フェイルセーフ使用事例 #1 - マイコンの通信喪失 — リンプ ホーム モード.....	5
5 フェイルセーフ使用事例 #2 - マイコンのソフトウェアのアップデート / 再起動.....	8
6 まとめ.....	9
7 参考資料.....	9

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

TXE81xx-Q1 SPI 制御 I/O エクスパンダは独自のフェイルセーフレジスタを実装しており、故障モードが外部からトリガされた場合にデバイスを既知の状態にします。このデバイスの **RESET** ピンはアクティブ Low のフェイルセーフ入力として構成でき、Low にアサートされるとデバイスをフェイルセーフモードにします。

下の図に、PMIC、マイコン、ハイサイドスイッチ、TXE81xx-Q1 I/O エクスパンダを備えた、車載ゾーン制御システムのサブセット例を示します。SPI バスは、マイコンまたはプロセッサから TXE81xx-Q1、TPS2HCS08-Q1、TPS65386x-Q1 に配線されます。PMIC にはウォッチドッグフラグがあり、マイコンが周期的にクリアする必要があります。マイコンが PMIC 内でこのウォッチドッグイベントを通常クリアしなかった場合、マイコンは障害状態になっているとみなされます。したがって、PMIC は **SAFE_OUT** 信号を TPS2HCS08-Q1 と TXE81xx-Q1 に送信します。ハイサイドスイッチの LHI (リンプホーム入力) ピンは High に駆動され、スイッチへの電流をカットします。また、**SAFE_OUT** 信号によって TXE81xx-Q1 の **FAIL_SAFE** ピンが Low にプルされ、I/O エクスパンダは事前プログラムされたフェイルセーフ出力状態になります。

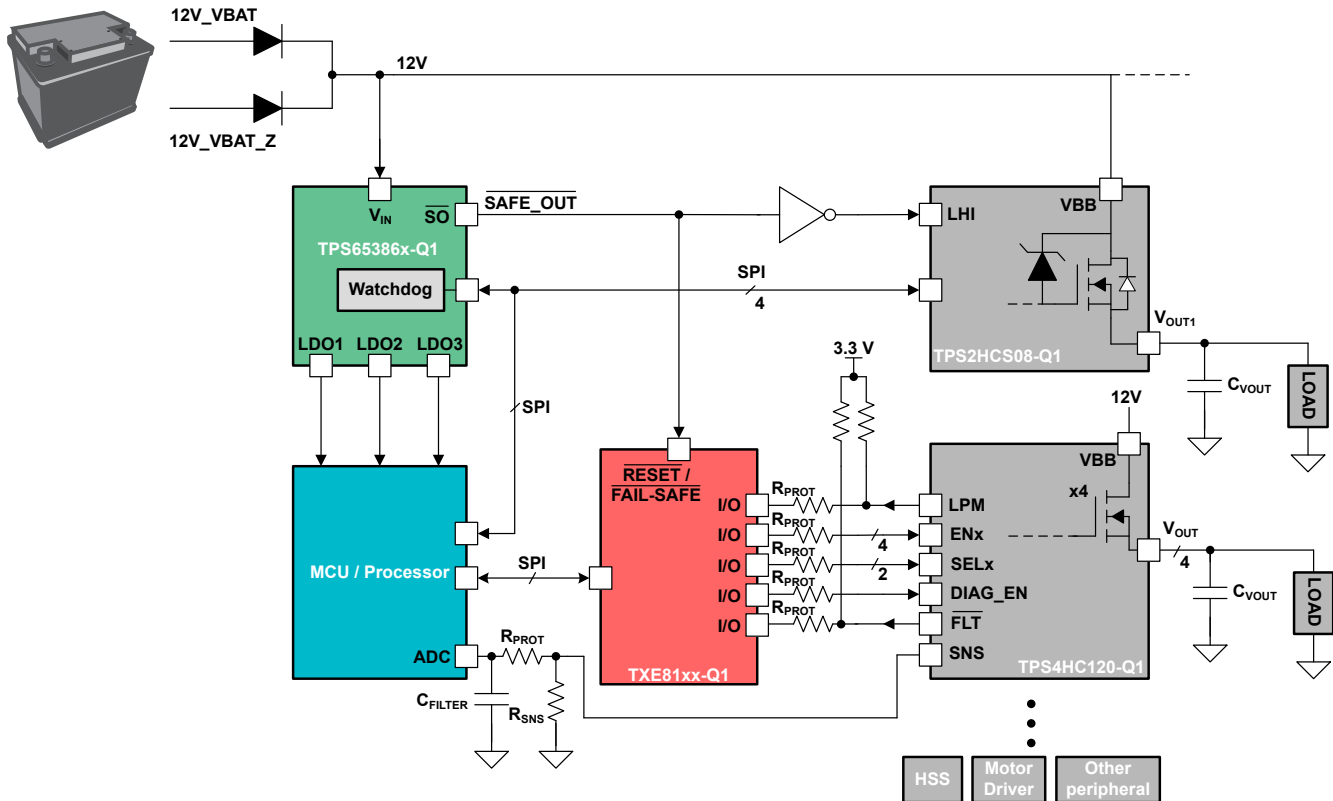


図 1-1. TXE81xx-Q1 I/O エクスパンダのブロック図の例

マイコンまたはプロセッサの電源が正しくない場合、TXE81xx-Q1 はフェイルセーフモードで動作するようにプログラムされていないことに注意することが重要です。PMIC からの **SAFE_OUT** 信号は、TXE81xx-Q1 のリセット状態を引き起こします。TXE のリセットまたはフェイルセーフピンは、フェイルセーフイネーブルレジスタに書き込むことで構成されるまで、デフォルトでリセットピンとして機能します。RESET = Low の場合、TXE の I/O はハイインピーダンスになります。ダウンストリームのハイサイドスイッチの条件には、プルアップ抵抗やプルダウン抵抗などの外部の決定論的係数を使用する必要があります。それ以外の場合、ENx、SELx、DIAG_EN はフローティングのままになります。

2 フェイルセーフレジスタ セットの概要

TXE81xx-Q1 シリーズの I/O エクспанダには、フェイルセーフレジスタが実装されています。外部デバイスからのフォルトフラグを TXE81xx-Q1 にリレーして、I/O エクспанダを既知の状態にすることができます。

フェイルセーフ機能は 4 つのレジスタで構成されており、それぞれに冗長性のためのコピーがあります。これには、以下の注意点があります。

1. フェイルセーフ イネーブル レジスタ
2. フェイルセーフ方向構成レジスタ
3. フェイルセーフ出力レジスタ
4. フェイルセーフ冗長性チェックレジスタ

4 つのタイプには、それぞれ 2 つの同一のレジスタ (1 と 2) があります。たとえば、「フェイルセーフ出力レジスタ 1」および「フェイルセーフ出力レジスタ 2」があります。これにより、フェイルセーフレジスタ間のソフトウェア冗長性を検証します。レジスタ 1 のデータがレジスタ 2 と異なる場合、フォルト ステータス レジスタのビット B1 がセットされ、データ書き込みエラーが発生したことが警告されます。






フォルト ステータス レジスタは、レジスタの不一致があるかどうかを判断するために使用されます。不一致は、フェイルセーフレジスタのいずれかが同期していないことを示します。また、フォルト ステータス レジスタは、デバイスのフォルト ステータスがアクティブである場合、またはパワーオンリセットが発生した場合も示します。これらのフラグは、故障状態が解消されてもクリアされませんが、読み取り操作によってクリアされます。

表 2-1. フェイルセーフレジスタ マップとフォルト ステータス レジスタ

レジスタ名	オフセット	機能
フェイルセーフ イネーブル レジスタ -1	120h	RESET ピンを FAIL-SAFE ピンに構成します。
フェイルセーフ イネーブル レジスタ -2	130h	RESET ピンを FAIL-SAFE ピンに構成します。
フェイルセーフ方向構成レジスタ -1	140h + (y * 1h) ここで y = 0h ~ 2h	各 I/O 入力 = 0 出力 = 1 の方向を設定します
フェイルセーフ方向構成レジスタ -2	150h + (y * 1h)、 ここで y = 0h ~ 2h	各 I/O 入力 = 0 出力 = 1 の方向を設定します
フェイルセーフ出力レジスタ -1	160h + (y * 1h) ここで y = 0h ~ 2h	フェイルセーフ方向構成レジスタにより、 OUTPUT として構成された各 I/O のロジック出力を構成します
フェイルセーフ出力レジスタ -2	170h + (y * 1h)、 ここで y = 0h ~ 2h	フェイルセーフ方向構成レジスタにより、 OUTPUT として構成された各 I/O のロジック出力を構成します
フェイルセーフ冗長性チェック レジスタ	180h	すべてのフェイルセーフレジスタ (イネーブル、構成、出力) に書き込んだ後で、これらのレジスタの冗長検査がイネーブルになります。フェイルセーフレジスタが一致していない場合、フォルトステータスレジスタにフラグが設定されます。
フォルト ステータス レジスタ	190h	ビット 0 - パワーオンリセット復帰ステータス ビット 1 - レジスタの不一致によりフェイルセーフ機能がクリアされた ビット 2 - フェイルセーフ機能がアクティブ

3 フェイルセーフレジスタへの書き込み方法

TXE81xx-Q1 は、24 ビットの SPI ワードを使用してデバイスをプログラムします。

	R/W = Read/Write		Feature Address		Multi-Port
	Data		Port Address		Don't Care or Default







B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
R/W	0	X	F	F	F	F	F	X	P	P	P	X	X	X	M	D7	D6	D5	D4	D3	D2	D1	D0

図 3-1. TXE81xx-Q1 用の 24 ビット SPI ワード

説明:

- R/W = 読み取り / 書き込み
- X = 未使用 / デフォルト値
- F = 機能アドレス
- P = ポートアドレス
- M = マルチポートビット
- D = データ (MSB ~ LSB)

たとえば、ポート 2 のフェイルセーフ出力レジスタ 2 (0x17) に、P2.7 ~ P2.4 = HIGH、P2.3 ~ P2.0 = LOW に設定し、マルチポートをディセーブルにして書き込みます。

	R/W = Read/Write		Feature Address		Multi-Port
	Data		Port Address		Don't Care or Default

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
0	0	X	1	0	1	1	1	X	0	1	0	X	X	X	0	1	1	1	1	0	0	0	0

図 3-2. 例: フェイルセーフ出力レジスタ 2 (B20 ~ B16 = 0b10111)、ポート 2 (B14 ~ B12 = 0b010) への書き込み条件 (B23 = 0)、マルチポート ディセーブル (B8 = 0)、P2.7 ~ P2.4 を HIGH (B7 ~ B4 = 0b1111) に設定、P2.3 ~ P2.0 を LOW に設定 (B3 ~ B0 = 0b0000)

4 フェイルセーフ使用事例 #1 - マイコンの通信喪失 — リンプ ホーム モード

システムの動作中に、マイコンとの通信が失われる場合があります。TXE81xx-Q1 I/O エクスパンダを使用して、車両を「リンプ ホーム モード」状態に保持できます。TXE81xx-Q1 は、車両の重要な状態を保持する役割を担うことで、機能が低下した状態 (リンプ ホーム モードなど) でも安全に動作できるようにします。

この例では、以下のコードブロックを使用して TXE8124-Q1 の通常の動作状態を設定します。各ポートは OUTPUT に設定され、各ポートの出力ロジックは次のように設定されます。これはフェイルセーフでない場合の I/O エクスパンダの状態です。

ポート 0 = 0x00

ポート 1 = 0x55

ポート 2 = 0x0F

```
//Configure IO's to OUTPUT on each port through the direction configuration register (0x04)
SPI_TRANSFER(0x04, Port_0, 0xFF);
SPI_TRANSFER(0x04, Port_1, 0xFF);
SPI_TRANSFER(0x04, Port_2, 0xFF);

//Set Output logic: Port_0 = 0x00, Port_1 = 0x55, Port_2 = 0x0F, through the output port register (0x03)
SPI_TRANSFER(0x03, Port_0, 0x00);
SPI_TRANSFER(0x03, Port_1, 0x55);
SPI_TRANSFER(0x03, Port_2, 0x0F);
```

次のサンプルコードは、フェイルセーフレジスタをプログラムするために TXE8124-Q1 に書き込まれます。まず、オフセット 120h と 130h のフェイルセーフ イネーブル レジスタ 1 および 2 に書き込みます。次に、オフセット 140h + (y * 1h) と 150h + (y * 1h) でフェイルセーフ方向構成レジスタ 1 および 2 をプログラムします。この例では、すべての I/O が出力されるようにプログラムされています。オフセット 160h + (y * 1h) と 170h + (y * 1h) でフェイルセーフ出力レジスタ 1 と 2 に書き込むことで、出力のロジックをプログラムします。0xAA は、このコーディングの使用例として使用されています。次に、フェイルセーフ冗長性チェックレジスタの FSCHECKEN ビットをオフセット 180h に設定します。

```
//Configure the fail-safe registers

//Fail-safe enable register 1 (0x12), Fail-safe enable register 2 (0x13), set B0 = 1
SPI_TRANSFER(0x12, Port_0, 0x01);
SPI_TRANSFER(0x13, Port_0, 0x01);

//Fail-safe Direction Configuration Register 1 (0x14), set each port IO's to OUTPUT (0xFF)
SPI_TRANSFER(0x14, Port_0, 0xFF);
SPI_TRANSFER(0x14, Port_1, 0xFF);
SPI_TRANSFER(0x14, Port_2, 0xFF);

//Fail-safe Direction Configuration Register 2 (0x15), set each port IO's to OUTPUT (0xFF)
SPI_TRANSFER(0x15, Port_0, 0xFF);
SPI_TRANSFER(0x15, Port_1, 0xFF);
SPI_TRANSFER(0x15, Port_2, 0xFF);

//Fail-safe Output Register 1 (0x16), set the port output logic to 0xAA (high-low-high...)
SPI_TRANSFER(0x16, Port_0, 0xAA);
SPI_TRANSFER(0x16, Port_1, 0xAA);
SPI_TRANSFER(0x16, Port_2, 0xAA);

//Fail-safe Output Register 2 (0x17), set the port output logic to 0xAA (high-low-high...)
SPI_TRANSFER(0x17, Port_0, 0xAA);
SPI_TRANSFER(0x17, Port_1, 0xAA);
SPI_TRANSFER(0x17, Port_2, 0xAA);

//Fail-safe Redundancy Check Register (0x18), set B0 = 1 to enable the fail-safe redundancy check
SPI_TRANSFER(0x18, Port_0, 0x01);
```

例示するハードウェアの設定のブロック図を以下に示します。マイコンの通信が失われ、PMIC のウォッチドッグ フラグをクリアできなくなります。フォルト信号 **SAFE_OUT** は、TXE8124-Q1 の **FAIL_SAFE** ピンに送信されてフェイルセーフモードをトリガします。TXE8124-Q1 は、上記でプログラムされたフェイルセーフロジックを出力します。すべての I/O ポートの出力は 0xAA になり、マイコンが動作不能の間、ハイサイドスイッチとモータードライバの機能が既知の出力状態に設

定されます。0xAA の値は完全に任意であり、例示のためだけに用いられています。実際のシステム アプリケーションでは、リンブ ホーム モード状態の場合、正確な値は異なる場合があります。

視覚的な表示のために、LED の駆動には TPS4HC120-Q1 GPIO 制御ハイサイド スイッチが使用されています。車載アプリケーションでは、ハイサイド スイッチは通常、照明システム、モーター制御、各種センサおよびアクチュエータ、リレー、eFuse、バッテリー管理システムなどのモジュールを駆動します。LED を使用すると、TXE8124-Q1 がフェイルセーフ モードに移行してハイサイド スイッチがディスエーブルになっている状況を視覚的に理解することができます。

視覚的な表示のために、ファンのある 2 つの小型モーターの駆動には DRV8714H-Q1 モーター ドライバが使用されています。TXE8124-Q1 がフェイルセーフ状態に移行すると、どのモーターが継続して動作し、どのモーターが無効化されているかを簡単に確認できます。

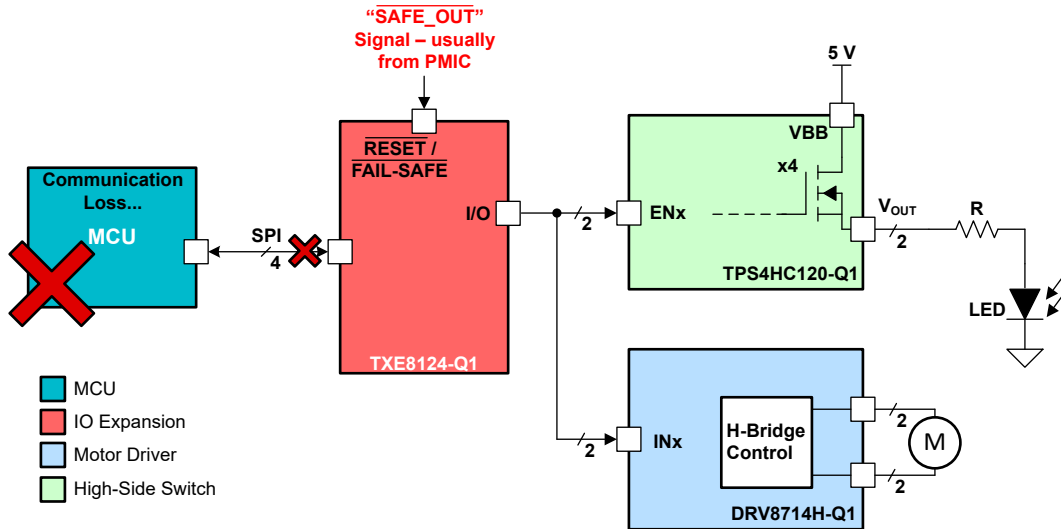


図 4-1. 使用事例 1 - マイコンの通信喪失 - 「リンブ ホーム モード」

通常状態で動作している TXE8124-Q1 を以下に示します。ポート 0 = 0x00、ポート 1 = 0x55、ポート 2 = 0x0F です。これらは、出力状態に対して選択された任意の値です。ポート 2 は TPS4HC120-EVM と DRV8714H-Q1EVM への入力を制御し、システム内の両方の LED と両方のモーターを有効にします。

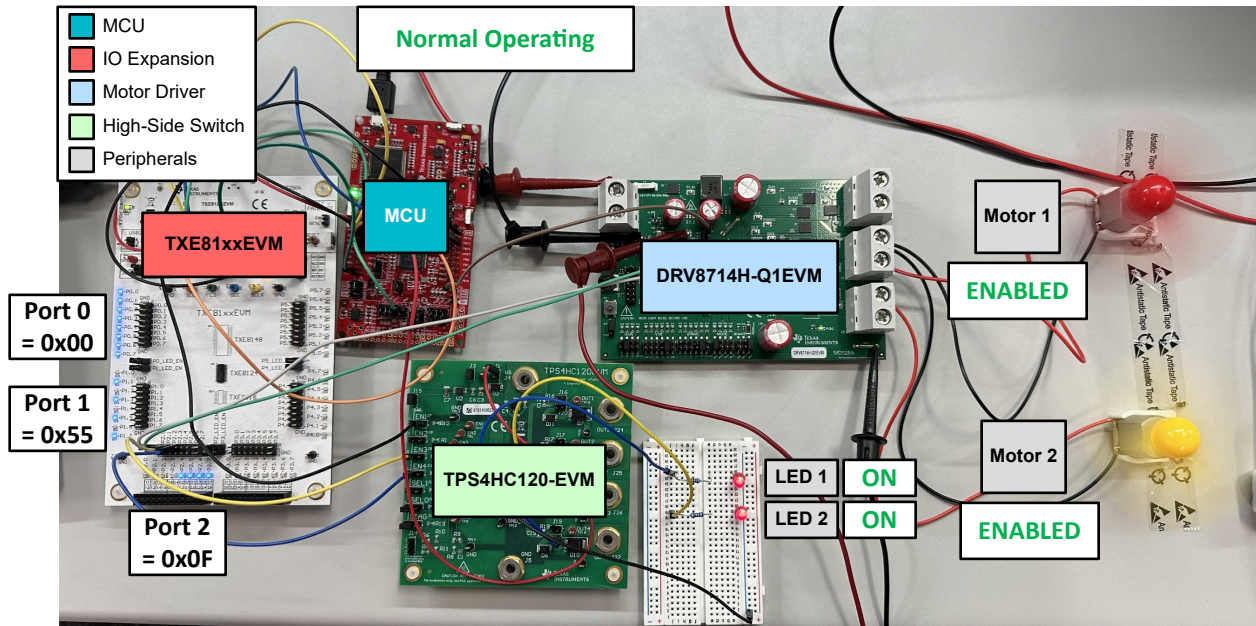


図 4-2. TXE81xxEVM 上での TXE8124-Q1 の通常動作

フェイルセーフ状態では、TXE8124-Q1 のフェイルセーフ ピンが Low になり、システムがフェイルセーフ状態に移行したことを示します。

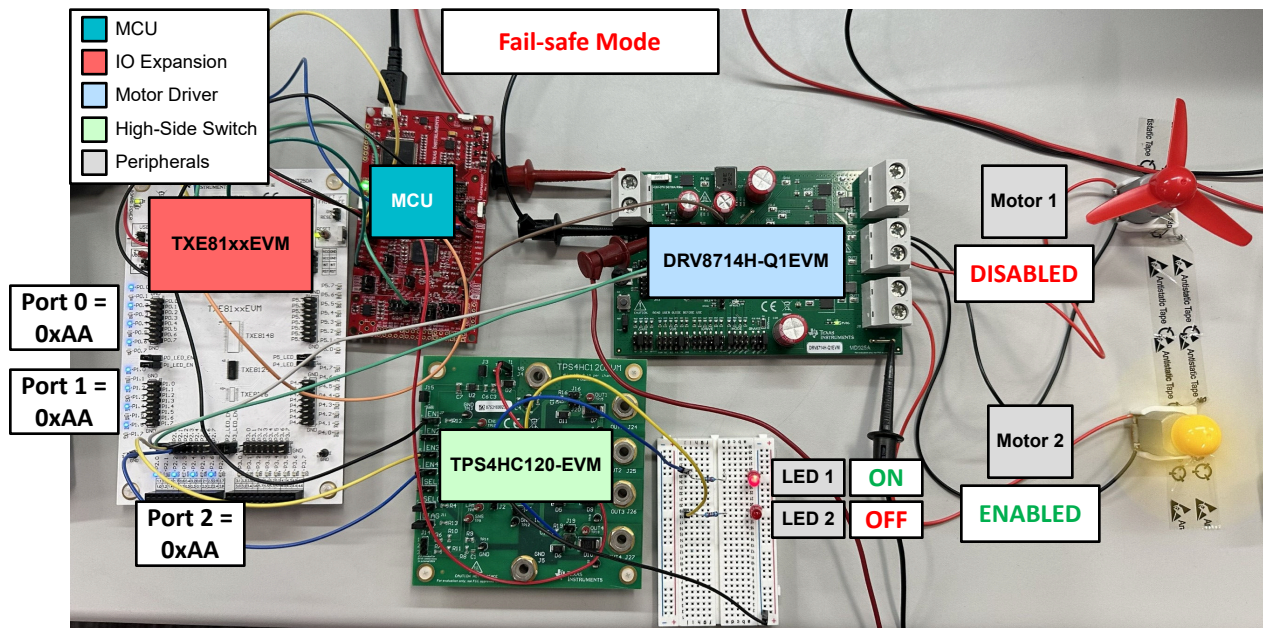


図 4-3. フェイルセーフモード - 出力ポートを 0xAA に設定 - これによりモーター 1 と LED 2 がディスエーブルになる

このベンチの例は実際の車載ゾーン制御モジュールを再現したのですが、マイコンが通信を失った場合に TXE81xx-Q1 I/O エクスパンダが移行できる、事前に構成されたフェイルセーフ状態 (リンプ ホーム モード状態) の明確な例を示しています。

5 フェイルセーフ使用事例 #2 - マイコンのソフトウェアのアップデート / 再起動

標準的なソフトウェア定義の自動車アプリケーションでは、マイコンがアップデートまたは再起動の手順を実行する必要があることがあります。マイコンがリセット状態の間、I/O を不定状態にすることはできません。I/O の確実性を維持するために、TXE81xx-Q1 などの I/O エクスパンダは、マイコンがアップデートまたは再起動している間、必要な状態を保持することができます。

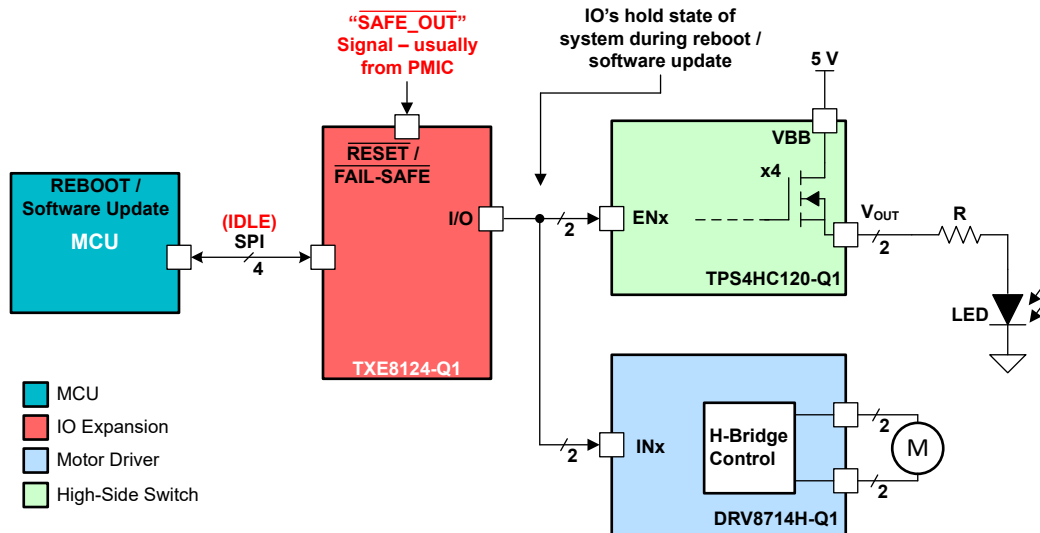


図 5-1. マイコンが再起動またはソフトウェアのアップデート状態に移行 - TXE81xx-Q1 はゾーン内のデバイスを既知の状態に保持可能

6 まとめ

TXE81xx-Q1 SPI 制御 I/O エクスパンダは、マイコンまたはプロセッサの通信喪失時にフェイルセーフ状態を必要とする車載ゾーン制御モジュールで使用できます。TXE81xx-Q1 は、フェイルセーフレジスタセットを備えた多用途であると同時に、大規模なゾーンコントロールモジュールプラットフォームに必要な追加の I/O (16 ビット、24 ビット、48 ビット) も提供します。

7 参考資料

- テキサス インスツルメンツ、『[TXE81XX-Q1 車載用 16 ビットおよび 24 ビット SPI バス I/O エクスパンダ \(割り込み出力、リセット入力、I/O 構成レジスタ付き\)](#)』データシート。
- テキサス インスツルメンツ、『[TXE81XX-Q1 車載用 16 ビットおよび 24 ビット SPI バス I/O エクスパンダ \(割り込み出力、リセット入力、I/O 構成レジスタ付き\)](#)』データシート。
- テキサス インスツルメンツ、『[TXE8148-Q1 データシート](#)』、データシート。
- テキサス インスツルメンツ、『[TPS4HC120-Q1、120mΩ、2A、クワッドチャンネル車載用スマートハイサイドスイッチ](#)』データシート。
- テキサス インスツルメンツ、『[DRV871x-Q1 広い同相入力電圧範囲を持つインライン電流センスアンプを備えた車載用マルチチャンネルスマートハーフブリッジゲートドライバ](#)』、データシート。
- テキサス インスツルメンツ、『[TPS4HC120EVM 評価基板 EVM ユーザーガイド](#)』。
- テキサス インスツルメンツ、『[DRV8714H-Q1EVM](#)』、製品ページ
- テキサス インスツルメンツ、『[TXE81xxEVM](#)』、製品ページ
- テキサス インスツルメンツ、『[TXE8124-Q1 機能安全平均故障率 \(FIT\)、故障モード分布 \(FMD\)、およびピンの故障モード解析 \(FMA\)](#)』、機能安全ピン FMA

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月