

Application Note

UCC25661x に関するよくある質問



Sougata Nayak

概要

このアプリケーションノートでは、UCC25661x LLC 共振コントローラをさまざまなアプリケーションで使用する際によく寄せられる質問について解説します。

目次

1 UCC25661x に関するよくある質問	2
1.1 高いゲートドライバ電流能力を得るために外部ゲートドライバを UCC25661x に接続する方法.....	2
1.2 最大どのスイッチング周波数のコントローラが動作できますか？.....	2
1.3 UCC25661x の動作中に、1 秒未満の障害が発生します。デバッグ方法.....	2
1.4 UCC25661x を使用したバッテリーチャージャの実装方法.....	4
1.5 OVP/OTP ピンのセットアップ方法.....	8
1.6 UCC25661x ファミリーで TSET ピンを設定する方法.....	9
1.7 FB ピンの飽和を回避する方法検出方法.....	9
1.8 HV ピンの電流がデータシートに記載されている値を超えると、デバイスは損傷を受けますか？.....	10
1.9 UCC25661 で TON 延長はどのように機能しますか？.....	10
1.10 UCC25661x での ZCS の保護の仕組み.....	12
1.11 適応型デッドタイムはどのように機能しますか？.....	12
1.12 ZCS 検出時および有効なスルーレート検出がないとき、UCC25661x のデッドタイムはどのように決定されますか？.....	13
1.13 コンバータの入力に高い DC 電圧を印加せずに UCC25661 をテストする方法.....	13
1.14 UCC25661x で GaN を接続する方法.....	14
1.15 LL、TSET、および ISNS ピンのデカップリングコンデンサには、最大でどの程度の容量を使用する必要がありますか？.....	14
1.16 コントローラの実行中にバーストモードのプログラミングを変更する方法.....	14
1.17 まとめ.....	15
1.18 参考資料.....	15

商標

すべての商標は、それぞれの所有者に帰属します。

1 UCC25661x に関するよくある質問

1.1 高いゲートドライバ電流能力を得るために外部ゲートドライバを UCC25661x に接続する方法

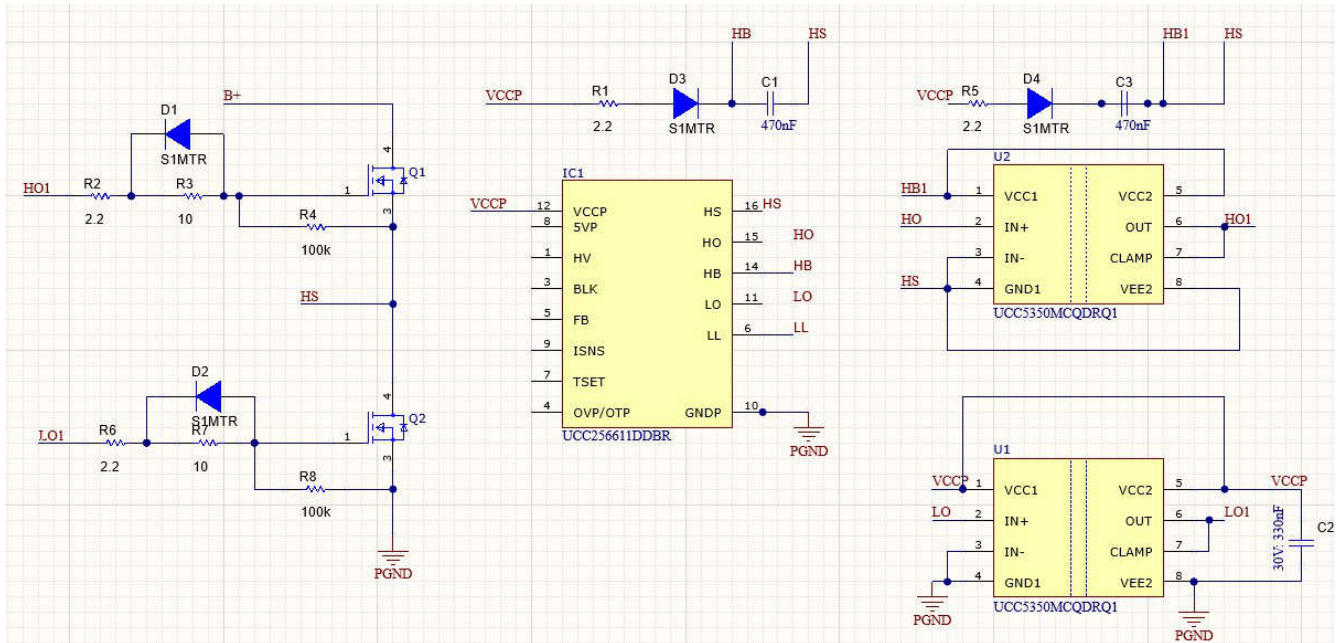


図 1-1. UCC25661x 搭載外部ドライバインターフェイス

図 1-1 に、外部ゲートドライバを UCC25661x に接続するよりシンプルな方法を示します。ここでは、より高い出力電流能力を持つ UCC5350MCQDRQ1 などの 2 つのドライバを使用しています。ここでは、外部ハイサイドドライバが UCC25661x の内部ドライバと同様にブートストラップされています。

1.2 最大どのスイッチング周波数のコントローラが動作できますか？

UCC25661x ファミリーは、750kHz のスイッチング周波数で動作できます。

1.3 UCC25661x の動作中に、1 秒未満の障害が発生します。デバッグ方法

コントローラが LO パルスを提供していて、コントローラ側からパルスがなく、1 秒後にコントローラが再試行している場合、これは OCP 障害または OLP 障害のいずれかによるものです。OCP 障害検出では、ISNS ピンと PGND の間の電圧をプローブする必要があります。ISNS ピンのピーク電圧がスレッシュホールド 3.5V に達すると、OCP 障害です。OCP 障害を回避するには、 R_{isns} を徐々に減らし、それに応じてデザインカリキュレータで TSET 分圧抵抗を調整する必要があります、無負荷から全負荷までの変動に対して P_{in} 対 VFBReplica のグラフを 2V ~ 4V 以内に対応させる必要があります。

OLP 障害検出では、FBReplica とピンのグラフに最初のプロトタイプを 1 つ取り付ける必要があります。実際のハードウェアで FBReplica を測定する手順は次のとおりです。

- 図 1-2 に示すように、FBReplica 電圧は、フィードバックオプトカプラのエミッタとグラウンドの間に 5k の抵抗を挿入することによって測定します。計算は、式 1 でできます。

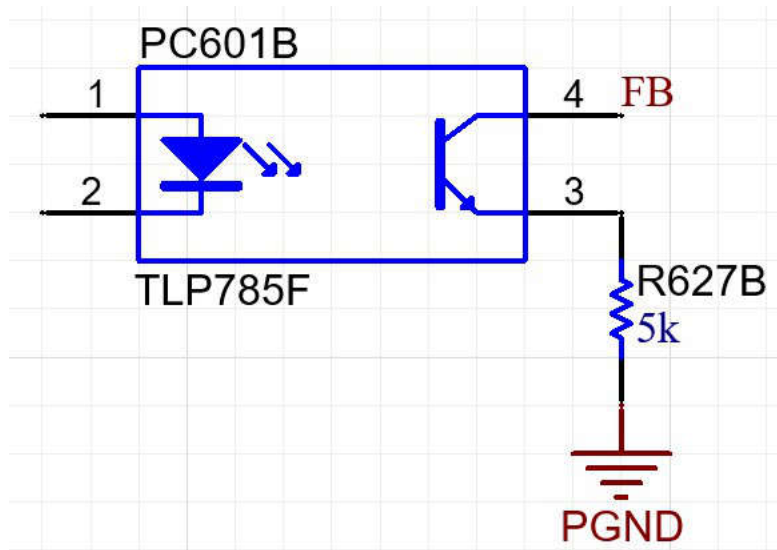


図 1-2. FBReplica 測定回路

$$FBReplica = \left(I_{FB} - \frac{V_{5k}}{5k} \right) \times R_{FBInternal} \# (1) \quad (1)$$

2. 図 1-3 に示すように、さまざまな入力電力での FBReplica 電圧とピンの関係のグラフを、全負荷出力電力までではなく、ピーク出力電力を考慮するためにプロットしました。

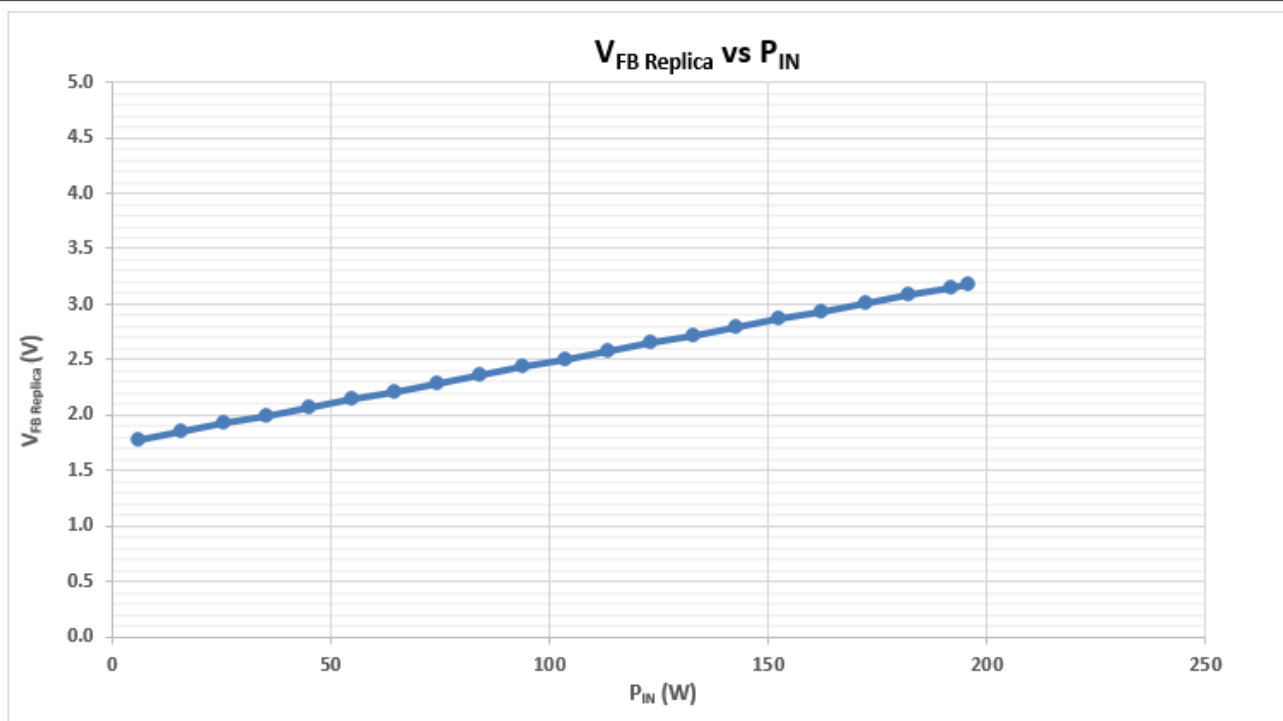


図 1-3. VFBReplica 対ピンのグラフ

いずれかの負荷で FBReplica が 4.75V に達した場合、その負荷の障害は OLP です。

1.4 UCC25661x を使用したバッテリーチャージャの実装方法

バッテリーチャージャは、出力電圧の変化に応じて実効出力抵抗の変化を示します。バッテリーチャージャの場合、実効出力抵抗が出力電圧に応じて増加しますが、LED ドライバの場合は電圧を低減できます。このような用途で LLC を設計する場合、必要な電圧ゲインを確実に満たす必要があります。

LLC タンクパラメータと巻線比は、 $V_{in_typ} = 390V$ (350V ~ 410V)、 $V_{out_typ} = 58.7V$ (V_{out_min} 46.2V — V_{out_max} 71.2V) に基づいて選択されます。

バッテリー充電電流 = 7A、 $f_{res} = 100kHz$ 。同じタンク回路で、標準 V_{out} 、最大 V_{out} 、最小 V_{out} を持つ 3 つの Excel カリキュレータを作成する必要があります。Mg(min)、Mg(max) ラインが LLC ゲイン曲線に十分なマージンを持って満たされていることを確認してください (LLC ゲイン曲線のピークゲインは V_{out_Max} の Mg(max) より 10 ~ 15% 大きいことがわかります。図 1-4、図 1-5、図 1-6 に示すように、最小ゲインは Mg(min) の 90% を下回っています

22	Select Which Device You Are Using		UCC256614	Refer datasheet for the difference of UCC25660x devices
23				
24	OUTPUT			
25	Output Voltage	V_{out}	58.7 V	Enter required nominal output voltage of converter
26	Maximum Output Power	P_{out}	410.9 W	Enter required maximum converter output power in Watts
27	Full Load Output Current	I_{out}	7 A	
28	Maximum Output Voltage Ripple	$\Delta V_{out(ripple)}$	120 mV	Enter the desired maximum output voltage ripple
29	Target Efficiency	η	0.97	Enter the Overall Efficiency here
30				
31	INPUT			
32	Nominal Input Voltage	V_{in}	390 V	Enter the nominal input voltage
33	Maximum DC Input Voltage	$V_{in(max)}$	410 V	Enter the maximum input voltage
34	Minimum DC Input Voltage	$V_{in(min)}$	365 V	Enter the minimum input voltage
35				
36	LLC STAGE			
37	Nominal LLC Switching Frequency	f_{LLC}	100 kHz	Enter desired nominal LLC switching frequency
38	LLC Transformer			
39	Recommended Primary/Secondary Turns Ratio	$N_{ps(recommended)}$	3.32197615	
40	Actual Primary/Secondary Turns Ratio	N_{ps}	3.33	Enter Actual Primary/Secondary Turns Ratio
41	Recommended Primary/Bias Turns Ratio	$N_{pb(recommended)}$	13.00	
42	Actual Primary/Bias Turns Ratio	N_{pb}	11.00	Enter Actual Primary/Bias Turns Ratio
43	LLC Effective Load Resistance at 110% Full Load	$R_{e(110\%FL)}$	68.5 Ω	
44	LLC Effective Load Resistance at Full Load	$R_{e(fullload)}$	75.4 Ω	
45	LLC Gain Range			
46	Minimum LLC Gain	$M_{g(min)}$	0.962	
47	Maximum LLC Gain Including Losses	$M_{g(max)}$	1.087	
48	Predicted Voltage Drop Due to Losses	V_{loss}	0.400 V	Enter the predicted voltage drop due to conversion losses in circuit
49	Select L_n and Q_E			
50	From the figure on the right, $M_{g(peak)}$ Vs Q_E with respect to L_n , select a point on an L_n curve that has an L_n and Q_E point that corresponds to an Attainable $M_{g(peak)}$ value that is greater than $M_{g(max)}$. Enter the selected values in the L_n and Q_E cells below.			
51				
52	For example, if $M_{g(max)}$ calculated above and shown by the horizontal line, was calculated to be 1.4, then using $L_n = 5$ and $Q_E = 0.35$ would result in an attainable $M_{g(peak)} = 1.52$ (interpolated from $L_n = 5$ curve) which satisfies the requirement that the Attainable $M_{g(peak)} > M_{g(max)}$			
53				
54				
55	Selected Primary Inductance Ratio	$L_n(selected)$	3.45	
56	Selected Quality Factor for Resonant Network	$Q_E(selected)$	0.48	
57	Gain Required at No-Load	$M_{g(no-load)}$	0.775	
58	f_n at Maximum Switching Frequency	$f_{n(max)}$	3.50	
59	The selected L_n and Q_E values should result in an LLC Gain Curve, shown below, that intersects with the $M_{g(max)}$ and $M_{g(min)}$ traces. The Gain curve from an overload condition is also plotted, showing the minimum gain at maximum frequency.			
60				
61				
62				
63				
64				
65				
66				
67				
68				
69				
70				
71				
72				
73				
74				
75				
76				
77				
78				
79				
80				
81				
82				
83				
84				
85				
86				
87				
88				

図 1-4. 公称出力電圧用のデザインカリキュレータ

22	Select Which Device You Are Using	UCC256614	Refer datasheet for the difference of UCC25660x devices
23	OUTPUT		
25	Output Voltage	V_{OUT}	71.2 V
26	Maximum Output Power	P_{OUT}	436.4 W
27	Full Load Output Current	I_{OUT}	7 A
28	Maximum Output Voltage Ripple	$V_{OUT(ripple)}$	120 mV
29	Target Efficiency	η	0.91
30	Enter the Overall Efficiency here		
31	INPUT		
32	Nominal Input Voltage	V_{IN}	390 V
33	Maximum DC Input Voltage	$V_{IN(max)}$	410 V
34	Minimum DC Input Voltage	$V_{IN(min)}$	365 V
35	Enter the nominal input voltage		
36	Enter the maximum input voltage		
37	Enter the minimum input voltage		
38	LLC STAGE		
39	Nominal LLC Switching Frequency	f_{LLC}	100 kHz
40	Enter desired nominal LLC switching frequency		
41	LLC Transformer		
42	Recommended Primary/Secondary Turns Ratio	$N_{P(recommended)}$	2.738764045
43	Actual Primary/Secondary Turns Ratio	N_{P}	3.33
44	Recommended Primary/Bias Turns Ratio	$N_{P(recommended)}$	13.00
45	Actual Primary/Bias Turns Ratio	N_{P}	11.00
46	Enter Actual Primary/Bias Turns Ratio		
47	LLC Effective Load Resistance at 100% Full Load	R_E	83.1 <input type="checkbox"/>
48	LLC Effective Load Resistance at Full Load	$R_{E(full)}$	91.4 <input type="checkbox"/>
49	LLC Gain Range		
50	Minimum LLC Gain	$M_{G(min)}$	1.165
51	Maximum LLC Gain Including Losses	$M_{G(max)}$	1.316
52	Predicted Voltage Drop Due to Losses	V_{LOSS}	0.400 V
53	Enter the predicted voltage drop due to conversion losses in circuit		
54	Select L_N and Q_E		
55	From the figure on the right, $M_{G(max)}$ vs Q_E with respect to L_N , select a point on an L_N curve that has an L_N and Q_E point that corresponds to an Attainable $M_{G(max)}$ value that is greater than $M_{G(max)}$. Enter the selected values in the L_N and Q_E cells below.		
56	For example, if $M_{G(max)}$ calculated above and shown by the horizontal line, was calculated to be 1.4, then using $L_N = 5$ and $Q_E = 0.35$ would result in an attainable $M_{G(max)}$ of 1.52 (interpolated from $L_N = 5$ curve) which satisfies the requirement that the Attainable $M_{G(max)}$ > $M_{G(max)}$.		
57	Selected Primary Inductance Ratio	$L_{N(selected)}$	3.45
58	Selected Quality Factor for Resonant Network	$Q_E(selected)$	0.40
59	Gain Required at No-Load	$M_{G(no-load)}$	0.775
60	f_R at Maximum Switching Frequency	$f_{R(max)}$	3.50
61	The selected L_N and Q_E values should result in an LLC Gain Curve, shown below, that intersects with the $M_{G(max)}$ and $M_{G(no-load)}$ traces. The Gain curve from an overload condition is also plotted, showing the minimum gain at maximum frequency.		
62			
63			

図 1-5. 最大出力電圧でのデザインカリキュレータ

2 Select Which Device You Are Using		UCC256614	Refer datasheet for the difference of UCC25660x devices
4 OUTPUT			
5 Output Voltage	V_{OUT}	46.2 V	Enter required nominal output voltage of converter
6 Maximum Output Power	P_{OUT}	323.4 W	Enter required maximum converter output power in Watts
7 Full Load Output Current	I_{OUT}	7 A	
8 Maximum Output Voltage Ripple	$V_{OUT(ripple)}$	120 mV	Enter the desired maximum output voltage ripple
9 Target Efficiency	η	0.97	Enter the Overall Efficiency here
1 INPUT			
2 Nominal Input Voltage	V_{IN}	390 V	Enter the nominal input voltage
3 Maximum DC Input Voltage	$V_{IN(max)}$	410 V	Enter the maximum input voltage
4 Minimum DC Input Voltage	$V_{IN(min)}$	365 V	Enter the minimum input voltage
6 LLC STAGE			
7 Nominal LLC Switching Frequency	f_{LLC}	100 kHz	Enter desired nominal LLC switching frequency
8 LLC Transformer			
9 Recommended Primary/Secondary Turns Ratio	$N_{PS(Recommended)}$	4.220713221	
0 Actual Primary/Secondary Turns Ratio	N_{PS}	3.33	Enter Actual Primary/Secondary Turns Ratio
1 Recommended Primary/Bias Turns Ratio	$N_{PB(Recommended)}$	13.00	
2 Actual Primary/Bias Turns Ratio	N_{PB}	11.00	Enter Actual Primary/Bias Turns Ratio
3 LLC Effective Load Resistance at 110% Full Load	R_L	53.3 Ω	
4 LLC Effective Load Resistance at Full Load	$R_L(full\ load)$	58.3 Ω	
5 LLC Gain Range			
6 Minimum LLC Gain	$M_{G(min)}$	0.753	
7 Maximum LLC Gain Including Losses	$M_{G(max)}$	0.853	
8 Predicted Voltage Drop Due to Losses	V_{LOSS}	0.400 V	Enter the predicted voltage drop due to conversion losses in circuit
Select L_N and Q_L			
From the figure on the right, $M_{G(peak)}$ Vs Q_L with respect to L_N , select a point on an L_N curve that has an L_N and Q_L point that corresponds to an Attainable $M_{G(peak)}$ value that is greater than $M_{G(max)}$. Enter the selected values in the L_N and Q_L cells below.			
For example, if $M_{G(max)}$ calculated above and shown by the horizontal line, was calculated to be 1.4, then using $L_N = 5$ and $Q_L = 0.35$ would result in an attainable $M_{G(peak)} = 1.52$ (interpolated from $L_N = 5$ curve) which satisfies the requirement that the Attainable $M_{G(peak)} > M_{G(max)}$.			
5 Selected Primary Inductance Ratio	$L_N(selected)$	3.45	
6 Selected Quality Factor for Resonant Network	$Q_L(selected)$	0.61	
7 Gain Required at No-Load	$M_{G(no\ load)}$	0.775	
8 f_{sw} at Maximum Switching Frequency	$f_{sw(max)}$	3.50	
The selected L_N and Q_L values should result in an LLC Gain Curve, shown below, that intersects with the $M_{G(max)}$ and $M_{G(no\ load)}$ traces. The Gain curve from an overload condition is also plotted, showing the minimum gain at maximum frequency.			

図 1-6. 最小出力電圧でのデザインカリキュレータ

バッテリーチャージャは、バッテリーの充電ステータスと実効負荷抵抗に応じて、定電流モード (CC) または定電圧 (CV) のいずれかで動作する必要があります。実効負荷抵抗によって、CC-CV 制御電源の動作ポイントが決まります。

図 1-7 に、CC-CV ループの実装方法の例を示します。

*

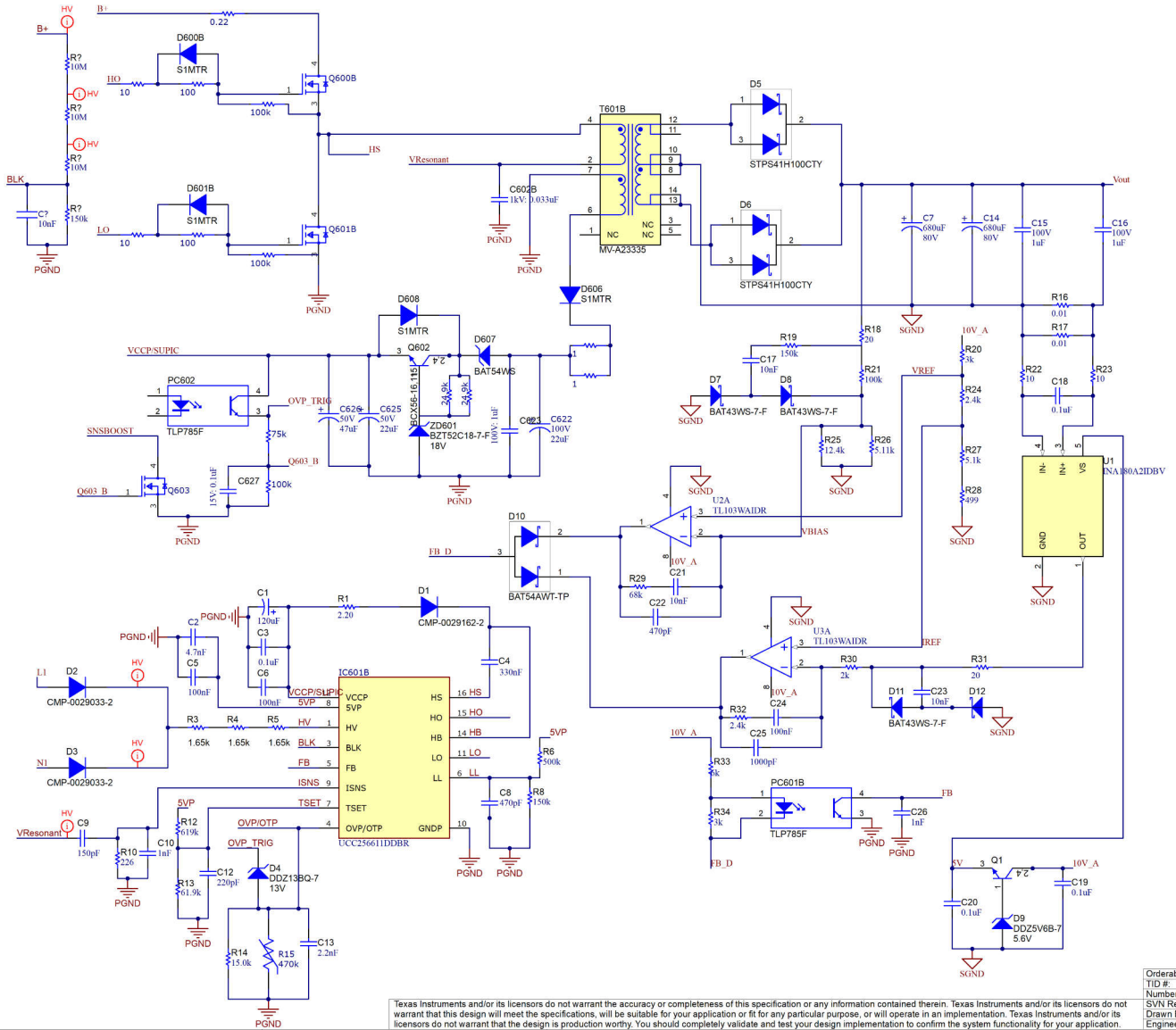


図 1-7. UCC25661x を使用した CC-CV 制御ループ回路

1.5 OVP/OTP ピンのセットアップ方法

UCC25661x はマルチファンクションピン (OVP/OTP) を備えており、出力過電圧と外部過熱状態を監視します。コントローラを通常の状態で作動させるには、OVP/OTP ピンの電圧を $VOVP_{Pos}$ と $VOTP_{Neg}$ の間に配置する必要があります。通常、OVP/OTP ピンの電圧は $I_{OTP} * NTC$ 抵抗です。温度が非常に高い場合、NTC の抵抗は非常に小さくなります。したがって、OVP/OTP ピンの電圧は $VOTP_{Neg}$ よりも低くなり、IC により OTP 障害が発生します。

LLC コンバータの出力電圧が V_{CCP} が High になり、OVP/OTP ピンのツェナーダイオードが導通を開始すると、NTC 抵抗を流れる合計電流は (ツェナーダイオード電流 + I_{OTP}) になります。したがって、OVP/OTP ピンの電圧は立ち上がりを開始します。電圧が $VOVP_{Pos}$ を超えると、IC が OVP 障害を行います。

$VOVP_{Pos}$ と $VOTP_{Neg}$ を使用して回路を設計する際は、OVP および OTP コンパレータのヒステリシスの値を考慮する必要があります。

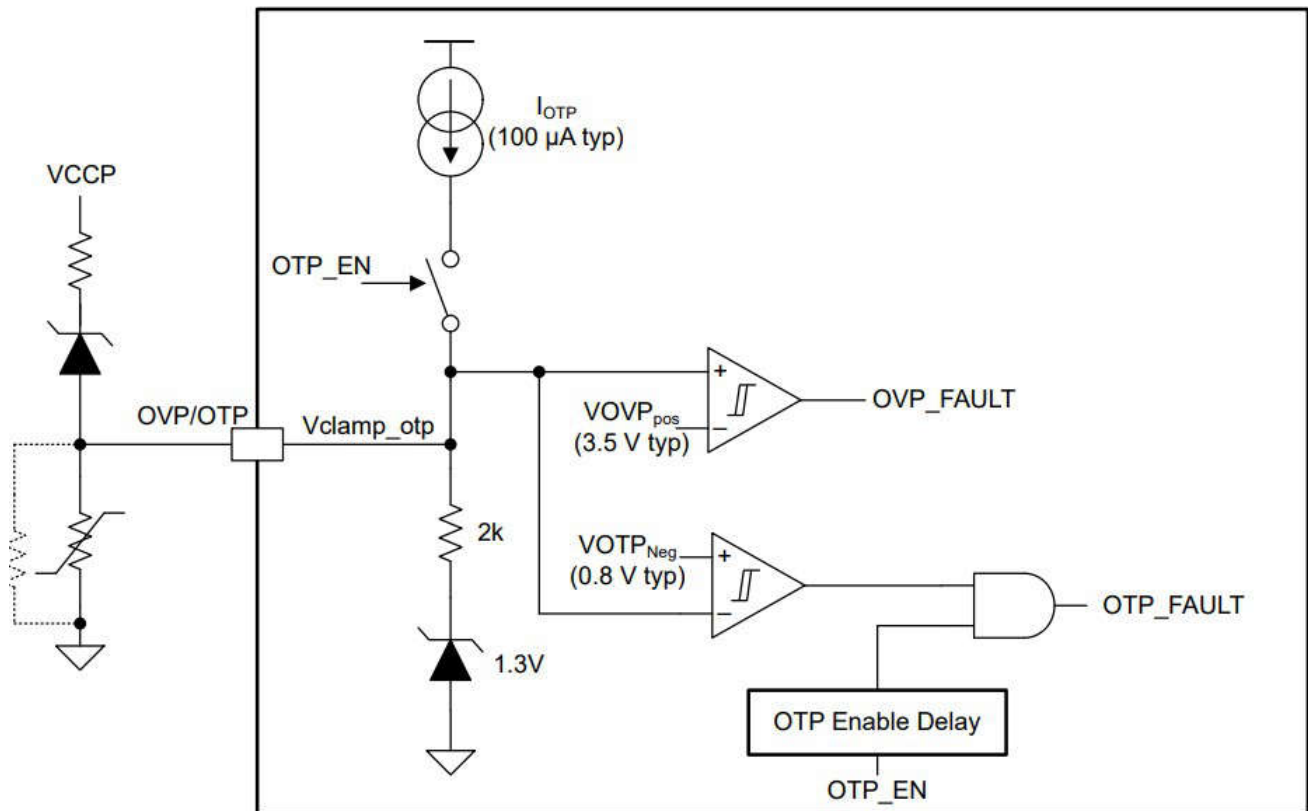


図 1-8. OVP/OTP ピンアーキテクチャ

1.6 UCC25661x ファミリーで TSET ピンを設定する方法

コントローラの起動時に、TSETA 電圧と TSETB 電圧がプログラムされます。 V_{TSETB} 電圧は、IPPC 動作の最小周波数と最大デッドタイムを設定します。また、 $(V_{TSETA} - V_{TSETB})$ は、特定の電力出力に対して FBReplica の大きさを設定するのに役立つ積分器の時定数を設定します。そのため、TSET を選択する際に、まず全負荷時のコンバータの最小スイッチング周波数を確認し、TSET テーブルから TSET オプションを選択します。これは、その TSET オプションの最小スイッチング周波数が最小スイッチング周波数よりも低くなるようにします。その後、VCR シンセサイザ積分器の時定数を設定して、Vfbreplica 対ピンのグラフが 2 (わずかに負荷時) から 4V (ピーク負荷時) の間に保持されるように、別の TSET オプションを選択します。Vfbreplica が 4.5V に達すると、コントローラは過負荷保護モード (OLP) に達し、100ms の間過負荷電流を導通し、その後 1 秒間障害になります。

たとえば、コンバータの最小動作周波数が 350kHz である場合、ユーザーは TSETB に対して、任意の TSET オプションを 1 ~ 12 の範囲で選択できます。次に、デザインカリキュレータでピン対 VfbReplica グラフをチェックしたときに、ユーザーは 7 ~ 9 のいずれかの TSET オプションを選択して、VfbReplica 対ピンのグラフを 2 ~ 4 の範囲内に作成できるとします。次に、この場合、積分器の時定数がより高い TSET オプションが推奨されます (たとえば、TSET オプション 7)。その理由は、積分器の時定数が小さくなると、システムの帯域幅が増加するためです。したがって、負荷過渡が大きい場合、共振電流、ISNS 電圧が、一部のサイクルにおいて OCP スレッシュホールドレベル (3.5V) を超えて上昇し、誤った OCP レベルに達する可能性があります。図 1-9 に、前の例の TSET 選択用デザインカリキュレータのスナップショットを示します。

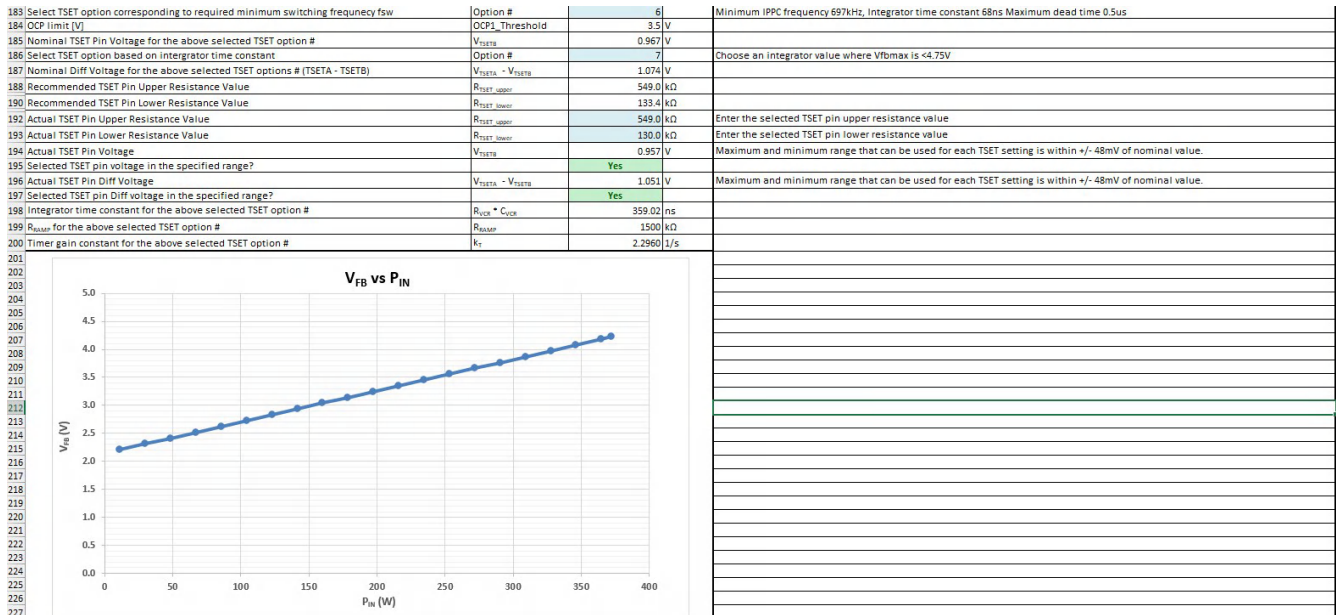


図 1-9. デザインカリキュレータでの TSET オプションの選択

1.7 FB ピンの飽和を回避する方法検出方法

UCC25661x の FB ピンは、電流源によって駆動されます。したがって、FB ピンの電圧は通常、一定 (標準 3.5V) です。FB ピンの電圧が飽和しているかどうかを確認するには、FB ピンの電圧を確認する必要があります。FB ピンの電圧が 3V 未満に低下した場合、FB ピンに関連付けられたフォトカプラが飽和したことを示しています。FB ピンが飽和すると、コンバータの過渡応答が低下します。これを回避するには、図 1-10 に示すように、以下の回路を使用し、V5P ピンと FB ピンの間に 1.5V のツェナー (D100) と 2.22k の抵抗 (R100) を追加します。

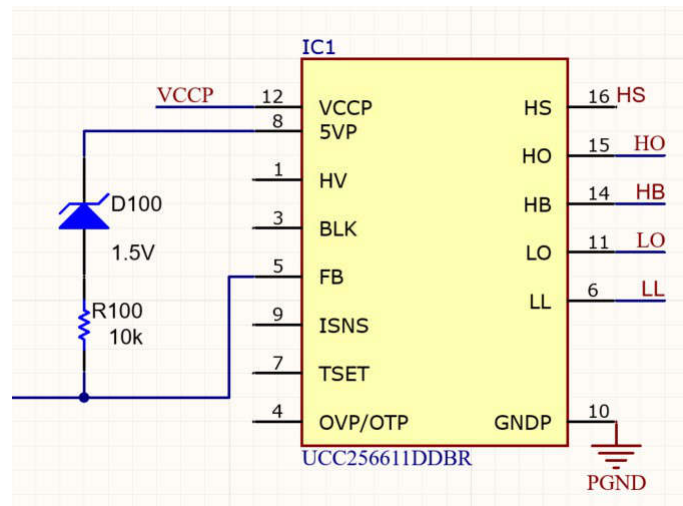


図 1-10. FB ピンが飽和しないようにするための回路実装

1.8 HV ピンの電流がデータシートに記載されている値を超えると、デバイスは損傷を受けますか？

HV 電流は内部で最大 13.8mA に固定されています。HV 電流は、その値を上回ることはできません。HV ピンには、1k-5kΩ の HV 抵抗を推奨します。HV ピンの抵抗が大きくなりすぎると、抵抗の両端の電圧降下がより高くなり、IC が動作できる最小入力電圧が制限されます。

1.9 UCC25661 で TON 延長はどのように機能しますか？

起動時および 1 次側の最初の MOSFET 数スイッチング サイクルでは、ボディダイオードの逆回復とハードスイッチングが行われることがあります。このような挙動は主に、起動時に、図 1-11 に示すように、共振コンデンサの DC バイアス電圧が、図 1-12 に示すように、 $V_{in}/2$ の定常状態動作電圧、または起動時のタンクにおけるゼロ共振電流からオフになっていることに起因します。これらの状態により、起動時の共振タンク電流が非対称になります。最初の数サイクルでは、非対称性が十分に高く、スイッチ ターンオフの時点の電流が逆極性になることがあります。TON 延長により、UCC25661x デバイスを使用して誤った電流極性を回避できます。図 1-11 および図 1-12 に、初期サイクル内に誤った電流極性を固定するための TON 延長を示します。

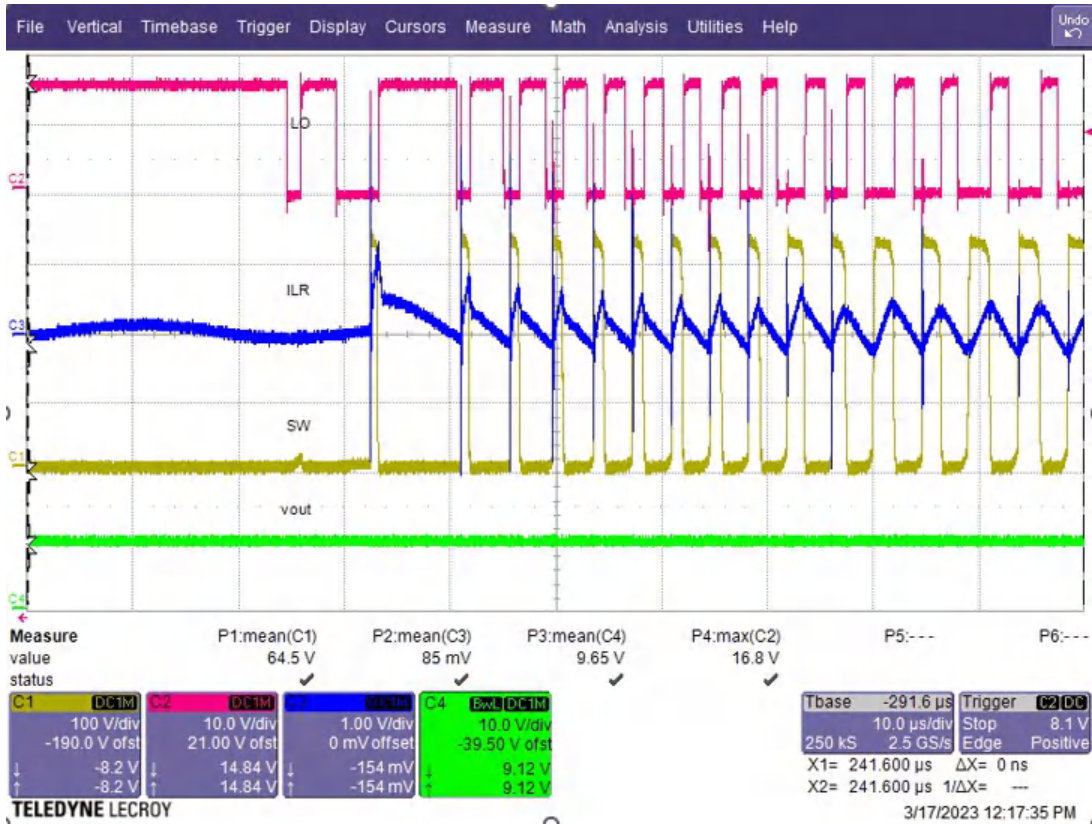


図 1-11. UCC25661x の起動スイッチング波形

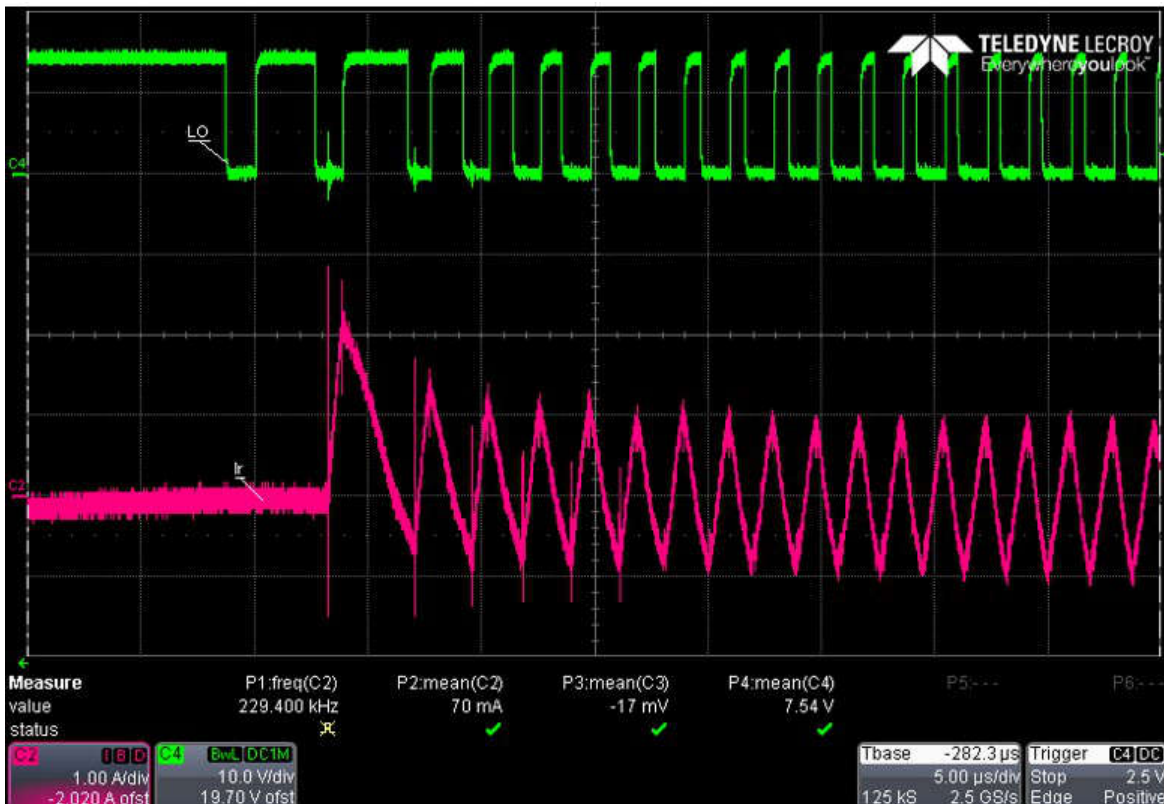


図 1-12. UCC25661x の TON 延長

1.10 UCC25661x での ZCS の保護の仕組み

ZCS は通常、LLC が重負荷状態で動作し、スイッチング周波数が低すぎる場合に発生します。ZCS の検出は、共振電流極性の検出 (IPolarity) に依存しています。IPolarity コンパレータは、共振電流の方向を検出します。容量性領域の検出は、HS_{ON} または LS_{ON} の立ち下がりエッジにおける共振電流の極性をチェックすることで行われます。LS_{ON} の立ち下がりエッジで共振電流が正、または HS_{ON} の立ち下がりエッジで負の場合、波形ジェネレータの ZCS 信号は High になります。ZCS イベントが検出されると、内部ソフト スタート ランプ電圧がゆっくりと低下します。内部ソフト スタートが下降すると、スイッチング周波数も強制的に上昇し、コンバータの容量性領域から強制的に逸脱します。ZCS 状態が 10ms にわたって継続した場合、UCC25661x ファミリのコントローラはスイッチングを停止し、障害状態に移行します。

誘導性/容量性の境界で動作が成立しない場合は、ゲートがオフになる前に共振電流が減少します。ISNS 波形が VISNS_ZCS スレッシュホールド未満の場合、VCR 波形が V_{th,H} 境界を越えるのを待たず、ゲートパルス HO は早期終了します。この早期のゲート終端方法では、ゲートターンオフ エッジで十分な共振電流を残して、デッドタイム中に ZVS 遷移を駆動できます。LO ゲートパルスについても同様の説明が有効です。

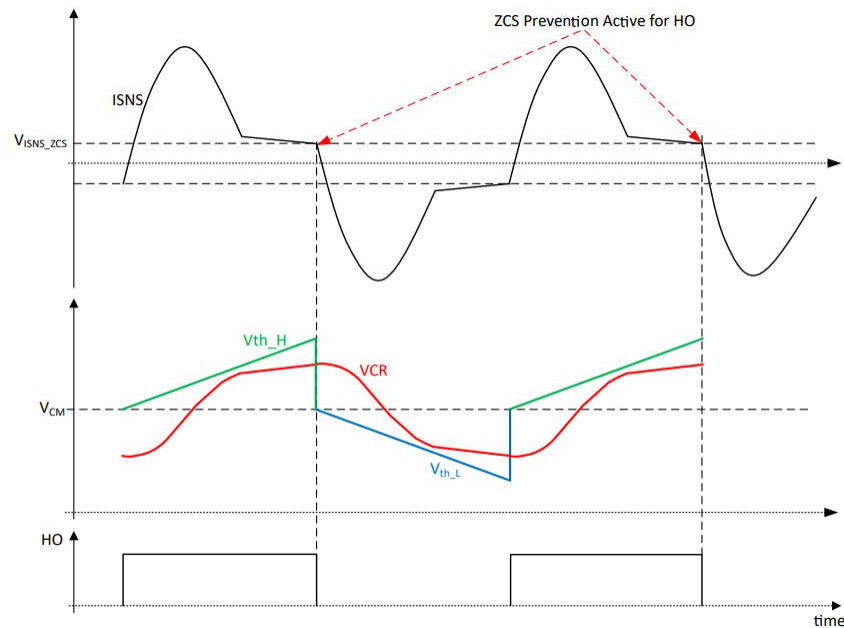


図 1-13. ZCS 境界における ZCS 回避アルゴリズム

1.11 適応型デッドタイムはどのように機能しますか？

デッドタイム中、誘導性共振電流により、HS ノードは一方の入力レールからもう一方の入力レールにスルーします。ゼロ電圧スイッチング (ZVS) をターンオンさせるには、共振電流が HS ノードを完全に充電または放電するのに十分な時間をデッドタイムにする必要があります。ボディダイオードが導通を開始した後、MOSFET を素早くオンにする必要があります。ターンオン遅延が長すぎると、逆共振電流が発生し、ZVS が失われる可能性があります。ボディダイオードの電圧降下は、MOSFET チャネルの電圧降下よりも高くなっています。デッドタイムを最適化することで、電力損失を最小限に抑えることができます。デッドタイム中に HS ノードを流れる共振電流は、LLC 共振タンクの設計に依存し、動作周波数と出力/入力電圧の比によって変化します。したがって、最適化されたデッドタイムは、LLC の動作条件によって大きく変化します。UCC25661x には適応型デッドタイム制御機能が搭載されており、動作範囲の全体にわたって最適化されたデッドタイムを自動的に見つけることができます。このデバイスは、HS ノード電圧のスルーレートの変化を検出します。スイッチング遷移中、スルーレートは最初に上昇し、その後ゼロに戻ります。スルーレート検出器を使用して、スルーレートが事前定義されたスレッシュホールドを下回った瞬間を検出します。スルー完了イベントは、デッドタイム中のスルーレートがスレッシュホールドを超えてからスレッシュホールドを下回るまで低下した場合にのみ検出されます。バーストモードでは、ZCS 防止動作中、またはスルーレートが低速になる可能性のある電力段で、共振タンクの電流極性信号 (極性コンパレータ出力) を使用してスルーレート検出器を強化します。LLC の自然な対称動作を利用することで、スルーレート検出器は、ハイサイドスイッチがオフになってからローサイドスイッチがオンになるまでのデッドタイムのみを決定します。このデッドタイムはコピーされ、ローサイド MOSFET のターンオフとハイサイド MOSFET のターンオン間のデッドタイムに適用されます。

デッドタイムがコピーされないいくつかの例外があります。

1. 直前の High から Low への遷移でスルーレート検出器信号が見つからない場合
2. 前のサイクルでの ZCS 検出

上記の条件では、ISNS 信号に基づく Ipolarity コンパレータを使用して、low から high への遷移中のデッドタイムを調整します。

1.12 ZCS 検出時および有効なスルーレート検出がないとき、UCC25661x のデッドタイムはどのように決定されますか？

ケース 1: 有効なスルーレート検出、ZCS なし

ハイサイドゲート (HO) がオフになるとすぐに、スルーレートが検出された後、ローサイドゲート (LO) がオンになります。ローサイドがオフになってからハイサイドがオンになるまで、同じデッドタイムがコピーされます。

ケース 2: スルーレート検出なし、ZCS なし

HO ターンオフ後に有効なスルーレート検出が発生しない場合、両方の遷移中 (HO ターンオフから LO ターンオンまで) および (LO ターンオフから HO ターンオンまで) のデッドタイムは共振電流の極性によって異なります。さらに、このデッドタイムは、TSET の設定に応じて 1us または 0.5us を超えません。

ケース 3: HO ターンオフ時の ZCS、LO ターンオフ時の ZCS なし

HO ターンオフ中に ZCS が検出される場合、HO オフから LO オンまでのデッドタイムは共振電流 (IPolarity 信号) の極性によって決定されます。ここでの最大デッドタイムは 1.1us を超えません。LO ターンオフから HO ターンオンまでのデッドタイムは、共振電流の極性によって決まります。また、このデッドタイムは 1.1us を超えません。

ケース 4: HO ターンオフ時の ZCS なし、LO ターンオフ時の ZCS なし

HO オフから LO までのデッドタイムは、ケース 1 と同様のスルーレート検出に依存します。ただし、HO ターンオフ後に有効なスルーレート検出が発生しない場合、HO ターンオフから LO ターンオンまでのデッドタイムは共振電流の極性によって異なります。さらに、このデッドタイムは、TSET オプションの種類によっては、1us または 0.5us を超えません。LO ターンオフ中に ZCS が検出された場合、LO オフから HO オンまでの時間は共振電流 (ISNS 信号) の極性によって決まります。ここでの最大デッドタイムは 1.1us を超えません。

ケース 5: HO ターンオフ時および LO ターンオフ時の ZCS

HO ターンオフ中に ZCS が検出された場合、HO オフから LO オンまでのデッドタイムは共振電流 (IPolarity 信号) の極性によって決定されます。ここでの最大デッドタイムは 1.1us を超えません。LO ターンオフ中に ZCS が検出された場合、LO オフから HO オンまでのデッドタイムは共振電流 (IPolarity 信号) の極性によって決定されます。ここでの最大デッドタイムは 1.1us を超えません。

1.13 コンバータの入力に高い DC 電圧を印加せずに UCC25661 をテストする方法

外部 DC 電源から Vcc ピンに 15V を印加する必要があります。BLK ピンに 1.5V を印加する必要があります。ローサイド FET のゲートソース電圧とスイッチノード電圧をチェックするには、LO および HS ピンをプローブする必要があります。この状態で、いくつかの LO パルスが供給されます。次に、DC 入力電圧を 20V まで徐々に上げ、50V までステップアップして、LO パルスとスイッチノードをチェックします。正常の場合は、入力電圧と BLK 抵抗から UCC25661 の BLK ピンに電力を供給でき、コンバータの入力側に高電圧を印加することができます。

1.14 UCC25661x で GaN を接続する方法

UCC25661x は最大 750kHz のスイッチングが可能です。そのため、UCC25661x ファミリーを GaN デバイスに統合するのは簡単です。たとえば、UCC25661x を LMG2650 に接続する必要がある場合は、[図 1-14](#) に接続を示します。

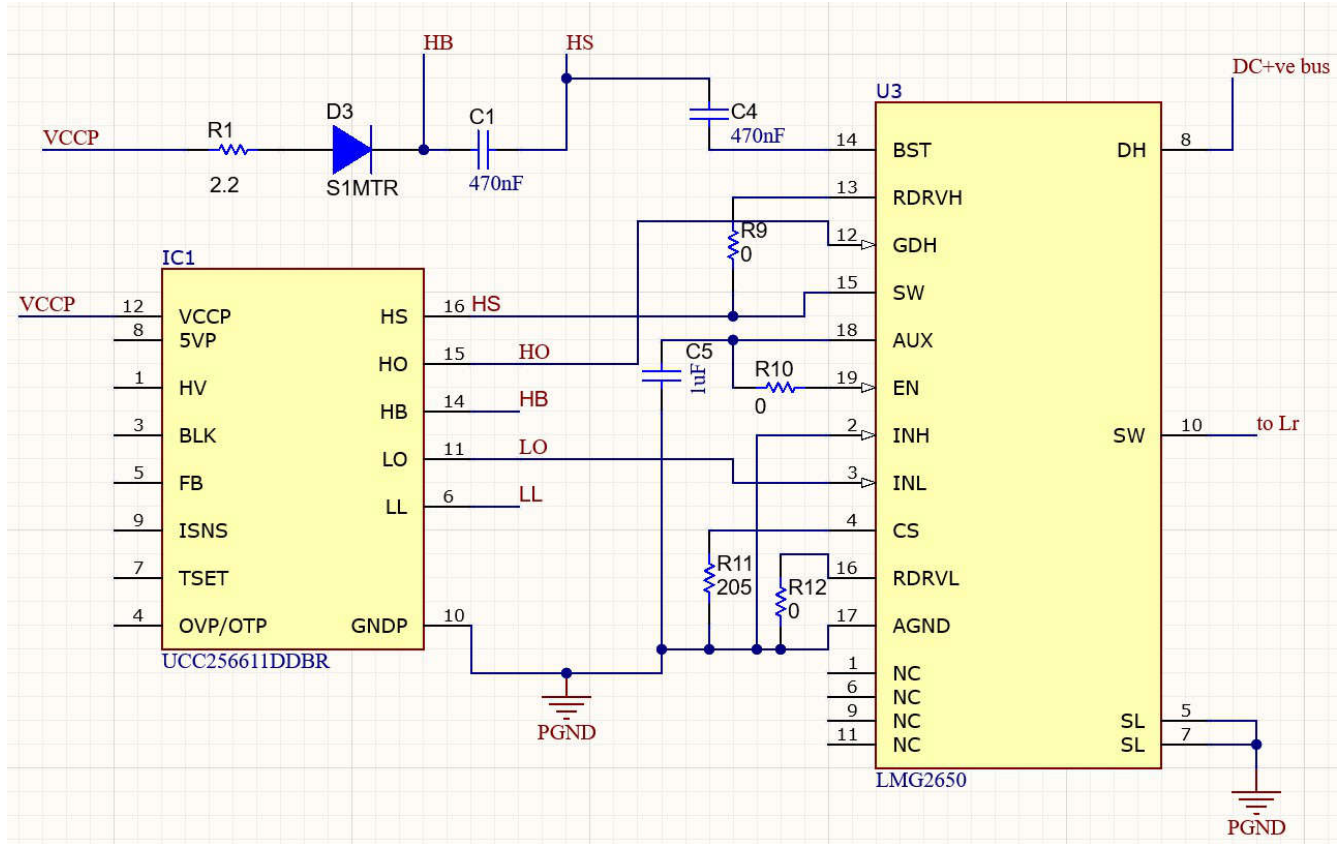


図 1-14. LMG2650 と UCC25661x の相互接続

1.15 LL、TSET、および ISNS ピンのデカップリングコンデンサには、最大でどの程度の容量を使用する必要がありますか？

通常、LL および TSET ピンには、時定数 0.5ms 以下のデカップリングコンデンサを推奨します。推奨値よりも大きい容量は、各ピンの時定数が増加する可能性があり、起動時のプログラミング中に各ピンで誤ったプログラミングが発生する可能性があります。ISNS ピンには、最大 1nF のデカップリングコンデンサを接続することが推奨されます。LL、TSET、ISNS ピンのデカップリングコンデンサは、IC の近くに配置する必要があります。

1.16 コントローラの実行中にバーストモードのプログラミングを変更する方法

[図 1-15](#) に示すように、UCC25661x の LL ピンにおいて、動的な LL ピン構成を行うことができます。LL_Control 信号および PC1 フォトカプラを使用して Q1 をオンにすることで、R3 を R2 との並列抵抗として使用できます。VLLA は起動時にプログラムされ、VLLB は動作中にコントローラによって検出されます。したがって、R1、R2、R3 の抵抗値を使用して VLLB を変更できます。また、動作時にバーストモードを無効するには、R3 の値に 0Ω を選択する必要があります。絶縁が必要な場合は、LL_Control 信号を Q1 w.r.t PGND のゲートに直接印加できます。

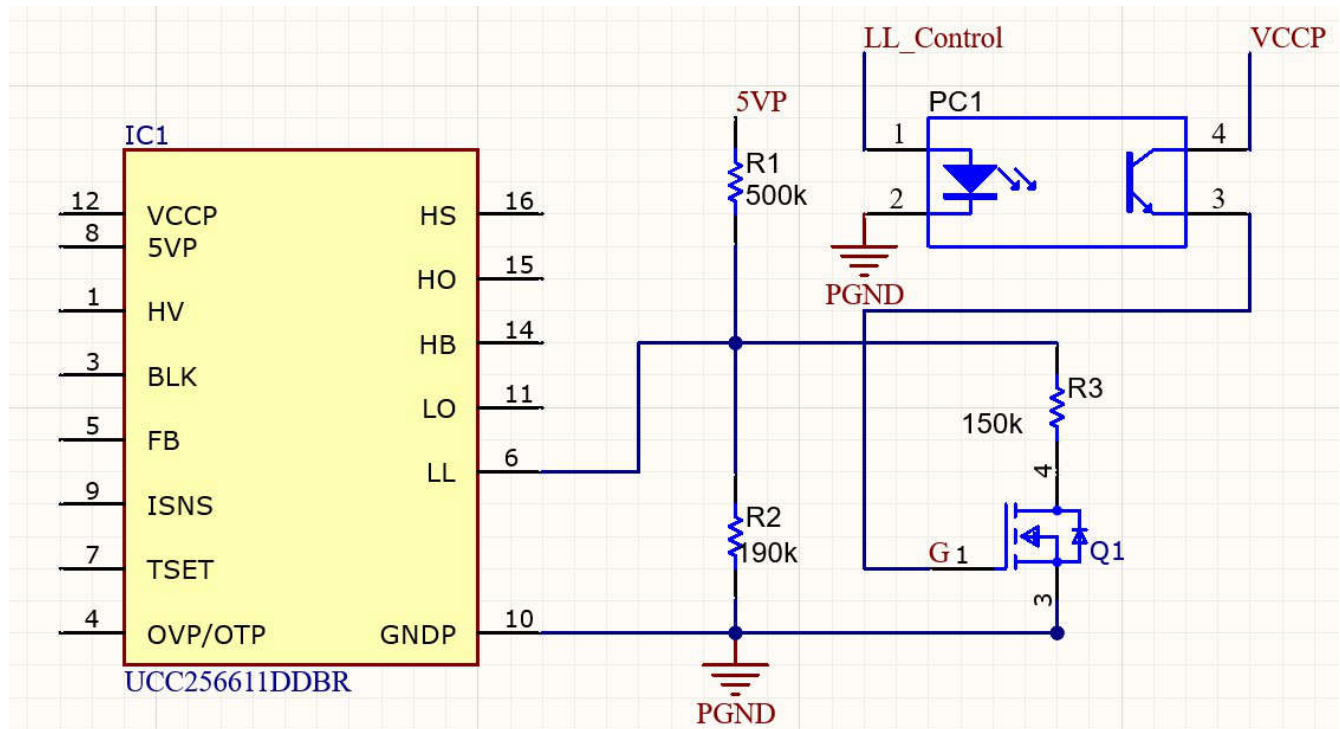


図 1-15. UCC25661x の動的 LL ピン回路図

1.17 まとめ

UCC25661x は、通常の条件で最大 750kHz のスイッチングが可能なアナログ LLC コントローラであり、GaN との統合が可能です。このコントローラはユーザーに応じて設定されます。このファミリーの UCC256610 および UCC256614 バリエーションは、入力範囲の広い LLC アプリケーションをサポートできます。

1.18 参考資料

1. テキサス インスツルメンツ、[UCC25661](#)、製品ページ
2. テキサス インスツルメンツ、[UCC25661-Q1](#)、製品ページ
3. テキサス インスツルメンツ、[UCC25661x デザインカリキュレータ](#)、デザインカリキュレータ。
4. テキサス インスツルメンツ、[UCC25661EVM-128](#)、EVM。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月