

Application Note

TAS2118/TAS2020/TAS2120/TAS2320 2 層 PCB 設計ガイドライン



Ivan Salazar

概要

テキサス インストルメンツのオーディオ アンプ製品群は、シンプル アンプから IV-sense 対応スマート アンプ、さらには IV-sense 機能付き統合 DSP スマート アンプに至るまで、幅広いオーディオ用途を網羅しています。シンプル アンプは、コストと実装の簡便さが最も重要な要件となる基本的なアプリケーションに最適です。一方、IV-sense 機能を搭載した DSP 統合型アンプは、音質やより高度なチューニング要件が優先されるハイエンド機器を主な対象としています。

TI の最新シンプル オーディオ アンプシリーズである TAS2118、TAS2020、TAS2120、および TAS2320 は、VQFN-HR パッケージで提供されています。このパッケージにより、銅層が 2 層のみの PCB を含め、より安価でシンプルな PCB 製造プロセスが可能となり、TI のシンプル アンプを幅広いアプリケーションに容易に実装できる上、製造コストも低減できます。

目次

1 はじめに.....	2
2 アプリケーション回路図.....	2
2.1 推奨部品定格.....	3
3 設計ガイドライン.....	5
3.1 ハードウェア制御用リファレンス回路図.....	5
3.2 ハードウェア制御用リファレンス PCB レイアウト.....	6
3.3 ソフトウェア制御用リファレンス回路図.....	9
3.4 ソフトウェア制御用リファレンス PCB レイアウト.....	9
4 まとめ.....	11
5 参考資料.....	11

商標

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

TAS2118 および TAS2x20 シリーズデバイスでは、スピーカ出力範囲の幅広い選択肢が用意されています。本書では、設計推奨事項の基準として TAS2120 を使用していますが、TAS2020 および TAS2320 オプションについては、インダクタ関連の部品とレイアウトを除外することで、同様のアプローチを適用することができます。

高性能システム向けの部品選定および PCB レイアウト設計要件の詳細については、『[TAS2x20 設計およびレイアウト ガイドライン](#)』を参照してください。

回路図や PCBA レイアウトのレビューに関する具体的な質問やサポートが必要な場合は、[TI E2E サポートフォーラム](#)に新しいスレッドを投稿してください。

2 アプリケーション回路図

本書は、[図 2-1](#) に記載されている 1S ブースト構成に焦点を当てています。デバイスの電源として、2.5V~5.5V の範囲の単セル電池または同等の電源が電圧源として使用されます。

本ドキュメントでは 1S ブースト構成に焦点を当てていますが、TAS2120 は 2S および 3S バッテリー構成もサポートしており、これらを使用することでさらに高い出力電力範囲を実現できます。詳細については、[TAS2120 データシート](#)および [TAS2120EVM ユーザー ガイド](#)を参照してください。

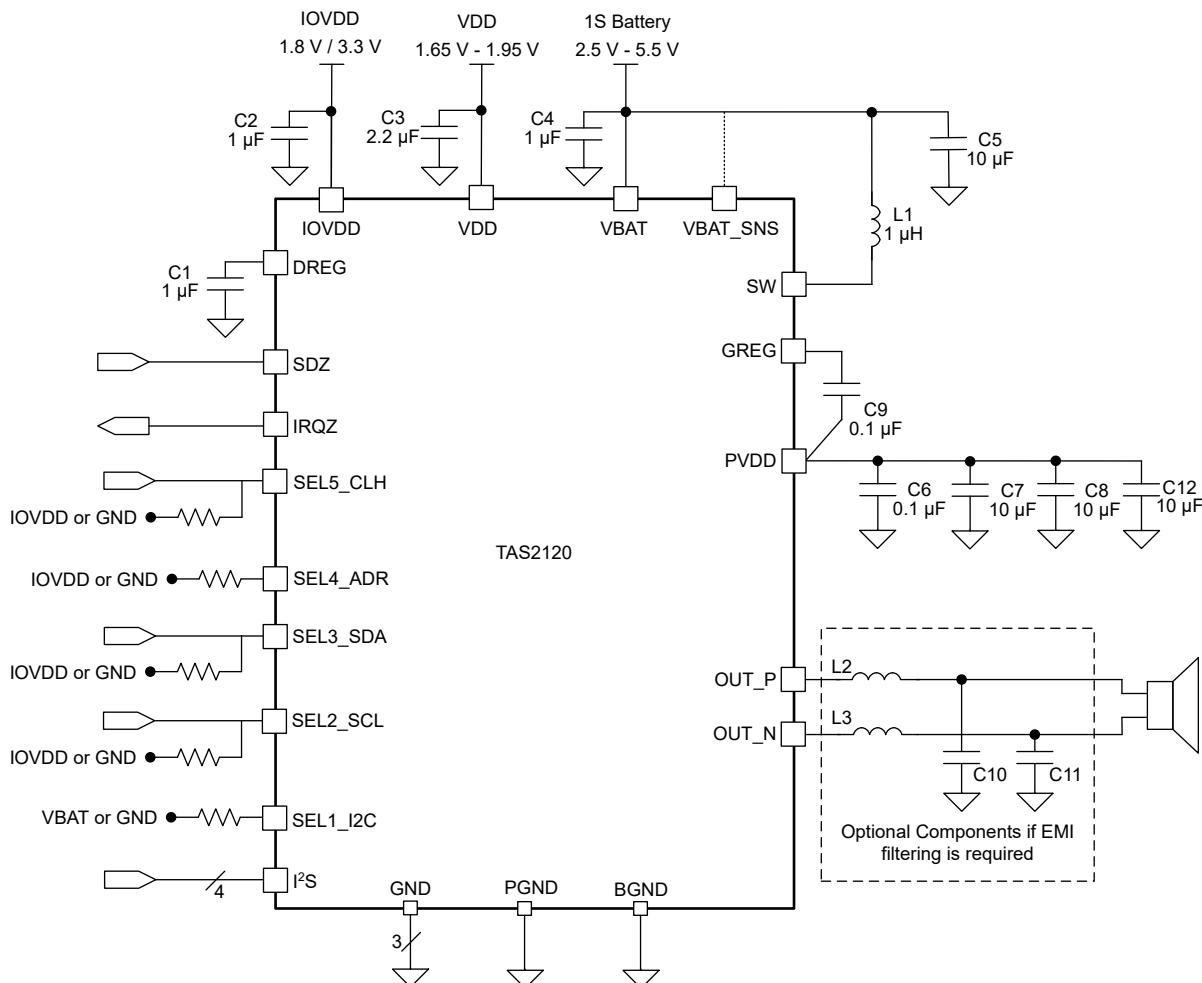


図 2-1. 1S ブースト構成のアプリケーション図

2.1 推奨部品定格

表 2-1 は、図 2-1 に示す部品で推奨される部品定格を示しています。

表 2-1. 部品定格

部品	説明	仕様	最小値	標準値	最大値	単位
L1	ブーストコンバータ用インダクタ	インダクタンス	0.47	1	-	μH
		飽和電流	-	5.3	-	A
L2, L3	オプションの EMI フィルタ インダクタ	DC 電流	2	-	-	A
C1, C2	DREG、IOVDD 用デカップリング コンデンサ	容量、許容誤差 20%	-	1	-	μF
		定格電圧	2	6.3	-	V
C3	VDD デカップリング コンデンサ	容量、許容誤差 20%	-	2.2	-	μF
		定格電圧	4	6.3	-	V
C4	VBAT デカップリング コンデンサ	容量、許容誤差 20%	-	1	-	μF
		定格電圧	6.3	10	-	V
C5	VBAT 用電源デカップリング コンデンサ	容量、許容誤差 20%	-	10	-	μF
		定格電圧	6.3	10	-	V
C5a	VBAT2S デカップリング コンデンサ	容量、許容誤差 20%	-	10	-	μF
		定格電圧	10	16	-	V
C6	PVDD 用低 ESL デカップリング コンデンサ	容量、許容誤差 20%	-	0.1	-	μF
		定格電圧	16	25	-	V
C7, C8, *C12	PVDD 電源デカップリング コンデンサ。 C12 は、ブースト出力電圧が 13V を超える場合にのみ必要	容量、許容誤差 20%	-	10	-	μF
		定格電圧	16	25	-	V
		PVDD 用コンボ コンデンサの 13V 時における定格容量	3	-	-	μF
C9	GREG デカップリング コンデンサ	容量、許容誤差 20%	-	0.1	-	μF
		定格電圧	6.3	10	-	V
C10, C11	オプションの EMI フィルタ コンデンサ (C10、C11 が使用されている場合は L2、L3 を使用するものとします)	定格電圧	2xPVDD		-	V

ハードウェア モードでの機能選択ピンは、各オプションごとに所定の抵抗値を用いて IOVDD、VBAT または GND に接続する必要があります。正しい部品値を選択するには、表 2-2 表に従ってください。

表 2-2. ハードウェア選択ピンの抵抗値

ハードウェア選択ピン	抵抗値	説明
SEL1	0Ω から VBAT	21dBV、ボリューム ランプ イネーブル
	24kΩ から VBAT	18dBV、ボリューム ランプ イネーブル
	24kΩ から GND	12dBV、ボリューム ランプ イネーブル
	5kΩ から VBAT	6dBV、ボリューム ランプ イネーブル
	330Ω から VBAT	21dBV、ボリューム ランプ ディセーブル
	5kΩ から GND	18dBV、ボリューム ランプ ディセーブル
	1.2kΩ から VBAT	12dBV、ボリューム ランプ ディセーブル
	1.2kΩ から GND	6dBV、ボリューム ランプ ディセーブル
	0Ω から GND	I ² C モード
SEL2	1.2kΩ から IOVDD	左揃え 右チャンネルまたは TDM スロット 4
	5kΩ から GND	左揃え ミックスまたは TDM スロット 5
	5kΩ から IOVDD	TDM スロット 6
	24kΩ から GND	TDM スロット 7
	1.2kΩ から GND	左揃え 左チャンネルまたは TDM スロット 3
	0Ω から IOVDD	I ² S ミックスまたは TDM スロット 2
	330Ω から IOVDD	I ² S 右チャンネルまたは TDM スロット 1
	0Ω から GND	I ² S 左チャンネルまたは TDM スロット 0
SEL3	0Ω から IOVDD	SBCLK の立ち上がりエッジ
	0Ω から GND	SBCLK の立ち下がりエッジ
SEL4	24kΩ から IOVDD	アドレス 0x94 または Y ブリッジしきい値 1mW
	0Ω から IOVDD	アドレス 0x96 または Y ブリッジしきい値 40mW
	24kΩ から GND	アドレス 0x92
	0Ω から GND	アドレス 0x90 または Y ブリッジしきい値 80mW
SEL5	0Ω から GND	TAS2120:VBAT 1S モード TAS2320:該当なし
	24kΩ から IOVDD	TAS2120:VBAT 2S モード TAS2320:該当なし
	0Ω から IOVDD	TAS2120:外部 PVDD モード (2.5V ~ 14V) TAS2320:外部 PVDD モード (2.5V ~ 14V)

3 設計ガイドライン

3.1 ハードウェア制御用リファレンス回路図

TAS2120 2 層 HW 制御リファレンス回路図 — DUT セクション は、TAS2120 2 層評価モジュールで使用するハードウェア制御構成の回路図を示しており、後述のセクションで説明する PCB の設計に使用されます。

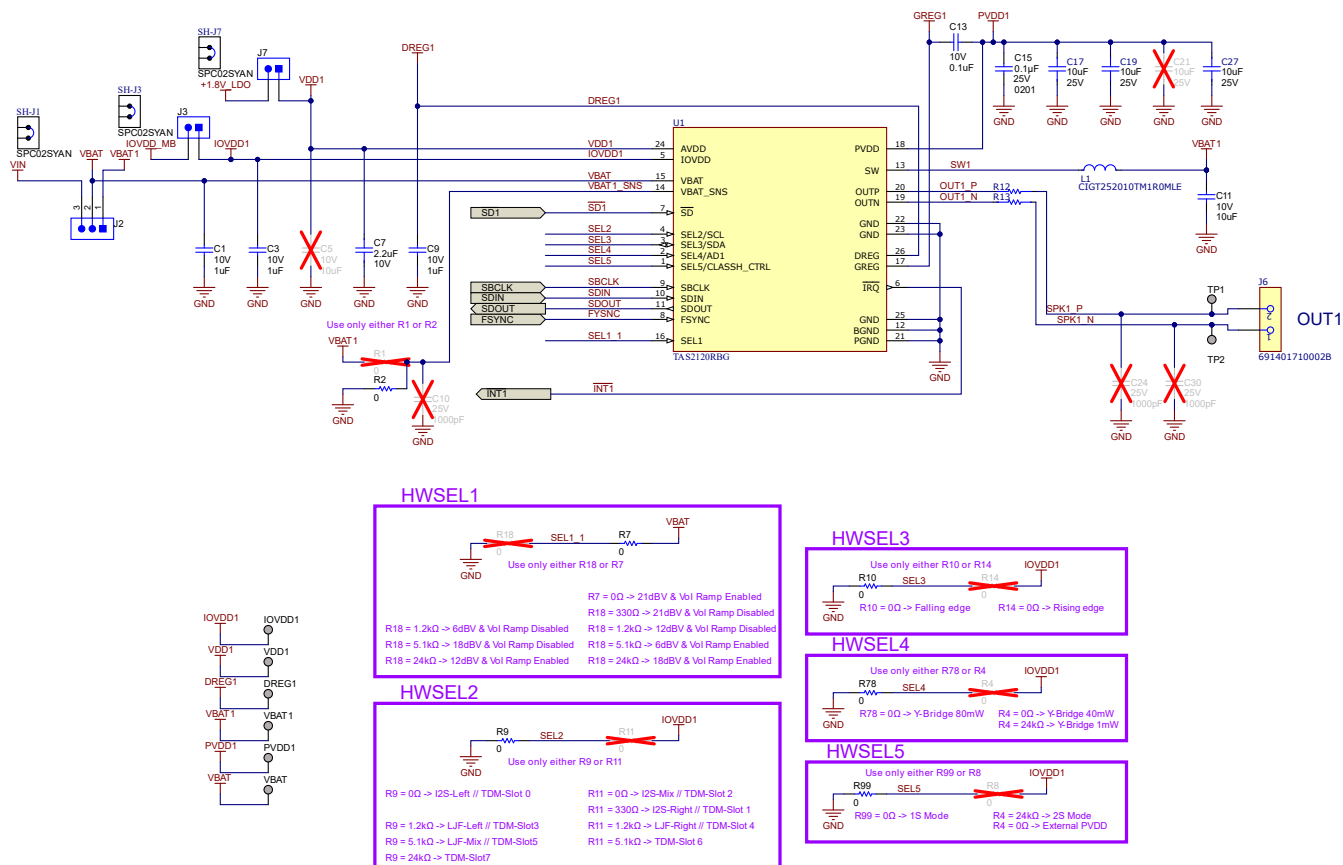


図 3-1. TAS2120 2 層 HW 制御リファレンス回路図 — DUT セクション

3.2 ハードウェア制御リファレンス PCB レイアウト

ほとんどの信号および電源トレースは、IC と同じ層に配線されます。すべての重要な部品を IC の近くに配置し、[TAS2x20 設計およびレイアウト ガイドライン](#)のセクション 3 に記載された内容と同様の配線を行うことを検討してください。以下のセクションでは、各重要な信号に関する詳細なガイダンスを提供します。TAS2120 は他のバリエーションのスーパーセットと見なされるため、同様のアプローチを基準として使用し、ピン機能の違いに応じて必要な調整を行うことができます。

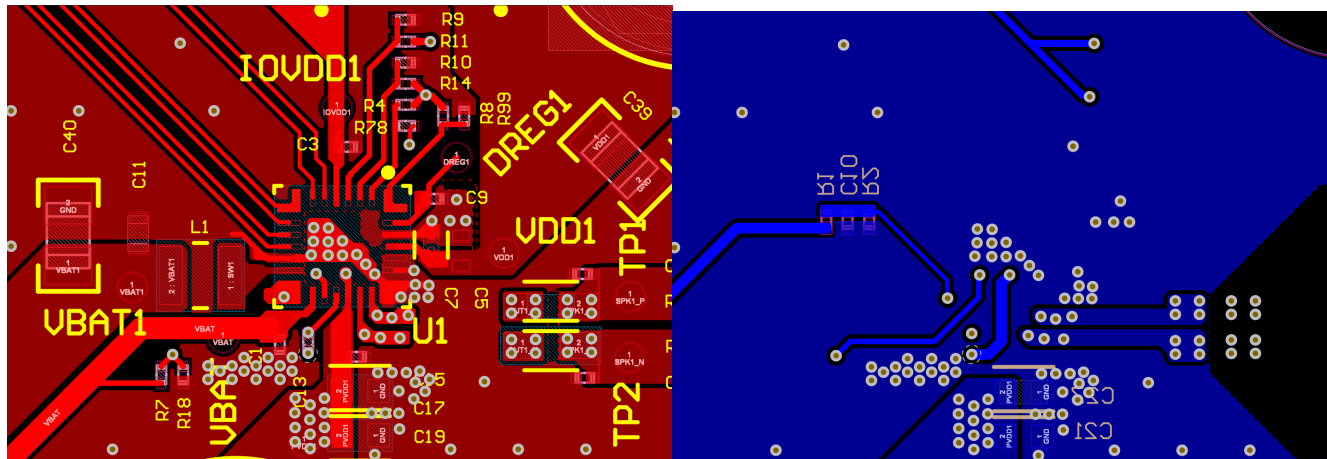


図 3-2. 上面 (赤) および下面 (青) 層 — ハードウェア制御用リファレンス PCB レイアウト

3.2.1 GND の接続

- 最上層では、他の信号が必要とされないすべての箇所に GND を配線します。
- 熱的および電氣的性能を向上させるため、最上層から最下層にかけて GND プレーン間にビア ステッチを追加することを推奨します。
- GND ピン 25 が PGND および BGND ピン 21 および 12 に直接接続されていないことを確認し、代わりにビアを使用して最下層の GND に接続してください。
- IC の下にある GND にいくつかのビアを追加し、最上層自体で PGND ピンと BGND ピン (21 番および 12 番) との間に直接接続があることを確認してください。
- VBAT および PVDD ピンのデカップリング コンデンサの近く、および PGND ピン (21 番) の近くに、GND へのビアをいくつか追加してください。



図 3-3. 上面 (赤) および下面 (青) 層 — GND 接続のハードウェア制御

3.2.2 電源接続

- デカップリング コンデンサは、各電源ピン (VBAT、PVDD、IOVDD、VDD、DREG) の近くに配置してください。
- SW インダクタは、IC にできるだけ近づけて配置し、大型の VBAT デカップリング コンデンサは SW インダクタの近くに配置してください。
- PVDD デカップリング コンデンサを上層と下層の両方に配置する場合は、これらを相互に接続するために複数のビアを追加してください。

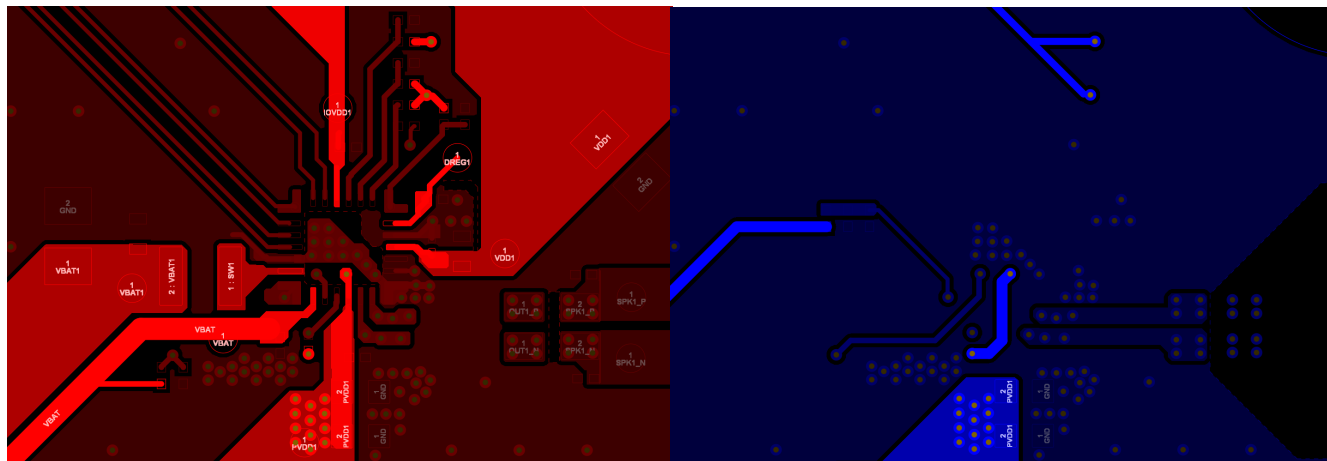


図 3-4. 上面 (赤) および下面 (青) 層 — 電源接続 HW 制御

3.2.3 出力接続

- PCB の反対側 (この場合は下面) で出力トレースをファンアウトさせ、PGND ピン 21 が層を跨がずに PVDD 上のデカップリング コンデンサに直接接続されるようにします。
- 各出力トレースについて、上面から下面へ移行する際に少なくとも 3 つのビアを使用してください。
- 出力トレースは差動配線し、結果として得られるインピーダンスを互いにできるだけ近づけてください。



図 3-5. 上面 (赤) および下面 (青) 層 — 出力接続 HW 制御

3.2.4 GREG 接続

- GREG コンデンサを接続するために、IC の下に PVDD 用ビアを配置してください。これにより、PVDD デカップリング コンデンサから離れた位置でスター接続が可能になります。

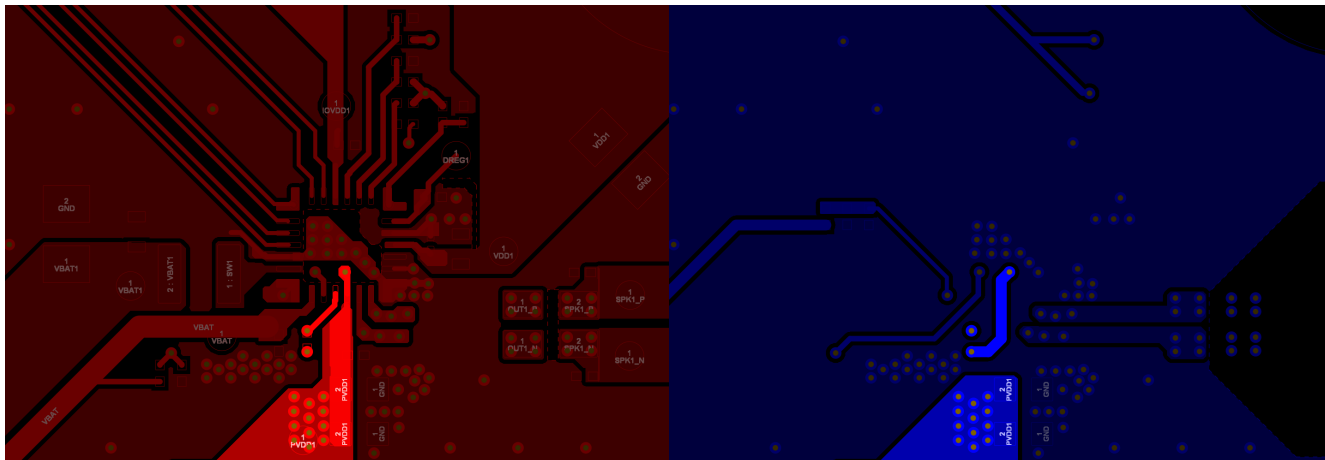


図 3-6. 上面 (赤) および下面 (青) 層 — GREG 接続 HW 制御

3.2.5 入力接続と SEL 接続

- デジタル オーディオ信号は、反対側の層ができる限り均一な GND プールとなるよう、単一層上でファンアウトさせてください。
- この例では、各 SEL ピンは、異なるオプションを選択するために 0Ω の抵抗に接続されています。最終製品では、これらの接続を、近くの IOVDD または GND トレースに接続することで簡略化できます。
- レイアウト時には、SEL 接続を、電源および GREG 接続に比べて優先順位を低く扱ってください。

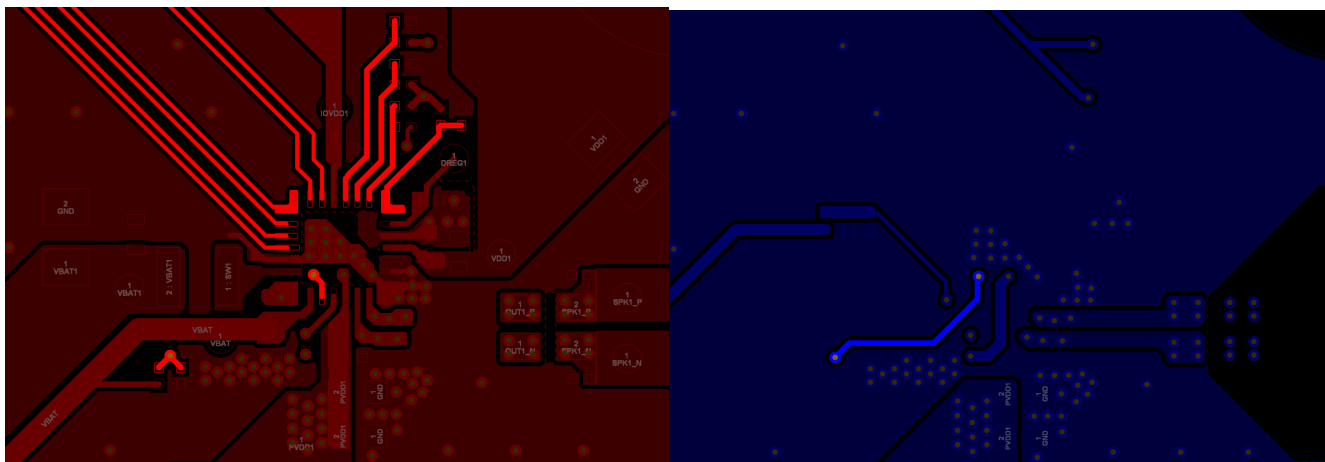


図 3-7. 上面 (赤) および下面 (青) 層 — 入力および SEL 接続

3.3 ソフトウェア制御用リファレンス回路図

TAS2120 2 層 SW 制御リファレンス回路図 — DUT セクション は、TAS2120 2 層評価モジュールにおけるソフトウェア制御構成で 사용되는回路図を示しています。

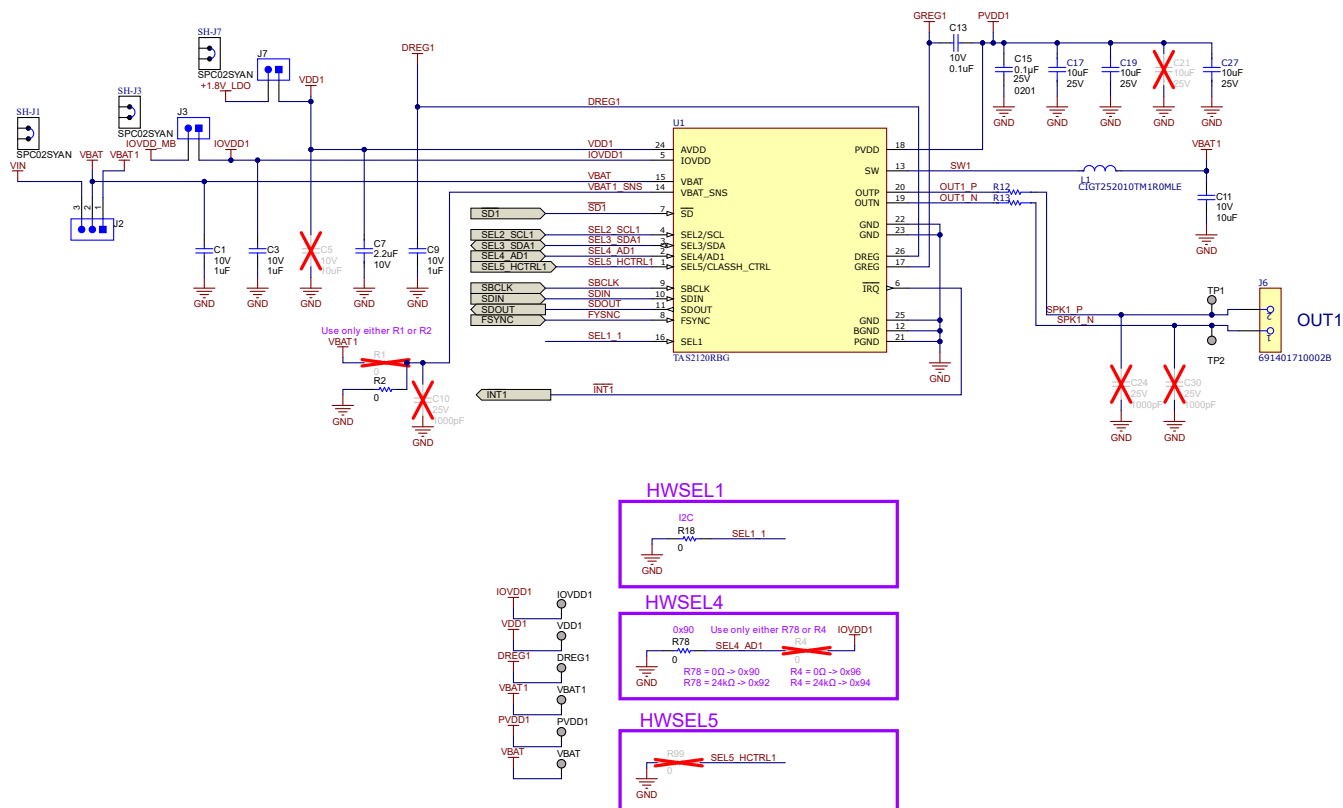


図 3-8. TAS2120 2 層 SW 制御リファレンス回路図 — DUT セクション

3.4 ソフトウェア制御用リファレンス PCB レイアウト

以下の図は、セクション 3.2 と同様の実装ですが、I²C モード用です。すべての GND、GREG、電源、および出力の接続は同じで、I²C 制御用に SEL ピンを変更しているだけです。

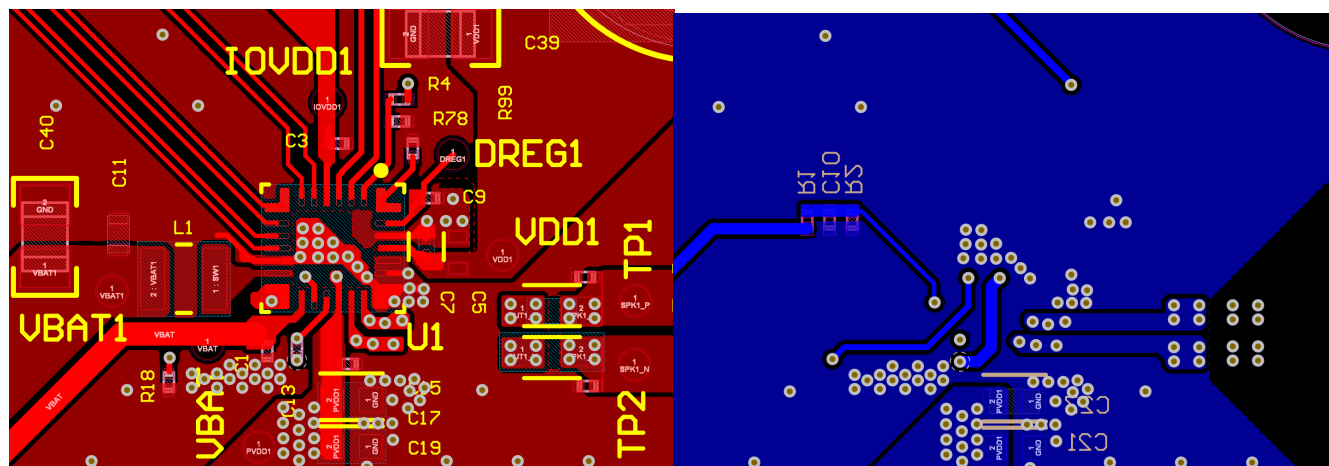


図 3-9. 上面 (赤) および下面 (青) 層 — ソフトウェア制御用リファレンス PCB レイアウト

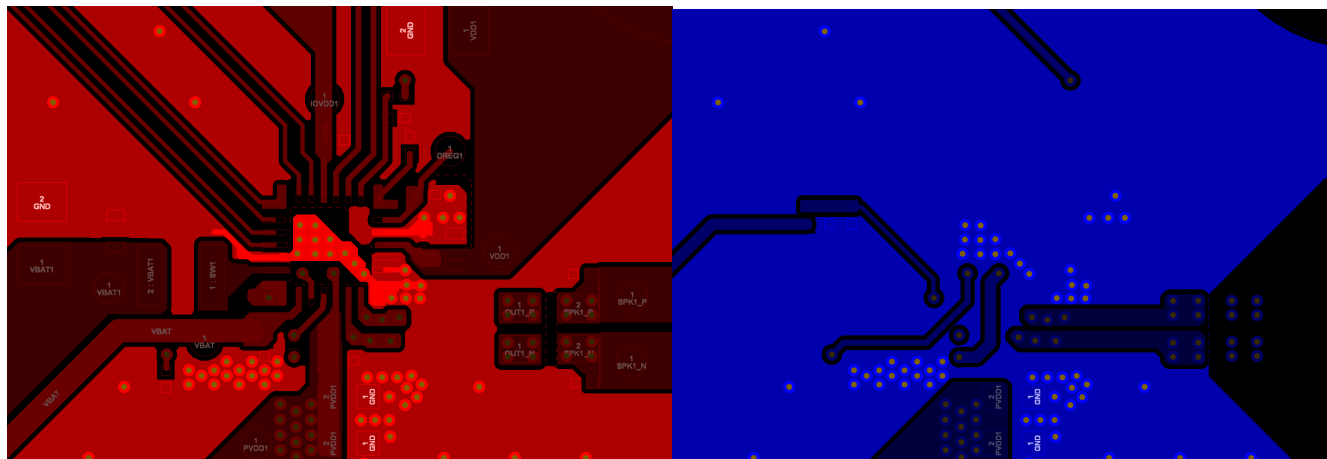


図 3-10. 上面 (赤) および下面 (青) 層 — GND 接続(ソフトウェア制御)



図 3-11. 上面 (赤) および下面 (青) 層 — 電源接続(ソフトウェア制御)



図 3-12. 上面 (赤) および下面 (青) 層 — 出力接続(ソフトウェア制御)

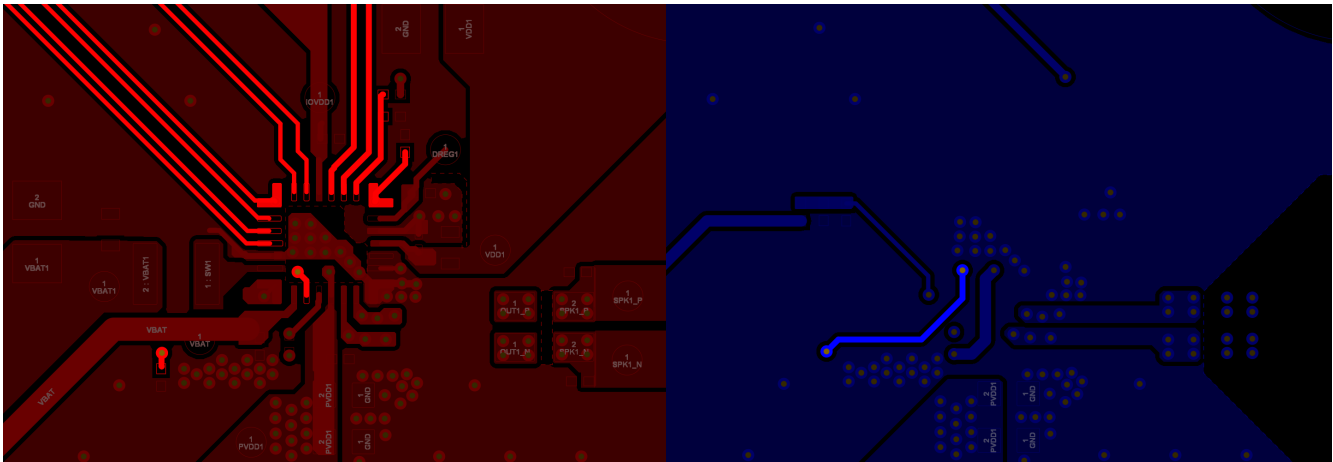


図 3-13. 上面 (赤) および下面 (青) 層 — GREG 接続(ソフトウェア制御)

4 まとめ

本アプリケーション ノートでは、テキサス インストルメンツの簡易オーディオ アンプ シリーズ、具体的には TAS2118、TAS2020、TAS2120、および TAS2320 に関する、包括的な 2 層 PCB 設計ガイドラインを提供します。

これらのデバイスは VQFN-HR パッケージに封入されており、銅層を 2 層のみ使用する、コスト効率に優れかつシンプルな PCB 製造プロセスに対応するように設計されています。

本資料では、2.5V~5.5V の単セル電池電源を利用する 1S ブースト構成に焦点を当てていますが、TAS2120 については、より高い出力電力を得るための 2S および 3S 電池構成もサポートしていることに言及しています。

主な技術的内容は以下の通りです。

- アプリケーション回路図: ハードウェア制御およびソフトウェア制御 (I²C) 構成の両方に関する詳細な図解。
- 部品 定格: ブースト コンバータのインダクタ、デカップリング コンデンサ (DREG、IOVDD、VDD、PVDD、VBAT、および GREG)、およびオプションの EMI フィルタ部品など、重要な部品に関する推奨仕様。
- ハードウェアの構成: SEL ピン上の特定の抵抗値を介してデバイス機能 (音量ランプや dBV レベルなど) を選択するための参照表。
- PCB レイアウトの最良事例: 電気的および熱的性能を検証するための具体的な設計ガイダンス。以下を網羅しています。
 - GND 接続: ビア ステッチング、GND プレーン充填、および PGND ピンと BGND ピンの適切な分離に関する戦略。
 - 電源入力および出力: ピンに近い位置へのデカップリング コンデンサの配置、IC へのインダクタの近接配置、および出力トレースの差動配線。
 - シグナル インテグリティ: GREG 接続、デジタル オーディオ信号のファンアウト、および SEL ピンのレイアウト優先順位に関するガイドライン。

5 参考資料

1. テキサス インストルメンツ、『[TAS2x20 設計およびレイアウト ガイドライン](#)』、アプリケーション ノート。
2. テキサス インストルメンツ、『[AS2120 評価基板ユーザー ガイド](#)』、ユーザー ガイド。
3. テキサス インストルメンツ、『[TAS2320 評価基板ユーザー ガイド](#)』、ユーザー ガイド。
4. テキサス インストルメンツ、『[TAS2020 評価基板ユーザー ガイド](#)』、ユーザー ガイド。
5. テキサス インストルメンツ、『[TAS2118 評価基板ユーザー ガイド](#)』、ユーザー ガイド。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月