

Application Note

イーサネット **PHY** の **PCB** 設計レイアウト チェックリスト

Lysny Woodahl

概要

イーサネットは、産業用システムと車載システムにとって重要な通信インターフェイスです。この高速インターフェイスを使用するには、システム設計者はイーサネット **PHY** の **PCB** を設計する際に高速信号設計の推奨事項を考慮する必要があります。これらの推奨事項を以下のアプリケーション ノートに示します。データトレース、外付け部品の近接性、干渉などの事項を説明しています。**PHY** はイーサネット ベースのシステムで不可欠であるため、設計者はエラーの可能性を最小限に抑えるために、次の推奨事項に従う必要があります。

目次

1 概要.....	2
2 PHY 設計チェックリスト.....	2
3 まとめ.....	6

図の一覧

図 2-1. MDI トレースとグランド プレーン間隔の例.....	2
図 2-2. 長さの一致.....	3
図 2-3. 短い帰還パス用の、近くのグランド ビア.....	4
図 2-4. 磁気部品の金属キープ アウト.....	4
図 2-5. グランド プレーン ビア.....	5
図 2-6. アースとグランド アースのキープ アウト.....	5

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

この資料に記載されている設計上の推奨事項は、テキサス インストルメンツのイーサネット PHY を使用した設計を含むすべてのイーサネット PHY PCB 設計に適用されます。エミッションの低減、ノイズの最小化、部品の適切な動作の確保、リークの最小化、信号品質の向上などに役立つため、これらのガイドラインに従うことは重要です。この文書は、デバイスおよびコンポーネントのデータシートに対する補足チェックリストとして機能することを目的としています。

2 PHY 設計チェックリスト

PHY 設計でレビューが必要な領域のリストを以下に示します。各トピックは、リストされたトピックについてどのような検討事項を考慮するべきかを示しています。エンジニアによる追加レビューのリクエストを送信する前に、次のトピックをすべて確認してください。このリストをガイドとして使用すると、コメント、質問、追加レビューの回答がすばやく得られます。

□ DRC エラー チェック

DRC 規則が正確であることを確認し、DRC エラー チェックを実行します。エラーはありません。DRC エラーがあれば、続行する前に修正する必要があります。

□ デカップリング コンデンサ

デカップリング コンデンサは、可能な限り PHY の近くに配置する必要があります。通常、最小のコンデンサを PHY に最も近くすることを推奨しますが、デバイスのデータシートを確認して、この推奨事項がデバイス固有の推奨事項と一致していることを確認してください。一部のデバイスでは、データシートに大容量のコンデンサを PHY の近くに配置することを推奨するピンがあります。

□ クロック ソース

この発振器は、PHY の近くに配置する必要があります。発振器が PHY から離れるほど、PLL ノイズが起きる可能性が高くなり、仕様外の動作が発生する可能性が高くなります。水晶振動子は、複数のデバイスを駆動してはなりません。水晶振動子の配置と設計ガイドの詳細については、次のアプリケーション ノートを参照してください。

□ RBIAS 抵抗

また、RBIAS 抵抗も PHY の近くに配置する必要があります。

□ MDI トレース

各 MDI トレースの合計長さは 2 インチ (2000mil) 未満である必要があります。これらのトレースは、1G 送信では 20mil 以内、100M または 10M 送信では 50mil 以内に長さが一致している必要があります。MDI トレース上のビアとスタブの数は最小限に抑える必要があります。

標準インピーダンスは 100Ω の差動で、±10% 制御を行う必要があります。インピーダンスの不整合はスループットを低下させ、時には通信障害を引き起こすほど大きくなることもあります。これらの不整合は、信号の反射を引き起こし、最大電力が反射点を超えて伝送されないようにします。MDI トレースのインピーダンスを、ケーブルのインピーダンスと一致するように調整する必要があります。ケーブルのデータシートを使用して、ケーブルのインピーダンスを確認します。

w が MDI トレースの幅と等しい場合、同じ層上のグラウンド プレーンは MDI トレースから $3 \times w$ 以上離して配置する必要があります。推奨される距離は、MDI トレースから $5 \times w$ です。MDI パターンとグラウンド プレーンの間にこの距離を設けると、望ましくない容量性インピーダンスを防げます。

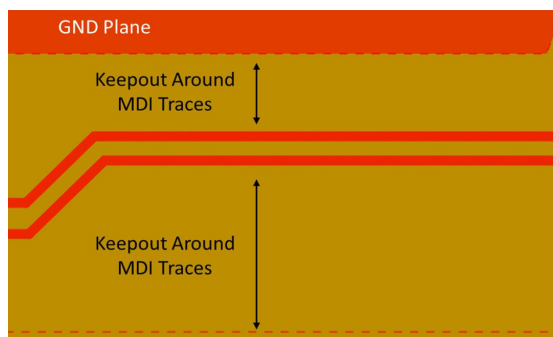


図 2-1. MDI トレースとグラウンド プレーン間隔の例

MDI トレースの下の層に連続的なグラウンドを推奨します。グラウンド プレーンは、トレース上の部品の下のみ切断 (ボイド) する必要があります。これらの部品には、トランス / 磁気素子、チョーク、AC カップリング コンデンサ、ESD ダイオードなどもあります。車載アプリケーションでは、全層ボイドを推奨しますが、2 層ボイドを最小要件とします。2 層ボイドには、コンポーネントが配置されている層と、その直下の層が含まれます。標準アプリケーションでは 2 層ボイドを推奨します。ほとんどのアプリケーションでは、コンポーネントのエッジとボイドのエッジの間の距離は約 20mil である必要があります。これより距離が短いアプリケーションも、長いアプリケーションもあります。最適な距離を判定するには、設計の EMC 要件を使用してください。

□ MII トレース

各 MII トレースの合計長は 6 インチ (6000mil) 未満である必要があります。これらのトレースは、1G 送信では 20mil 以内に長さが一致し、100M または 10M 送信では 50mil 以内に長さが一致している必要があります。RX 配線は他の RX 配線と同じ長さにする必要があり、TX 配線は他の TX 配線と同じ長さにする必要があります。MII トレース上のビアとスタブの数は最小限に抑える必要があります。

シングル エンドのインピーダンスは $50\Omega \pm 10\%$ とする必要があります。インピーダンスの不一致の影響は、これまでのトピックで示しています。

前のトピックと同じ「w」の定義を使用すると、MII トレースの周囲で最低 $3 \cdot w$ のグラウンド キープアウトを確保する必要があります。推奨される距離は $5 \cdot w$ です。

□ シグナル ルーティング

クロストークは避ける必要があります。グラウンド層で適切に分離されていない限り、信号は交差しないようにしてください。さらに、異なる差動ペアは、ペア間の間隔を 30mil 以上保つ必要があります。

ここまでのトピックで説明したように、トレース長を一致させる必要があります。トレース長を一致させるために、さまざまな配線手法を使用できます。長さが一致したペアの同じ端に、これらの技術を適用することを推奨します。下の図は、長さマッチング不一致と長さマッチング一致の違いを示しています。

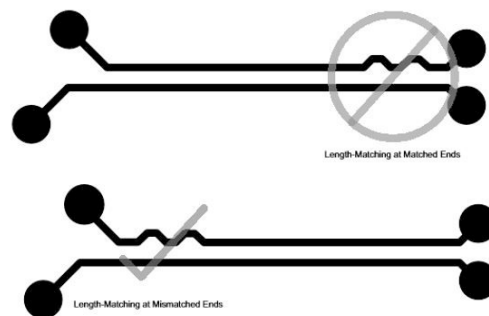


図 2-2. 長さの一致

基板の異なるセクション全体にわたる特性インピーダンスによっては、長さのマッチング不一致が起きると、タイミングまたは信号品質の問題が増加する可能性があります。

信号ビアを配置する場合、グラウンドへの短いパスを確保するため、ビアを近づけてグラウンドまたはリターンすることを推奨します。図 2-3 に例を示します。

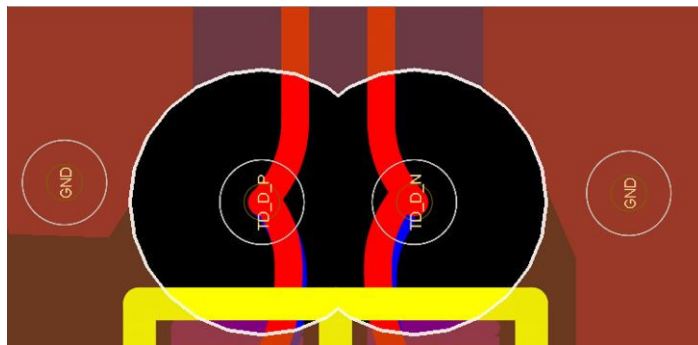


図 2-3. 短い帰還パス用の、近くのグランドビア

□ 磁気部品の絶縁

どの層の磁気素子の下にも金属は置かないでください。磁気素子の下に金属が必要な場合は、少なくともグランドプレーンで分離する必要があります。磁石を内蔵した RJ45 コネクタの下に金属を使用できます。図 2-4 に、磁気素子の下に金属を配置しないレイアウト例を示します。

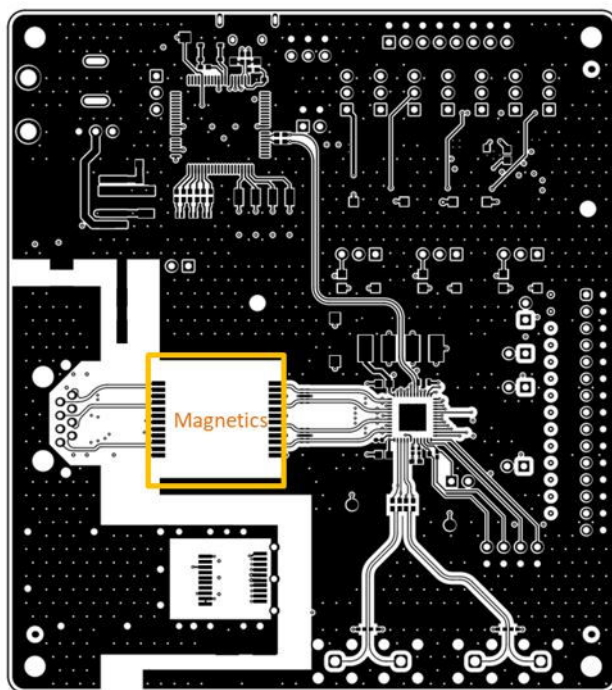


図 2-4. 磁気部品の金属キープアウト

□ それ以外の ESD デバイスの選択とレイアウト

この設計で ESD ダイオードを使用する場合は、それぞれの動作電圧範囲が、信号送信に必要な適切な電圧に対応するのに十分であることを確認してください。電圧仕様を確認するには、PHY のデータシートを参照してください。以下のアプリケーション ノートでは、ESD デバイスのレイアウトに関する基礎と一般的なガイドラインを説明しています。を参照してください。次のアプリケーション ノートでは、イーサネット固有の ESD のガイドラインと検討事項について説明します。を参照してください。

上記の 2 つのアプリケーション ノートでは、保護デバイスの配置場所に関して異なる推奨事項があることに注意してください。イーサネット固有のアプリケーション ノートでは、保護デバイスは、コネクタ側ではなく、磁気部品の PHY 側に配置することを推奨します。この矛盾の理由は、イーサネットには、コネクタ側で高い同相電圧スイングが発生するリスクがあるためです。磁気素子の PHY 側に保護デバイスを配置することで、ESD 以外の高電圧のときに保護デバイスが故障しないようにします。

□ 電源プレーン

電源間の電圧降下を避けるため、可能な限り、電源プレーンを使用します。複数の層に電源プレーンをスティッチする場合、電圧降下を避けるために複数のビアを使用します。

□ グランド プレーン

可能な限りグランド プレーンを配置し、基板全体にスティッチング ビアを使用して短い帰路を作成します。図 2-5 に、グランド ビアの分配の例を示します。

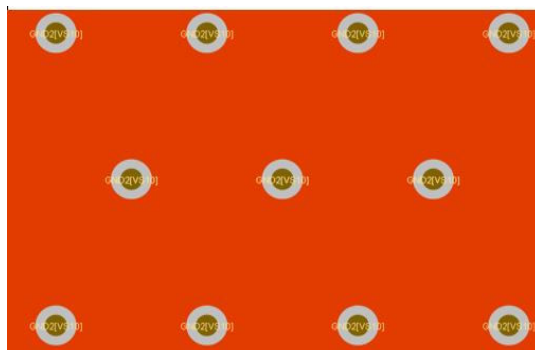


図 2-5. グランド プレーン ビア

□ アース グランド絶縁

すべての層に少なくとも 20mil の間隔を設けて、基板の他の部分からアース グランドを絶縁する必要があります。図 2-6 に、この例を示します。

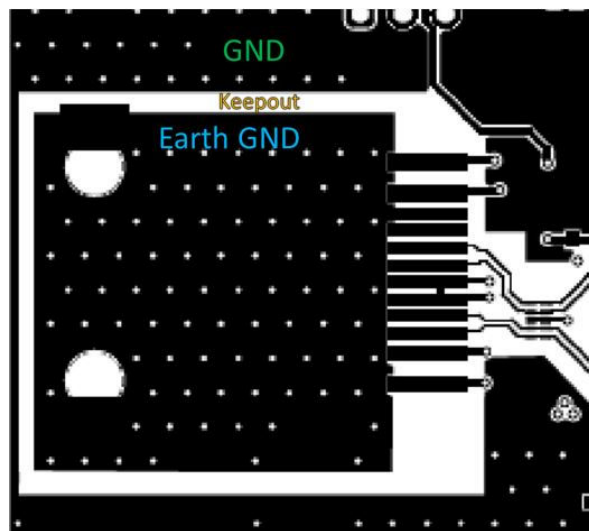


図 2-6. アースとグランド アースのキープ アウト

キープ アウトに対する推奨例外は次のとおりです。アース グランドと通常のグランドは、コンデンサと高抵抗で接続する必要があります。1MΩ 以上の抵抗を推奨します。

3 まとめ

ここで説明しているチェックリストは、理想的な動作に最も近い **PHY** 動作を実現するのに役立つ推奨事項のリストです。これらの推奨事項に従うことで、意図しない問題が発生するのを回避できます。本書に記載されていない **PCB** 設計上の問題は今後も発生する可能性があります。また、すべての設計については、コンポーネントのデータシートを使用して確認する必要があります。**PCB** 設計も、製造前に複数のエンジニアによってレビューする必要があります。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月