

Application Note

AM62Px 最大電流定格



1 AM62Px 最大電流定格

このドキュメントは、AM62Px 電源端子の最大電流定格をまとめたものです。電流定格は各電源グループのワーストケースの推定値であり、特定のアプリケーションの実際の消費電流は通常これよりも低くなります。表 1-1 は、TI 推奨の PMIC を使用せずにカスタム電源ソリューションを設計する際に、電源容量選定のガイドとして利用できます。特定のユースケースにおける平均消費電力は、AM62P Power Estimation Tool (PET) を使用して推定できます。実際の消費電力は、実際のシステムを使用して確認する必要があります。

表 1-1. 電源端子の最大電流定格

電源グループ	電源名	条件					最大値	単位
		CORE 電圧	動作時の接合部温度範囲	Cortex-A53 のコア数と性能	GPU BXS-4-64 性能	ビデオ コーデック Wave521CL 性能		
CORE (0.75V/0.85V)	VDD_CORE VDDA_CORE_CSI_DSI VDDA_CORE_DSI_CLK VDDA_CORE_USB VDDA_DDR_PLL0	0.85V	車載	クワッド、1400MHz	51GFLOPS、800MHz	300Mbps、500MHz	6555	mA
		0.75V	車載	クワッド、1250MHz	42GFLOPS、720MHz	300Mbps、500MHz	5415	mA
		0.85V	車載	デュアル、1400MHz	35GFLOPS、550MHz	60Mbps、100MHz	5415	mA
		0.75V	車載	デュアル、1250MHz	35GFLOPS、550MHz	60Mbps、100MHz	4560	mA
		0.85V	産業用拡張	クワッド、1400MHz	51GFLOPS、800MHz	300Mbps、500MHz	5605	mA
		0.75V	産業用拡張	クワッド、1250MHz	42GFLOPS、720MHz	300Mbps、500MHz	4560	mA
		0.85V	産業用拡張	デュアル、1400MHz	35GFLOPS、550MHz	60Mbps、100MHz	4560	mA
		0.75V	産業用拡張	デュアル、1250MHz	35GFLOPS、550MHz	60Mbps、100MHz	3800	mA
CANUART コア (0.75V/0.85V)	VDD_CANUART ⁽¹⁾						10	mA
0.85V 固定レール (RAM および MMC0)	VDDR_CORE ⁽²⁾ VDD_MMC0 ⁽⁵⁾ VDDA_0P85_DLL_MMC0 ⁽⁵⁾						300	mA
DDR	VDDS_DDR VDDS_DDR_C						400	mA

表 1-1. 電源端子の最大電流定格 (続き)

電源グループ	電源名	条件					最大値	単位
		CORE 電圧	動作時の接合 部温度範囲	Cortex-A53 のコア数と性能	GPU BXS-4-64 性 能	ビデオコーデック Wave521CL 性能		
1.8V アナログ電 源	VDDA_PLL0 VDDA_PLL1 VDDA_PLL2 VDDA_PLL3 VDDA_PLL4 VDDA_1P8_CSI_DSI VDDA_1P8_OLDIO VDDA_1P8_USB VDDA_TEMP0 VDDA_TEMP1 VDDA_TEMP2 VDDA_MCU ⁽⁴⁾						250	mA
1.8V デジタル 電源	VDDS_OSC0 VDDS_MMC0						60	mA
3.3V Supply	VDDA_3P3_USB						50	mA
デュアル電圧 IO 電源	VDDSHV0 VDDSHV1 VDDSHV2 VDDSHV3 VDDSHV6						200	mA
SD インターフェ イス IO 電源	VDDSHV5 ⁽³⁾						30	mA
MCU IO 電源	VDDSHV_MCU ⁽⁴⁾						30	mA
CANUART IO 電源	VDDSHV_CANUART ⁽¹⁾						10	mA
VPP	VPP						400	mA

- (1) 部分 IO 低消費電力モードを使用しない場合、VDD_CANUART は VDD_CORE 電源グループに、VDDSHV_CANUART は I/O 電源グループに結合する必要があります。
- (2) パワーアップ時またはパワーダウン時に、VDDR_CORE に印加される電位が VDD_CORE に印加される電位に 0.18V を加えた電位を超えないようにしてください。これを満たすには、VDD_CORE が 0.75V で動作している場合、VDD_CORE の電圧を VDDR_CORE よりも先に上昇させ、VDDR_CORE よりも後に下降させる必要があります。VDD_CORE と VDDR_CORE は同じ電源から給電されることが期待されるため、VDD_CORE が 0.85V で動作しているときは一緒に電圧が上昇します。
- (3) 高速 SD カードの電圧スケールリングに別の電源が必要ない場合、VDDSHV5 を I/O 電源グループと結合する必要があります。
- (4) MCU チャネル IO を他の IO グループから絶縁しない場合、VDDA_MCU は 1.8V アナログ電源と同じ電源グループと結合し、VDDSHV_MCU は I/O 電源グループと結合する必要があります。
- (5) SR1.0/SR1.1 と SR1.2 での [AM62Px Errata - i2496](#) パッケージのピン割り当ての違い: デバイスのリビジョンが A/B (SR1.0/SR1.1) から C (SR1.2) になり、VDD_MMC0 および VDDA_0P85_DLL_MMC0 電源レールに割り当てられていた 2 つの AMH パッケージ端子が新しい信号機能 VDDR_CORE に割り当てられ、パッケージ内部で接続が VDDR_CORE 電源レールと統合されました。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月