

Application Note

ADS125H18 を使用した、EMC 準拠の高精度電圧 ($\pm 10V$) および電流 (4-20mA) 入力測定システム的设计



Bryan Lizon

概要

このアプリケーション ノートでは、産業用途向けに、電磁両立性 (EMC) を最適化した電圧 ($\pm 10V$) および電流 (4 ~ 20mA) 測定システムを設計するための実用的なガイドラインを提供します。このアプリケーション ノートでは、効果的な回路設計およびプリント回路基板 (PCB) レイアウト手法を含め、設計者が標準的な EMC 試験に合格するために役立つ重要な設計要素について詳しく説明します。さらに、このアプリケーション ノートでは、ADS125H18 EMC 試験基板を使用した IEC 61000-4-x 標準 EMC 試験のセットアップに関する考慮事項、および試験結果の解釈についても取り上げ、信頼性の高い産業用アナログ入力モジュールの開発を支援します。

目次

1 設計の概要と測定性能 (通常動作).....	2
1.1 設計の概要.....	2
1.2 通常動作時の EMC 試験基板の電圧測定性能.....	4
1.3 通常動作時における EMC 試験基板の電流測定性能.....	6
2 EMC 試験基板の回路と PCB レイアウトに関する考慮事項.....	9
2.1 EMC 準拠の回路設計上の検討事項.....	9
2.2 EMC 準拠のための PCB レイアウトに関する考慮事項.....	18
3 EMC 試験システム、規格、および結果.....	24
3.1 EMC 試験システム.....	24
3.2 EMC 試験規格.....	25
3.3 EMC テスト結果.....	25
4 回路図、PCB レイアウト、部品表.....	42
4.1 回路図.....	42
4.2 PCB レイアウト.....	46
4.3 部品表 (BOM).....	48
5 まとめ.....	53
6 参考資料.....	54

商標

すべての商標は、それぞれの所有者に帰属します。

1 設計の概要と測定性能 (通常動作)

このセクションでは、ADS125H18 EMC テスト ボードについて簡単に紹介し、通常動作時の電圧および電流の入力測定性能を示します。

1.1 設計の概要

最新の産業用制御システムでは、工場やプラントの監視および運転のために、プロセスレベルの電圧 ($\pm 10V$) または電流 (4-20mA) 信号がよく使用されます。アナログ入力モジュールはこれらの信号を受信し、デジタル信号に変換することで、制御システムが効率的かつ正確な判断を行えるようにします。したがって、電磁干渉 (EMI)、過電圧、その他の干渉信号から保護されながら、高精度な電圧および電流測定システムを設計することが重要です。

このアプリケーション ノートで説明する EMC 試験基板は、アナログ入力モジュールでの使用向けに設計された高精度 24 ビット、1MSPS デルタシグマ ($\Delta\Sigma$) A/D コンバータ (ADC) である ADS125H18 を使用しています。ADS125H18 は、最大八つの完全差動アナログ入力、または最大 16 個のシングルエンド高電圧入力信号を測定できます。各入力は、入力電圧を ADC の入力範囲までスケール ダウンするために、高精度マッチング抵抗を内蔵したハイインピーダンス分圧器で構成されています。ADS125H18 は、チャンネル オートシーケンサと FIFO (先入れ先出し) バッファを備えています。電力スケラブル アーキテクチャにより、データレート、分解能、および消費電力を最適化するための四つの速度モードが提供されます。図 1-1 に、ADS125H18 の機能ブロック図を示します：

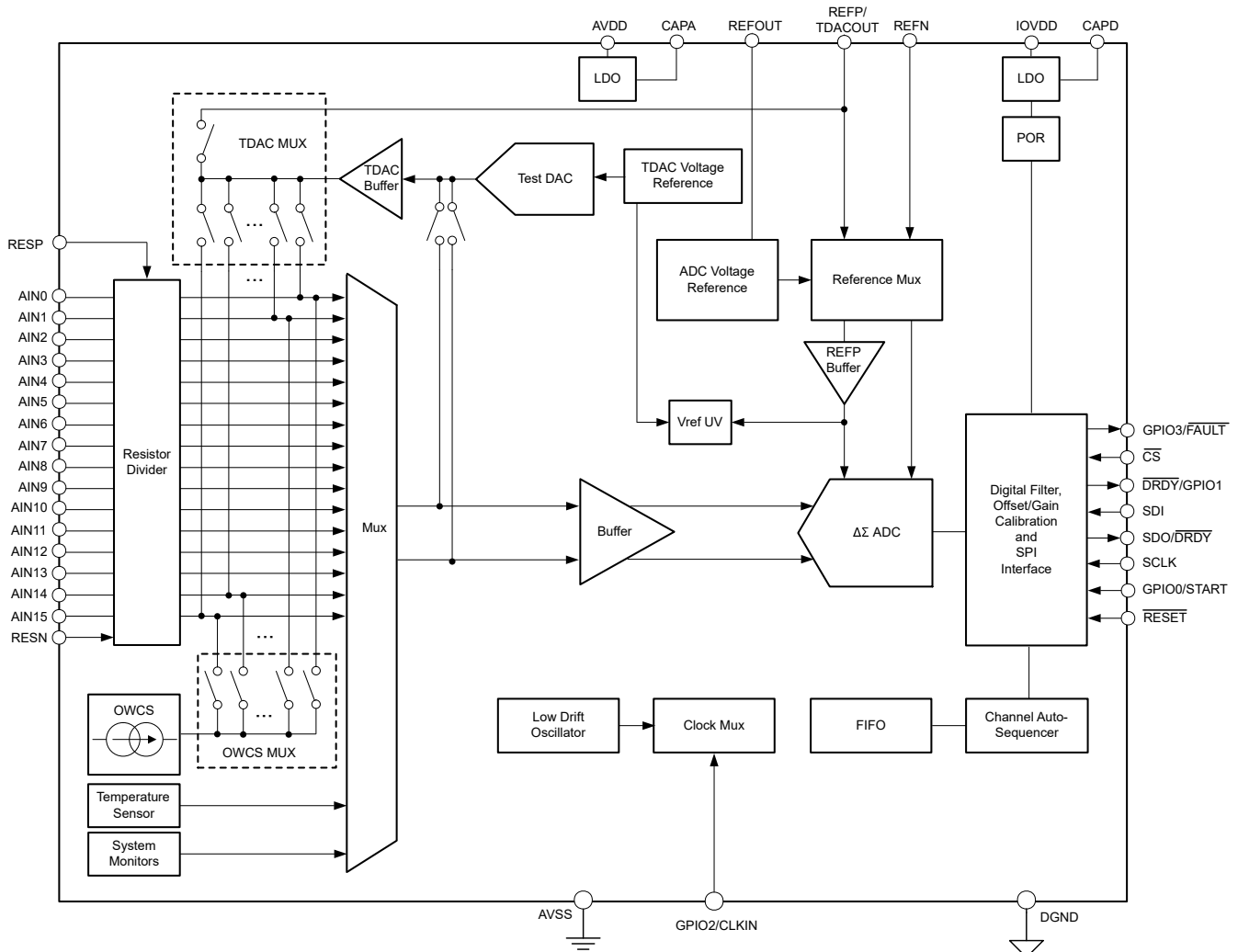


図 1-1. ADS125H18 の機能ブロック図

ADS125H18 EMC 試験基板には、外部絶縁電源とデジタル アイソレータが含まれています。このデジタル アイソレータは、ADC シリアル ペリフェラル インターフェイス (SPI) と、ADS125H18 からの変換データを監視する高精度ホストインターフェイス (PHI) コントローラ カードの間にガルバニック絶縁を提供します。この PCB は、過酷な電磁環境で動作するシステムの IEC 61000-4-x 規格に適合するように設計されています。

図 1-2 に、EMC 試験基板レイアウトの全体像を示します：

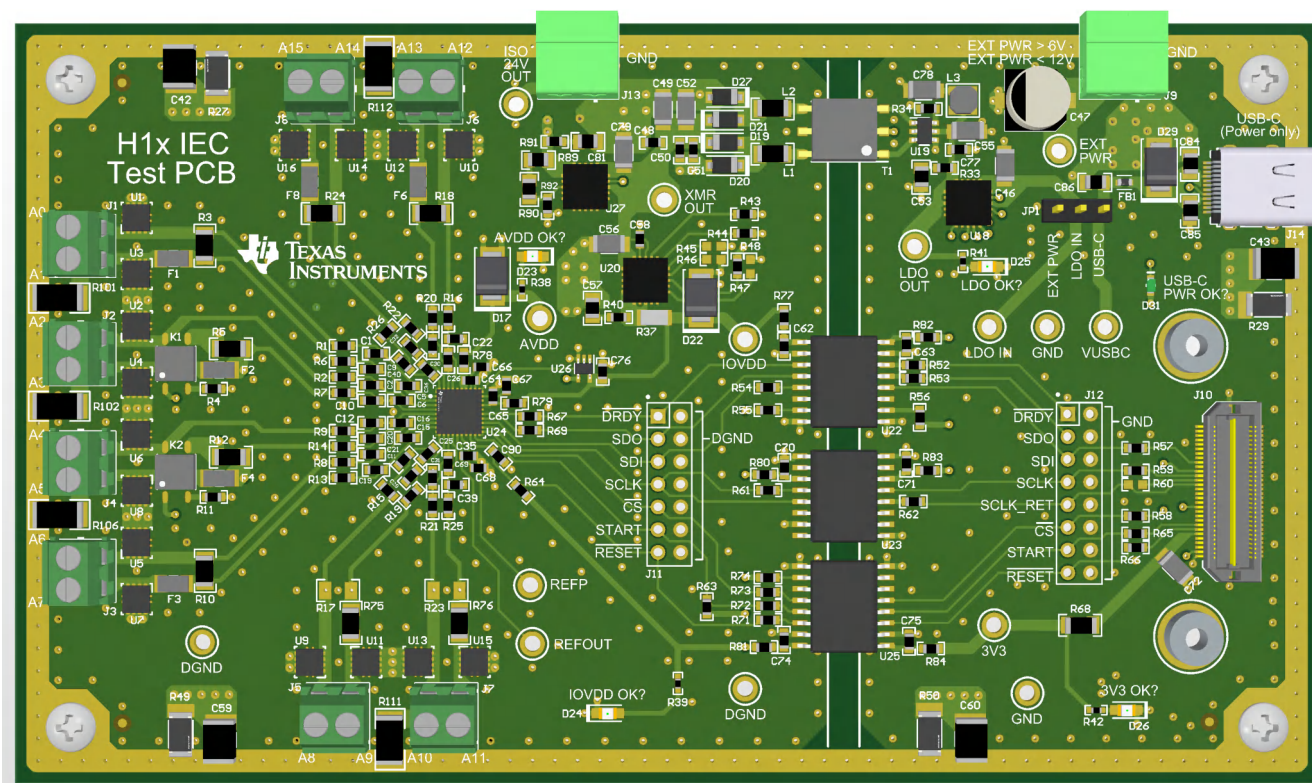


図 1-2. ADS125H18 EMC 試験基板

1.2 通常動作時の EMC 試験基板の電圧測定性能

10V 入力信号を測定する ADS125H18 のブロック図を、[図 1-3](#) に示します。この場合、ADS125H18 はチャンネルごとに高電圧抵抗分圧器を内蔵しているため、外付け部品は不要です。これにより、10V 信号を ADC で直接測定できます。

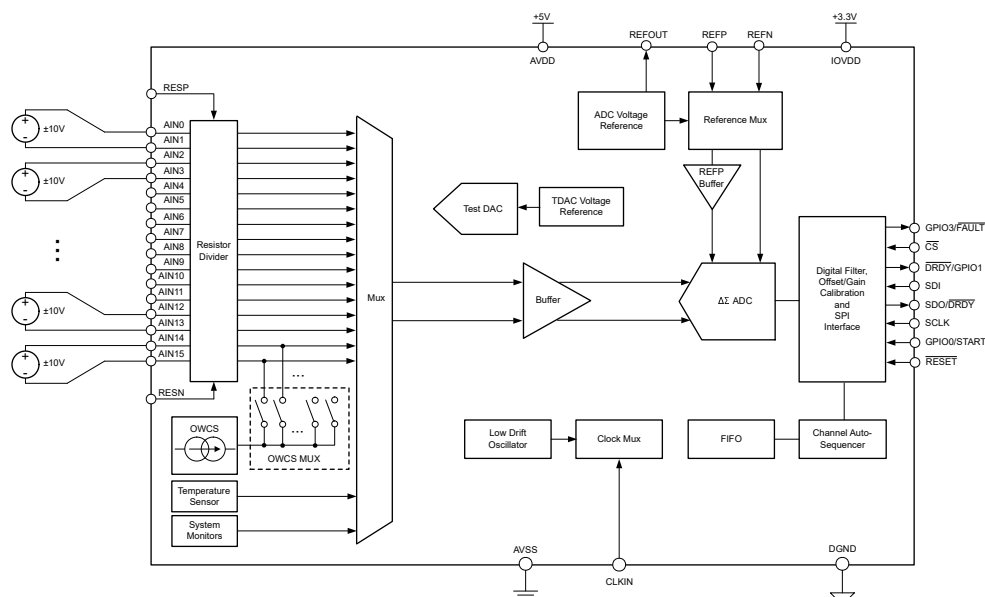


図 1-3. ADS125H18 を使用した電圧入力 (±10V) 測定

[図 1-3](#) に示す回路を測定するため、EMC 試験基板上の ADS125H18 には以下の設定をプログラムしました：

- 12.5kSPS のデータレート
- Sinc4 デジタル フィルタ
- AIN8/AIN9 差動アナログ入力
- 内部 2.5V 基準電圧
- 内部 25.6MHz 発振器
- 速度モード 3 ($f_{MOD} = 12.8\text{MHz}$)

[図 1-4](#) は、10V プロセス信号を模擬するために入力に 9V バッテリーを接続した、実際の ADS125H18 EMC 試験基板を示しています：

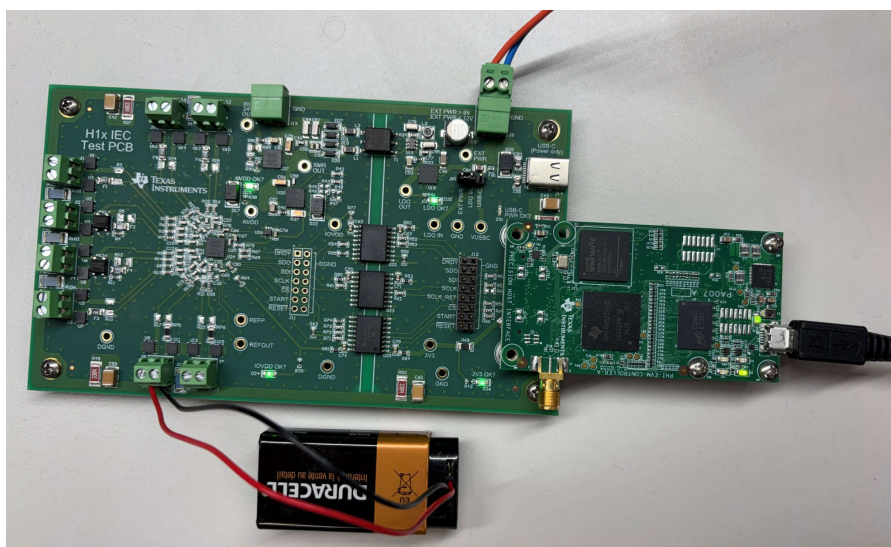


図 1-4. 9V バッテリーを測定する ADS125H18 EMC 試験基板

まずデジタル マルチメータ (DMM) を使用して実際の入力信号とリファレンス電圧を測定し、ADS125H18 EMC 試験基板の性能を計算します。これらの値は以下のように測定されました：

- $V_{IN} = 9.300V$
- $V_{REF} = 2.508V$

図 1-5 に、電圧測定テスト中の ADS125H18 評価基板グラフィカル ユーザー インターフェイス (GUI) からの出力を示します：

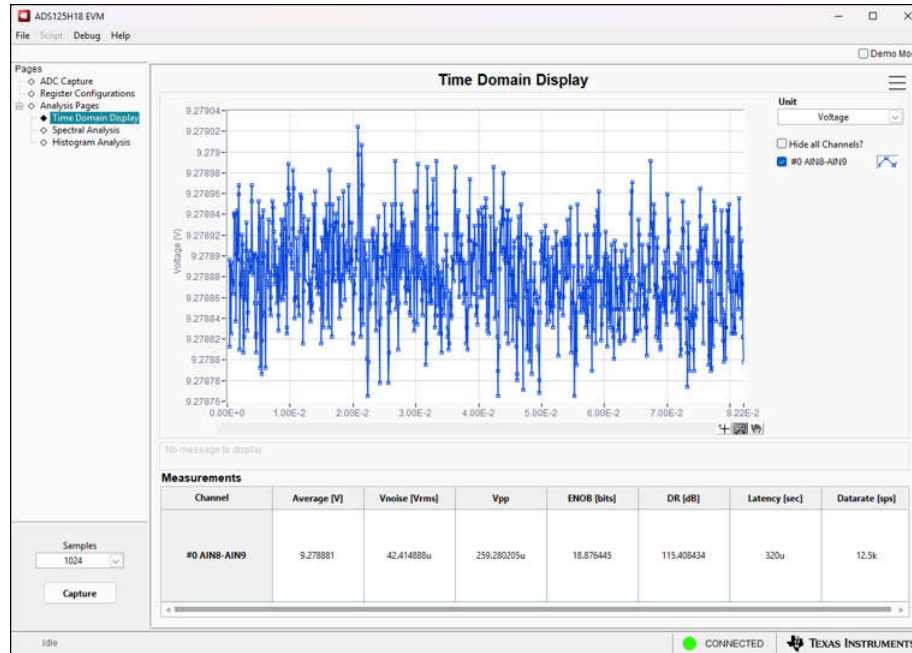


図 1-5. ADS125H18 EMC 試験基板 GUI による電圧測定結果

この情報を使用して、式 1 を用いたこれらの測定の総合未調整誤差 (TUE) を求めます：

$$TUE = \frac{(V_{ADC} - V_{DMM})}{V_{DMM}} \times 100 \quad (1)$$

ここで

- V_{ADC} = ADC で測定された電圧
- V_{DMM} = 端子台で DMM を使用して測定された電圧

式 2 では、図 1-5 の平均値 9.278881V を使用して電圧測定誤差を計算します

$$TUE = \frac{(9.278881V - 9.300V)}{9.300V} \times 100 = -0.228\% \quad (2)$$

実測した V_{REF} 電圧を使用して、 V_{REF} 誤差を除去した TUE を求めます。式 3 は、 $V_{REF_Ideal} = 2.5V$ 、 $V_{REF_Measured} = 2.508V$ と仮定した場合のスケーリング値を計算します：

$$\text{Scaling Factor} = \frac{V_{REF_Measured}}{V_{REF_Ideal}} = \frac{2.508V}{2.5V} = 1.0032 \quad (3)$$

式 4 は、 V_{REF} 誤差を除去したときの電圧測定誤差を計算します：

$$TUE_{No_VREF_Error} = \frac{(9.278881V - 9.300V)}{9.300V} \times 100 = 0.04\% \quad (4)$$

最終的に、これらの結果は、ADS125H18 EMC 試験基板が $\pm 10V$ などのプロセスレベルの電圧測定に対応する高性能システムであることを示しています。

1.3 通常動作時における EMC 試験基板の電流測定性能

20mA 入力信号を測定する ADS125H18 のブロック図を図 1-6 に示します。これらの測定では、電流を ADC で測定可能な電圧に変換するために、外付けシャントが必要です。ADS125H18 EMC 試験基板には、この目的のために、一部のチャンネルに電流測定用シャントが搭載されています。

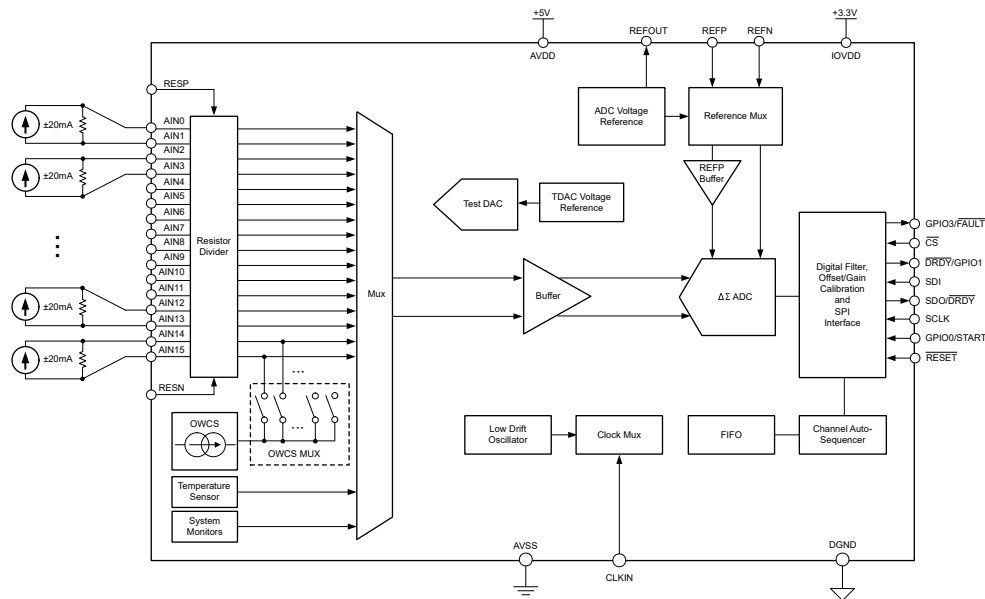


図 1-6. ADS125H18 を使用した電流入力 ($\pm 20mA$) での測定

図 1-6 に示す回路を測定するため、EMC 試験基板上の ADS125H18 には以下の設定をプログラムしました：

- 12.5kSPS のデータレート
- Sinc4 デジタル フィルタ
- AIN0/AIN1 差動アナログ入力
- 内部 2.5V 基準電圧
- 内部 25.6MHz 発振器
- 速度モード 3 ($f_{MOD} = 12.8MHz$)

図 1-7 は、電流出力信号を生成する XTR111EVM に接続された実際の ADS125H18 EMC 試験基板を示しています。EMC 試験基板の絶縁型 24V 出力が XTR111EVM に電源を供給します。XTR111EVM は、2.5V の ADC REFOUT 電圧を入力として使用し、10mA の出力を生成します。ADS125H18 は、AIN0 入力と AIN1 入力の間に配置された外付け 100Ω シャントの両端で、10mA 出力を測定します。

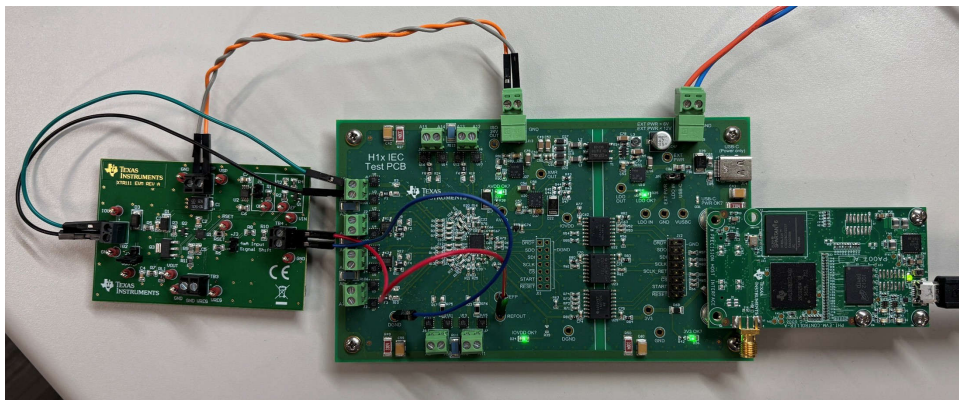


図 1-7. XTR111EVM の電流出力を測定する ADS125H18 EMC 試験基板

まず、実際の入力電流、シャント、およびリファレンス電圧をマルチメータで測定し、ADS125H18 EMC 試験基板の性能を算出します。これらの値は以下のように測定されました：

- $R_{\text{Shunt}} = 100\Omega$
- $I_{\text{IN}} = 10.06\text{mA}$
- $V_{\text{IN}} = 100\Omega \times 10.06\text{mA} = 1.006\text{V}$
- $V_{\text{REF}} = 2.508\text{V}$

電流測定テスト時の ADS125H18 評価基板 GUI からの出力を図 1-8 に示します：

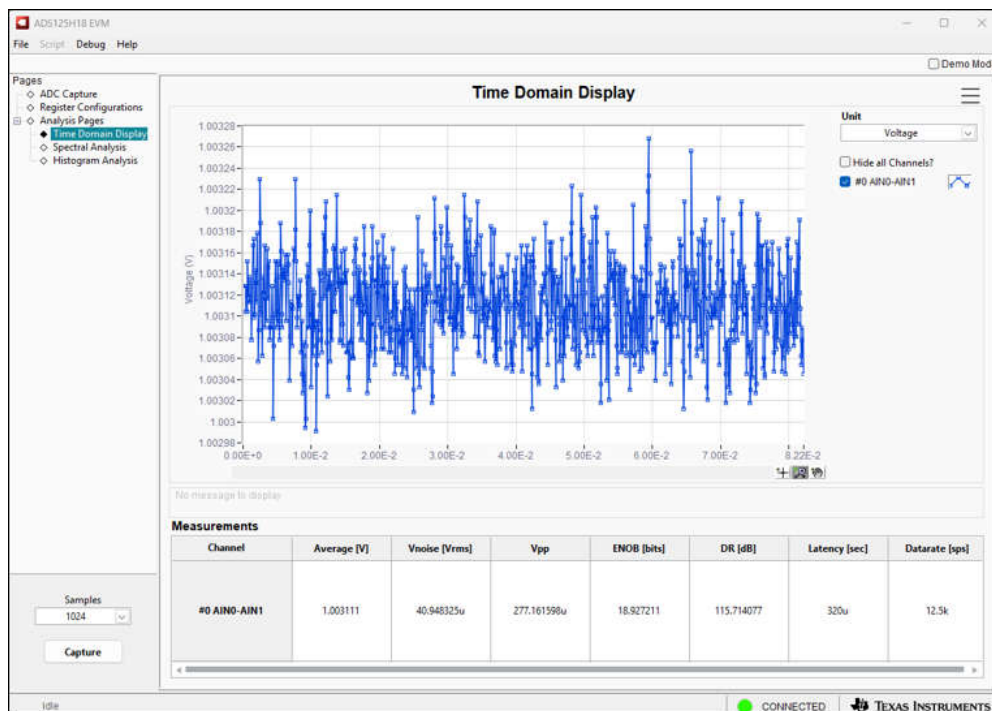


図 1-8. ADS125H18 EMC 試験基板 GUI による電流測定結果

この情報を使用して、式 5 を用いたこれらの測定の総合未調整誤差 (TUE) を求めます：

$$\text{TUE} = \frac{(V_{\text{ADC}} - V_{\text{DMM}})}{V_{\text{DMM}}} \times 100 \quad (5)$$

式 6 は、図 1-8 の平均値 1.003111V を使用して電流測定誤差を算出しています。

$$TUE = \frac{(1.003111V - 1.006V)}{1.006V} \times 100 = -0.287\% \quad (6)$$

実測した VREF 電圧を使用して、VREF 誤差を除去した TUE を求めます。式 7 は、 $VREF_{Ideal} = 2.5V$ 、 $VREF_{Measured} = 2.508V$ と仮定した場合のスケーリング値を計算します：

$$\text{Scaling Factor} = \frac{VREF_{Measured}}{VREF_{Ideal}} = \frac{2.508V}{2.5V} = 1.0032 \quad (7)$$

式 8 は、VREF 誤差を除去したときの電流測定誤差を計算します：

$$TUE_{No_VREF_Error} = \frac{(1.00632V - 1.006V)}{1.006V} \times 100 = 0.032\% \quad (8)$$

最終的に、これらの結果は、ADS125H18 EMC 試験基板が 4 ~ 20mA や $\pm 20mA$ などのプロセスレベル電流測定に適した高性能システムであることを示しています。

2 EMC 試験基板の回路と PCB レイアウトに関する考慮事項

このセクションでは、EMC に準拠したプロセスレベルの電圧および電流測定システムを実現するための回路および PCB レイアウトに関する考慮事項について説明します。

2.1 EMC 準拠の回路設計上の検討事項

このセクションでは、ADS125H18 を保護し、システムの EMC 性能を向上させ、測定精度を維持する EMC 試験基板の回路設計について説明します。図 2-1 は、ADS125H18 EMC 試験基板のブロック図を示しています：

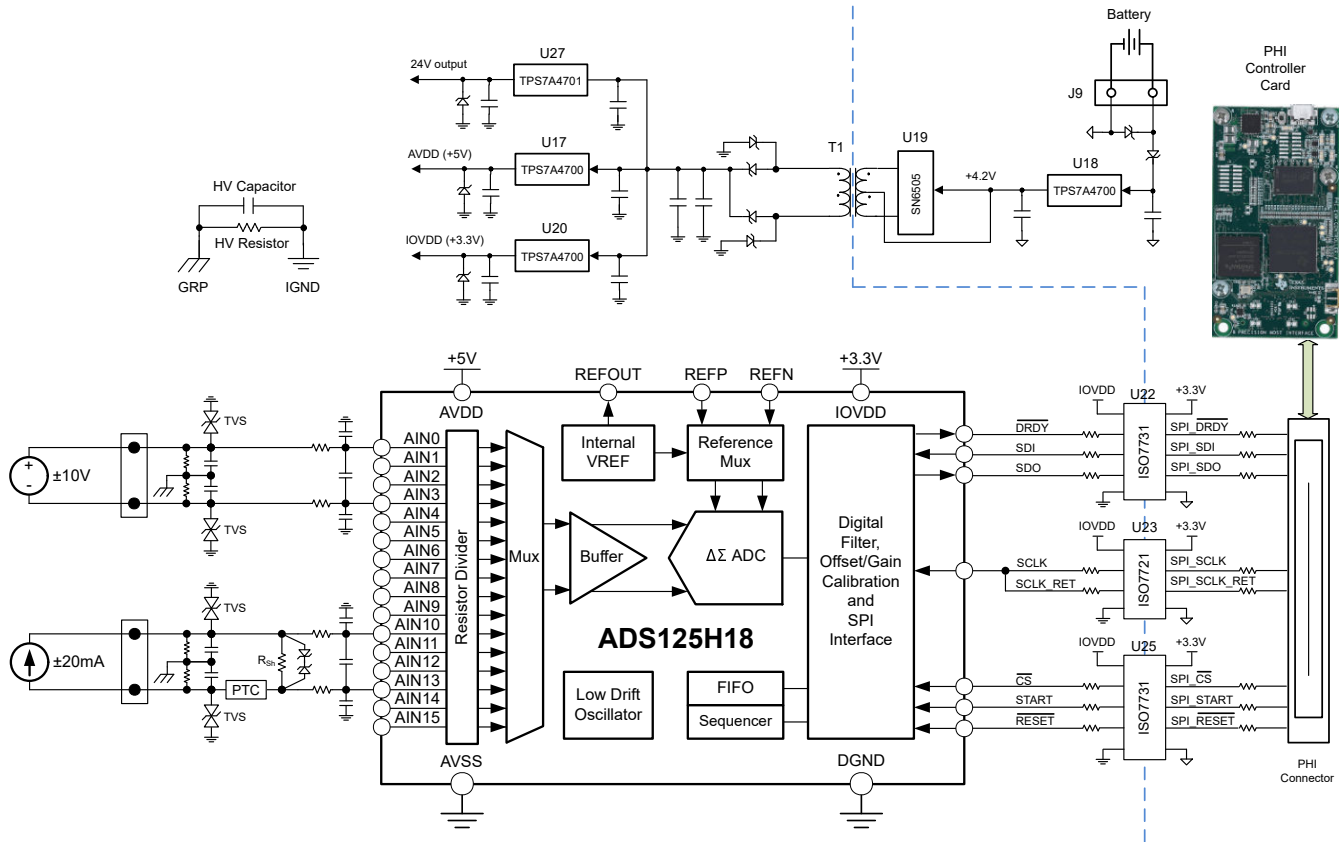


図 2-1. 10V 入力信号および PHI 接続付き ADS125H18 EMC 試験回路基板

EMC テスト基板に関する検討事項は以下のとおりです。

- 各入力コネクタピン上の高電圧コンデンサおよび抵抗
- TVS ダイオード
- 電流シャントの保護: PTC およびツェナー ダイオード
- デジタル信号の直列抵抗
- デジタル アイソレーション
- 電源および保護
- 放電パスの高電圧コンデンサおよび抵抗

2.1.1 各入力コネクタピン上の高電圧コンデンサおよび抵抗

入力コネクタで直接信号をフィルタすることで、静電気放電耐性の向上、放射エミッションの低減、および入力での結合バースト信号に対する耐性の向上に役立ちます。PCB に入力されるすべての入力信号には、セラミック コンデンサなどのフィルタ素子が必要です。コンデンサは、入力コネクタとアース グランドの間に幅広い配線で接続します。このコンデンサは、コネクタ ピンにできる限り近づけて配置してください。

図 2-2 に、EMC 試験基板の高電圧コンデンサの回路を示します。

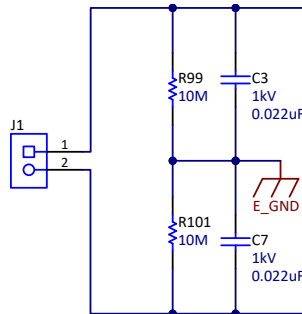


図 2-2. 入力コネクタの高電圧コンデンサ

この部品は EMC 試験中に、静電放電、電氣的ファストトランジェント、サージ信号などの高エネルギー過渡信号にさらされるため、高電圧定格のコンデンサを使用します。

入力信号の周波数を使用して、コンデンサの値を決定します。この設計では低周波の電圧および電流信号を測定するため、より大きな容量値のコンデンサを使用できます。したがって、この設計では、過渡エネルギーが最短経路でアース グランドに放電されるように、各 ADC チャンネルに 1kV 高電圧、X7R タイプ、0.022μF のセラミック コンデンサを入力端子台のできるだけ近くに配置しています。

図 2-2 は、コンデンサと並列に接続された 10MΩ 抵抗も示しています。これらの抵抗は、繰り返し発生する過渡現象中の電荷蓄積を防ぐために、コンデンサの放電を促進します。そうしないと、この電荷が蓄積し、コンデンサの有効性が低下します。これらの部品には、1 ~ 10MΩ の範囲の高電圧定格抵抗を使用します。

2.1.2 TVS ダイオード

各アナログ入力には、グランド間の双方向 TVS ダイオードが含まれています。TVS3301 フラット クラмп TVS ダイオードは、逆スタンオフ電圧が $\pm 33\text{V}$ 、標準的なブレークダウン電圧は $\pm 37.5\text{V}$ です。これらの TVS ダイオードは、温度範囲全体でリーク電流が低いため、高精度アプリケーションにも適しています。これらのダイオード特性により、信号経路から過渡エネルギーを逃がしながら、以下を実現します：

- 干渉を発生させることなく、双方向信号 ($\pm 10\text{V}$) の測定を可能にします
- 同相モード オフセットを含む最大 30V の入力電圧をサポートします
- たとえば 24V 電源が入力に短絡するような持続的な過電圧故障状態では、非アクティブのままとなります

最適な性能を得るには、同様の特性を備えた代替 TVS ダイオードを選択します。図 2-3 に、ADS125H18 EMC 試験基板の電流入力チャネルの 1 つに対して、A0 ピンと A1 ピンの両方に TVS3301 を取り付けられた状態を示します。

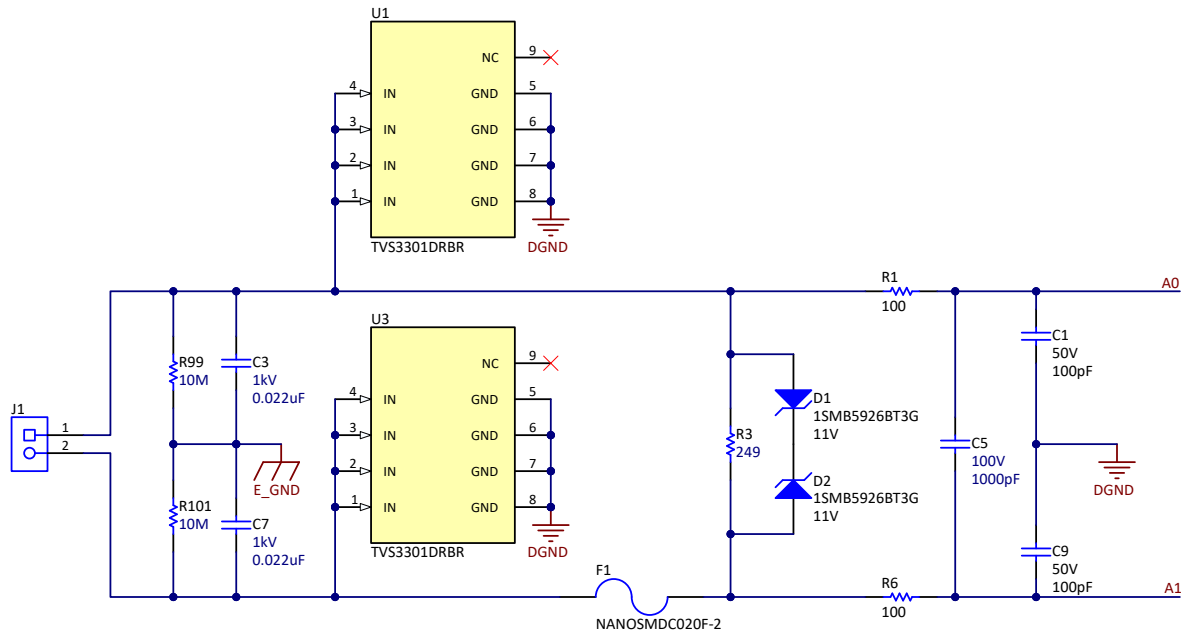


図 2-3. 各アナログ入力の双方向 TVS ダイオード

2.1.3 電流シャントの保護: PTC およびツェナー ダイオード

図 2-3 は、EMC 試験基板が特定のアナログ入力に 249Ω のシャント (R3) を備えていることを示しています。これらのシャントは、フィールドトランスミッタからの電流出力を、通常動作時に ADC が測定する電圧に変換します。しかし、故障状態によってシャントに持続的な過電圧が印加され、破壊に至る可能性があります。たとえば、最も一般的な過電圧事象は、公称 24V の電源が誤って入力に短絡した場合に発生します。式 9 と式 10 は、それぞれ 24V を印加した 249Ω シャントによって消費される電流との電力を計算します:

$$I_{\text{Shunt}} = \frac{V_{\text{Supply}}}{R_{\text{Shunt}}} = \frac{24\text{V}}{249\Omega} = 96.4\text{mA} \quad (9)$$

$$P_{\text{Shunt}} = I_{\text{Shunt}}^2 \times R_{\text{Shunt}} = 96.4\text{mA}^2 \times 249\Omega = 2.31\text{W} \quad (10)$$

式 10 は、こうした故障状態では一般的な 0.1W または 0.25W のシャントが破壊されることを示しています。したがって、ADS125H18 EMC 試験基板では、以下のように、シャントを保護するために双方向接続のツェナーダイオードと PTC ヒューズを使用しています:

- 双方向ツェナー ダイオード (図 2-3 の D1 と D2) は、正と負の両方の過電圧時に特定の電圧にクランプすることでシャントを保護します。このクランプ電圧によってシャントに流れる電流が制限され、残りの故障電流はダイオードを通して流れます
- PTC ヒューズ (図 2-3 の F1) は、温度の上昇により抵抗値が増加することでツェナー ダイオードを保護します。この温度上昇は、ダイオードに大きな故障電流が流れることによって過大な電力損失が発生するために生じます。その結果、上昇した PTC ヒューズの抵抗によって、電源から供給される総故障電流が低減され、システムが安定します

図 2-4 は、ADS125H18 EMC 試験基板上の電流入力チャンネルを示しており、双方向接続のツェナー ダイオードと PTC ヒューズが黄色で強調表示されています:

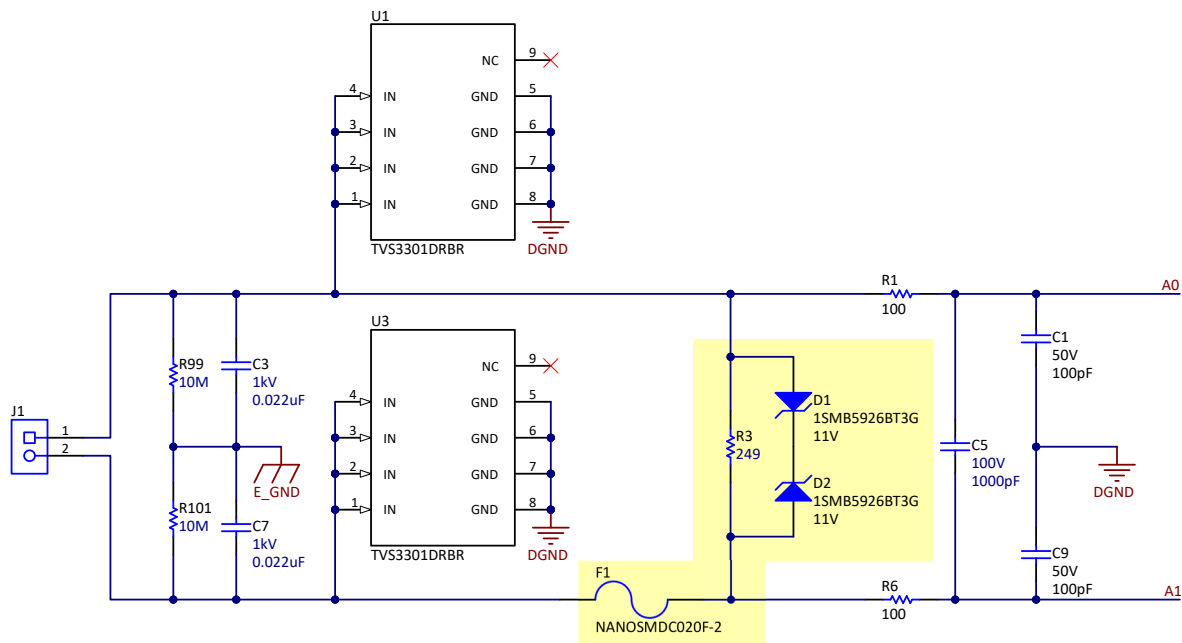


図 2-4. ADS125H18 EMC 試験基板上のシャント保護回路

表 2-1 に、ツェナー ダイオードの重要なパラメータ、その定義、値の例を示します:

表 2-1. ツェナー ダイオードの重要なパラメータ、定義、値

パラメータ	定義	値 (25°C 時)
ツェナー電圧 (V_Z)	PTC がトリップせずに流すことのできる電流量	11V
サージ電力 (P_S)	ダイオードが所定の入力電流に耐えられる時間	1.5ms の場合 90W
順方向電圧 (V_F)	順方向バイアス時のダイオード電圧降下	0.7V
リーク電流 (I_R)	オフ状態でシャント抵抗を通して流れ、測定誤差を生じさせるデバイスの残留電流	1 μ A
DC ツェナー電流 (I_Z)	ツェナー ダイオードがクランプする電流	136mA

表 2-2 に、PTC ヒューズの重要なパラメータ、その定義、および値例を示します：

表 2-2. 重要な PTC ヒューズのパラメータ、定義および値

パラメータ	定義	値 (25°C 時)
ホールド電流 (I_H)	25°C で PTC がトリップせずに流すことのできる電流量	200mA
トリップ電流 (I_T)	25°C で PTC がトリップし始める電流	600mA
最大電流 (I_{MAX})	デバイスを損傷させることなく PTC に流すことのできる最大電流	30A
消費電力 (P_D)	トリップ状態で PTC によって消費される電力	0.9W
トリップまでの時間 (t_{Trip})	所定の入力電流に対して PTC がトリップするまでの時間	8A で 1.5ms

これらの部品がどのようにシャントを保護するかを理解するには、例を追って確認すると分かりやすくなります。8A の電流制限を備えた 24V 電源が、誤ってシャントの両端に短絡したと仮定します。ツェナー ダイオードはシャントの両端電圧を瞬時にクランプし、故障電流はシャントではなくツェナー ダイオードを通して流れます。式 11 は、の値を使用して、シャント両端のクランプ電圧の合計を計算します：

$$V_{Clamp} = V_Z + V_F = 11V + 0.7V = 11.7V \quad (11)$$

ツェナー ダイオードは、シャントの両端電圧を 11.7V にクランプします。式 12 と式 13 において、シャントを流れる電流とシャントによって消費される電力をそれぞれ計算します：

$$I_{Shunt} = \frac{V_{Clamp}}{R_{Shunt}} = \frac{11.7V}{249\Omega} = 47mA \quad (12)$$

$$P_{Shunt} = \frac{V_{Clamp}^2}{R_{Shunt}} = \frac{11.7V^2}{249\Omega} = 0.55W \quad (13)$$

残りの電源電流はツェナー ダイオードを流れます。式 14 と式 15 において、ダイオードを流れる電流とこれらの条件においてダイオードによって消費される電力をそれぞれ計算します：

$$I_{Zener} = I_{Supply} - I_{Shunt} = 8A - 47mA = 7.953A \quad (14)$$

$$P_{Zener} = V_{Zener} \times I_{Zener} = 11V \times 7.953A = 87.48W \quad (15)$$

ダイオードのサージ電力 (P_S) 仕様は、過電流事象中にダイオードが耐えられる時間の長さを示しています。ダイオードのデータシートには、パルス幅が短くなるほどダイオードがより大きな電流に耐えられるため、x 軸にパルス幅、y 軸にピーク電力を示したグラフが掲載されていることがよくあります。この例では、ツェナー ダイオードは 1.5ms にわたって $P_S = 90W$ をサポートしています。したがって、式 15 の結果として、ダイオードは約 1.5ms の過電流条件に対応できます。図 2-5 は、電源が入力に短絡した瞬間の回路動作を示しています。なお、簡略化のため一部の部品は省略されています。

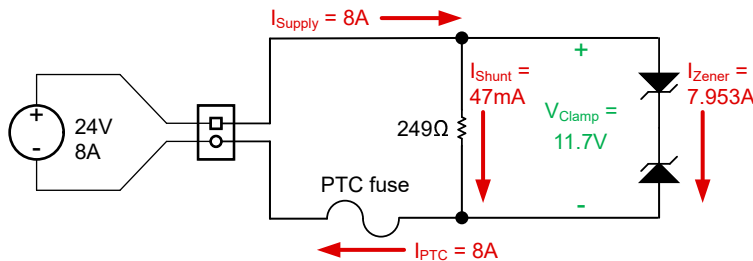


図 2-5. 電源短絡直後のシャント保護回路

ダイオードが損傷しないように、部品のトリップ時間と電流の関係が P_S よりも小さくなるように、PTC ヒューズを選択します。表 2-2 に示す仕様に応じて $t_{Trip} = 1.5ms$ (8A 時) であるため、この例では PTC ヒューズがダイオードを保護します。トリップ状態では、PTC ヒューズの抵抗が大幅に増加し、電源から供給される電流が減少し、ヒューズの両端の残りの電源電圧が低下します (式 16 を参照)：

$$V_{PTC} = V_{Supply} - V_{Shunt} = 24V - 11.7V = 12.3V \quad (16)$$

PTC ヒューズは、消費電力仕様 (P_D) もトリップ状態に維持します。式 17 は、 P_D 仕様を指定した PTC ヒューズ電流を表 2-2 から計算します：

$$I_{PTC} = \frac{P_D}{V_{PTC}} = \frac{0.9W}{12.3V} = 73mA \quad (17)$$

残りの電流は、式 18 に示すようにツェナー ダイオードを通過します：

$$I_{Zener} = I_{PTC} - I_{Shunt} = 73mA - 47mA = 26mA \quad (18)$$

PTC ヒューズがトリップしたとき、 I_{Zener} がツェナーの最大 DC 電流仕様 (I_Z) を下回っていることを確認してください。式 18 は、 $I_{Zener} = 26mA$ であることを示しています。これは、表 2-1 で規定された $I_Z = 136mA$ の制限内に十分収まっています。図 2-6 に、PTC ヒューズが 1.5ms 後にトリップしたときの回路動作を示します。

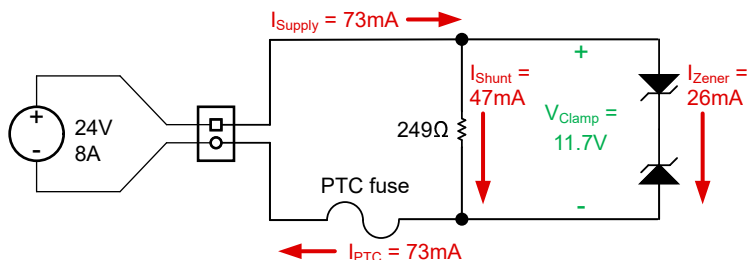


図 2-6. 電源短絡から 1.5ms 後のシャント保護回路

故障状態が解消されるまで、回路は図 2-6 に示す状態を維持します。したがって、すべての部品に必要な電圧および電流に無期限に耐えられるようにシステムを設計します。また、産業用途でシャント保護部品を選定する際は、以下の要素も考慮します：

- PTC ヒューズの動作は温度に応じて変化します。低温時には、トリップ電流と消費電力が大幅に高くなるため注意してください。この動作により、PTC ヒューズがトリップした後、ツェナー ダイオードはより大きな DC 電流に耐える必要があります。一方、高温時には、PTC ヒューズははるかに低い電流でトリップします。この動作により、システムが有効な電流を測定している間に PTC ヒューズがトリップする可能性があります
- 二つのシャントを並列に接続することで、各デバイスでの消費電力を低減できます。これは、各デバイスに流れる電流が二分之一になる一方で、抵抗値を二倍にできるためです。ただし、電力の式では電流が二乗されるため ($P = I^2R$)、各シャントで消費される電力は、単一のシャントを使用する場合と比べて半分になります。
- ツェナー ダイオードのリーク電流が測定入力電流に加算され、誤差が生じます。高精度システムを維持するため、リーク電流の小さい部品を選択します

2.1.4 デジタル信号の直列抵抗

高速デジタル信号の高速な遷移は、伝送ラインが長い場合、放射エミッションや反射につながる可能性があります。直列抵抗を追加すると、あらゆるデジタル信号、特に高速クロック信号の立ち上がり時間および立ち下がり時間を長くし、以下によって EMC 性能を向上させることができます：

- 遷移エッジの低速化：直列終端抵抗は、配線容量およびインダクタンスと直列に抵抗を追加することで、デジタル ラインの時定数を実質的に大きくします。
- 反射とエミッションの低減：直列終端抵抗を使用すると、ソース インピーダンスを伝送ラインの特性インピーダンスにマッチングすることで、リングング、オーバーシュート、アンダーシュートを引き起こす可能性のある反射を最小限に抑えることができます。
- 高周波高調波の低減：遷移時間を長くすることで、帯域幅と高周波高調波を低減できます。これらは放射エミッションの原因となることがよくあります。
- シグナル インテグリティの改善：直列終端抵抗を使用すると、デジタル信号の整合性を向上させ、データ転送の信頼性を向上させることができます。

最適なインピーダンス整合と最小限の反射を実現するために、伝送ラインの特性インピーダンスに一致するように直列抵抗の値を選択します。図 2-7 は、ADS125H18、デジタル アイソレータ、および PHI コントローラ ボード間のデジタルライン上にある 49.9Ω の抵抗を示しています。効果的な直列終端を実現するため、直列抵抗はドライバーのできるだけ近くに配置します。

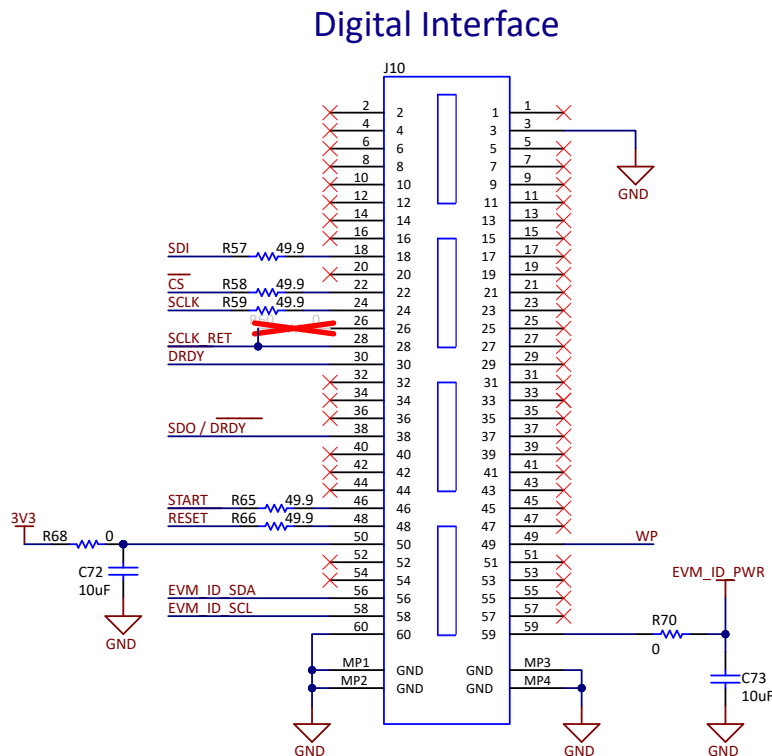


図 2-7. デジタル信号への直列抵抗の挿入

2.1.5 デジタル アイソレーション

この EMC 試験基板は、ISO7721、ISO7730、および ISO7731 デジタル アイソレータを使用して、データ通信を絶縁します。これらの強化絶縁アイソレータは、高いイミュニティ、5kVrms (DW パッケージ) の絶縁定格、8kVpk の最大過渡絶縁電圧、および 12.8kVpk の最大サージ絶縁電圧を備えています。これらのアイソレータは、低い伝搬遅延 (11ns) と広い電源範囲 (2.25V ~ 5.5V) により、最大 100Mbps の信号レートをサポートします。

各デジタルアイソレータには、電源ピンに 0Ω 抵抗も含まれており、高周波ノイズのフィルタリングに使用できます。特定の周波数を除去するには、これらの抵抗を $1 \sim 3\Omega$ の部品に交換するか、フェライトビーズを取り付けます。

図 2-8 に、EMC 試験基板のデジタル絶縁回路を示します：



2.1.6 電源および保護

EMC テスト基板の電源回路は、標準的な産業用システムを模倣するように意図的に設計されています。デフォルトでは、基板全体に電力を供給するのに必要なのは、J9 の +6V ~ +12V の間の電源 1 つのみです。

非絶縁側

TPS7A4700 (U18) 低ドロップアウトレギュレータ (LDO) は、外部から供給される電源 (6V ~ 12V) を安定した 4.2V に変換します。この 4.2V 出力は、低ノイズ、低 EMI のプッシュプルトランスドライバ SN6505 (U19) に電力を供給します。PHI コントローラ カードは試験基板の非絶縁側にある ISO7721、ISO7730、および ISO7731 デジタル アイソレータに 3.3V 電源を直接供給します。

ADS125H18 EMC 試験基板は、コネクタ J14 を使用して、外部 USB-C 電源から給電することもできます。この接続は、EMC 試験以外の試験時にボードへ電源を供給することを目的としています。入力 LDO (U18) は、USB 電圧で発生し得る損失を考慮して、意図的に 4.2V を出力します。

絶縁側

トランス T1 の巻数比は 1:3.45 で、バイポーラ構成を使用することにより、ボードの非絶縁側から絶縁側へ約 6.9 倍の電圧ゲインを生成します。したがって、4.2V の入力電圧は、トランス出力で約 29V になります。この電圧は、アナログ入力モジュール システムで標準的に使用される 24V の絶縁電源電圧を模擬しています。

TPS7A4701 (U27) は、トランスの出力をレギュレートして、コネクタ J13 に 24V の出力信号を生成します。レギュレートされていないトランス出力電圧は、二つの TPS7A4700 (U17 および U20) LDO にも供給され、それぞれ ADS125H18 の AVDD (5V) 電源および DVDD (3.3V) 電源を生成します。TVS ダイオードは、各レギュレート電源の出力を保護します

図 2-9 に、電源回路図を示します。

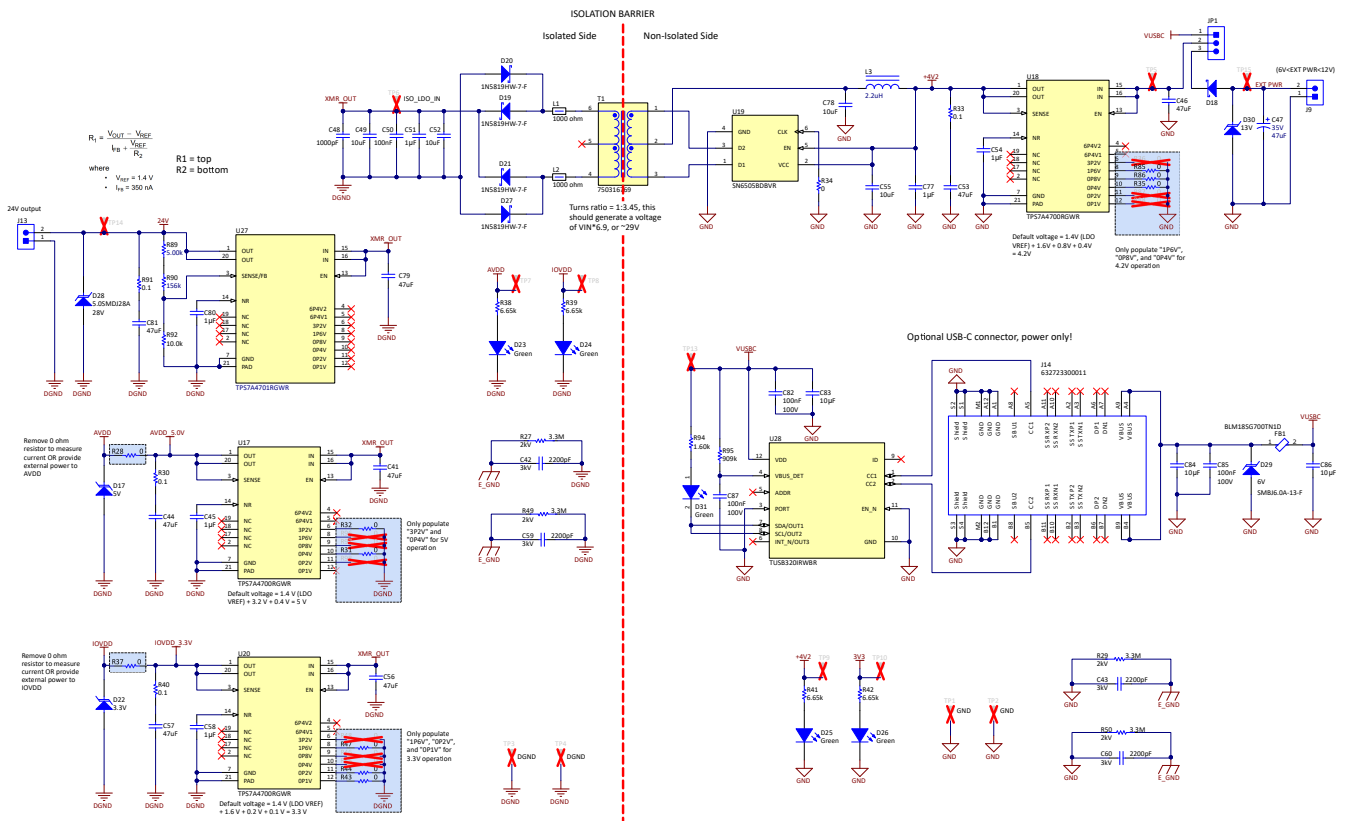


図 2-9. ADS125H18 EMC 試験基板の電源回路図

2.1.7 放電パスの高電圧コンデンサおよび抵抗

3kV、2.2nF の高電圧コンデンサと 2.2kV、3.3MΩ 抵抗は、ローカル グランドとアース グランドの間に並列に配置されています。これらの部品は、過渡エネルギーをアース グランドへ放電する経路を提供し、回路基板上の部品を保護します。R27 || C42 および R49 || C59 などの 2 つの放電パスは、基板の絶縁側に設計されています。同じ部品が並列に接続され、EMC 試験基板の非絶縁側にも実装されています: R29 || C43 および R50 || C60。

図 2-10 に、EMC テスト基板の高電圧コンデンサと抵抗の回路図、PCB レイアウトの例を示します。

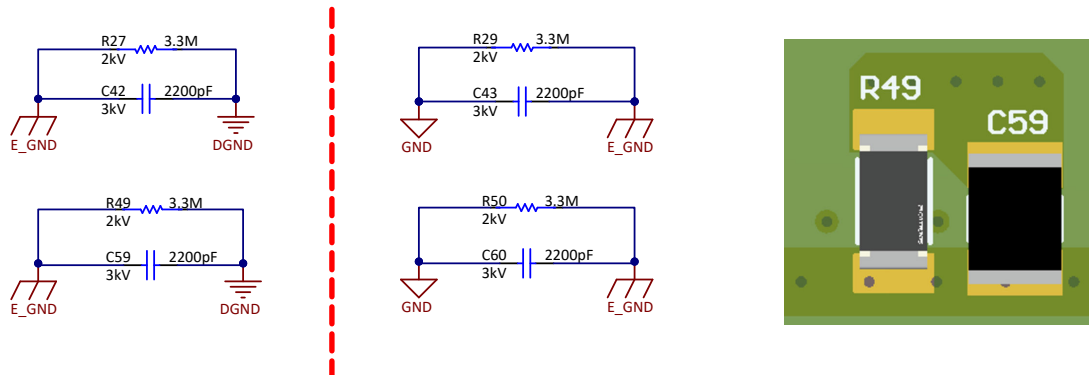


図 2-10. 高電圧コンデンサと抵抗の追加

2.2 EMC 準拠のための PCB レイアウトに関する考慮事項

電圧および電流のプロセス信号を測定する PCB 基板を設計するには、EMC 試験に合格するための特別な配慮が必要です。これらの信号は、放射干渉と伝導干渉の両方の影響を非常に受けやすいためです。以下のレイアウト手法は、シグナル インテグリティと測定精度を維持しながら、PCB 設計が EMC 現象に対して堅牢であることを確認するのに役立ちます:

- PCB 層の積層とグラウンド プレーン
- 長い帰路の回避
- PCB パターンの 90 度の屈曲を回避する
- ガードリングを使用して干渉信号を絶縁する
- デカップリング コンデンサ
- 差動配線
- スティッチング ビア
- 絶縁バリアのレイアウト
- 部品の配置

2.2.1 PCB 層の積層とグラウンド プレーン

EMC 準拠を実現するには、連続的かつ中断のないグラウンド プレーンが必須です。中断のないグラウンド プレーンは、信号電流の低インピーダンスの帰路を実現し、外部干渉からのシールドとして機能します。

さらに、EMC 性能とシグナル インテグリティを実現するには、PCB 層の適切な積層が非常に重要です。SPI SCLK 信号などの高速信号および重要信号は、グラウンド プレーンに隣接する層に配置し、重要度の低い信号は、該当する場合、電源プレーンの近くに配置できます。図 2-11 に、一般的な多層基板の積層を示します。電源プレーンとグラウンド プレーンは、追加のプレーン間容量を提供するため互いに隣接しており、電源の高周波デカップリングに役立ちます。

適切な構成は次のとおりです。

- 最上層: アナログ / デジタル ミックスド シグナル 配線
- 第 2 層 (内層): ソリッド グラウンド プレーン
- 第 3 層 (内層):
 - 絶縁されたアナログ部とデジタル部を持つ電源プレーン (必要な場合)
 - ソリッドなグラウンド プレーン (電源プレーンが不要な場合)

- 最下層: 必要に応じて追加の信号配線またはシールド。

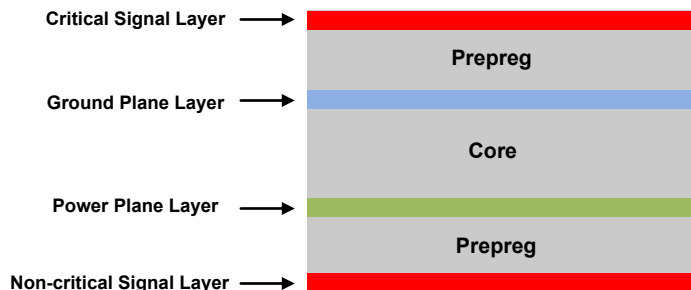


図 2-11. 4 層 PCB スタックアップの例

一般的な 4 層 PCB には、復帰信号の低インピーダンスパスを確保するために、少なくとも 1 つの専用層をグラウンドプレーンとして使用する必要があります。積層設計により、信号層に直接隣接するソリッドグラウンド層を配置し、一貫した帰路を実現して、ループ面積と電磁放射を最小化します。ADS125H18 EMC 試験基板は、図 4-6 と図 4-7 に示すように二つのソリッドグラウンドプレーンを使用します。

2.2.2 長い帰路の回避

長い、または中断された電流帰路は、放射アンテナとして機能する可能性があり、EMI の影響を受けやすく、EMC 要件に違反します。すべての信号パターンは、そのリターン電流がグラウンドプレーンを経由して直接流れるように配線する必要があります。この手法は、 $\pm 10V$ や 4-20mA などの高精度プロセス信号測定にとって重要です。

2.2.3 PCB パターンの 90 度の屈曲を回避する

パターンの形状は、シグナルインテグリティと放射に大きな影響を及ぼす可能性があります。PCB パターンの 90 度の鋭い屈曲は、インピーダンスに不連続性が生じ、信号反射を引き起こして高周波放射を増加させる可能性があるため、避ける必要があります。代わりに、曲げるときに 2 つの 45 度の曲げまたは滑らかな円弧を使用してパターンを配線して、制御されたインピーダンスを維持し、放射を最小限に抑えます。このようなガイダンスに従うことで、アナログ信号配線におけるシグナルインテグリティを維持できますが、高速デジタル回路ではより重要です。

図 2-12 に、EMC 試験基板で 90 度の屈曲を回避する例を示します。

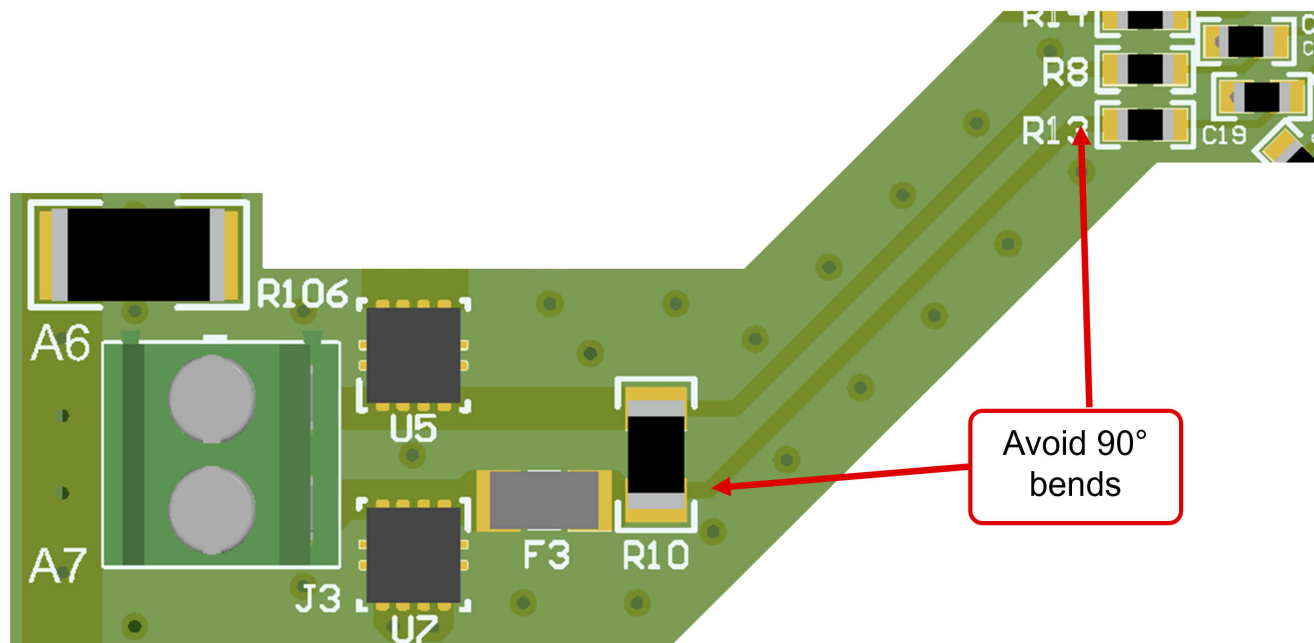


図 2-12. PCB パターンの 90 度の屈曲を回避する

2.2.4 ガードリングを使用して干渉信号を絶縁する

ガードリングは、PCB または特定の回路ゾーンの周囲を囲む連続導電性パターンです。ガードリングをシステム シャーシのアースまたはアース グランドに接続すると、PCB レベルでファラデー ケージとして機能し、基板から発せられる電磁干渉信号と基板によって受信される電磁干渉信号の両方を低減できます。ガードリングを追加することは、高感度のアナログ信号または ADC を、近くのノイズ源や干渉信号からシールドするための効果的な手法です。図 2-13 は、等間隔に配置されたビアで相互接続された、一般的な 4 層回路基板上のガードリングの側面図を示しています。

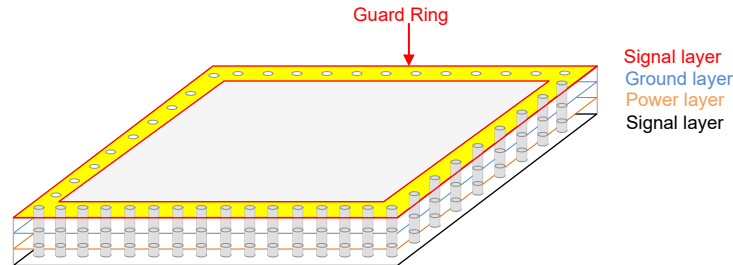


図 2-13. 4 層基板のガードリングの側面図

ガードリングを使用する目的と利点は次のとおりです。

- 放射エミッションの低減: ガードリングによって電流の帰路が形成され、高周波信号電流が制限され、基板の端からの意図しない放射が低減されます。
- 静電気放電、高速過渡、サージに対する耐性の向上: 過渡信号は、空気と結合 (直接接触、導通、電磁界) の両方を經由して回路に入り込む可能性があり、回路の機能に影響を及ぼします。ガードリングに接地をすることで、敏感な回路からエネルギーを分散させることができます。
- グランドリファレンス シールドとして機能: 多層基板の外層にあるガードリングは、シグナル インテグリティを維持し、高速セクションとアナログ セクションの間の結合を低減するのに役立ちます。

ガードリングを実装するためのガイドラインは次のとおりです。

- 層の配置: ガードリングを 2 層基板の上層と下層、または 4 層基板の外側の層に配置します。最大の効果を得るために、リングが閉ループを形成していることを確認します。すべてのガードリングをビアで一緒に接続します。
- ビア間のホールの間隔: ビアを使って上層と下層のガードリングを互いに接続します。効果的なガードリングを確保するため、式 19 に示す波長制限に概ね従って、ビア間の適切な穴間隔を決定します。ここで、 S はガードリング配線上のビア間隔です。この制限より長いすべての信号波長は、効果的にシールドできます。

$$\text{Wavelength } (L) > \left(\frac{S}{4}\right) \quad (19)$$

- ガードリング パターン幅: ガードリングの適切なパターン幅を決定します。パターンが広いほどガード効果は向上しますが、消費スペースが大きくなります。一般的な目安として、ガードリングのパターン幅は、保護される信号パターンの幅の 2 ~ 3 倍にする必要があります。低インピーダンスガードを実現するために、ガードリングのパターン幅を、保護された信号パターンの幅の約 5 倍に設定します。このガイダンスにより、重要な高速配線または RF 配線に対して堅牢なシールドが実現します。
- ガードリングのクリアランス: 3W ルールは、信号ライン、ガードパターン、ソリッド グランド プレーンとの間の空間距離を規定します。クロストークと結合を低減するために、単一の信号パターンの幅の 3 倍に等しい距離の空間距離を維持します。
- シャーシ グランドの接続: 保護機能を強化するには、ガードリングをシャーシ グランド、保護アース、またはシールド グランドに接続して DC グランドを絶縁しながらも高周波放電を許可します。このガイダンスは、EMC 試験基板上の高電圧抵抗とコンデンサを使用して実施しています。

ADS125H18 EMC 試験基板の両方の内層は、良好なデカップリングとグランド電流の帰路を確保するため、グランド層 (GND および DGND) として指定されています。ADS125H18 EMC 試験基板のガードリングはすべての層に含まれており、これらの層のエッジ ガードは 100mil ごとにビアで互いに接続されており、最大 472GHz の高周波信号の放射を減衰します。図 2-14 に、EMC 試験基板のガードリングの一部を示します:

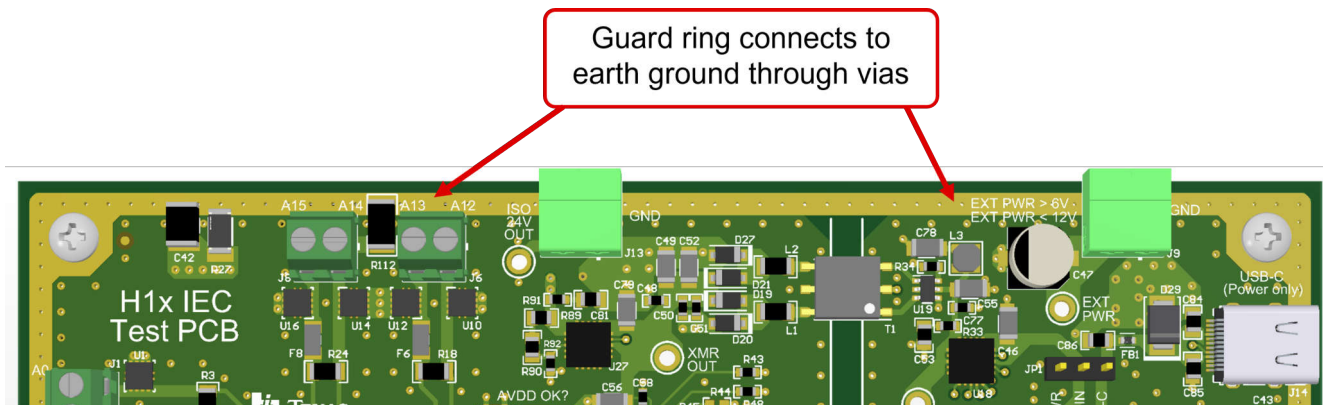


図 2-14. EMC 試験基板のガードリング

2.2.5 デカップリングコンデンサ

デカップリングコンデンサは、電源を安定させ、高周波ノイズを低減するために不可欠です。ローカル通常 $0.1\mu\text{F}$ のデカップリングコンデンサを、グランドプレーンへの短い直接的な帰路を持つ各電源ピンにできるだけ近くに配置します。低周波電源変動を低減するために、 $1\mu\text{F}$ や $10\mu\text{F}$ などの大きなバルクキャパシタを並列に配置することもできます。最適なデカップリング効果を実現するため、電源とデバイスの電源ピンの上にデカップリングコンデンサを配置します。プロセスレベルの電圧および電流信号では、クリーンで局所的にレギュレートされたアナログ電源と慎重なデカップリングが非常に有効です。図 2-15 の左側の回路は、AVDD のデカップリングコンデンサ向けに EMC テスト基板上に実装された適切な PCB レイアウト例であり、右側の回路は EMC テスト基板上で設計されていない不適切な PCB レイアウト例です。

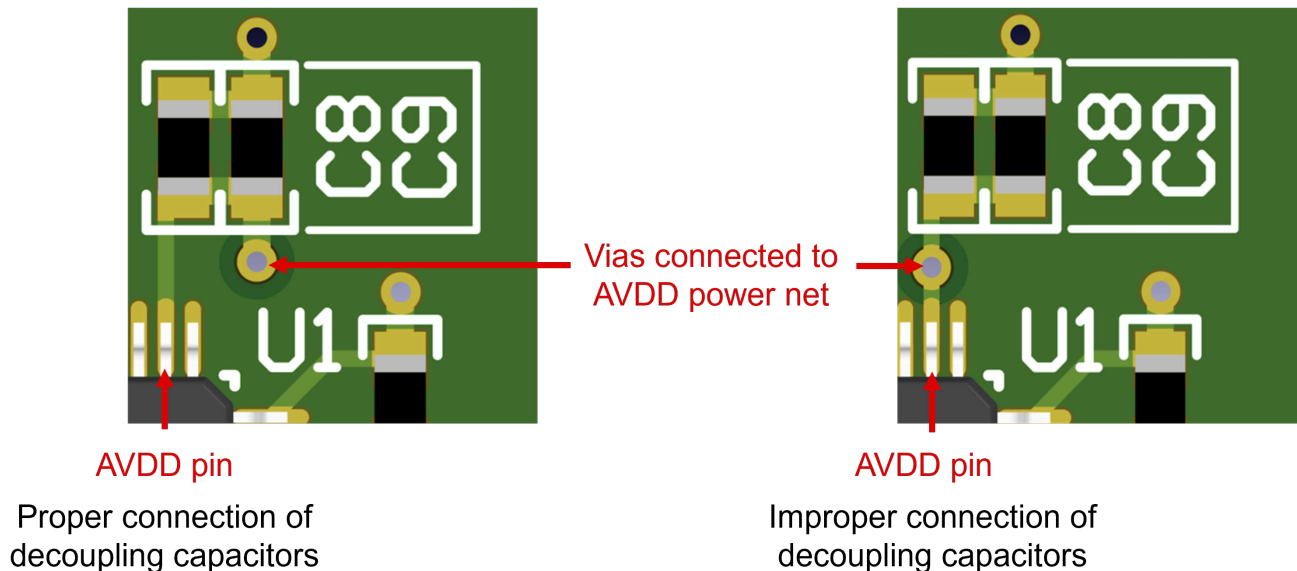


図 2-15. 適切な (左) および不適切な (右) デカップリングコンデンサ

2.2.6 差動信号の配線

電圧および電流のプロセス信号は、差動またはシングルエンドにできます。EMC 試験基板では、差動信号の配線を近接かつ対称に配線することで、外部干渉やノイズが両方の配線に均等に結合するようにしています。したがって、誘導されるノイズ信号は、ADC が同相信号除去比 (CMRR) の仕様制限内で除去する同相モード信号です。差動パターンの中に部品とビアを配置することは避けてください。差動ペアの間に部品またはビアを配置すると、EMC の問題やインピーダンスの不連続性が発生する可能性があります。

図 2-16 に、EMC テスト基板の差動配線例を示します。

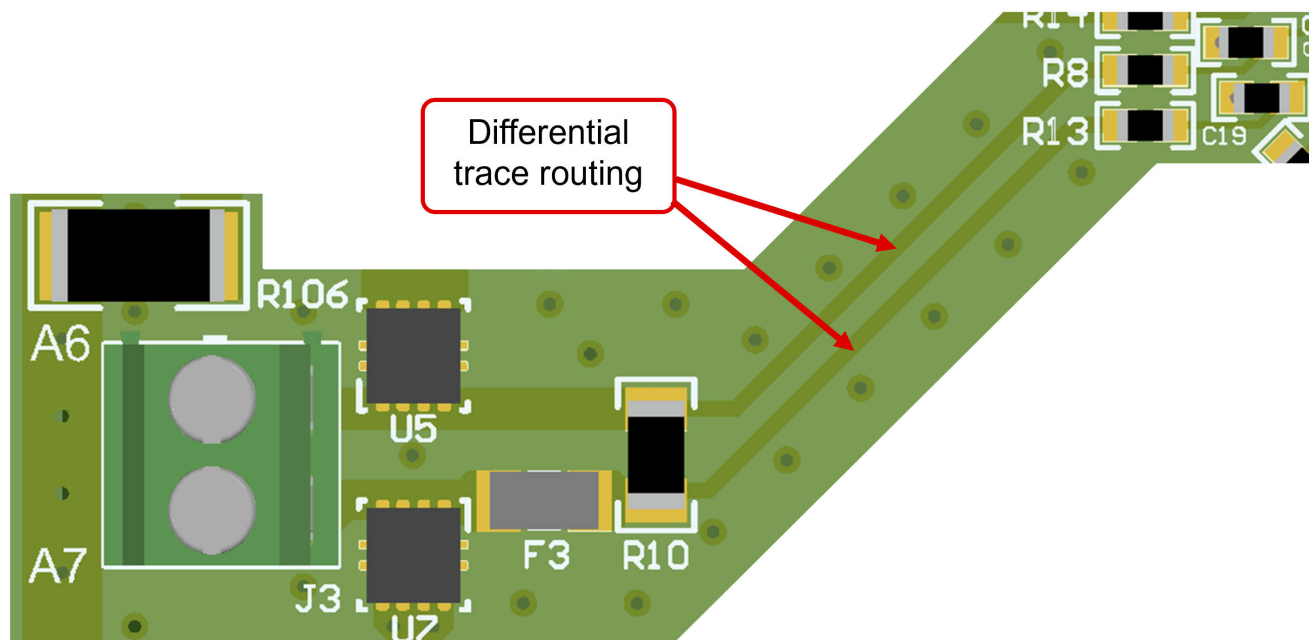


図 2-16. 差動信号の配線

2.2.7 スティッチング ビア

スティッチング ビアを使用すると、シグナル インテグリティの向上、インピーダンスとインダクタンスの低減、ノイズとクロストークの最小化、EMI シールドの強化を実現できます。ADS125H18 EMC 試験基板は、高速信号のインテグリティと信頼性を高めるために、スティッチング ビアを採用しています。多くの ADC が必要とするシリアル クロック信号は、最大 50MHz になることがあります。スティッチング ビアを使用すると、低インピーダンスのグランドリターン パスを提供し、グランド リンギングとクロストークを低減することで、高速信号のシグナル インテグリティと信頼性を大幅に向上させることができます。高速信号は、可能であれば ADC と同じ層に配置します。異なる層の間に高速信号を配線する必要がある場合は、スティッチング ビアまたはスティッチング ビア アレイを 1 つ使用します。図 2-17 に、4 層基板上的スティッチング ビアの側面図を示します。

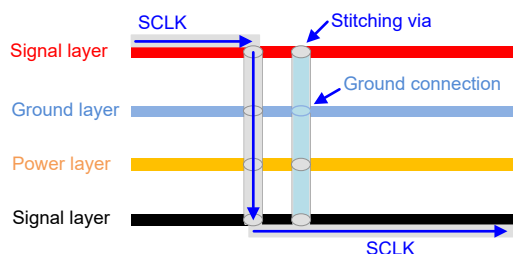


図 2-17. 高速信号のスティッチング ビアの側面図

2.2.8 絶縁バリアのレイアウト

高電圧 PCB 設計における絶縁バリアに関する 2 つの重要な検討事項は、空間距離と沿面距離です。最短の空間距離および沿面距離要件を満たし、電氣的故障を防ぐために、絶縁バリアをまたぐ空間距離をできるだけ広くします。注入間の容量結合と電荷の蓄積を回避するために、PCB 基板の端の角を丸くしたり滑らかにしたりします。このガイドラインは、電氣的高速過渡現象や放射耐性テストなど、高電圧および高周波信号テストに合格するために重要です。図 2-18 は、

ADS125H18 と PHI コントローラ カード間の絶縁バリア設計、および EMC 試験基板上の PCB コーナー設計を示しています。

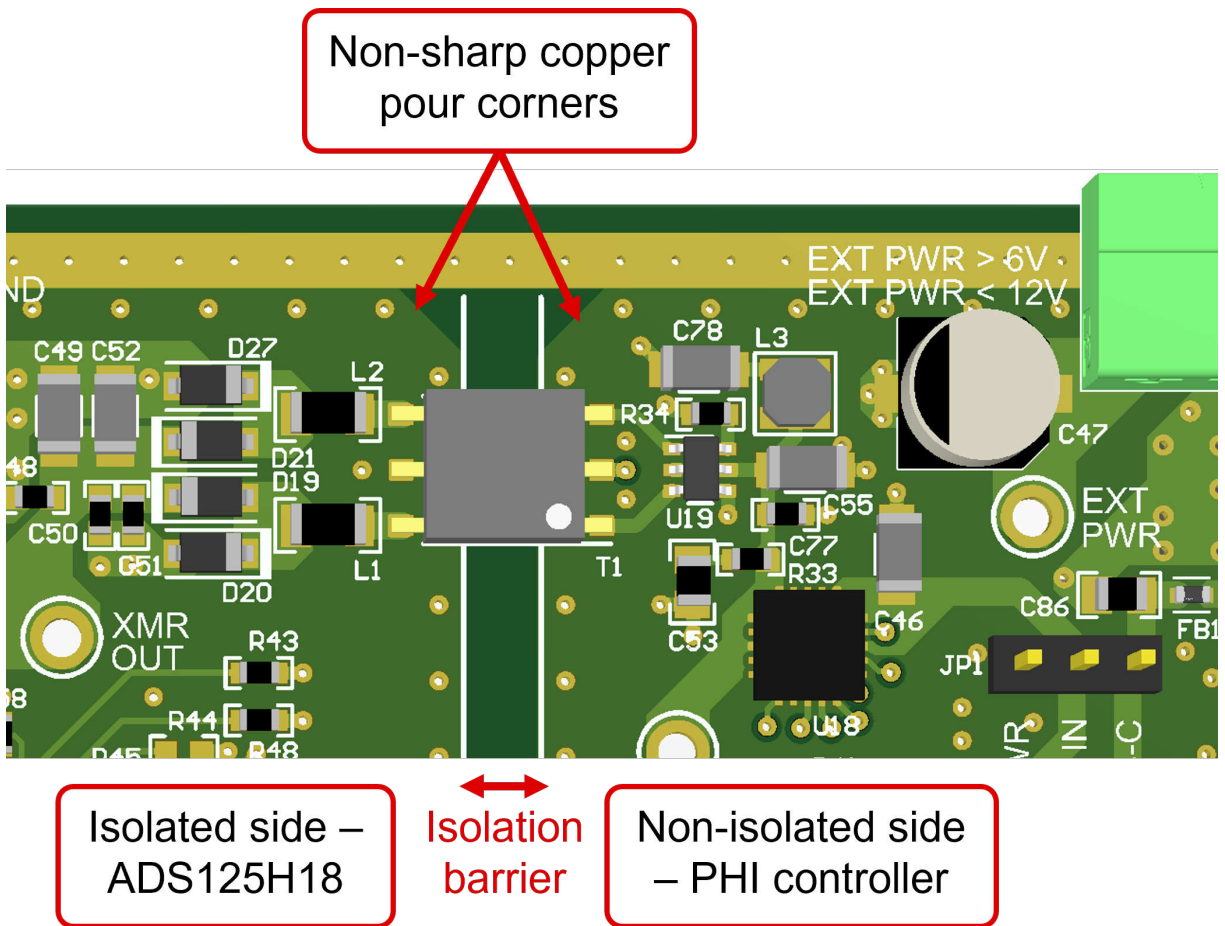


図 2-18. 絶縁バリアのレイアウト

2.2.9 部品の配置

ミックスドシグナル回路での高精度信号測定と電磁両立性設計を実現するには、部品を適切に配置することが重要です。設計者は、各部品の位置を最適化するために、ファンクションブロック、信号路、および接続を分析する必要があります。たとえば、PCB のエッジにコネクタを配置し、ADC の電源およびリファレンスピンの近くにデカップリングコンデンサを配置し、入力差動コンデンサを ADC にできるだけ近づけて配置します。アナログ部品とデジタル部品を分離すると、共有の帰路からの干渉やノイズを最小限に抑え、シグナルインテグリティを確保するのに役立ちます。

3 EMC 試験システム、規格、および結果

このセクションでは、各テストの規格と基準、テスト設定、結果について説明します。

3.1 EMC 試験システム

図 3-1 は、ADS125H18 EMC 試験基板の一般的なセットアップを示しています。ソフトウェア スクリプトにより、SPI インターフェイス、クロック周波数構成、ADC モードの選択、データ キャプチャと解析、データ監視、エクスポートなどのシステムパラメータが構成され、後処理が可能です。ソフトウェアと PHI コントローラは、EMC テストの前に、テスト システムと被試験機器 (EUT) の動作を検証します。システムは、EMC イベント中はデータを継続的にキャプチャおよび監視し、EMC テスト後も EUT の機能をチェックします。

PHI コントローラ カードは、デジタル入出力用の **USB 2.0** (またはそれ以上) インターフェイスを介して、**ADS125H18** **EMC** テスト基板とノート PC との間の通信インターフェイスを提供します。テスト システムでは、ノート PC と PHI コントローラ カードの間にバッテリー駆動の光トランシーバ ペアを使用します。光学トランシーバ ペアは、過酷な過渡信号をテスト環境から絶縁し、ユーザーの機器に追加の保護層を提供します。

テスト ハードウェア

- ADS125H18 EMC 試験基板
- テキサス インスツルメンツの PHI コントローラ カード
- 光ファイバ ケーブルと光トランシーバ
- 電圧測定用の 9V バッテリ、または電流測定用の高精度信号を接続したツイストペア線
- 個別の EMC テストに用いる特定の機器
- Windows® 10 または 11、64 ビット版を実行しているノート PC
- フローティング システム電源用のラボ電源または 9V 鉛蓄電池

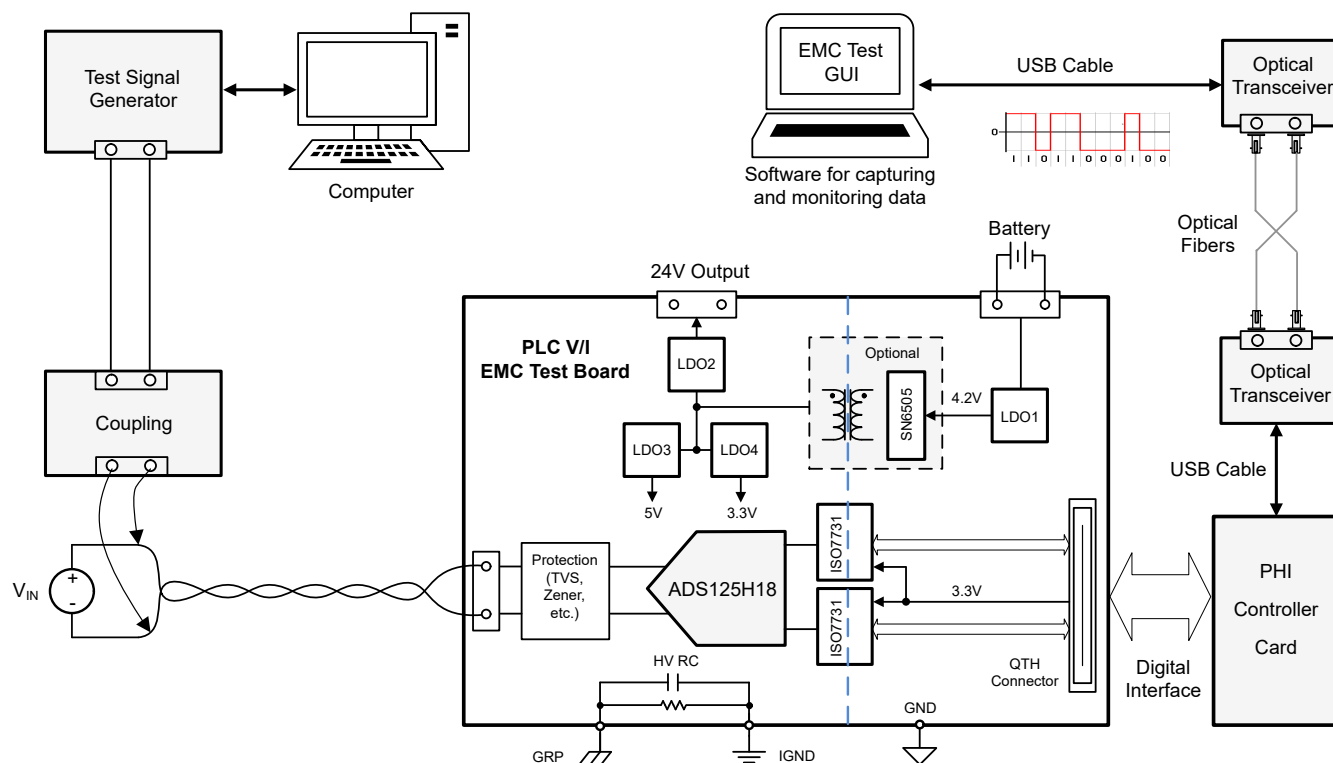


図 3-1. 一般的な EMC テスト設定

3.2 EMC 試験規格

ADS125H18 EMC テスト基板は、EMC および EMI のテスト規格と、産業用アプリケーションの基準を満たすように設計されています。EMC 試験基準は、電子デバイスが干渉を発生させたり干渉の影響を受けたりすることなく、意図された環境で適切に機能することを検証するために試験される限界値および条件を定義します。表 3-1 は、製品の信頼性および規制規格への適合に不可欠な試験基準を示しています。EMC テスト基準を定義するには、テストの種類 (放射と耐性)、テスト方法 (放射型と伝導型)、周波数範囲、許容可能な性能レベルを指定する必要があります。

表 3-1. IEC 61000-4-x 試験基準

基準	説明
A	規定の制限内での通常動作
B	障害の終了後に回復できる一時的な性能低下
C	ユーザーの介入によって回復する可能性がある一時的な機能または性能の低下
D	データの損傷または損失による永続的な機能または性能の低下

3.3 EMC テスト結果

本書では、五つの IEC 61000-4-x 試験について説明します。以下のリスト内のリンクをクリックして、ADS125H18 EMC 試験基板の性能に関する詳細情報を確認してください:

- [IEC 61000-4-2: 静電気放電 \(ESD\)](#)
- [IEC 61000-4-3: 放射耐性 \(RI\)](#)
- [IEC 61000-4-4: 電気的高速過渡現象 \(EFT\)](#)
- [IEC 61000-4-5: サージ耐性 \(SI\)](#)
- [IEC 61000-4-6: 伝導耐性 \(CI\)](#)

表 3-2 に、クイックリファレンス用にすべてのテストの結果をまとめます:

表 3-2. ADS125H18 EMC 試験基板の結果の概要

テスト	IEC 規格	説明	テスト条件	条件	テスト結果
ESD	IEC 61000-4-2	接触放電 (HCP/VCP)	±8kV	A	合格
			±15kV	A	合格
		接触放電 (シールド ガードねじ)	±4kV	A	合格
			±6kV	C	USB 通信に失敗しました
RI	IEC 61000-4-3	20V/m	80MHz - 1GHz (水平および垂直)	A	合格
				A	合格
			1GHz - 2.7GHz (水平および垂直)	A	合格
				A	合格
EFT	IEC 61000-4-4	電圧入力	±4kV 5kHz	A	合格
			±4kV 100kHz	A	合格
		電流入力	±4kV 5kHz	A	合格
			±4kV 100kHz	A	合格
		DC ポート	±4kV 5kHz	C	USB 通信に失敗しました
			±4kV 100kHz	C	USB 通信に失敗しました
		DC ポート	±3kV 5kHz	A	合格
			±3kV 100kHz	A	合格
SI ⁽¹⁾	IEC 61000-4-5	電圧入力	500V	B	合格
			1000V	B	合格
		電流入力	500V	B	合格
			1000V	B	合格
		DC 入力	500V	B	合格
			1000V	B	合格

表 3-2. ADS125H18 EMC 試験基板の結果の概要 (続き)

テスト	IEC 規格	説明	テスト条件	条件	テスト結果
CI	IEC 61000-4-6	電圧入力	150kHz ~ 80MHz で 20V/m (レベル > 3)	A	合格
		電流入力		A	合格
		DC ポート		A	合格
		アース線		A	合格

(1) ライン対グラウンド (2Ω のソース インピーダンス + 結合回路網からの 40Ω) およびライン対ライン (DC 入力で 2Ω のソース インピーダンス)

3.3.1 静電気放電 (ESD)

IEC 61000-4-2 規格では、テスト基準と設定要件を含め、ESD テストの詳細が規定されています。IEC 61000-4-2 テストにより、動作中の外部 ESD イベントに対する EUT 耐性が判定されます。図 3-2 に、ESD テストの設定と接続の図を示します。高さ 0.8m の木製テーブルが GRP の上に置かれています。1.6m × 0.8m の水平カップリング プレーン (HCP) がテーブルに置かれています。EUT は、HCP の上部に置いた厚さ 0.5mm の絶縁マットを使用してテストされ、絶縁されています。EUT は、0.5m×0.5m の垂直カップリング プレーン (VCP) から 0.1m 離れた絶縁マット上に置かれています。

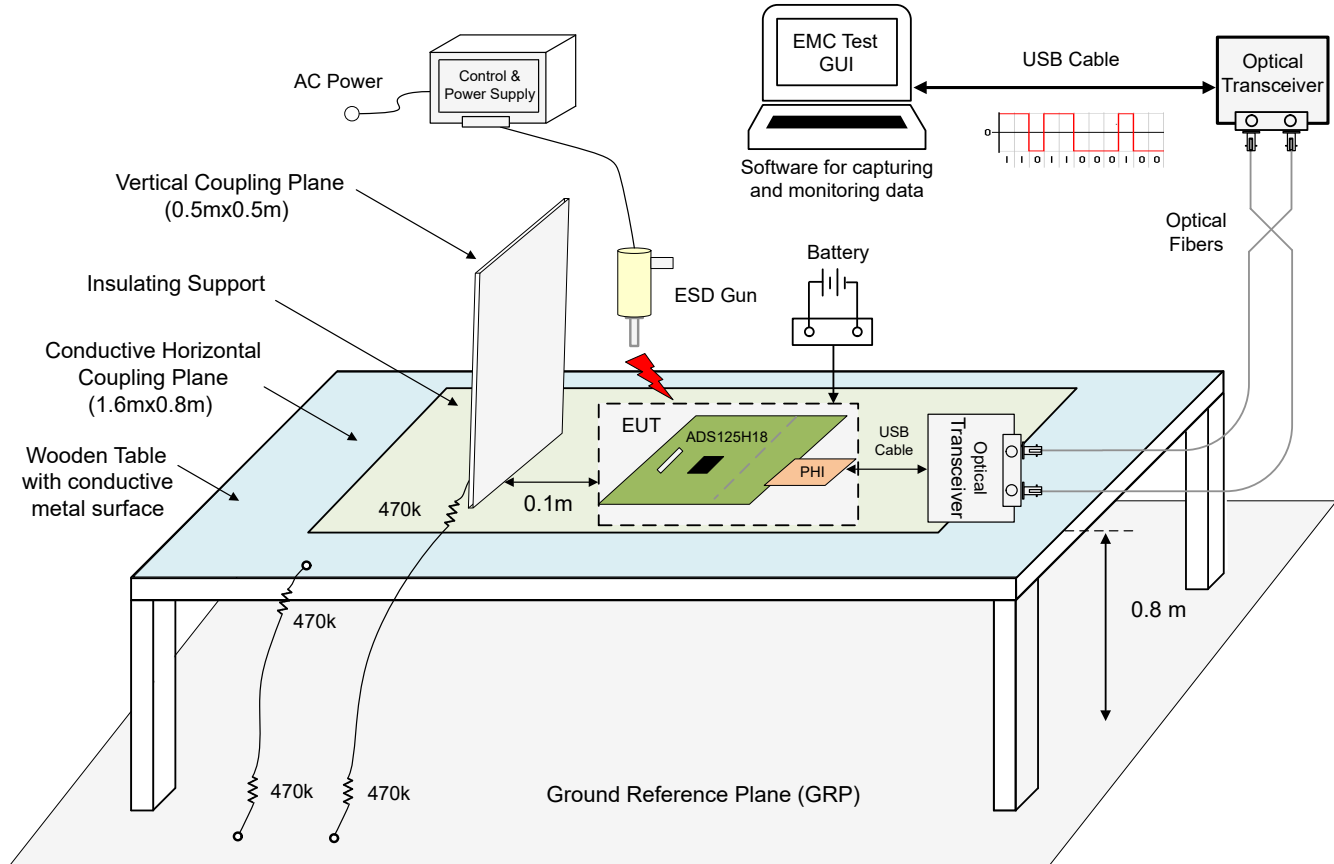


図 3-2. ESD テストのラボ設定図

ESD テストには、接触放電と空中放電の 2 種類があります。接触放電試験は、ESD ガンの先端が ADS125H18 試験基板上的の入力端子台の導電性ねじ、またはシールド ガードねじに直接接触する、最も厳しい直接放電試験です。空中放電テストは、直接的空隙放電、水平カップリング プレーン (HCP) への間接放電、垂直カップリング プレーン (VCP) への間接放電の 3 つの異なる方法で実行されます。気中放電試験では、ESD ガンの先端を EMC 試験基板上的の入力端子台の絶縁表面付近に配置します。間接放電テストでは、HCP または VCP に ESD 信号が印加され、設計が取り付けられている装置ラックに ESD 衝撃が発生します。

表 3-3 は IEC 61000-4-2 テスト レベルを規定したものです。

表 3-3. ESD 試験レベル

接触放電		空中放電	
レベル	テスト電圧 (kV)	レベル	テスト電圧 (kV)
1	2	1	2
2	4	2	4
3	6	3	8
4	8	4	15
x	スペシャル	x	スペシャル

図 3-3 は、ADS125H18 EMC 試験基板のシールド ガードねじに対する ESD 試験の実際のセットアップ写真を示しています。

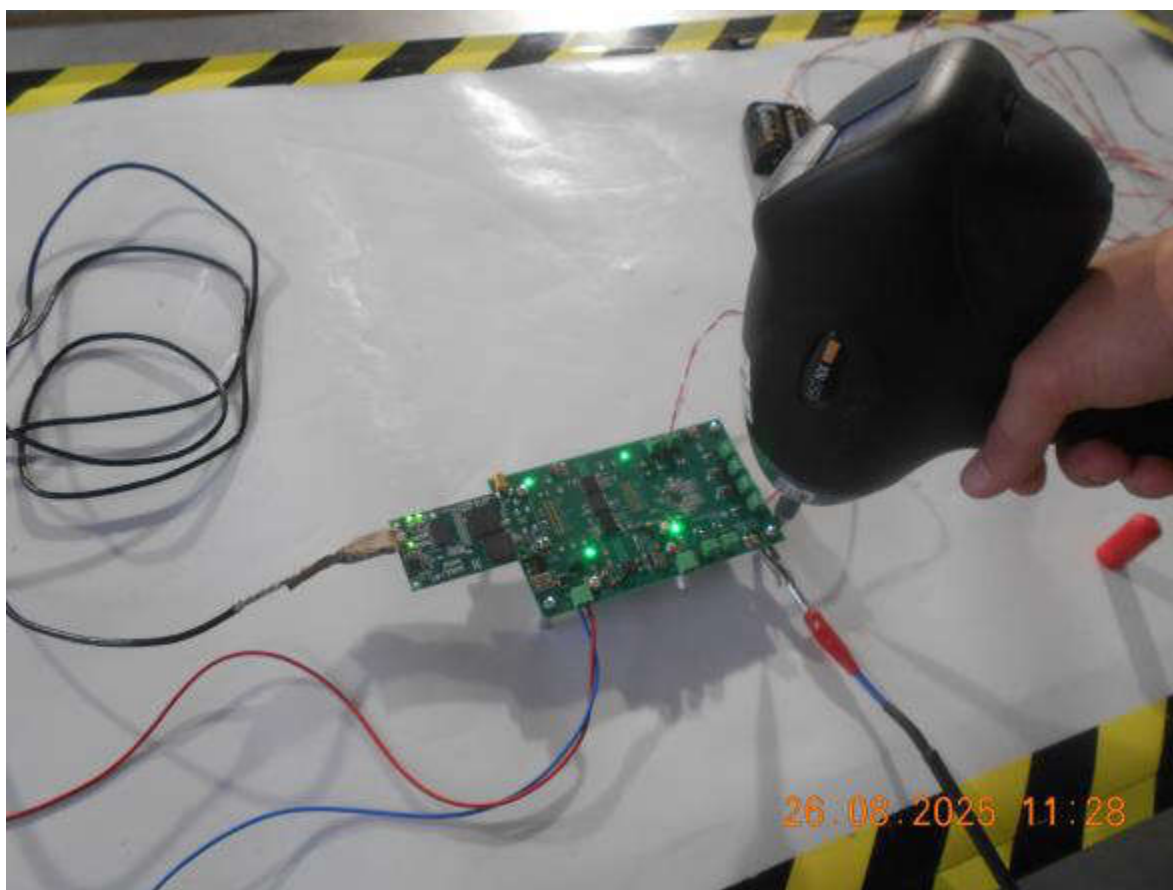


図 3-3. ESD テストのラボ設定

ESD 試験では、EUT に対して、各定格でねじ部へ少なくとも 100 回、結合面へ 10 回の放電を印加します。図 3-4 は、ADC が電圧入力 (左) および電流入力 (右) を測定したときの、ESD 試験中における ADS125H18 EMC 試験基板の出力データを示しています。両方のグラフは、ADS125H18 が ESD 試験信号によって大きな影響を受けなかったことを示しています。そのため、ADS125H18 EMC 試験基板は条件 B で ESD 試験に合格しました。

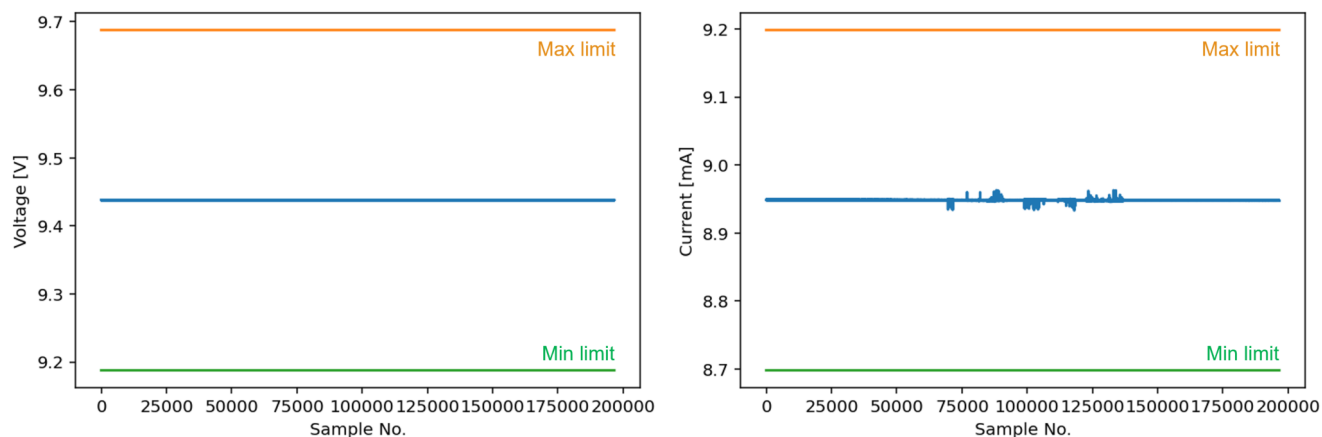


図 3-4. ESD 試験中に取得された電圧 (左) および電流 (右) 測定結果

表 3-4 は、ESD 試験の結果を示します。試験結果は、EMC 試験基板上の電圧チャネルと電流チャネルの両方で同じです。

表 3-4. ADS125H18 EMC 試験基板を使用した ESD 試験結果

テスト	IEC 規格	タイプ	テスト電圧	条件	テスト結果
ESD	IEC 61000-4-2	接触放電 (HCP/VCP)	±8kV	A	合格
			±15kV	A	合格
		接触放電 (シールド ガードねじ)	±4kV	A	合格
			±6kV	C	USB 通信に失敗しました

3.3.2 放射耐性 (RI)

IEC 61000-4-3 規格では、テストの条件と設定要件を含む RI テストの詳細が規定されています。IEC61000-4-3 テストにより、動作中の外部電磁放射に対する EUT 耐性が判定されます。このテストは無響室で実施し、EUT は高さ 0.8m の非導電性テーブルに配置します。EUT とアンテナの間のテスト距離は 3m です。EUT は各定格で水平方向と垂直方向の磁界極性の両方にさらされます。RF テスト信号は 80MHz から 1GHz まで掃引され、1GHz ~ 2.7GHz の範囲で、振幅 80% の外乱信号は 1kHz の正弦波信号で変調されます。各周波数範囲の磁界強度は 10V/m と 20V/m です。変換データは PHI コントローラ カードによって EUT からキャプチャされ、完全に絶縁された光ファイバ ケーブルを経由して、無響室の外にあるソフトウェア スクリプトを実行しているノート PC に送信されます。

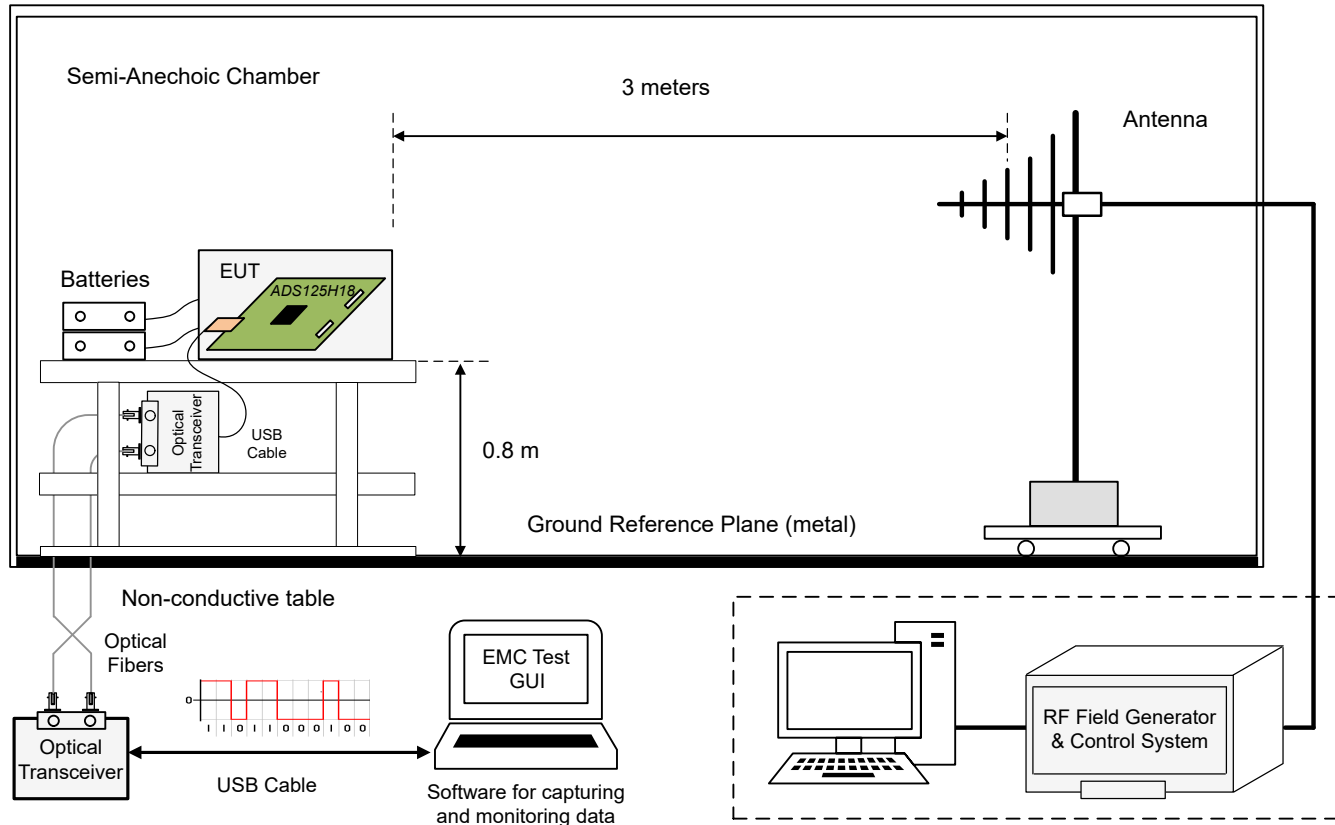


図 3-5. RI テストのラボ設定図

表 3-5 は IEC 61000-4-3 のテストレベルを規定したものです。

表 3-5. RI テストレベル

レベル	テスト信号の磁界強度 (V/m)
1	1
2	3
3	10
4	30
x	他のレベルより上、下、またはその間に配置できる特殊レベル。このレベルは、製品規格で規定されています。

図 3-6 に ADS124S08 EMC テスト基板での RI テストの実際の設定を示します。



図 3-6. RI テストのラボ設定

図 3-7 は、RI 試験中に ADC が電圧入力 (左) および電流入力 (右) を測定したときの ADS125H18 EMC 試験基板の出力データを示しています。これらのグラフは、干渉信号が ADS125H18 に影響を与えなかったことを示しています。そのため、ADS125H18 EMC 試験基板は条件 A で RI 試験に合格しました。

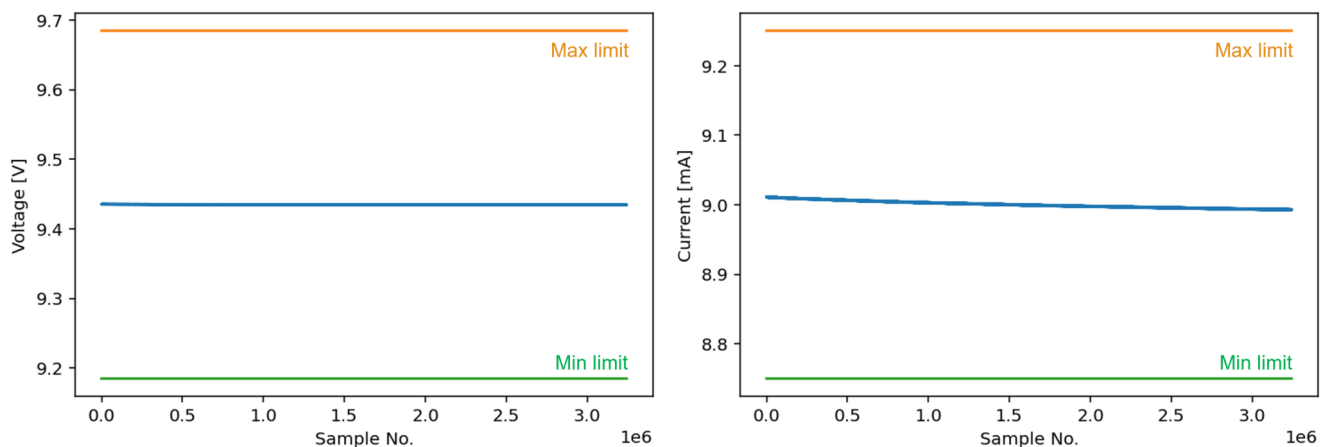


図 3-7. RI 試験中に取得された電圧 (左) および電流 (右) 測定結果

表 3-6 は、RI テストの結果を示します。試験結果は、EMC 試験基板上の電圧チャネルと電流チャネルの両方で同じです。

表 3-6. ADS125H18 EMC 試験基板を使用した RI 試験結果

テスト	IEC 規格	テスト信号			条件	テスト結果
		電界強度	周波数	アンテナ偏波		
RI	IEC 61000-4-3	20V/m	80MHz - 1GHz	水平	A	合格
				垂直	A	合格
			1GHz - 2.7GHz	水平	A	合格
				垂直	A	合格

3.3.3 電気的高速過渡現象 (EFT)

IEC 61000-4-4 規格では、テストの条件と設定要件を含む EFT テストの詳細が規定されています。IEC61000-4-4 テストは、動作中に持続時間が短く立ち上がり時間が速い過渡信号の外部バーストに対する EUT の耐性を判定します。この規格では、信号ポートと制御ポートに 2 つの反復周波数を使用する 4 つのテスト電圧レベル、5kHz および 100kHz の反復周波数で 0.25kV、0.5kV、1kV、および 2kV が定義されています。各テストには、正と負の極性の放電も必要です。ADS125H18 EMC 試験基板は、標準の 1kV および 2kV レベル、およびより過酷な 4kV レベルでテストされています。ADS125H18 EMC 試験基板は、5kHz と 100kHz の両方の周波数でテストされています。EFT 過渡バーストは 75 の高速パルスと、それに続くブレイク間隔で構成されます。1 つのパルスは、5kHz の場合 15ms ごと、100kHz の場合 0.75ms ごとに発生し、300ms ごとにバーストが繰り返されます。それぞれのバーストパルスは、立ち上がり時間が 5ns、合計パルス幅が 50ns のダブル指数波形です。各テストの合計テスト時間は約 1 分です。

図 3-8 に、EFT 耐性テストの設定とピン配置を示します。この設定では、2m のツイストペア入力配線を 1m の長さの標準容量性 EFT クランプに通して、EFT 信号を ADS125H18 EMC 試験基板のアナログ入力に印加します。テスト内のすべてのケーブルは、GRP から絶縁された状態を保つために、絶縁支持材に配置されています。EUT は GRP の上に配置され、0.1m の絶縁プラットフォームによって GRP から絶縁されます。

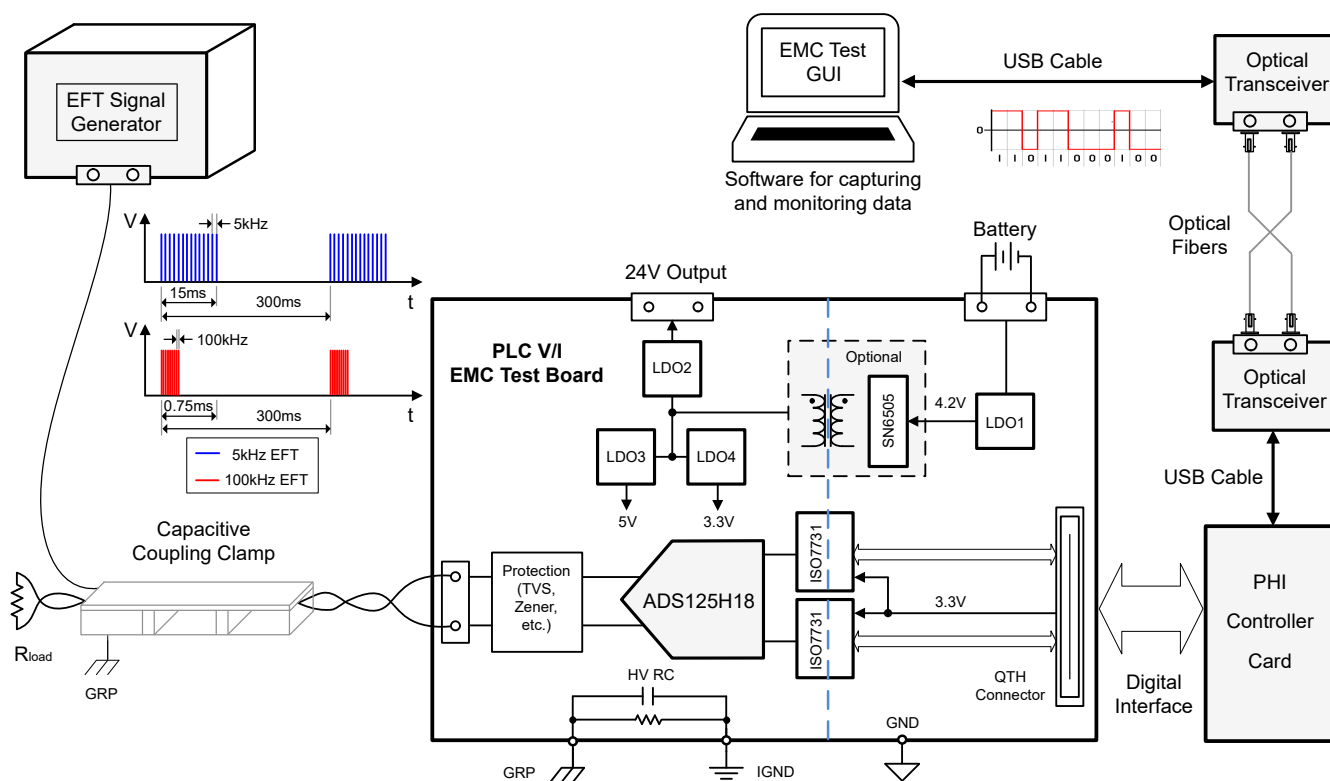


図 3-8. EFT テストのラボ設定図

表 3-7 は IEC 61000-4-4 テスト レベルを規定したものです。

表 3-7. EFT 試験レベル

レベル	電源ポート側			I/O、信号、データ、および制御ライン側		
	開路電圧 (kV)	短絡電流 (A)	反復レート (kHz)	開路電圧 (kV)	短絡電流 (A)	反復レート (kHz)
1	0.5	10	5 または 100	0.25	5	5 または 100
2	1	20	5 または 100	0.5	10	5 または 100
3	2	40	5 または 100	1	20	5 または 100
4	4	80	5 または 100	2	40	5 または 100
x	他のレベルより上、下、またはその間に配置できる特殊レベル。このレベルは、製品規格で規定されています。					

図 3-9 に ADS125H18 EMC テスト基板での EFT テストの実際の設定を示します。

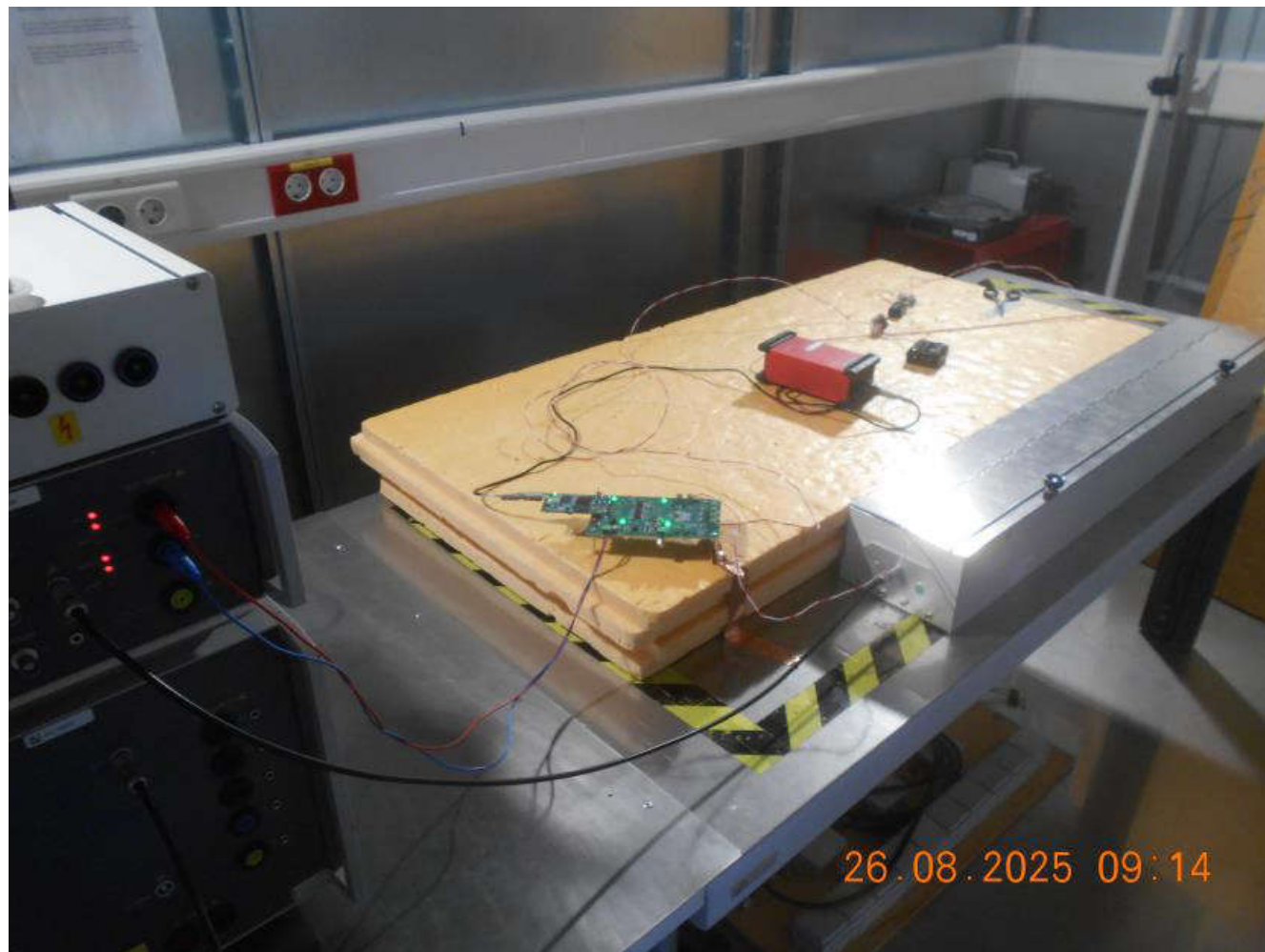


図 3-9. EFT テストのラボ設定

図 3-10 は、EFT 試験中に ADC が電圧入力 (左) および電流入力 (右) を測定したときの ADS125H18 EMC 試験基板の出力データを示しています。プロットは、ADS125H18 が EFT 信号の影響を受け、小さな一時的な性能低下が発生したことを示しています。ただし、この性能損失は規定の制限内にあります。そのため、ADS125H18 EMC 試験基板は条件 A で EFT 試験に合格しました。

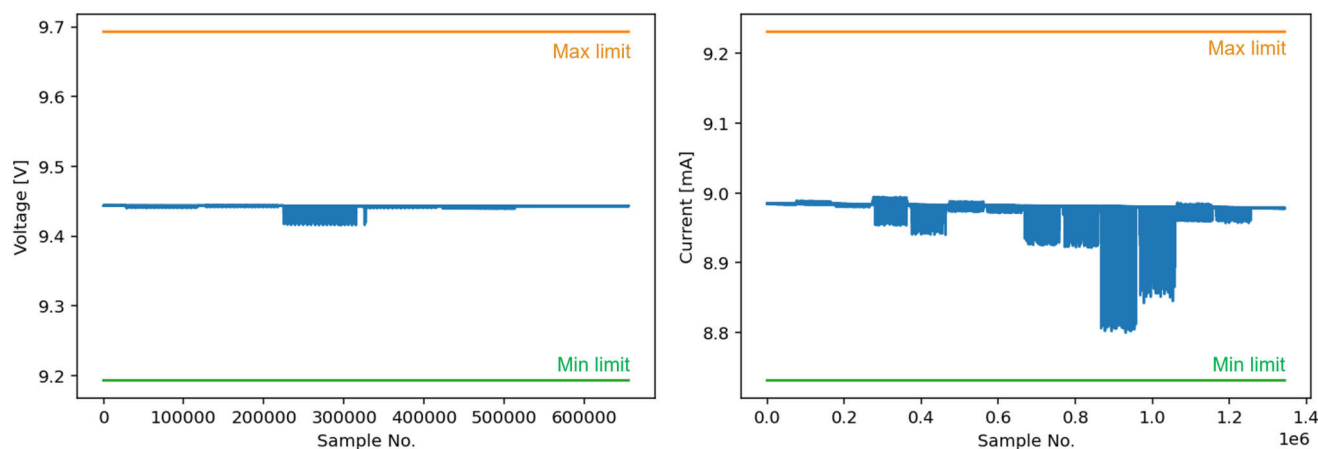


図 3-10. EFT 試験中に取得された電圧 (左) および電流 (右) 測定結果

表 3-8 は、EFT テストの結果を示します。試験結果は、EMC 試験基板上の電圧チャネルと電流チャネルの両方で同じです。

表 3-8. ADS125H18 EMC 試験基板を使用した EFT 試験結果

テスト	IEC 規格	構成	テスト信号		条件	テスト結果
			電圧	周波数		
EFT	IEC 61000-4-4	電圧入力	±4kV	5kHz	A	合格
			±4kV	100kHz	A	合格
		電流入力	±4kV	5kHz	A	合格
			±4kV	100kHz	A	合格
		DC ポート	±4kV	5kHz	C	USB 通信に失敗しました
			±4kV	100kHz	C	USB 通信に失敗しました
		DC ポート	±3kV	5kHz	A	合格
			±3kV	100kHz	A	合格

3.3.4 サージ耐性 (SI)

IEC 61000-4-5 規格では、テストの条件と設定要件を含む SI テストの詳細が規定されています。この設定には、試験装置と、特定のソース インピーダンスと結合モード (ライン間またはライン対グラウンド) でサージテストを実行するための手順が含まれています。IEC61000-4-5 テストは、電力ラインとデータラインの両方の外部高エネルギー サージに対する EUT 耐性を判定します。このようなエネルギー サージは、電源システムのスイッチング、負荷の変化や短絡の故障、または直接的または間接的な落雷が原因で発生する可能性があります。IEC 61000-4-5 では、2 種類の組み合わせ波形ジェネレータ (CWG) が規定されています。10 μ s/700 μ s CWG は、特に対称通信回線のポートのテストに使用されます。1.2 μ s/50 μ s CWG は、それ以外のすべての場合に使用されます。それ以外の場合のサージは、1.2 μ s/50 μ s (50 μ s パルス幅での 1.2 μ s 立ち上がり時間) の開路電圧波形と 8 μ s/20 μ s (20 μ s パルス幅での 8 μ s 立ち上がり時間) の短絡電流波形の組み合わせです。EUT には、各定格での正の極性サージ二回および負の極性サージ二回が印加されます。サージは少なくとも 1 分間に 1 回繰り返されます。サージテストでは、カップリング / デカップリング ネットワーク (CDN) が必要です。IEC 61000-4-5 は、カップリング ネットワークで使用されるインピーダンスと容量をさまざまな状況で定義します。EUT は、0.5 μ F コンデンサとツイスト ケーブルを使用した CDN を通してサージを使ってテストされています。

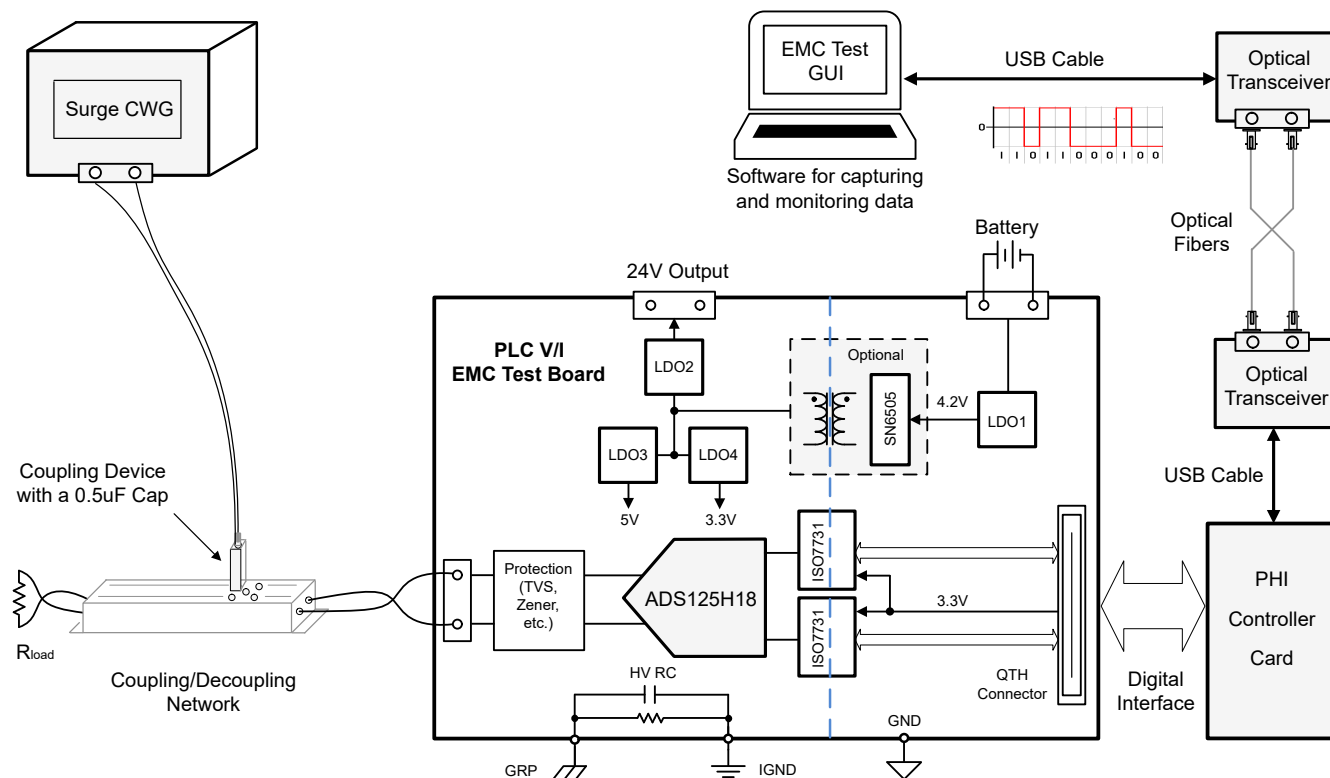


図 3-11. SI テストのラボ設定図

表 3-9 は IEC 61000-4-5 テスト レベルを規定したものです。

表 3-9. SI テスト レベル

レベル	開路テスト電圧 $\pm 10\%$ (kV)
1	0.5
2	1.0
3	2.0
4	4.0
X	他のレベルより上、下、またはその間に配置できる特殊レベル。このレベルは、製品規格で規定されています。

サージ ジェネレータは、2 Ω の出力インピーダンスを使用して、低電圧電源のソース インピーダンスと、波形ジェネレータ固有のソース インピーダンスをモデル化します。電力ラインおよびデータラインのテスト要件に基づいて、EUT とサージジェネレータの間に追加の直列抵抗が必要な場合があります。サージ電流は、サージ電圧レベルと合成インピーダンス

(Req) によって決まります。ここで、Req はサージ発生器の出力インピーダンスと追加の直列抵抗を組み合わせたものです。インピーダンスの選択は、装置の種類とテスト要件によって異なります。

表 3-10 は、さまざまなサージ電圧およびインピーダンスに対するサージ電流レベルを示しています：

表 3-10. 各サージ試験電圧およびインピーダンスに対する電流レベル

レベル	1	2	3	4
電圧 (V)	500	1000	2000	4000
Req = 42Ω	12A	24A	48A	96A
Req = 12Ω	42A	84A	167A	334A
Req = 2Ω	250A	500A	1000A	2000A

図 3-12 に ADS125H18 EMC テスト基板での SI テストの実際の設定を示します。

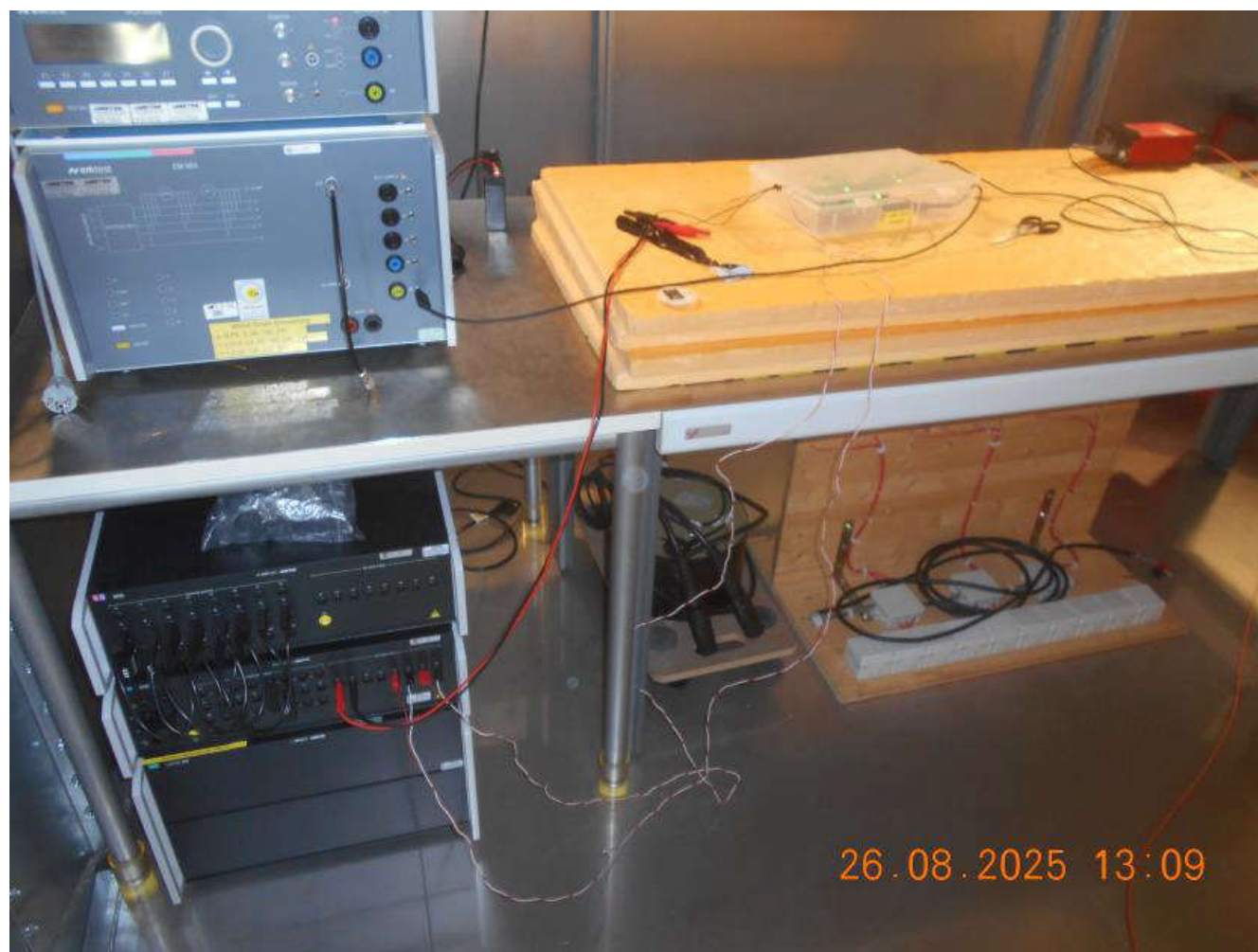


図 3-12. SI テストのラボ設定

図 3-13 は、ADC が電圧入力 (左) および電流入力 (右) を測定したときの、SI 試験 (±1kV、ライン対ライン、42Ω) 中における ADS125H18 EMC 試験基板の出力データを示しています。プロットは、サージ信号が ADS125H18 の出力に影響を与え、試験中に大きなスパイクと一時的な性能低下が発生したことを示しています。ただし、妨害が停止した後、デバイスは介入なしで回復しました。そのため、ADS125H18 EMC テスト基板は条件 B で SI テストに合格しました。

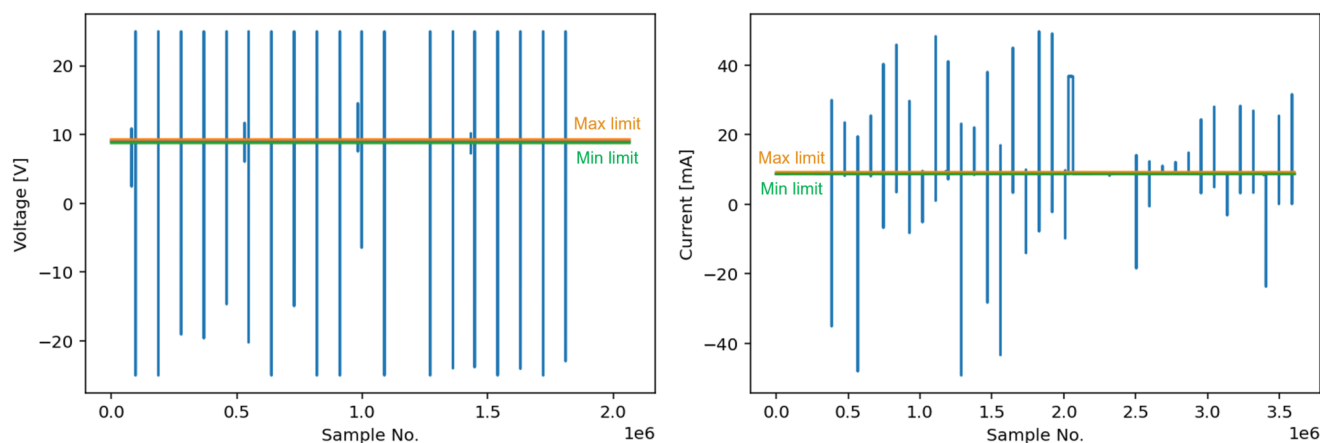


図 3-13. SI 試験中に取得された電圧 (左) および電流 (右) 測定結果

表 3-11 は、SI テストの結果を示します。試験結果は、EMC 試験基板上の電圧チャンネルと電流チャンネルの両方で同じです。

表 3-11. ADS125H18 EMC 試験基板を使用した SI テスト結果

テスト	標準	タイプおよびインピーダンス	構成	テスト電圧	条件	テスト結果
SI	IEC 61000-4-5	ライン対グラウンド (2Ω のソース インピーダンス + 結合回路網からの 40Ω) およびライン対ライン (DC 入力で 2Ω のソース インピーダンス)	電圧入力	500V	B	合格
				1000V	B	合格
			電流入力	500V	B	合格
				1000V	B	合格
			DC 入力	500V	B	合格
				1000V	B	合格

3.3.5 伝導耐性 (CI)

IEC 61000-4-6 規格では、テストの条件と設定要件を含む CI テストの詳細が規定されています。IEC61000-4-6 テストにより、動作中の外部伝導電磁妨害に対する EUT 耐性が判定されます。図 3-14 は、テスト信号が RF 信号発生器と、テスト信号を指定されたレベルまで増幅するために使用される RF パワー アンプから生成されることを示しています。テスト信号が注入プローブから EMC テスト基板の入力に注入されています。スペクトルアナライザ 1 はパワー アンプの出力の監視に使用し、スペクトルアナライザ 2 は注入された信号の監視と検証に使用します。信号周波数は、1kHz の正弦波信号で変調された振幅 80% の外乱信号によって 150kHz から 80MHz まで掃引されます。EUT は、グランドプレーンの指定された高さ (10cm) に配置する必要があります

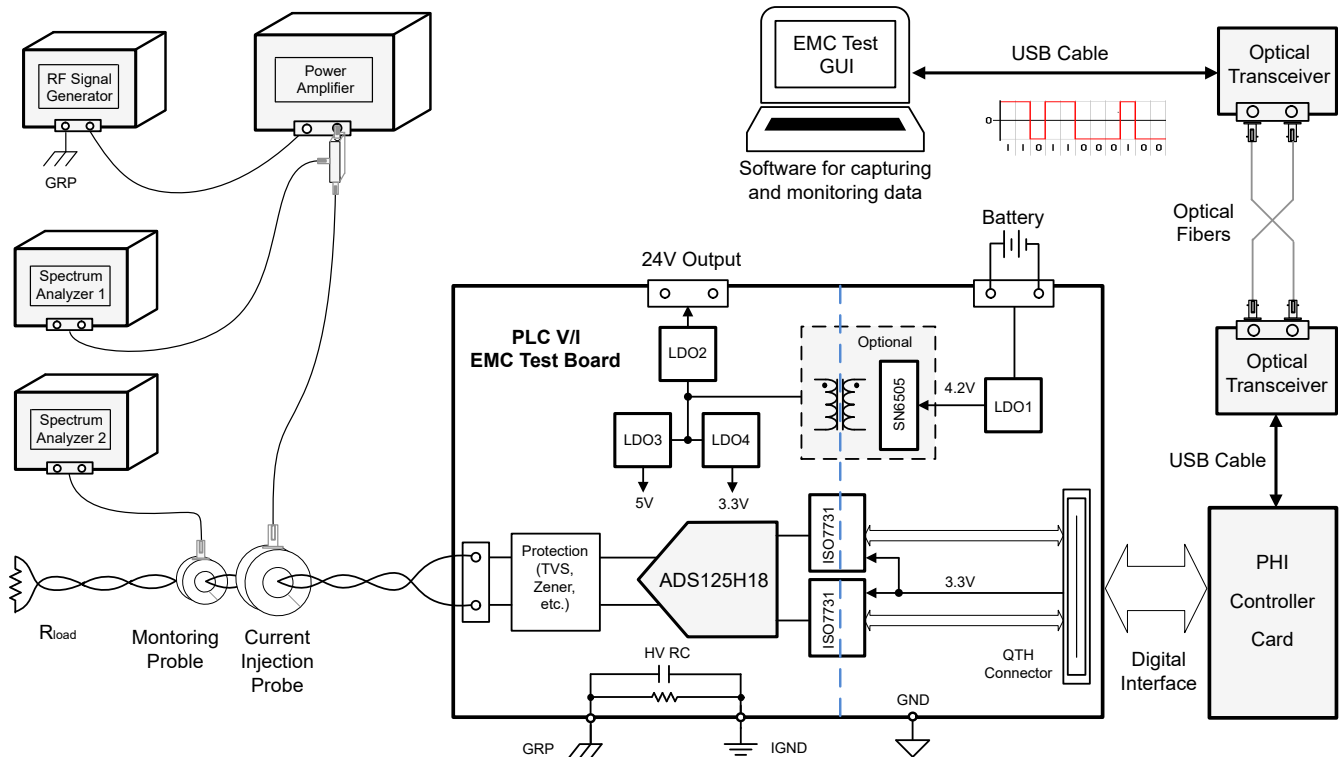


図 3-14. CI テストのラボ設定図

表 3-12 は IEC 61000-4-6 のテストレベルを規定したものです。

表 3-12. CI テストレベル

レベル	テスト信号の磁界強度	
	V0 (10V/m)	V0 (dBμV)
1	1	120
2	3	129.5
3	10	140
x	他のレベルより上、下、またはその間に配置できる特殊レベル。このレベルは、製品規格で規定されています。	

図 3-15 に ADS125H18 EMC テスト基板での CI テストの実際の設定を示します。



図 3-15. CI テストのラボ設定

図 3-16 は、CI 試験中に ADC が電圧入力 (左) および電流入力 (右) を測定したときの ADS125H18 EMC 試験基板の出力データを示しています。プロットは、試験信号の周波数を 150kHz から 80MHz まで掃引しても、試験信号が ADS125H18 ADC に影響を与えないことを示しています。この試験は、干渉信号を DC ポートおよびアース線に結合させた状態でも繰り返し実施されました。すべての場合において、ADS125H18 EMC 試験基板は判定基準 A で CI 試験に合格しました。

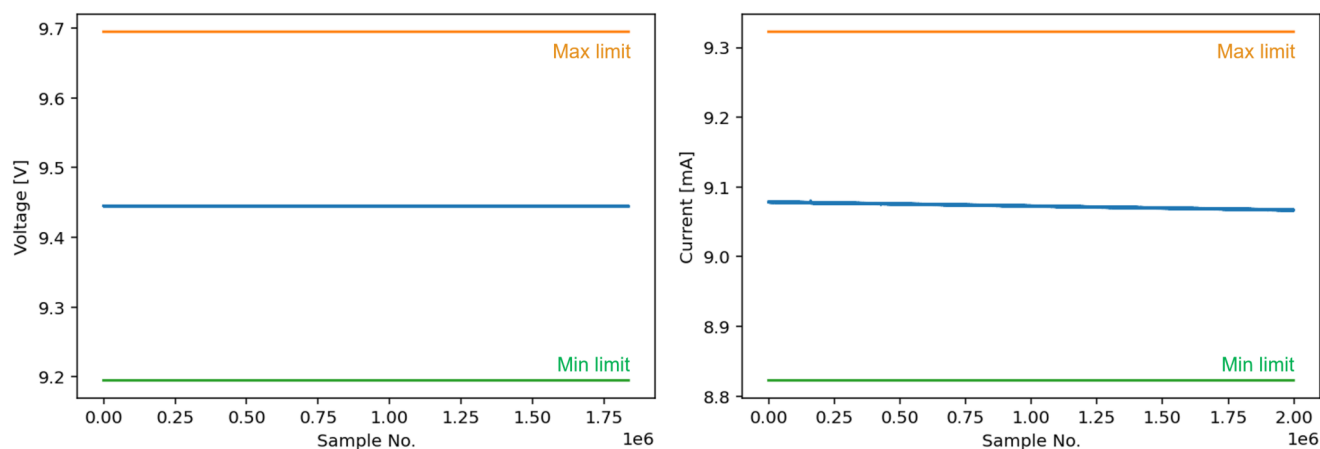


図 3-16. CI 試験中に取得された電圧 (左) および電流 (右) 測定結果

表 3-13 は、CI テストの結果を示します。試験結果は、EMC 試験基板上の電圧チャネルと電流チャネルの両方で同じです。

表 3-13. ADS125H18 EMC 試験基板を使用した CI テスト結果

テスト	IEC 規格	テスト信号		構成	条件	テスト結果
		電界強度	周波数			
CI	IEC 61000-4-6	20V/m (レベル > 3)	150kHz ~ 80MHz	電圧入力	A	合格
				電流入力	A	合格
				DC ポート	A	合格
				アース線	A	合格

4 回路図、PCB レイアウト、部品表

セクション 4.1、セクション 4.2 およびセクション 4.3 に、ADS125H18 EMC 試験基板の回路図、PCB レイアウト、部品表をそれぞれ示します

4.1 回路図

図 4-1 ~ 図 4-4 は、ADS125H18 EMC テストボードの回路図を示しています：

Channels AIN0 through AIN7

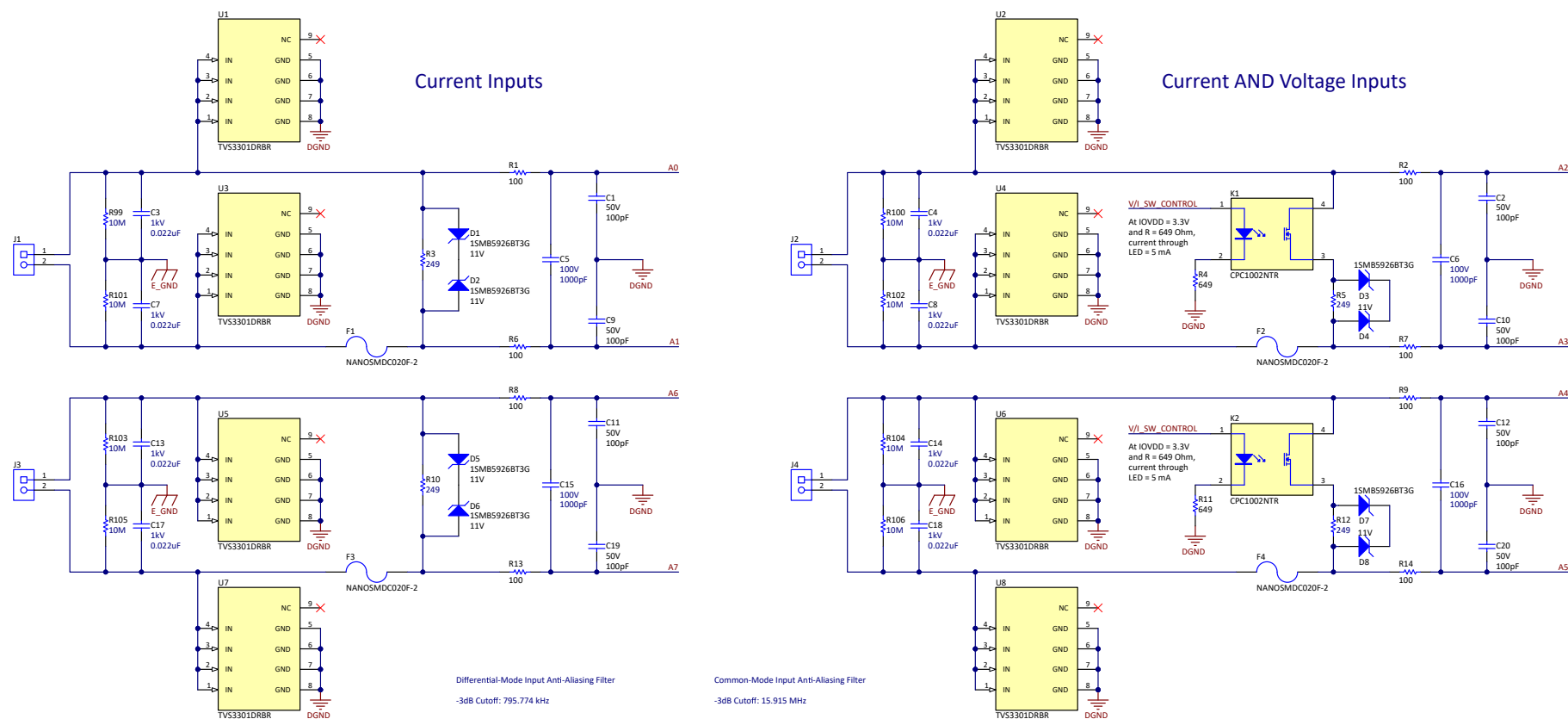


図 4-1. ADS125H18 EMC 試験基板のアナログ入力 AIN0 ~ AIN7 回路図

Channels AIN8 through AIN15

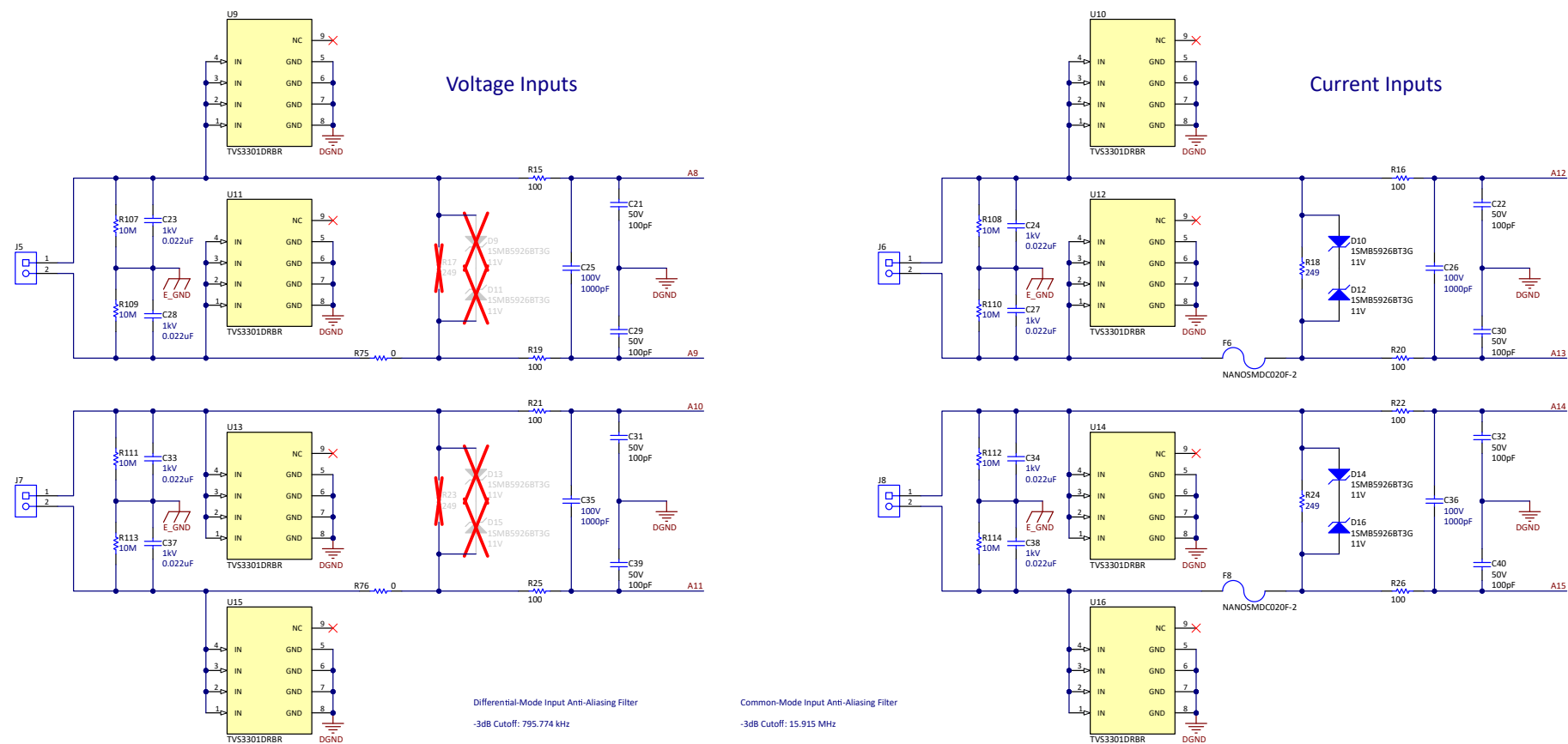


図 4-2. ADS125H18 EMC 試験基板のアナログ入力 AIN8 ~ AIN15 回路図





4.2 PCB レイアウト

図 4-5 ~ 図 4-8 に、ADS125H18 EMC 試験基板の PCB レイアウトを示します：

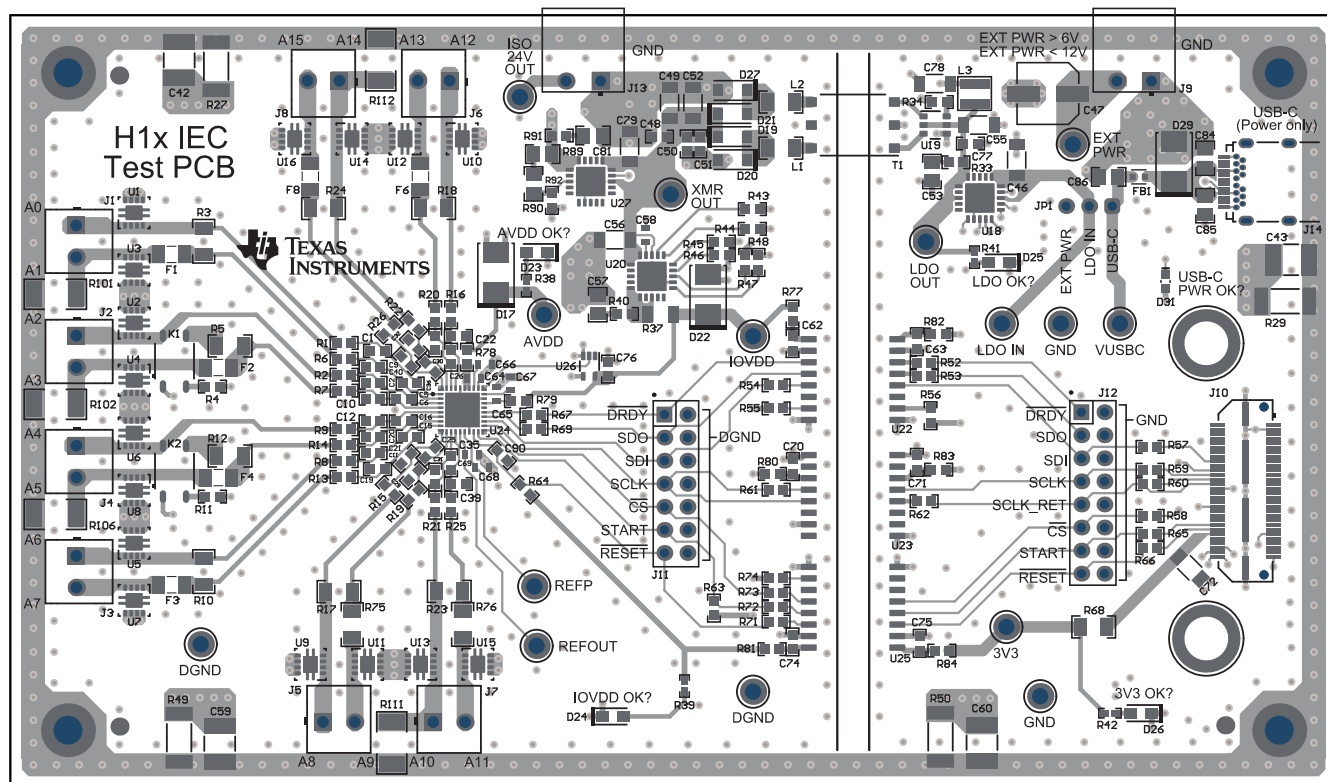


図 4-5. シルクスクリーン付き ADS125H18 EMC 試験基板の上層

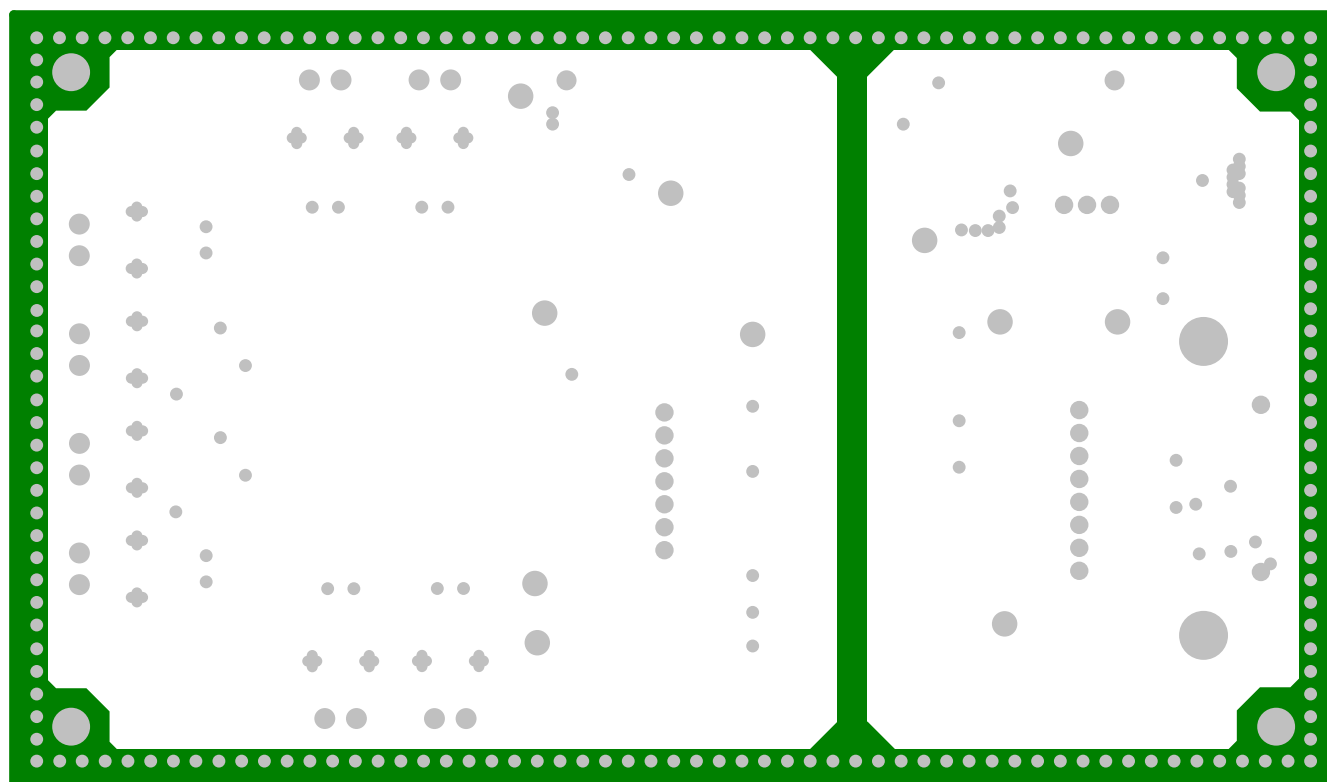


図 4-6. ADS125H18 EMC 試験基板内層グランド層 1

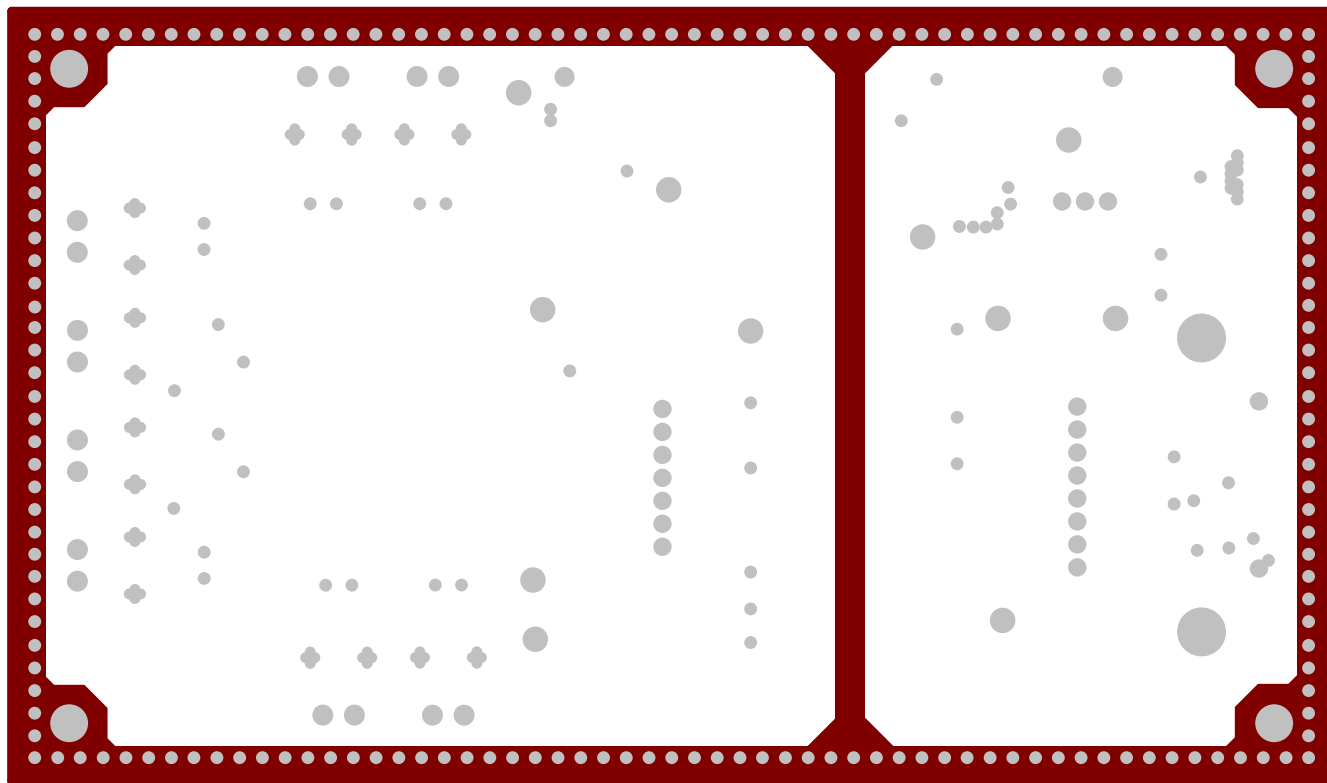


図 4-7. ADS125H18 EMC 試験基板内層グランド層 2

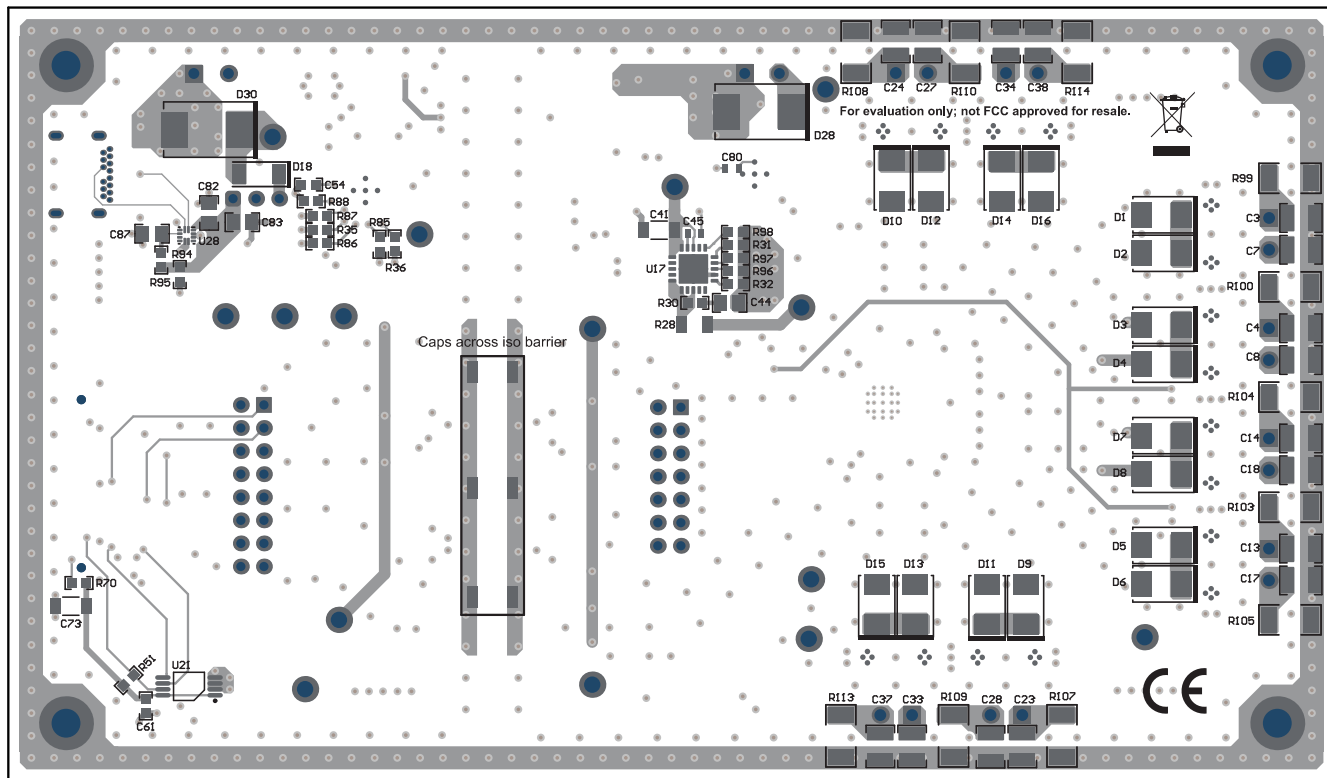


図 4-8. シルksクリーン付き ADS125H18 EMC 試験基板の下層

4.3 部品表 (BOM)

表 4-1 に ADS125H18 EMC の試験基板の部品表 (BOM) 一覧を示します。

表 4-1. 部品表

記号	数量	値	説明	パッケージ記号	部品番号	メーカー
C1、C2、C9、C10、C11、 C12、C19、C20、C21、C22、 C29、C30、C31、C32、C39、 C40	16	100pF	コンデンサ、セラミック、100pF、50V、±5%、 C0G/NP0、0603	603	C0603C101J5GAC	Kemet
C3、C4、C7、C8、C13、 C14、C17、C18、C23、C24、 C27、C28、C33、C34、C37、 C38	16	0.022uF	コンデンサ、セラミック、0.022uF、1000V、 ±10%、X7R、1210	1210	GRM32DR73A223KW01L	MuRata
C5、C6、C15、C16、C25、 C26、C35、C36	8	1000pF	コンデンサ、セラミック、1000pF、100V、 ±5%、C0G/NP0、0603	603	GRM1885C2A102JA01D	MuRata
C41、C46、C56、C79	4	47μF	コンデンサ、セラミック、47uF、25V、±20%、 X5R、1206_190	1206_190	C3216X5R1E476M160AC	TDK
C42、C43、C59、C60	4	2200pF	コンデンサ、セラミック、2200pF、3000V、 ±10%、X7R、1812	1812	1812HC222KAT1A	AVX
C44、C53、C57、C81	4	47μF	コンデンサ、セラミック、47μF、10V、±20%、 X5R、0805	805	C2012X5R1A476M125AC	TDK
C45、C58、C64、C65、C66、 C67、C68、C69、C80	9	1uF	コンデンサ、セラミック、1μF、25V、±10%、 X7R、AEC-Q200 グレード 1、0603	603	CGA3E1X7R1E105K080A C	TDK
C47	1	47μF	コンデンサ、アルミ、47μF、35V、±20%、1Ω、 SMD	F55	EMVY350ADA470MF55G	Chemi-Con
C48	1	1000pF	コンデンサ、セラミック、1000pF、50V、±1%、 C0G/NP0、0603	603	GRM1885C1H102FA01J	MuRata
C49、C52、C55、C78	4	10uF	コンデンサ、セラミック、10μF、50V、±10%、 X5R、1206_190	1206_190	CL31A106KBHNNNE	Samsung Electro- Mechanics
C50、C62、C63、C70、C71、 C74、C75、C90	8	0.1uF	コンデンサ、セラミック、0.1μF、50V、±10%、 X7R、0603	603	C0603C104K5RACTU	Kemet
C51、C54、C77	3	1uF	コンデンサ、セラミック、1uF、25V、±10%、 X7R、0603	603	06033C105KAT2A	AVX
C61、C76	2	0.1uF	コンデンサ、セラミック、0.1μF、25V、±5%、 X7R、0603	603	C0603C104J3RACTU	Kemet
C72、C73	2	10uF	コンデンサ、セラミック、10μF、25V、±10%、 X7R、1206_190	1206_190	C1206C106K3RACTU	Kemet
C82、C85、C87	3	0.1uF	コンデンサ、セラミック、0.1μF、100V、 ±10%、X7R、0805	805	CL21B104KCF5FNE	Samsung Electro- Mechanics

表 4-1. 部品表 (続き)

記号	数量	値	説明	パッケージ記号	部品番号	メーカー
C83, C84, C86	3	10uF	コンデンサ、セラミック、10μF、25V、±10%、X7R、0805	805	GRM21BZ71E106KE15L	MuRata
D1, D2, D3, D4, D5, D6、 D7, D8, D10, D12, D14、 D16	12	11V	ダイオード、ツェナー、11V、550mW、SMB	SMB	1SMB5926BT3G	ON Semiconductor
D17	1	5V	ダイオード、TVS、Uni、5V、9.2Vc、SMB	SMB	SMBJ5.0A-13-F	Diodes Inc.
D18	1	30V	ダイオード、ショットキー、30V、5A、SOD-128	SOD-128	PMEG3050EP、115	Nexperia
D19, D20, D21, D27	4	40V	ダイオード、ショットキー、40V、1A、SOD-123	SOD-123	1N5819HW-7-F	Diodes Inc.
D22	1	3.3V	ダイオード、TVS、Uni、3.3V、7.3Vc、AEC-Q101、SMB	SMB	SMBJ3V3-E3/52	Vishay-Semiconductor
D23, D24, D25, D26	4	緑	LED、緑、SMD	LED_0805	APT2012LZGCK	Kingbright
D28	1	28V	ダイオード、TVS、Uni、28V、45.4Vc、SMC	SMC	5.0SMDJ28A	Littelfuse
D29	1	6V	ダイオード、TVS、Uni、6V、10.3Vc、SMB	SMB	SMBJ6.0A-13-F	Diodes Inc.
D30	1	13V	ダイオード、TVS、Uni、13V、21.5Vc、SMC	SMC	5.0SMDJ13A	Littelfuse
D31	1	緑	LED、緑、SMD	1.7x0.65x0.8mm	LG L29K-G2J1-24-Z	OSRAM
F1, F2, F3, F4, F6, F8	6		ヒューズ、リセット可能、0.2A、24VDC、SMD	1206	NANOASMDCH020F-2	Littelfuse
FB1	1		70Ω @ 100MHz、1 本の電源ライン用フェライトビーズ、0603 (1608 メートル法)、4A、20mΩ	603	BLM18SG700TN1D	Murata
H1, H5, H9, H11	4		ナベ小ねじ、十字ねじ 4-40	小ねじ、4-40、1/4 インチ	PMSSS 440 0025 PH	B&F Fastener Supply
H2, H7, H10, H12	4		六角スタンドオフ、#4-40、アルミニウム、1/4 インチ	1/4 インチ、アルミニウム、六角スタンドオフ	1891	Keystone
H3, H6	2		ナベ小ねじ、十字ねじ M3		RM3X4MM 2701	APM HEXSEAL
H4, H8	2		丸型スタンドオフ M3 スチール 5mm	丸型スタンドオフ M3 スチール 5mm	9774050360R	Würth Elektronik
J1, J2, J3, J4, J5, J6, J7、 J8	8		端子台、3.5mm、2x1、錫、TH	レセプタクル、3.5mm、2x1、TH	6.91214E+11	Würth Elektronik
J9, J13	2		端子台、2x1、3.81mm、R/A、TH	コネクタ、2 ポジション、3.8mm RA	1803277	Phoenix Contact
J10	1		ヘッダ (シールド付き)、19.7mil、30x2、金、SMT	ヘッダ (シールド付き)、19.7mil、30x2、SMT	QTH-030-01-L-D-A	Samtec
J14	1		コネクタ、レセプタクル、USB Type C、R/A	コネクタ、レセプタクル、USB Type C、R/A、THT/SMT	6.32723E+11	Würth Elektronik
JP1	1		ヘッダ、100mil、3x1、金、TH	3x1 ヘッダ	TSW-103-07-G-S	Samtec
K1, K2	2		リレー、SPST-NO (1 フォーム A)、0.7A、SMD	4.089x3.81mm	CPC1002NTR	IXYS

表 4-1. 部品表 (続き)

記号	数量	値	説明	パッケージ記号	部品番号	メーカー
L1, L2	2	1000Ω	フェライト ビーズ、1000Ω @ 100MHz、0.4A、1206	1206	HZ1206D102R-10	Laird シグナル インテグリティ 製品
L3	1	2.2uH	インダクタ、シールド付きドラム コア、フェライト、2.2μH、1.15A、0.088Ω、SMD	2.8 x 1.35 x 2.8mm	744029002	Würth Elektronik
R1, R2, R6, R7, R8, R9, R13, R14, R15, R16, R19, R20, R21, R22, R25, R26	16	100	抵抗、100、0.1%、0.1W、0603	603	RG1608P-101-B-T5	Susumu Co Ltd
R3, R5, R10, R12, R18, R24	6	249	抵抗、249、0.1%、0.25W、1206	1206	TNPW1206249RBEEA	Vishay-Dale
R4, R11	2	649	抵抗、649、0.1%、0.1W、0603	603	RT0603BRD07649RL	Yageo America
R27, R29, R49, R50	4		RES SMD 3.3MΩ 1% 1/2W 2010	2010	CHV2010-FX-3304ELF	Bourns
R28, R37	2	0	抵抗、0、1%、0.5W、1206	1206	5108	Keystone
R30, R33, R40, R91	4	0.1	抵抗、0.1、1%、0.1W、AEC-Q200 グレード 0、0603	603	ERJ-3RSFR10V	Panasonic
R31, R32, R34, R35, R43, R44, R47, R77, R78, R79, R80, R81, R82, R83, R84, R85, R86	17	0	抵抗、0、5%、0.1W、AEC-Q200 グレード 0、0603	603	CRCW06030000Z0EA	Vishay-Dale
R38, R39, R41, R42	4	6.65k	RES、6.65k、1%、0.063W、AEC-Q200 グレード 0、0402	402	CRCW04026K65FKED	Vishay-Dale
R51, R55, R56, R63, R64, R74, R92	7	10.0k	抵抗、10.0k、1%、0.1W、AEC-Q200 グレード 0、0603	603	CRCW060310K0FKEA	Vishay-Dale
R52, R53, R54, R57, R58, R59, R61, R62, R65, R66, R67, R69, R71, R72, R73	15	49.9	抵抗、49.9、0.5%、0.1W、0603	603	RT0603DRE0749R9L	Yageo America
R68	1	0	RES、0、0.75W、AEC-Q200 グレード 0、1206	1206	CRCW12060000Z0EAHP	Vishay-Dale
R70	1	0	抵抗、0、5%、0.1W、AEC-Q200 グレード 0、0603	603	ERJ-3GEY0R00V	Panasonic
R75, R76	2	0	抵抗、0、5%、0.25W、AEC-Q200 グレード 0、1206	1206	ERJ-8GEY0R00V	Panasonic
R89	1	5.00k	抵抗、5.00k、0.1%、0.2W、0805	805	PNM0805E5001BST5	Vishay Thin Film
R90	1	156k	抵抗、156k、0.1%、0.125W、0805	805	RT0805BRD07156KL	Yageo America
R94	1	1.60k	抵抗、1.60k、0.1%、0.1W、0603	603	RG1608P-162-B-T5	Susumu Co Ltd
R95	1	909k	抵抗、909k、1%、0.1W、0603	603	RC0603FR-07909KL	Yageo

表 4-1. 部品表 (続き)

記号	数量	値	説明	パッケージ記号	部品番号	メーカー
R99, R100, R101, R102, R103, R104, R105, R106, R107, R108, R109, R110, R111, R112, R113, R114	16	10Meg	RES, 10 M, 5%, 0.5 W, 2010	2010	HVC2010-10MJT3	TT Electronics / IRC
T1	1	350uH	トランス、350uH、SMT	7.14x6.73mm	750316769	Würth Elektronik
U1, U2, U3, U4, U5, U6, U7, U8, U9, U10, U11, U12, U13, U14, U15, U16	16		33V、双方向フラットクランプ サージ保護デバイス、DRB0008A (VSON-8)	DRB0008A	TVS3301DRBR	テキサス インスツルメンツ
U17, U18, U20	3		36V、1A、4.17μVRMS、RF 低ドロップアウト (LDO) 電圧レギュレータ、RGW0020A (VQFN-20)	RGW0020A	TPS7A4700RGWR	テキサス インスツルメンツ
U19	1		低ノイズ 1A、420kHz トランスドライバ、DBV0006A (SOT-23-6)	DBV0006A	SN6505BDBVR	テキサス インスツルメンツ
U21	1		I2C BUS EEPROM (2 線式)、TSSOP-B8	TSSOP-8	BR24G32FVT-3AGE2	Rohm
U22	1		高速、高耐性 EMC のトリプル チャネル デジタル アイソレータ、DW0016B (SOIC-16)	DW0016B	ISO7731DWR	テキサス インスツルメンツ
U23	1		高速、堅牢な EMC 強化型デュアル チャネル デジタル アイソレータ、DW0016B (SOIC-16)	DW0016B	ISO7721DW	テキサス インスツルメンツ
U24	1		ADS125H18IRHBR	VQFN36	ADS125H18IRHBR	テキサス インスツルメンツ
U25	1		高速、高耐性 EMC のトリプル チャネル デジタル アイソレータ、DW0016B (SOIC-16)	DW0016B	ISO7730DWR	テキサス インスツルメンツ
U26	1		シングル シュミットトリガ バッファ、DCK0005A、小型 T&R	DCK0005A	SN74LVC1G17DCKT	テキサス インスツルメンツ
U27	1		36V、1A、4.17μVRMS、RF 低ドロップアウト (LDO) 電圧レギュレータ、RGW0020A (VQFN-20)	RGW0020A	TPS7A4701RGWR	テキサス インスツルメンツ
U28	1		USB 2.0 CC ポート コントローラ用 USB Type-C、RWB0012A (X2QFN-12)	RWB0012A	TUSB3201RWBR	テキサス インスツルメンツ
D9, D11, D13, D15	0	11V	ダイオード、ツェナー、11V、550mW、SMB	SMB	1SMB5926BT3G	ON Semiconductor
FID1, FID2, FID3	0		フィデューシャル マーク。購入または取り付け不要。	該当なし	該当なし	該当なし
J11	0		ヘッダ、100mil、7x2、金、TH	7x2 ヘッダ	TSW-107-07-G-D	Samtec
J12	0		ヘッダ、100mil、8x2、金、TH	8x2 ヘッダ	TSW-108-07-G-D	Samtec
R17, R23	0	249	抵抗、249、0.1%、0.25W、1206	1206	TNPW1206249RBEEA	Vishay-Dale
R36, R45, R46, R48, R60, R87, R88, R96, R97, R98	0	0	抵抗、0、5%、0.1W、AEC-Q200 グレード 0、0603	603	CRCW06030000Z0EA	Vishay-Dale

表 4-1. 部品表 (続き)

記号	数量	値	説明	パッケージ記号	部品番号	メーカー
TP1、TP2、TP3、TP4、TP5、 TP6、TP7、TP8、TP9、 TP10、TP11、TP12、TP13、 TP14、TP15	0		端子、タレット、TH、ダブル	Keystone1593-2	1593-2	Keystone

5 まとめ

厳格な EMC テストに合格できる高性能温度測定システムを設計する場合、多くの設計者は大きな課題に直面します。このアプリケーション ノートでは、堅牢な EMC 性能を確保しながら、ADS125H18 を使用して高精度の電圧 ($\pm 10V$) および電流 (4-20mA) 入力測定システムを開発するための、実用的かつ詳細なガイダンスを提供します。このアプリケーション ノートで説明されている主なトピックは、以下のとおりです。

1. EMC 準拠のための設計: EMC 規格を満たす 4 層ボード向けの保護回路設計および最適化された PCB レイアウトに関する実用的なガイドライン。
2. 測定の基礎: 電圧および電流測定システムにおける入力接続、センサ構成、コード変換、誤差計算方法についての詳細な説明。
3. 達成される精度: EMC 準拠の測定システムを使用した特定の構成により、室温で極めて高い精度が得られます。
 - a. 電圧入力: 0.04%
 - b. 電流入力: 0.032%
4. 検証済みの性能: テスト設定と測定結果により、各設計が関連するすべての IEC-61000-4 テスト要件に合格していることが確認されています。

このアプリケーション ノートで示した実用的なガイドラインに従い、検証済みの設計を使用することで、ADS125H18 を使用した高精度で信頼性が高く、EMC に準拠した電圧および電流測定システムを実現できます。また、この情報は、EMC に準拠している必要がある測定システムにも一般的に適用できます。

6 参考資料

1. テキサス インスツルメンツ、[ADS125H18EVM-PDK](#)、ADS125H18 評価基板の製品ページ。
2. テキサス インスツルメンツ、[TIDA-010988](#)、単一電源を使用した 8 チャンネル、電圧および電流の組み合わせアナログ入力モジュールのリファレンス デザインに関する製品ページ。
3. テキサス インスツルメンツ、[TI プレシジョン ラボ - ADC](#)、高精度 ADC 用のオンデマンドトレーニングビデオ。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月