

Application Note

オーディオ データ コンバータにおけるノイズ低減方法



Arash Loloee

概要

DAC 技術の進歩にもかかわらず、ノイズは依然としてオーディオ品質に大きな影響を及ぼす要因となっています。DAC 内で発生するノイズは、信号の忠実度の低下、ダイナミックレンジの縮小、リスナー体験への影響を引き起こす可能性があります。

ノイズとは、主信号 (意図された信号) とともに存在する不要な信号のことです。ノイズは本質的にランダムであり、特にオーディオ システムでは望ましくないものです。オーディオ IC 内 (内部)、またはオーディオ IC が配置されている基板、外部コンポーネント、レイアウト (外部) に、さまざまなノイズ発生源が存在します。ノイズの発生源には多数の異なるものがありますが、ノイズを低減または抑制する方法はいくつかあります。このアプリケーション ノートでは、さまざまなノイズ発生源と、それらが目的のオーディオ信号へ及ぼす影響を最小限に抑える方法について説明します。

このトピックは 2 つの部分に分けて説明します。最初に、IC 内のノイズと、アーキテクチャの設計と選択によってそれを低減または除去する方法について説明し、次に、メイン IC の外部とシステム内で発生するノイズについて説明します。

目次

1 概要.....	2
2 詳細説明.....	2
2.1 内部ノイズ (IC 内).....	2
2.2 外部ノイズ.....	4
2.3 PCB 設計および配線に起因するノイズ.....	6
3 まとめ.....	7
4 参考資料.....	7

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

あらゆるデータコンバータは、アナログ モジュールとデジタル モジュールで構成されており、それらが連携してデータ変換のタスクを実現しています。これは、アナログ信号からデジタル信号への変換 (ADC) および、デジタル信号からアナログ信号への変換 (DAC) においても同様です。これらのモジュールは、多くのサブブロックで構成されています。たとえば、デジタル モジュールには、I2C/SPI、クロック ジェネレータ、デジタル フィルタ、オーディオ シリアル インターフェイス、デジタル ゲイン ブロックなどが含まれる場合があります。一方アナログ モジュールには、バンドギャップなどの電圧リファレンス ブロック、電流ジェネレータ、ゲイン アンプ、ミキサなどが含まれる場合があります。

このアプリケーションでは、オーディオ コンバータのノイズについて説明します。この概念は DAC で有効なだけでなく、ADC やコーデックにも適用できます。

2 詳細説明

2.1 内部ノイズ (IC 内)

2.1.1 ノイズのシェーピングとフィルタリング

デジタル変換では、連続信号の振幅は離散的なデジタル値によって近似されます。DAC が信号を再構築するとき、デジタル データの分解能は有限であるため、わずかな振幅誤差が生じます。

デジタル コードをアナログ信号の範囲にマッピングする際に、量子化ノイズという誤差が発生します。DAC の伝達関数は、図 1 に示すように一連の離散的な点で表されます。この図は、3 ビット DAC でのデジタル コードとそれに対応するアナログ出力のマッピングを表しています。DAC の 1 LSB は、連続するアナログ出力間のステップの高さに対応します。

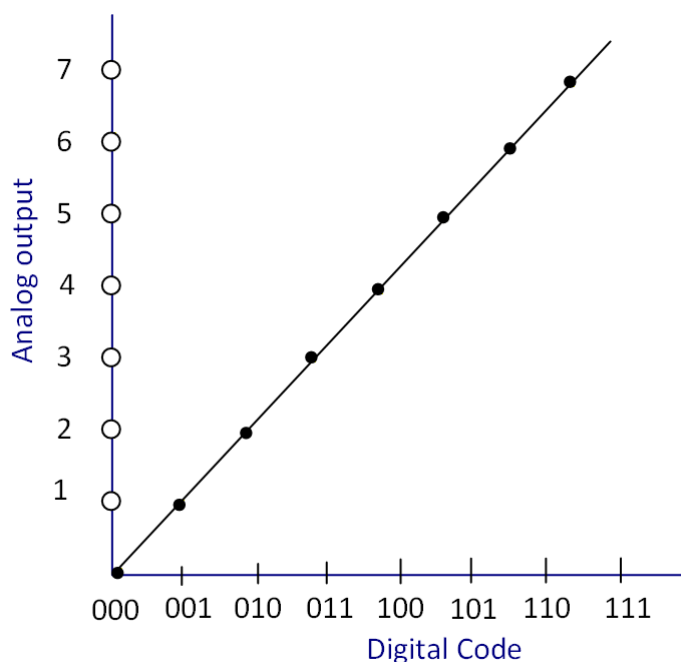


図 2-1. 3 ビット DAC の代表的な伝達関数

N ビット コンバータの量子化レベルは 2^N です。したがって、これらの量子化レベルの幅は $FS/(2^N-1)$ になります。量子化幅が Δ の ADC の場合、量子化ノイズは $-\Delta/2$ から $+\Delta/2$ の範囲で等しい確率で発生し、その確率密度関数は量子化誤差の範囲で一様となります。式 1 に示すように、量子化ノイズ電力は、この範囲全体の誤差を積分することで計算できます。

$$\varepsilon_{rms}^2 = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} \varepsilon^2 d\varepsilon = \frac{1}{\Delta} \frac{\varepsilon^3}{3} \bigg|_{-\Delta/2}^{+\Delta/2} = \frac{\Delta^2}{12} \quad (1)$$

一般に、ナイキスト周波数よりも大幅に高い周波数で信号をサンプリングできます。ナイキスト周波数 ($2f_0$) に対する高サンプリング周波数 (f_{os}) の比率をオーバーサンプリング レート (OSR) と呼びます。ここで、 f_0 は入力信号の周波数です。したがって、OSR は 式 2 のように記述できます。

$$OSR = \frac{f_{os}}{2f_0} \quad (2)$$

オーバーサンプリング状態では、信号帯域幅 ($0 \sim f_0$) 内のノイズ電力は 式 3 で求められます。

$$n^2 = \int_0^{f_0} \varepsilon^2(f) df = \varepsilon_{rms}^2 \left(\frac{2f_0}{f_{os}} \right) = \frac{\varepsilon_{rms}^2}{OSR} \quad (3)$$

上の式に示すように、オーバーサンプリングはオーバーサンプリング レートの平方根の割合で帯域内実効ノイズを低減します。実際、オーバーサンプリングにより、ノイズ スペクトルはより広い周波数範囲に分布します。ノイズをシェーピングし、大半のノイズ スペクトルをより高い周波数にシフトすることで、帯域内ノイズをさらに低減することができます。このコンセプトを「ノイズ シェーピング」といいます (Ref.3)。ノイズ シェーピングの後に必要になるのは、高周波のノイズ除去だけです。このフィルタリングは、デジタルドメインまたはアナログドメインのいずれでも実行できます。変調器からビット ストリームが出力される場合は、デジタル フィルタが適しています。K 倍でオーバーサンプリングしたため、ノイズはより高い周波数にシフトされます。 $fs/2$ でフィルタリングすることで、ノイズの大半は帯域外になります。通常、DAC の出力には、適切なカットオフ周波数のローパス RC フィルタが使用されます。

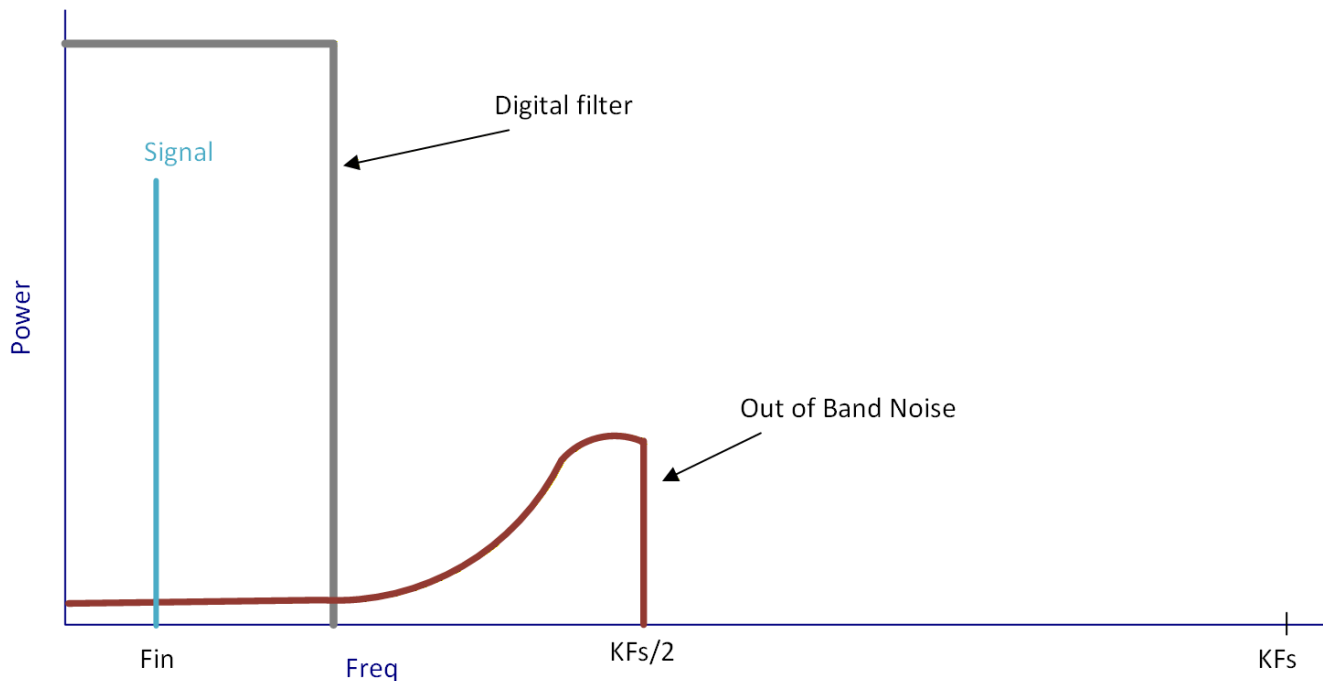


図 2-2. ノイズ シェーピングで Kfs に分布したノイズ スペクトル

2.1.2 内部デジタル モジュールとアナログ モジュール間のノイズ結合の防止

デジタル セクションとアナログ セクションの配置を慎重に計画する PCB 設計と同様に、DAC の内部設計でも同様のアプローチに従います。アナログドメインとデジタルドメインは分離されており、それぞれに専用の電源が必要です。

クロックは、グランドラインへのノイズ流入の最も大きな発生源であるため、アナログドメインとデジタルドメインはそれぞれ独自のグランドラインを使用して分離する必要があります。多くの設計では、メインモジュール内にサブモジュールが存在し、サブモジュール内のノイズを抑えるのに役立つ個別の電源が備えられています。TIのすべてのオーディオデバイスでは、デジタル、アナログ、IOバッファの電源が分離されているだけでなく、多くの場合、各サブモジュールまたはチャネル用に複数のグランドピンまたは独立した電源が用意されています。ノイズ抑制の対策を完全にするには、レイアウトフェーズでも注意を払い、分離またはシールドを行う必要があります。

エンドユーザーは特定のICの設計とレイアウトを制御できませんが、適切なアーキテクチャと機能を備えた部品を選択することで、システム全体の性能を向上させることができます。

2.2 外部ノイズ

DACの選択が完了したら、次の段階では、基板や外部部品による劣化なしにDACの性能を発揮できる基板を設計します。システムへ流れ込むノイズの主な要因は、クロックと電源の2つです。システム内のノイズ増加に寄与する可能性がある要因と、それらに対処してノイズ性能を向上させる方法を簡単に説明します。

2.2.1 クロックジッタ

クロックジッタはサンプリング誤差を引き起こし、信号対雑音比の低下をもたらします。ジッタにより、歪みやノイズフロアの増加が発生する可能性があります。ノイズフロアの増加は、信号対雑音比の低下に直接影響します。式4では、ジッタ誤差が信号対雑音比に及ぼす影響を定量化しています。

$$SNR = 20\log\left(\frac{V_p/\sqrt{2}}{2\pi f_{in} V_p \cdot t_j/\sqrt{2}}\right) = -20\log(2\pi f_{in} t_j) \quad (4)$$

ここで、 t_j 、 f_{in} 、 V_p は、それぞれ信号のジッタ、入力周波数、振幅です。ジッタと信号対雑音比の関係に関する詳細および、上記の式の導出については、参考資料4を参照してください。

2.2.2 電源

他のデータコンバータと同様、DACの性能はクリーンな電源に大きく依存します。電圧変動、レギュレータからのスイッチングノイズ、電磁干渉は、影響を受けやすいアナログ回路に結合する可能性があります。

クリーンな電源の使用を強く推奨します。基板や基板上の他のICのDACに、安定した、ノイズのない、良好なレギュレーションが施された電力を供給できるためです。低ノイズ電源により、DC出力に重畳されるACリップルや高周波ノイズが最小限に抑えられます。また、低EMIを備え、負荷電流が急激に変化したときでも、高速過渡応答を実現します。

クリーンな電源を確保するための重要な方法の1つは、DACの電源ピンにデカップリング/バイパスコンデンサを追加することです。デカップリングコンデンサは、各電源ピン専用のコンデンサであることに注意してください。複数の電源ピンに対する電源電圧の電圧レベルまたはソースが同じであっても、各ピンに専用のデカップリングコンデンサを追加する必要があります(図2-3)。通常、幅広い周波数スペクトルにわたるノイズを抑制するため、各電源ピンにはディケード範囲の異なる複数のバイパスコンデンサが追加されます。高周波ノイズには小容量のコンデンサ(100pFのセラミックなど)が必要であり、低周波数ノイズにはより大きな容量値が必要となります(1μF)。TIでは、リップルおよびノイズを最小限に抑えるため、低ESR(等価直列抵抗)コンデンサ(セラミックなど)を使用することを推奨しています。これらのデカップリングコンデンサは、チップ内の対応するピンのできるだけ近くに配置する必要があります。

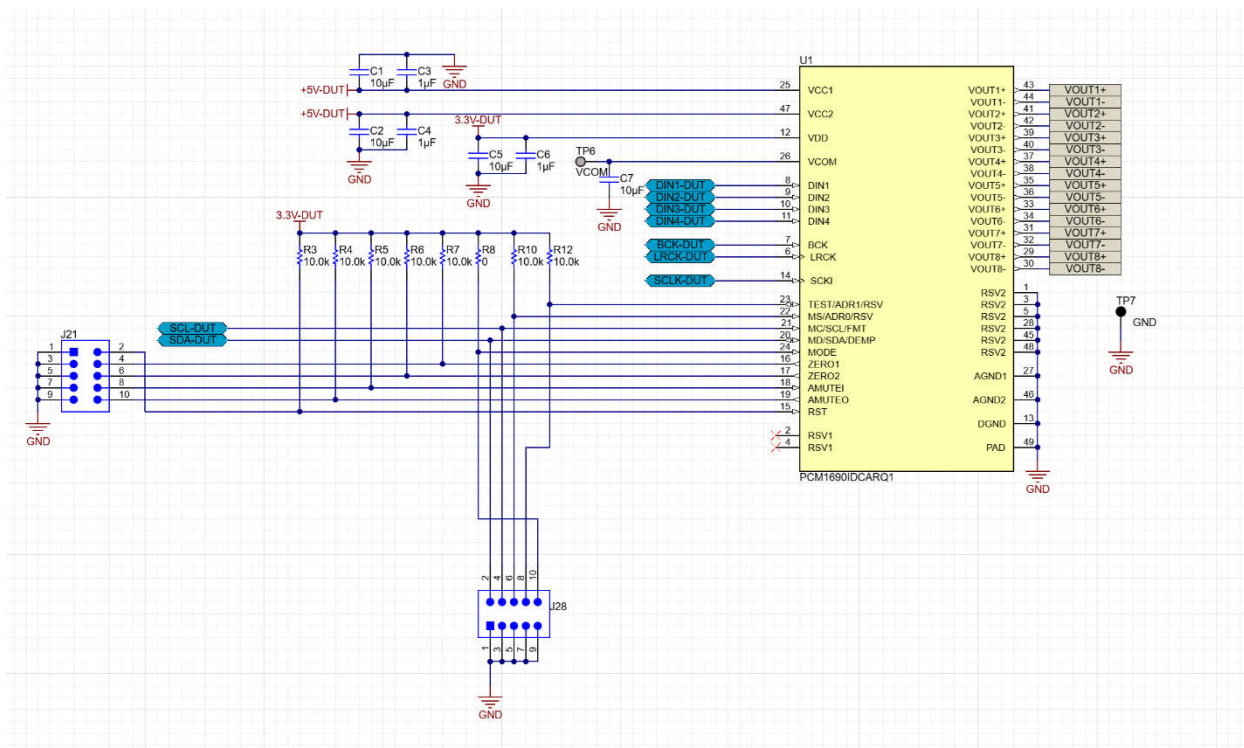


図 2-3. 各電源ピンに接続されたバイパス コンデンサ (PCM1680)

よりクリーンな電源を確保するためのもう 1 つの一般的な方法は、フェライト ビーズまたは LC フィルタを追加して、電源ラインからの高周波ノイズをフィルタリングすることです。これらのフェライト ビーズは、電源エントリ ポイントの入力に配置する必要があります。

2.3 PCB 設計および配線に起因するノイズ

DAC に流入するもう 1 つの重要なノイズ源は、基板上のさまざまな信号の配線に起因します。グラウンド ループ、寄生効果、ノイズを排除するには、適切なプリント基板のレイアウト ガイダンスと接地手法に従う必要があります。

- 可能であれば、アナログ電源とデジタル電源は分離して使用してください。デジタル電源ピンとアナログ電源ピンを持つほとんどの基板には、アナログ電源とデジタル電源を分離することを推奨します。ほとんどの場合、同じ電圧レベルを使用する複数の IC が存在するため、これらの IC 間では同じ電源が共有されます。これらの IC は異なる周波数でスイッチングすることがあり、同じ電源ラインを共有するすべての IC にスイッチング ノイズが流入する可能性があります。前のセクションで説明したように、電源ラインに流入するノイズを低減または除去するには、各電源ピンにデカップリング コンデンサを追加する必要があります。これらのコンデンサは、物理ピンのできるだけ近くに配置する必要があります。
- 基板全体で、切れ目のない、低インダクタンスのソリッド グランド プレーンを使用してください。これは、ノイズに対する最も効果的な手段です。基板のレイアウトで最も一般的な問題はグラウンド ループです。これは、ある IC からのリターン電流が、他のアナログ IC やデジタル IC と共有されているパスを流れることで発生します。通常、低周波のハムやバズはグラウンド ループが原因で発生します。
- グランド ループに対処する従来のアプローチは、アナログ / デジタル グランド プレーンに別個のソリッド プレーンを用意することです。これらのグラウンド プレーンは、1 点で互いに接続して結合されたグラウンドを形成し、ノイズの多いデジタル リターン電流が回路全体のアナログ グランドに流れることを防止する必要があります。
- 部品の配置によって影響を受ける可能性のあるパラメータには、信号の品質、熱管理、電磁干渉 (EMI) などがあります。部品の配置が不適切な場合、クロストーク、信号の遅延、ノイズの増加などの問題につながる可能性があります。
- IC の向きとその配置は、配線に影響を与えることがよくあります。配線トレースが不要な迂回なしで自然に流れるように、IC を同じ方向に配置することをお勧めします。
- レイアウト設計については、ベスト プラクティスに従ってください。通常、こうした手法はシンプルで基本的なことですが、見落とされたり軽視されがちです。
- 特に、影響を受けやすいアナログ入出力信号では、リードの長さはできるだけ短くします。長いトレースがアンテナとして機能し、電磁干渉 (EMI) を拾ったり放射する可能性があります。影響を受けやすいトレース周囲には、そのトレースの幅の 3 倍に相当する禁止領域 (クリアランス領域) を設けることを推奨します。
- 影響を受けやすいトレースの周囲には、容量性結合を最小限に抑えるために禁止領域を確保します。
- 出力ノイズの入力側へのフィードバックおよび、入力ノイズの出力側への結合を防止するため、入力トレースと出力トレースを分離します。
- アナログまたは影響を受けやすい信号トレースの近くに、高速信号またはスイッチング信号を配線することは避けま
- す。
- 可能な場合は、差動信号を互いに平行に配線して、両方の信号の間隔と長さを一定に保ち、同相モード ノイズを打ち消すようにします。
- 影響を受けやすい線の周囲にガードリングを配置して、ノイズ結合を防ぎます。リーク電流を逃がすため、ガードリングをグラウンド プレーンに接続する必要があります。

3 まとめ

ノイズは、オーディオ DAC の性能に影響を及ぼす最も重要な要因の 1 つです。このアプリケーション ノートでは、量子化誤差、熱ノイズ、クロックのジッタ、電源変動、デジタル スイッチング干渉など、再構成されたアナログ信号の劣化に寄与するさまざまなノイズ源について説明します。オーバーサンプリング、ノイズ シェーピング、低ジッタのクロック処理、慎重な回路のレイアウトなどの高度な設計手法により、最新の DAC は極めて低いノイズ レベルと非常に優れたオーディオ忠実度を実現しています。DAC を適切に選択し、基板設計のためのベスト プラクティスに従うことで、オーディオ システムでオーディオ品質を低下させるノイズの影響を低減できます。

4 参考資料

1. テキサス インスツルメンツ、『[PCM1690 24 ビット、192kHz サンプルング、拡張マルチレベル \$\Delta\Sigma\$ 、8 チャンネル オーディオ D/A コンバータ](#)』、データシート
2. テキサス インスツルメンツ、『[オーディオ コーデックにおける一般的なノイズの問題](#)』、アプリケーション ノート
3. LOLOEE, ARASH,『[デルタ シグマ変調器の理解](#)』、Electronic Design、2013 年 8 月
4. LOLOEE, ARASH,『[信号対雑音比および SFDR 推定のための実践的な検討事項](#)』、Electronic Products、2018 年 10 月

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月