

Application Note

超低レイテンシ ADC を使用した IFF トランスポンダのターンアラウンド時間の最適化



Jash Kothari, Srinivas Murthy

概要

このアプリケーション ノートでは、敵味方識別装置 (IFF) トランスポンダのターンアラウンド時間を最小限に抑えるために、ADC366x ファミリーを使用する方法について説明します。

ADC3668 と ADC3669 はデュアル チャネル、16 ビット、非インターリーブの A/D コンバータ (ADC) で、それぞれ 250MSPS と 500MSPS のサンプリング レートに対応しています。これらのデバイスは、高い SNR を実現すると同時に、L バンドでダイレクト RF サンプリングの利点を活用するように設計されています。電力効率に優れたアーキテクチャを採用しているため、消費電力は 1 チャネルあたりわずか 300mW (500MSPS 時) であり、全体のレイテンシに影響することなく、より低いサンプリング レートで消費電力を抑えることができます (250MSPS 時に 250mW/チャネル)。このデバイスに特化した 9 クロック サイクルの低レイテンシ モードを活用することで、設計者は、DoD AIMS 17-1000 (Mark XIIIB)、NATO STANAG 4193、RTCA DO-181E、および ICAO Annex 10 の要件を満たすために不可欠な、マイクロ秒未満の処理速度を達成できます。

目次

1 概要.....	2
2 ADC366x 内部 Rx アーキテクチャ.....	3
2.1 1.4GHz 広帯域、高性能、低消費電力ダイレクト RF サンプリング.....	3
2.2 内蔵デジタル ダウンコンバータ (DDC) と 32 ビット NCO.....	4
3 ADC366x 低レイテンシ モード.....	5
4 IFF パルス処理の性能.....	6
4.1 大電流信号パルスが存在する場合の ADC3669 の性能.....	6
4.2 微弱な信号パルスが存在する場合の ADC3669 の性能.....	7
5 まとめ — 時間の短縮	8
6 参考資料.....	8

商標

すべての商標は、それぞれの所有者に帰属します。

1 概要

敵味方識別装置 (IFF) システムは、民間および防衛部門の双方において、味方の対象と潜在的な脅威を区別するために使用されます。

標準的なシステムでは、主質問器と二次トランスポンダの間で双方向の通信を行います。質問器は、標準化された **1030MHz** の周波数でエンコードされたパルスシーケンスを送信することで、通信を開始します。トランスポンダがこの符号化された信号の復号に成功すると、トランスポンダは **1090MHz** でエンコード応答を自動的に送信し、高度や **GPS** 位置情報など、識別に必要なデータやテレメトリ データを提供します。

正確な距離計算を保証するため、トランスポンダのターンアラウンドタイムは国際規格で規定されています。質問器は、**shout** から **echo** までの合計時間を測定し、内部処理定数 (通常 **3.0 マイクロ秒 ± 0.5 マイクロ秒**) を差し引くことで距離を計算します。これに誤差があると、航空機が報告する位置は実際の位置から大きくずれてしまいます。

軍用モードでは、トランスポンダは応答を返すだけでなく、質問を復号して応答を暗号化する必要があります。ハードウェアの処理速度が遅すぎると、レイテンシは質問器の想定ウィンドウを超え、味方の航空機が「未知」または「敵機」と認識される可能性があります。さらに、トランスポンダは、応答を返した後、他の質問に応答できない休止時間 (通常は **125μs** まで) に入ります。過密な空域では、この遅延を管理することは、航空機が他のレーダーから消えることを防ぐ上で重要となります。

2 ADC366x 内部 Rx アーキテクチャ

2.1 1.4GHz 広帯域、高性能、低消費電力ダイレクト RF サンプリグ

- ADC3669 は 1.4GHz の高性能アナログ入力帯域幅を備えており、1030MHz および 1090MHz の質問信号のダイレクト RF サンプリグを可能にします。
- これにより、設計者はミキサ、ローカル発振器、IF フィルタなどのアナログ ダウンコンバージョン段をなくすることができます。本質的に遅延が起きてしまうアナログ部品が不要になるため、全体のターンアラウンド時間を短縮できます。
- さらに、ADC の 16 ビット コアが非常に高い SNR および SFDR 値を実現するため、システムが遠距離からの微弱な質問信号と大電力の干渉信号を容易に識別できるようになります。(例: 混雑した民間空港や戦術戦闘地域。)
- ADC3669 は、500MSPS 時にチャンネルあたり 300mW の高効率を実現し、このクラスで最も電力効率の優れた ADC の 1 つとなっています。最新の航空機システムに求められる SWaP 最適化の制約にも直接対応することができます。

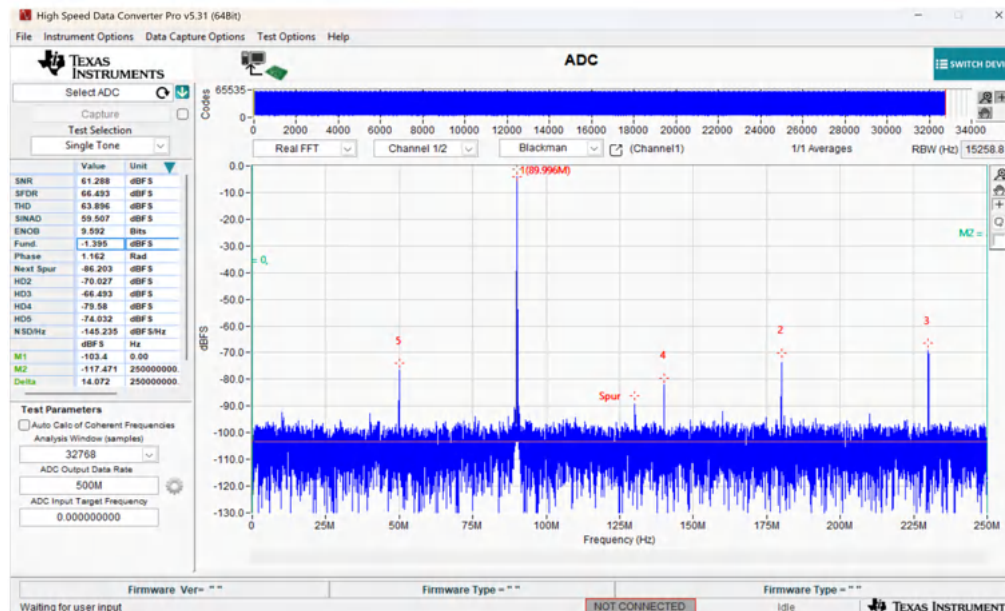


図 2-1. $F_{in} = 1090\text{MHz}$ での ADC3669 の FFT 出力

2.2 内蔵デジタル ダウンコンバータ (DDC) と 32 ビット NCO

ADC366x は、32 ビットの数値制御発振器 (NCO) と組み合わせた最大 4 つのデジタル ダウンコンバータ (DDC) を搭載しています。

熱ドリフトの影響を受けやすいアナログ システムとは異なり、デジタル NCO により、1030MHz 信号を ADC 内部でベースバンドにデジタル シフトダウンする同時に、温度範囲全体にわたって優れた安定性を維持できます。これにより、内部パルス検出アルゴリズムが一貫した信号を確実に受信できるようになり、**タイミング ウォーク** や **ジッタ** を防止して、より優れた距離精度を維持できます。

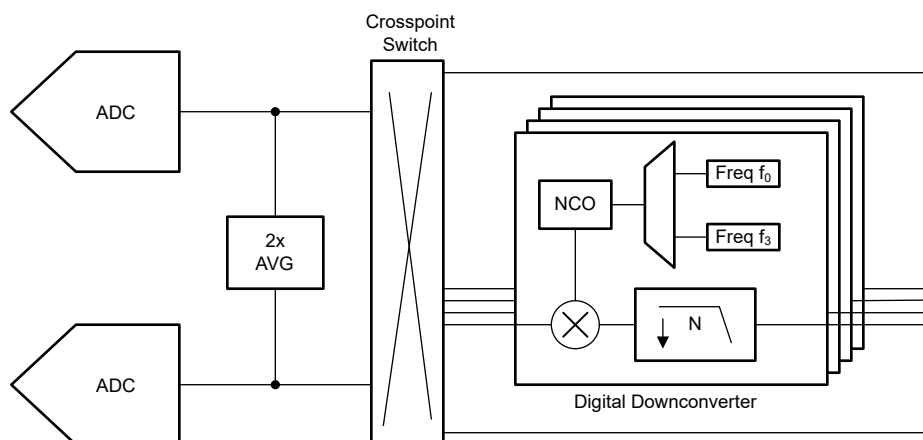


図 2-2. ADC3668/ADC3669 の内部 Rx アーキテクチャ

図 2-3 に示すように、ADC366x の内部 NCO およびデシメーションブロックを活用し、ハードウェアレベルでエイリアスイメージを除去することで、周波数計画を最適化します。ADC 内部で 1/4 のデシメーションを直接実行することで、帯域外の量子化ノイズが除去され、期待される 6dB の処理ゲインが得られます。このデジタル ダウンコンバージョンタスクを FPGA からコンバータにオフロードすると、FPGA ロジックリソースを節約し、インターフェイス帯域幅を低減して消費電力を最小限に抑えることができます。

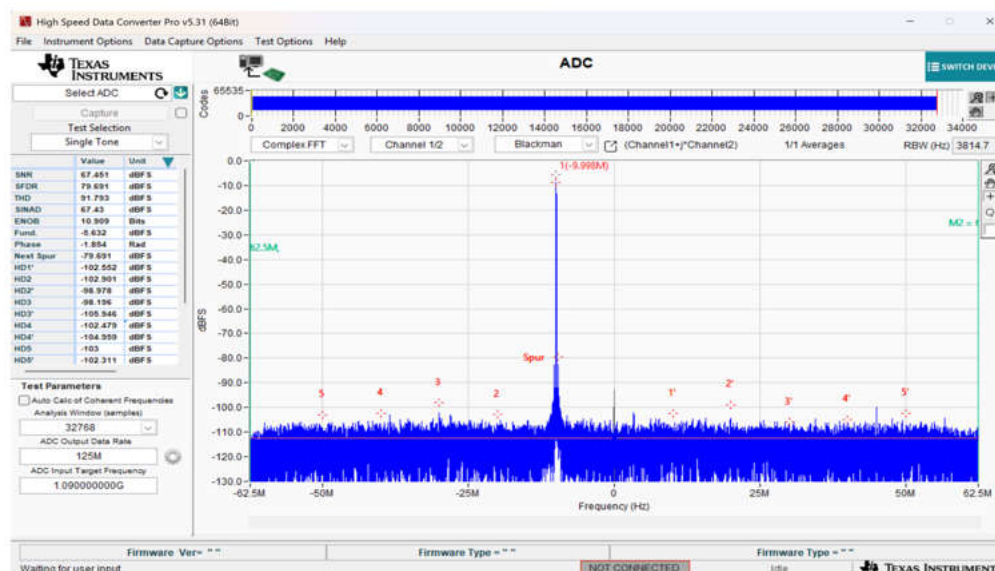


図 2-3. 内蔵 DDC + NCO、1/4 デシメーションによる複素 FFT 出力

3 ADC366x 低レイテンシ モード

ADC366x シリーズは、集約パスレイテンシ (伝搬レイテンシ + ADC サンプリング レイテンシ + デジタル レイテンシ) を最小化し、IFF システムなど、高精度アプリケーションの厳格なリアルタイム要件を満たすように設計されています。

また、低レイテンシ動作モードも用意されています。このモードでは、デジタル誤り訂正機能や他のすべてのデジタル機能 (デシメーション フィルタ、テスト パターン、SDR LVDS など) をバイパスすることで、わずか 9 クロック サイクルのレイテンシを達成しています。この機能は、低レイテンシ制御ループなどのアプリケーションに最適です。

デジタル誤り訂正ブロックがバイパスされるため、このモードでは SFDR で多少の劣化が発生するおそれがあることに注意してください。ただし、IFF など、ノイズフロア (NSD) や SNR が最も重要なパルス タイミングへの依存度が高いアプリケーションでは、通常 SFDR の低下による影響はありません。

低レイテンシ モードは、<low latency EN> レジスタ (0x165) でイネーブルにできます。

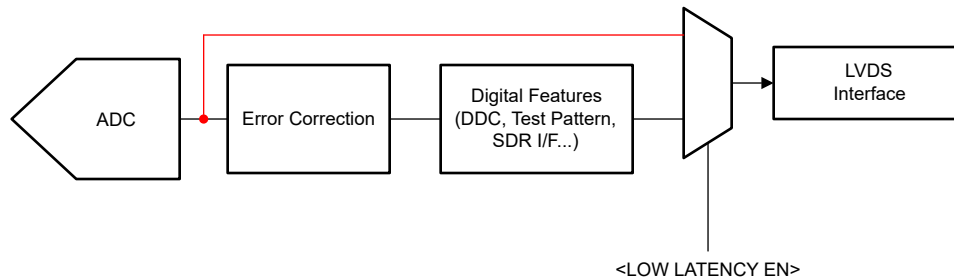


図 3-1. ADC3668/ADC3669 の低レイテンシ モード

サンプリング レート (F_s) が 500MSPS の場合、全体のレイテンシに影響する主な要因は次のとおりです。低レイテンシモードを使用すると、レイテンシを 10ns 未満に短縮できます。

レイテンシ	条件	遅延	値
t_{PD} - 伝搬遅延		$1.7 + T_s/4nS$	2.2nS
t_{ADC} - ADC レイテンシ	DDR LVDS、通常モード	38 ADC クロック	76nS
	DDR LVDS、低レイテンシ モード	4 ADC クロック	8nS
t_{DIG} - デジタル遅延	DDC バイパス	5 ADC クロック	10nS
	DDC 2	24 ADC クロック	48nS
	DDC 16 ~ 32768	50 ADC クロック	100nS

4 IFF パルス処理の性能

ADC3669 の直線性と感度を検証するため、パルス幅 $2\mu\text{s}$ 、パルス反復周期 $5\mu\text{s}$ の RF パルス列を利用し、入力電力を -10dBFS パルスから大幅に減衰された -60dBFS のスレッシュホールドまで、 50dB ダイナミックレンジ全体で掃引しました。

4.1 大電流信号パルスが存在する場合の ADC3669 の性能

ADC3669 は、 -10dBFS 信号を処理する場合に、16 ビットの動作ダイナミックレンジ全体にわたり高い直線性を示します。

時間ドメイン分析によると、サンプリングされた信号は約 **2,400** から **63,300** までの未加工 ADC コードにわたり、ADC の飽和やクリッピングなしで、 **$\approx 60,900$** コードのピークツーピーク分布を示しています。また、信号はパルスの中で中間スケールのベースライン **$\approx 32,750$** コードに速やかに収束することがわかります。

このような時間ドメインと周波数ドメインにおける性能は、以下の図 4-2 および図 4-1 で確認できます。

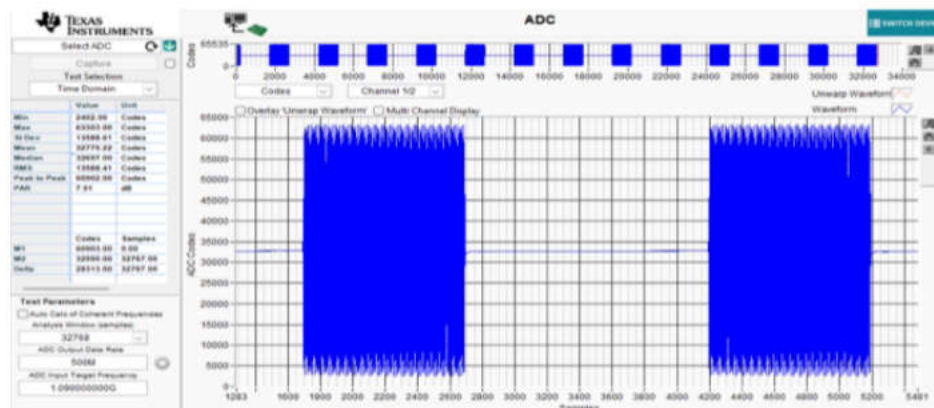


図 4-1. -10dBFS 、 1090MHz における $2\mu\text{s}$ パルスの時間とメイン キャプチャ

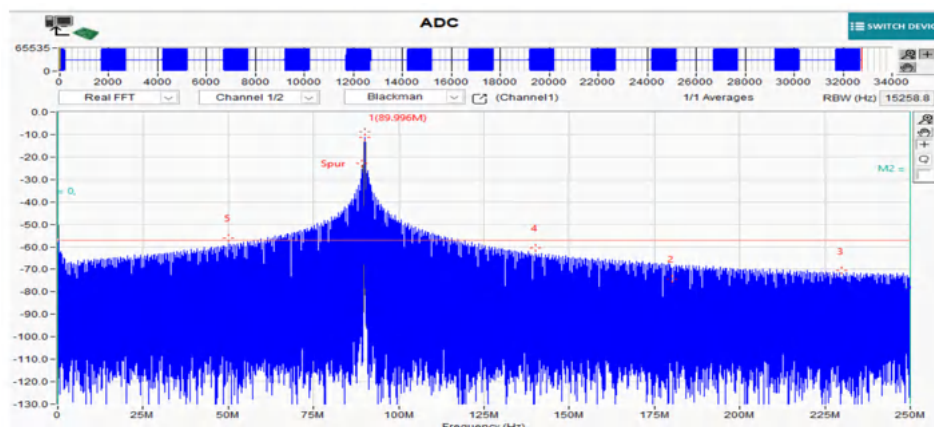


図 4-2. -10dBFS 、 1090MHz における $2\mu\text{s}$ パルスの周波数ドメイン キャプチャ

4.2 微弱な信号パルスが存在する場合の ADC3669 の性能

微弱な -60dBFS 信号が入力されると、未加工の時間ドメインのピークツーピークのコード分布は、アイドル状態のベースラインである約 110 コードから 175 コードまで拡大します。この 175 コード エンベロープは、250MHz ナイキスト帯域幅内に存在する約 110 コードの熱ノイズと、微弱な入力パルスにおける 65 コードのピークツーピーク振幅の合計を表します。

図 4-3 に示すように、-60dBFS における 2 μ S パルスの時間ドメイン キャプチャは、この安定した 175 コードのピークツーピーク ウィンドウに従っています。これは、ADC3669 の非常に優れた線形性能を示しており、極めて微弱な信号でも波形を分解できることを証明しています。

パルス エンベロープは現在、フル 500MSPS のサンプリング レートで広帯域ノイズフロアに埋もれているため、内部デジタル ダウンコンバータ (DDC) を使用して帯域外の量子化ノイズをフィルタリングできます。その結果、ベースラインを収束させ、ダウンストリーム タイミング ロジックで実際のパルス形状を明確に捉えることができます。

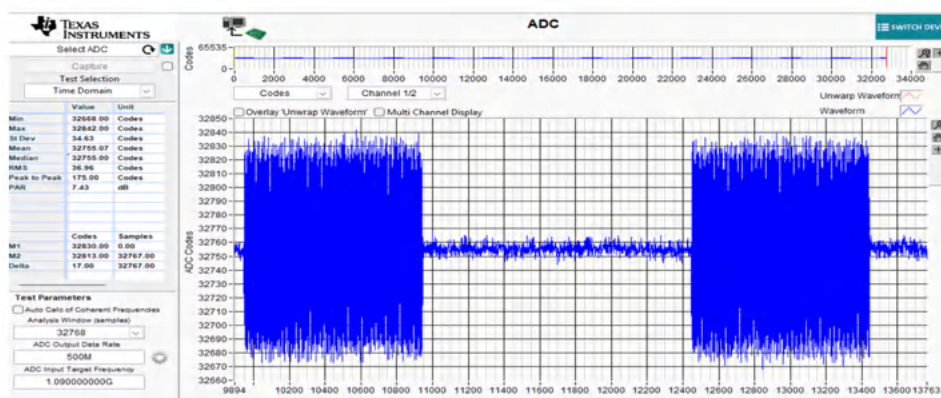


図 4-3. -60dBFS、1090MHz における 2 μ S パルスの時間とメイン キャプチャ

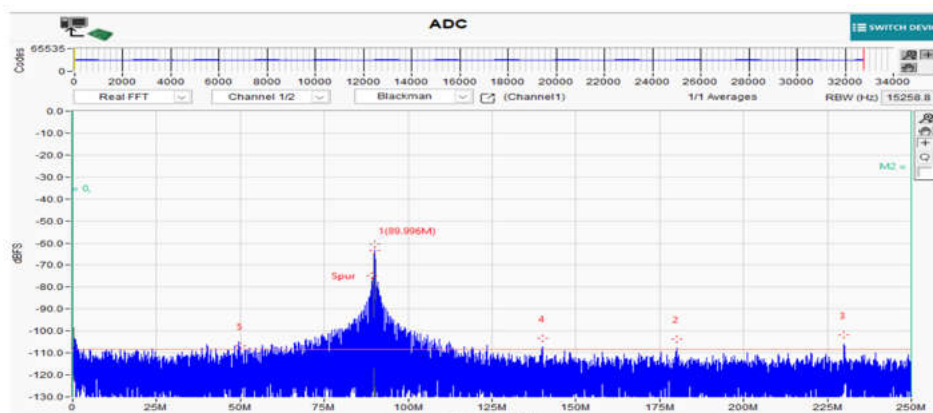


図 4-4. -60dBFS、1090MHz における 2 μ S パルスの周波数ドメイン キャプチャ

5 まとめ — 時間の短縮

最新の IFF、特に Mode 5 では、 $3.0\mu\text{s}$ のターンアラウンド ウィンドウの大部分を利用する高度な暗号化技術が必要です。ADC366x を使用することで、設計者は、システムの標準的な ADC と比べて 200 ナノ秒以上の処理時間を短縮できます。このように十分な余裕を持つことで、より堅牢な暗号化アルゴリズムを実装し、スプーフィングを防止することができます。さらに、このデバイスの優れた小信号線形性と内蔵デジタル機能により、FPGA によるフィルタ処理の負荷と消費電力を大幅に削減できます。

6 参考資料

- テキサス インストルメンツ [ADC3668](#)、[ADC3669](#) デュアル チャネル、16 ビット 250MSPS および 500MSPS A/D コンバータ (ADC)、データシート

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月