

## Design Guide: TIDA-010962

# 自動試験装置 (ATE) 80V ディスクリートフローティングVIのリファレンスデザイン



### 説明

このリファレンス デザインには、4 象限のディスクリートフローティング電圧および電流 (VI) デザインが含まれています。電圧出力は  $\pm 40V$  および  $0V \sim 80V$  の範囲をサポートし、 $500mA$ 、 $10mA$ 、 $10\mu A$  の 3 つの電流範囲があります。このデザインでは、印加電圧 (FV)、印加電流 (FI)、バッファ、アナログ帰還ループのあるギャング モードで動作します。このリファレンス デザインは 20 ビットの印加 D/A コンバータ (DAC) と 18 ビット、2 チャンネルの A/D コンバータ (ADC) と高精度信号チェーンを搭載しており、キャリブレーション後の制御と測定で 0.01% の精度を実現します。

### リソース

<a href="#">TIDA-010962</a>	デザインフォルダ
<a href="#">TMS320F280039C</a>	プロダクトフォルダ
<a href="#">DAC11001B</a> , <a href="#">DAC80502</a>	プロダクトフォルダ
<a href="#">PGA849</a> , <a href="#">OPA2182</a> , <a href="#">OPA182</a> , <a href="#">OPA593</a>	プロダクトフォルダ
<a href="#">OPA596</a> , <a href="#">OPA454</a> , <a href="#">THS4552</a> , <a href="#">OPA397</a>	プロダクトフォルダ
<a href="#">OPA4187</a> , <a href="#">INA592</a> , <a href="#">REF54</a> , <a href="#">RES11A</a>	プロダクトフォルダ
<a href="#">TLV1872</a> , <a href="#">TMUX6219</a> , <a href="#">TMUX6212</a> , <a href="#">TMUX6221</a>	プロダクトフォルダ
<a href="#">TMUX6236</a> , <a href="#">TMUX6234</a> , <a href="#">TCAL9539</a> , <a href="#">TPSM63603</a>	プロダクトフォルダ
<a href="#">TPSM82912</a> , <a href="#">TPS7A9401</a> , <a href="#">TPS7A2018</a>	プロダクトフォルダ

### 機能

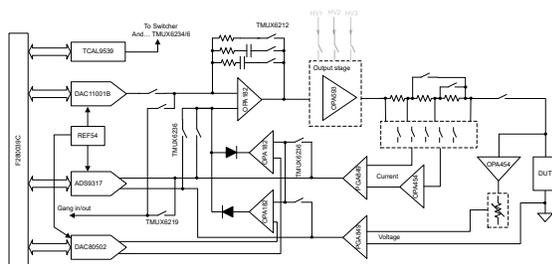
- FV、FI、ギャングング、バッファ出力、スタックアップをサポート
- DAC の強制: 20 ビット、最大 1Msps。検出 ADC: 18 ビット、最大 5Msps。クランプ DAC:  $\pm 40V$  では 15 ビット、 $0V \sim 80V$  では 16 ビット
- 電圧出力範囲:  $0V \sim 80V$ 、 $\pm 40V$ 。電流範囲:  $10\mu A$ 、 $10mA$ 、 $500mA$
- 電圧出力精度: 定電圧 (CV)、 $\pm 40V$  範囲、室温の条件下で  $< 25ppm$  のフルスケール (FS)
- 電流出力精度: 定電流 (CC)、 $\pm 500mA$ 、室温の条件下で  $< 30ppm$  の FS
- 立ち上がり時間: 解放負荷、 $\pm 40V$  範囲、 $500mA$  の条件下で約  $50\mu s$  ( $-40V$  から  $+40V$ )。セトリングタイム: 約  $20\mu s$  (開放から全負荷または逆転まで)
- サポートされる容量性負荷:  $> 100\mu F$
- 小型サイズ: 低電圧信号チェーン ( $32mm \times 32mm$ )、高電圧出力 ( $20mm \times 40mm$ )

### アプリケーション

- パラメトリック測定ユニット (PMU)
- ソースメジャー ユニット (SMU)



テキサス・インスツルメンツの™ E2E サポート エキスパートにお問い合わせください。



## 1 システムの説明

半導体テスターでは、さまざまなファンクションカードにより異なるテストを実行します。これらのカードには、デバイス電源 (DPS)、ピン エレクトロニクス (PE)、パラメトリック測定ユニット (PMU)、高電圧 (HV) PMU、デジタイザ、任意波形ジェネレータ (AWG) などが含まれます。各ボードは、デザイン ポロジリーに基づいて 1 つまたは複数の機能を備えています。DPS は、テスト対象デザイン (DUT) に電源を供給します。PE には、多くの機能をテストするための、ピンドライバとピンごとのパラメトリック測定ユニット (PPMU) と能動負荷が内蔵されています。PE は、パターン テスト、開放または短絡テスト、ピンレベルのテストなどを実行します。AWG は信号対雑音比 (SNR) や全高調波歪み (THD)などを測定するために任意の波形を生成します。PMU は DUT パラメータを正確にテストし、印加電圧測定電流 (FVMI) または印加電流測定電圧 (FIMV) または単なる測定電圧 (MV) をサポートしています。PMU は DUT の電圧と電流を高精度で印加し測定します。PMU カードには、さまざまな DUT 電圧アプリケーション用の、低電圧 (LV) PMU カードと HV PMU カードが含まれています。統合チップは小型でチャンネル設計密度が向上するため、低電圧 PMU では統合チップ設計を採用しています。

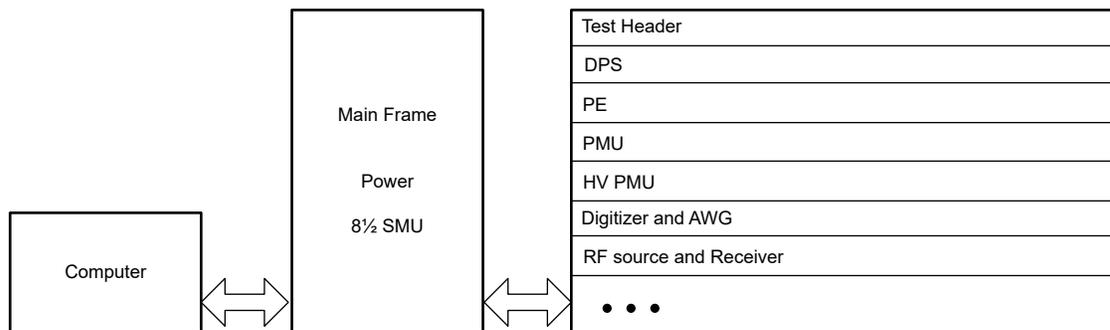


図 1-1. ATE テスタ部品

高電圧 PMU は高電圧と大電流を印加および測定します。HV PMU は、自動車レベルのチップ、バッテリー管理システム (BMS) チップ、またはディスクリート コンポーネントのテスト要件に対応します。より小型の制御および測定電圧ステップを実現するため、HV PMU には高分解能の DAC と ADC が必要です。HV PMU は小さい出力範囲で精度要件を維持します。このリファレンス デザインでは、20 ビット高速 DAC と 18 ビット高速 ADC により、高精度信号チェーンを使用した超高精度の高速制御と測定を実現します。

### 1.1 主なシステム仕様

パラメータ	仕様
サポートされる動作モード	FV、FI、ギャンギング、パッファ出力、積み重ね
電圧範囲	0V–80V、±40V
電流範囲	500mA、10mA、10μA
電圧出力精度	< 25ppm (CV、500mA、室温時)
電流出力精度	< 30ppm (CC、500mA、室温時)
ADC 読み取り電圧精度	< 20ppm (CV、500mA、室温時)
ADC 読み取り電流精度	< 40ppm (CC、500mA、室温時)
ADC 読み取り電圧スイング LSB	約 3LSB (CV、500mA、室温時)
ADC 読み取り電流スイング LSB	約 4LSB (CC、500mA、室温時)
立ち上がり時間	約 50μs (–40V ~ 40V、開放負荷、CV、500mA 時)
セトリング タイム	約 20μs (無負荷 ~ 全負荷、CV、500mA 時)
容量性負荷	> 100μF

### 警告

テキサス・インスツルメンツは、このリファレンス デザインをラボ環境のみで使用するものとし、一般消費者向けの完成品とはみなしていません。

テキサス・インスツルメンツは、このリファレンス デザインを高電圧電気機械部品、システム、およびサブシステムの取り扱いに関連するリスクを熟知した有資格のエンジニアおよび技術者のみが使用するものとしています。

**高電圧！** 基板上は高電圧状態になっており、接触するおそれがあります。基板は、不適切に取り扱ったり適用したりした場合に感電、火災、負傷の原因となる電圧および電流で動作します。負傷や物品の破損を避けるために、必要な注意と適切な対策をもって機器を使用してください。

**表面は高温！** 触れるとやけどの原因になることがあります。**触れないでください！** 基板の電源を入れると、一部の部品は  $55^{\circ}\text{C}$  を超える高温に達することがあります。動作中は常に、また動作直後も高温の状態が続く可能性があるため、基板に触れてはいけません。

### 注意

電源を入れたままその場を離れないでください。

## 2 システム概要

### 2.1 ブロック図

図 2-1 は、このリファレンス デザインの電源構造を示しています。

高電圧電源レールが OPA593 の出力段に電力を供給します。図 2-1 の略図が示すように、これら 2 つの電源レールは絶縁する必要があり、低電圧レールのグラウンドは OPA593 出力に接続されているため、高電圧出力段の低電圧回路がフローティングになります。

電源レールには 2 つのグループ電源レールが含まれています。1 つのレールは、外部の  $+15\text{V}$  からの入力により低電圧で動作します。低電圧レールは、DAC、ADC、信号チェーンに電力を供給します。他のレールは、予想される電圧範囲テストに基づいて、外部  $+43\text{V}$ 、 $-42\text{V}$ 、または  $+83\text{V}$ 、 $-2\text{V}$  の入力がある高電圧で動作します。高電圧電源レールが OPA593 の出力段に電力を供給します。これら 2 つの電源レールには絶縁が必要です。低電圧レールのグラウンドは OPA593 の出力に接続します。図 2-1 は、この接続により高電圧出力段の低電圧回路がフローティングになる様子を示しています。

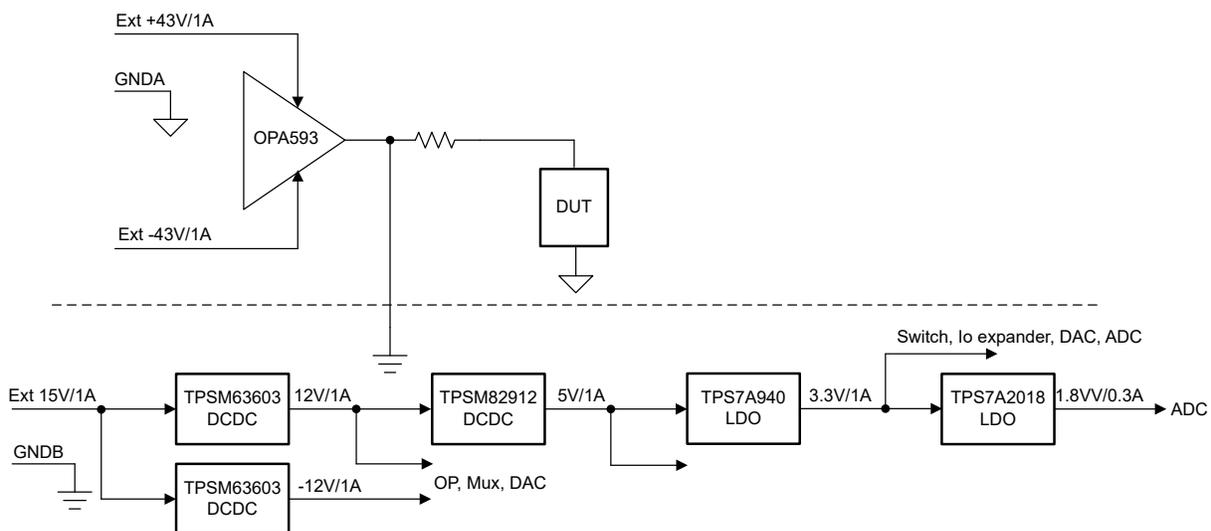


図 2-1. TIDA-010962 電源レールのブロック図

図 2-2 は、このリファレンス デザインの信号チェーンのブロック図を示しています。

印加パスでは、DAC11001B により、クランプがトリガされないときの印加パスへの電圧または電流が設定されます。12 の補償オプションは、4 つの抵抗と 3 つのコンデンサで構成されます。電力出力段では、4 つの並列 OPA593 チップがあらゆる温度範囲で 500mA の出力キャパシティを実現します。3 つの電流範囲の選択では直列トポロジ設計を使用します。

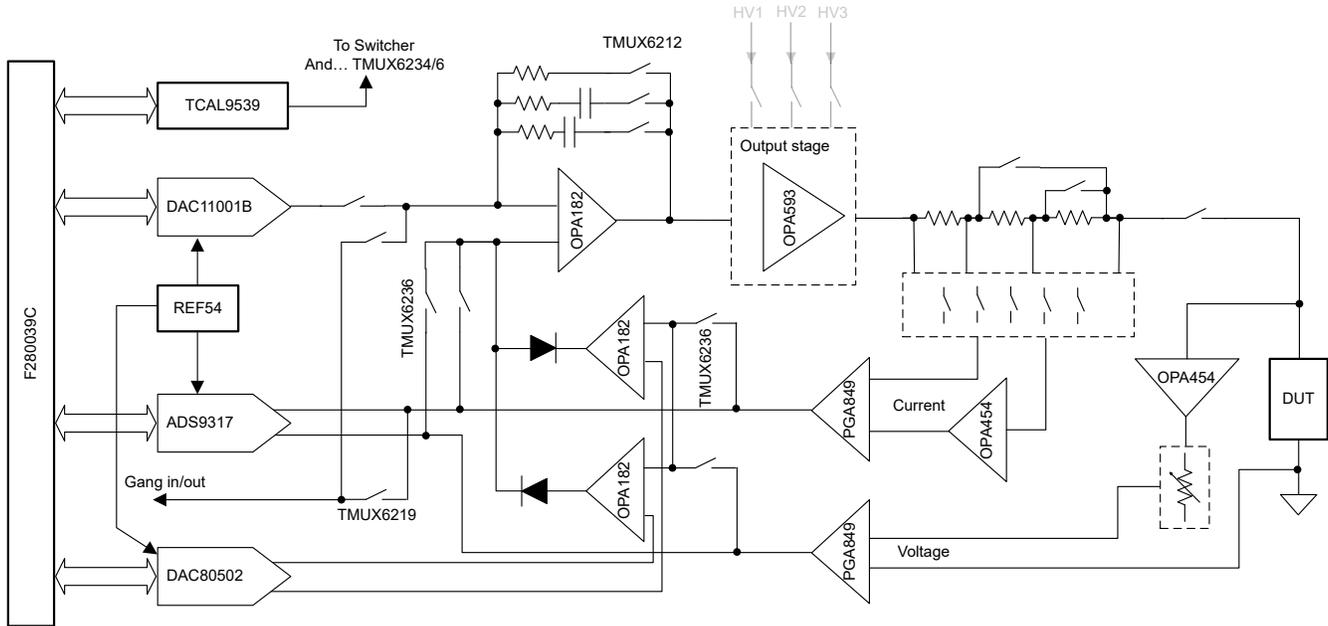


図 2-2. TIDA-010962 信号チェーンのブロック図

検出パスでは、OPA454 は低リーケージ アンプとして動作し、出力レールからの電圧のバッファとなります。PGA849 は差動電流とリモート DUT 電圧を検出する高精度プログラマブル ゲイン アンプとして機能します。PGA849 の後ろでは差動 DUT 電圧と電流信号が得られます。これらの信号は、定電圧 (CV) または定電流 (CC) の設定に基づいて、印加ループまたはクランプ ループに接続されます。ADS9317 は電圧と電流をサンプリングするデュアル チャネルの高分解能かつ高速データ コンバータとして動作します。ギャング機能モードでは、電流信号を外部に出力または外部から入力できます。REF54 は、ADC、DAC、バイアス電圧などのすべての関連部品のための、低ドリフトの 4.096V リファレンス電圧を生成します。シングルリファレンス電圧設計には、長期ドリフト キャリブレーションという利点があります。

## 2.2 設計上の考慮事項

このリファレンス デザインでは高精度のアナログ閉ループ設計を紹介します。設計者はこのセクションの考慮事項に注意深く取り組む必要があります。

### 2.2.1 ループ帯域幅

印加およびセンシング経路の帯域幅はループの過渡応答に直接的な影響を与えます。補償にかかわらず、印加およびセンシングの帯域幅が大きいほど過渡は速くなります。OPA593 は帯域幅が 10MHz でスルーレートが 45V/μs、フルパワー帯域幅 (FPBW) は 180kHz、OPAx182 は 5MHz でスルーレートが 10V/μs、PGA849 は帯域幅 10MHz でスルーレートが 35V/μs です。

### 2.2.2 高速設定とサンプリング

このリファレンス デザインでは DAC11001B を使用しています。このコンポーネントには、20 ビット、高精度、1MSPS、1μs セトリング DAC が含まれています。この部品は各リファレンス入力に対する正と負を出力できます。最大積分非直線性 (INL) は 1 最下位ビット (LSB) に達します。この部品は THD が非常に優れており、20kHz で -118dB です。

ADS9317 には、18 ビット、5MSPS、2LSB INL デュアル チャネル ADC が含まれています。この部品にはデータ出力を安定化させる平均化機能が内蔵されています。

### 2.2.3 低温ドリフトと長期ドリフト

温度ドリフトの設計は、キャリブレーションされた精度に影響を及ぼします。OPAx182 最大オフセットのドリフト  $20\text{nV}/^\circ\text{C}$ 、PGA849 最大オフセットのドリフト  $1\mu\text{V}/^\circ\text{C}$  (4V 出力) および最大ゲインのドリフト  $2\text{ppm}/^\circ\text{C}$ 、REF54 0.5ppm/ $^\circ\text{C}$ 、RES11A 最大 TCR  $2\text{ppm}/^\circ\text{C}$ 。重要な温度ドリフト部品は大電流検出抵抗です。この部品は精度と直線性に直接影響を及ぼします。電力定格が最大消費電力の 2 倍のセンス抵抗を選択します。

長期ドリフトの場合、ドリフトの大半はリファレンス成分に起因します。REF54410 は、最初の 2000 時間で 32ppm です。

### 2.2.4 出力キャパシティ

このリファレンス デザインが対応できる最大出力は 500mA です。シングル OPA593 デバイスは 250mA 出力機能のみを備えています。この設計では、温度影響を考慮して、図 2-3 に示すように 4 つの並列接続の OPA593 デバイスを使用しています。2Ω の直列抵抗は 4 つの OPA593 アンプ内の電流の平衡を保ちます。

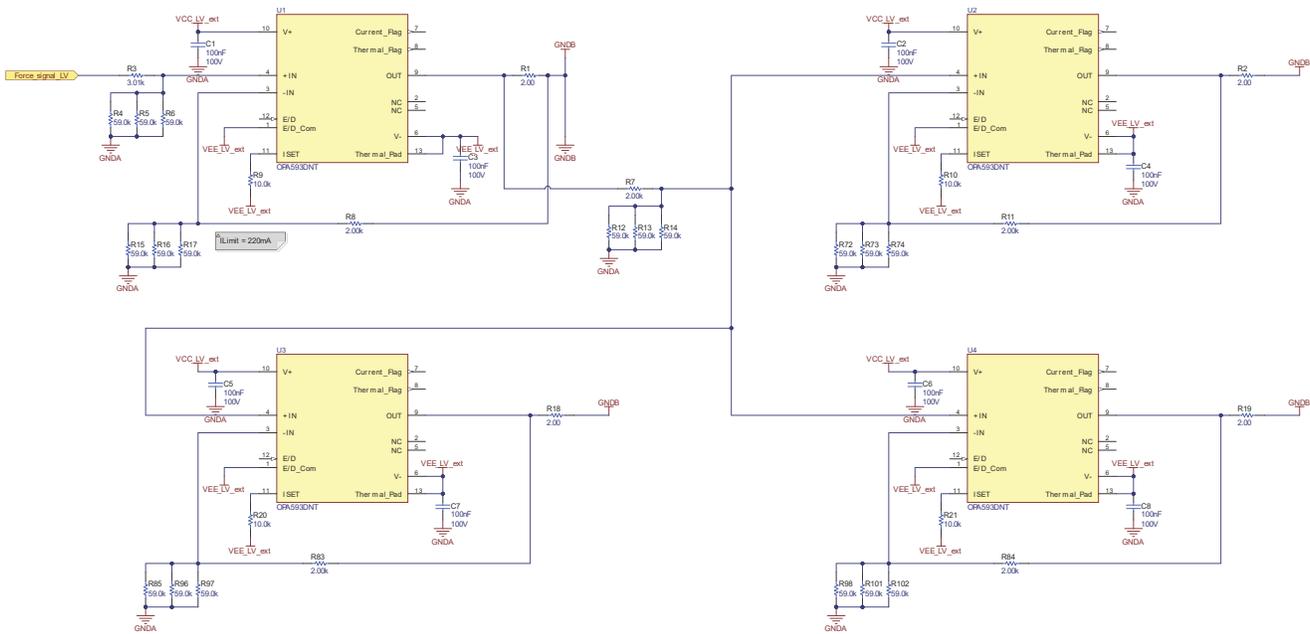


図 2-3. 4×OPA593 出力、500mA 電流

### 2.2.5 直線性

いくつかのポイントが出力の直線性に影響を与えます。1 つのポイントは OPA593 の電源に関係しています。OPA593 はレール ツー レール出力のパワー オペ アンプとして動作しますが、出力電流と温度に対応するヘッドルームが必要です。この関係を、図 2-4 に示します。このリファレンス デザインでは、仕様に基づき、正の電源に対して 3V のマージンと、負の電源に対して 2V のマージンを確保しています。

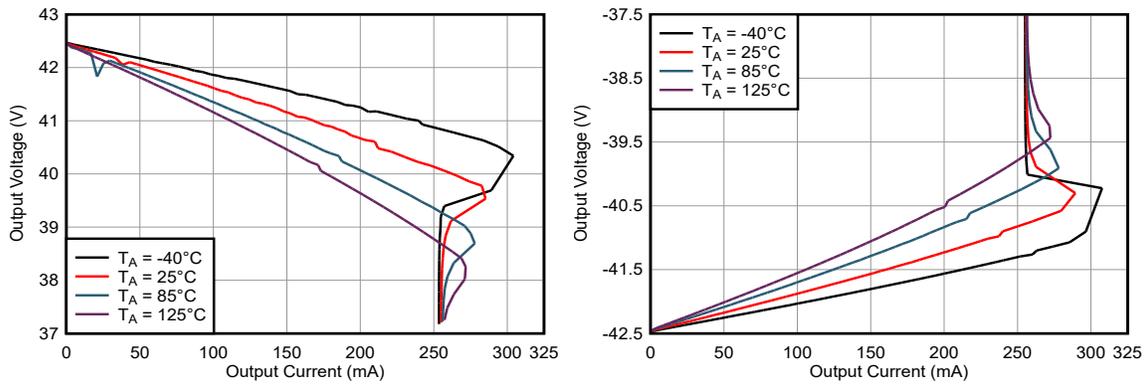


図 2-4. OPA593 の出力電流と温度との関係

OPA593 はレール ツー レール入力のパワー オペ アンプとして動作しないため、入力が必要とするのは正の電源より 3.5V 低い電圧です。図 2-5 は入力デバイダの追加を示しています。

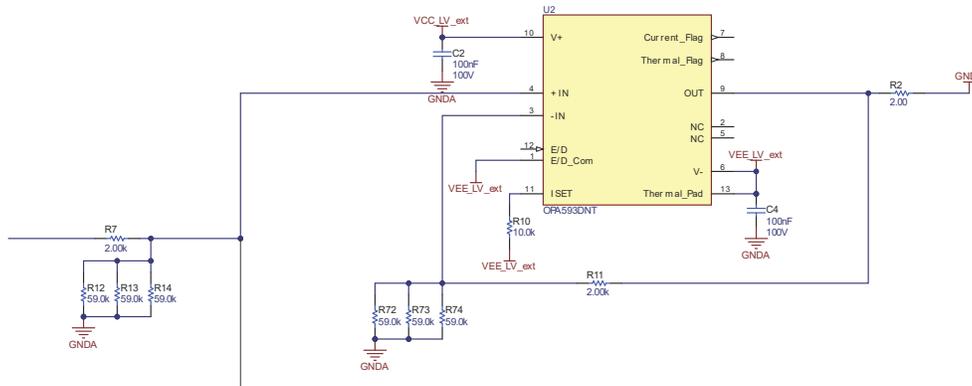


図 2-5. OPA593 の入力デバイダ

制御ループ内のマルチプレクサとスイッチャには内部抵抗があり、高精度の比較回路に挿入される場合があります。オペアンプのバッファによりこの抵抗を除去できます。除去できないと、直線性および温度ドリフトが性能低下します。図 2-6 は、印加および検出比較バッファの動作を示しています。

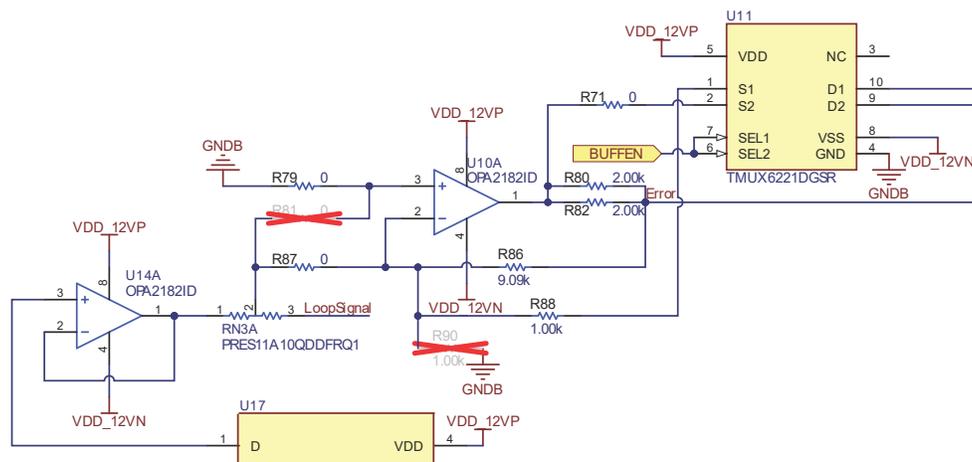


図 2-6. 比較バッファ

熱は大きく影響を与えるポイントを生み出します。適切な電力定格とパッケージ部品の選択が重要になります。電力定格の高い検出抵抗または分圧器を選択して、良好な冷却状態を維持してください。

## 2.2.6 電流リーケージ

DUT への  $\mu\text{A}$  の電流を測定または印加する際は、コンポーネントのリーケージが印加パス接続の重要な要因になります。OPA454 の標準値は  $1.4\text{pA}$  で、 $80^\circ\text{C}$  を下回る温度では  $10\text{pA}$  未満です。高電圧出力と DUT が突然短絡すると、低電圧回路の損傷を防止するため、OPA454 は外部回路を使用して高電圧を低電圧の範囲に変換します。図 2-7 にこの回路を示します。

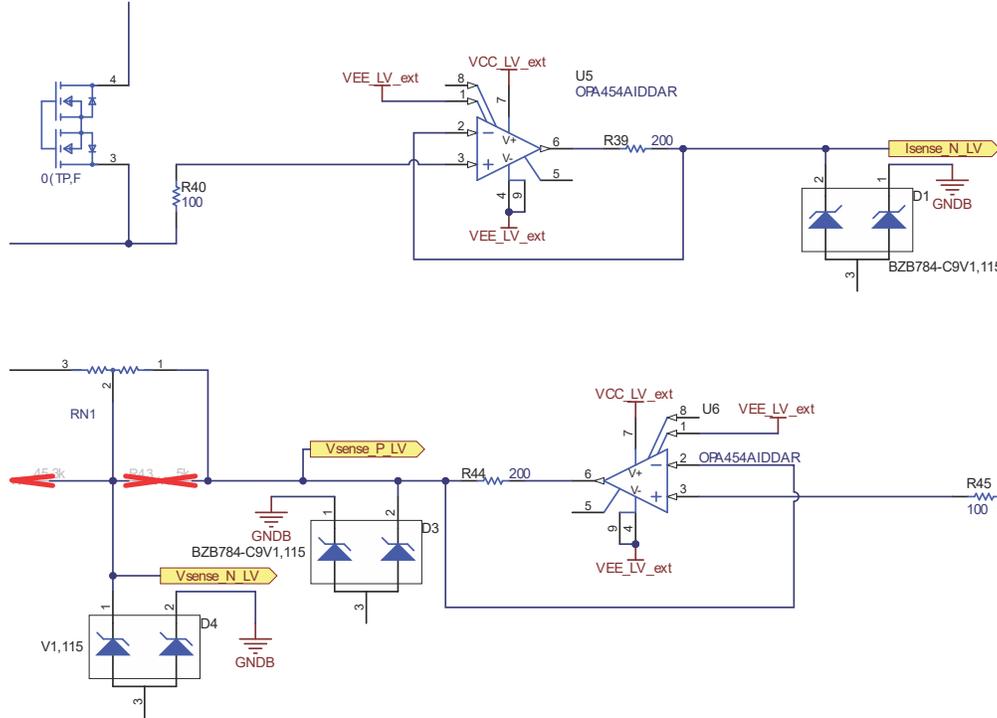


図 2-7. 電圧および電流検出バッファ

図 2-8 と 図 2-9 は、入力電圧による OPA454 のバイアス電流を示しています。OPA454 は  $\text{nA}$  レベルの電流範囲設計で適切に動作します。

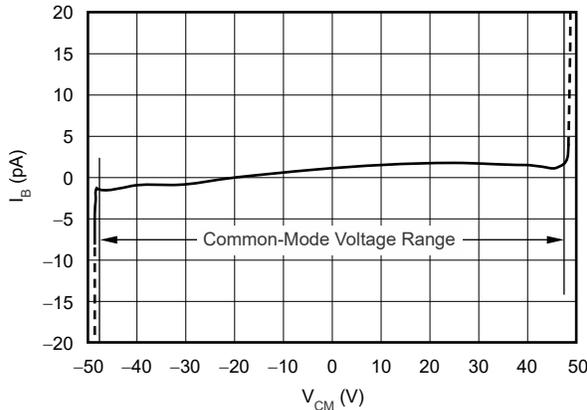


図 2-8. 検出バッファ OPA454 の電流リーケージ

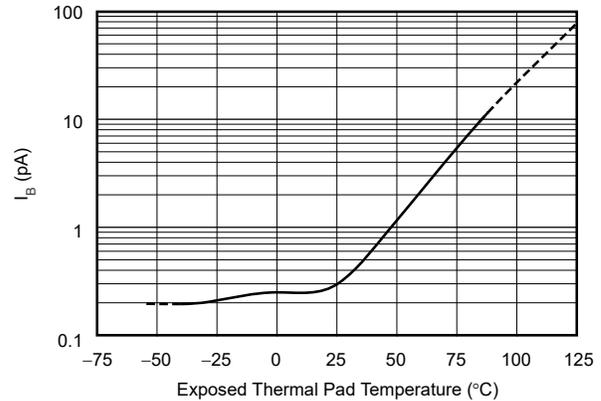


図 2-9. 固有の見出しが必要

## 2.2.7 ノイズを低減

主なノイズ源は電源です。このデザインでは、2 つの  $\pi$  型フィルタが外部高電圧入力のノイズを低減します。図 2-10 を参照してください。サイズと電圧降下を考慮して、2 つの  $200\text{m}\Omega$  抵抗と 1 つの  $4.7\mu\text{F}$  コンデンサにより  $50\text{kHz}$  未満の帯域幅を実現します。 $47\mu\text{F}$  を使用する場合の帯域幅は  $5\text{kHz}$  未満になります。図 2-11 を参照してください。

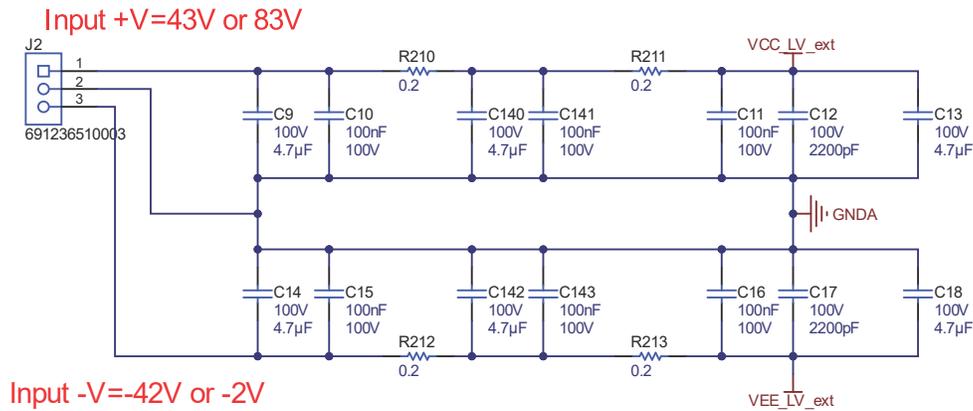


図 2-10. HV 入力フィルタ

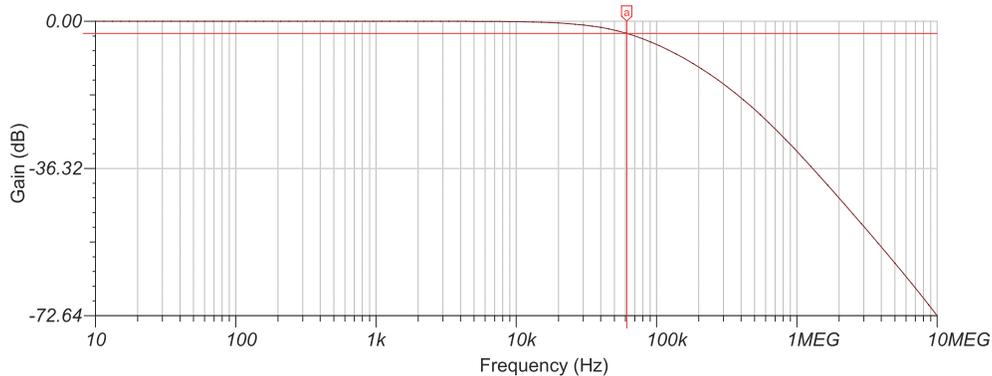


図 2-11. HV 入力フィルタの帯域幅

低電圧電源レールでは、TPSM63603 パワー モジュールのノイズリップルは 1A で 14mV 未満に維持されます。このモジュールは、IBB トポロジを使用して、すべての信号チェーン部品のための +12V と -12V を生成します。TPSM82912 は、ノイズリップルが  $10\mu\text{V}_{\text{RMS}}$  未満の、低ノイズで低リップルの降圧パワー モジュールとして動作します。このモジュールは DAC とリファレンス電源に対する 5V を生成します。TPS7A9401 は、1kHz で 110dB の超高電源除去比 (PSRR) の低ドロップアウトレギュレータ (LDO) として機能し、ADC および DAC 用の 3.3V を生成します。TPS7A2018 は 1kHz で 95dB の超低ノイズ LDO としても動作し、ADC コア用の 1.8V を生成します。

OPA593 デバイスは 10kHz PSRR で 60dB を超え、最大は 120dB です。1kHz の入力ノイズでは  $10\text{nV}/\sqrt{\text{Hz}}$  となり、十分な低出力ノイズ性能を得られます。この構成では出力ノイズが最小レベルまで低減されます。

### 2.2.8 スイッチング電流範囲時のグリッチを低減

図 2-12 は、TIDA-010962 が直列電流センス抵抗トポロジを採用する様子を示しています。異なる電流範囲にスイッチングしても、直列インピーダンスが急に  $0\Omega$  に変化することはありません。さらに、スイッチング ロジックと短絡クランプ入力を最適化すると、スイッチングはよりスムーズになります。

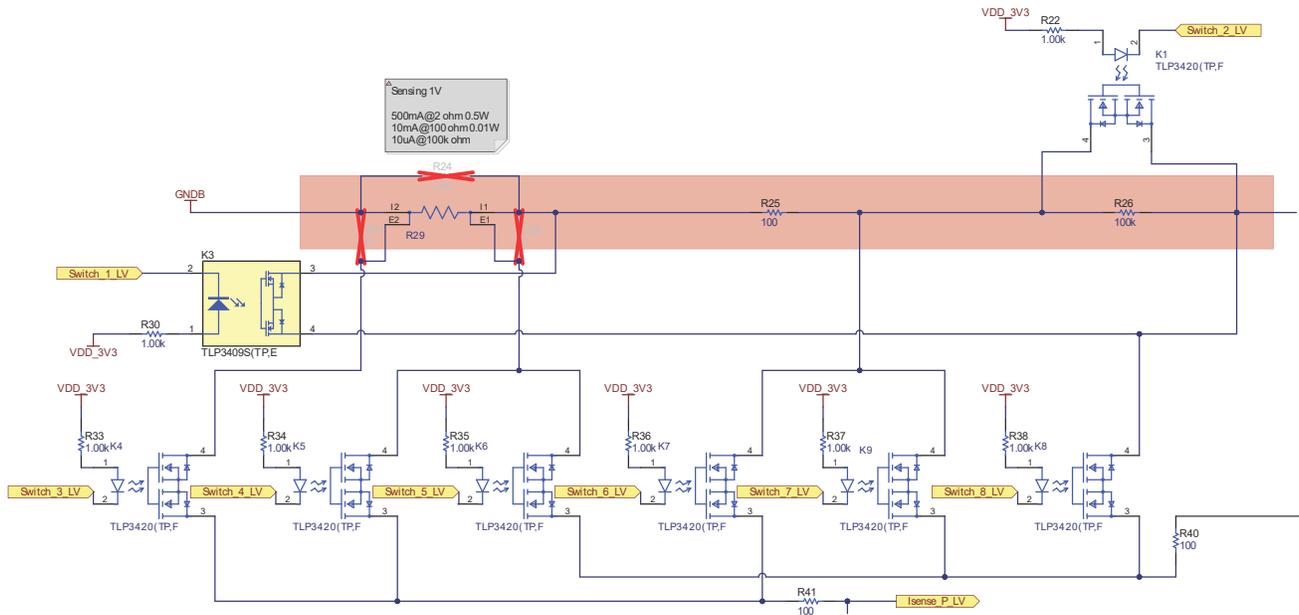


図 2-12. 直列電流センス抵抗

## 2.2.9 熱設計

熱は直線性と精度に大きな影響を与える、非常に重要な設計ポイントになります。

### 2.2.9.1 OPA593

OPA593 はリニア出力オペアンプとして動作するため、各 OPA593 デバイスは最大出力が 500mA に達するときに 125mA を出力する必要があります。熱抵抗は 4.3°C/W 程の低さですが、優れたヒートシンク設計がないと熱が上昇します。熱電極は OPA593 の底面にあります。4 個の OPA593 デバイスをボードの底面に配置し、反対側にヒートシンクを配置します (図 2-13 を参照)。

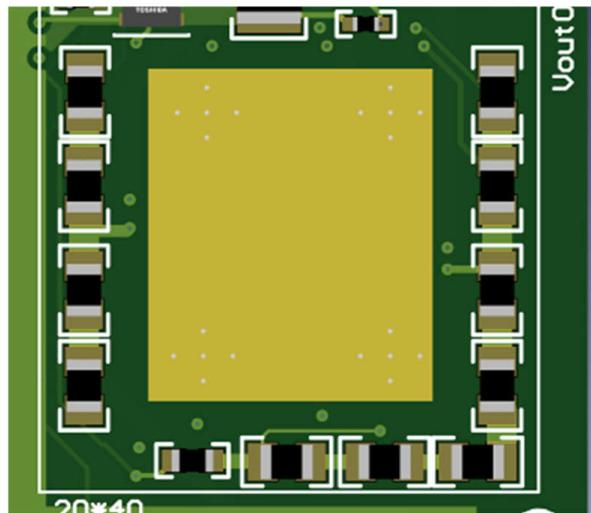


図 2-13. 4 × OPA593 のサーマル パッド

### 2.2.9.2 OPA593 分圧抵抗と直列抵抗

分圧器の抵抗が過度に大きいと OPA593 の帯域幅に影響を及ぼします。一方、抵抗が過度に小さいと、出力が高レベルに達したときに消費電力を処理できなくなります。OPA593 の入力は 83V 近くになり、大まかな計算では 0.3W となります。図 2-14 は、3 つの 59kΩ の並列抵抗 0805 を使用する回路が 0.25W を消費することを示しています。

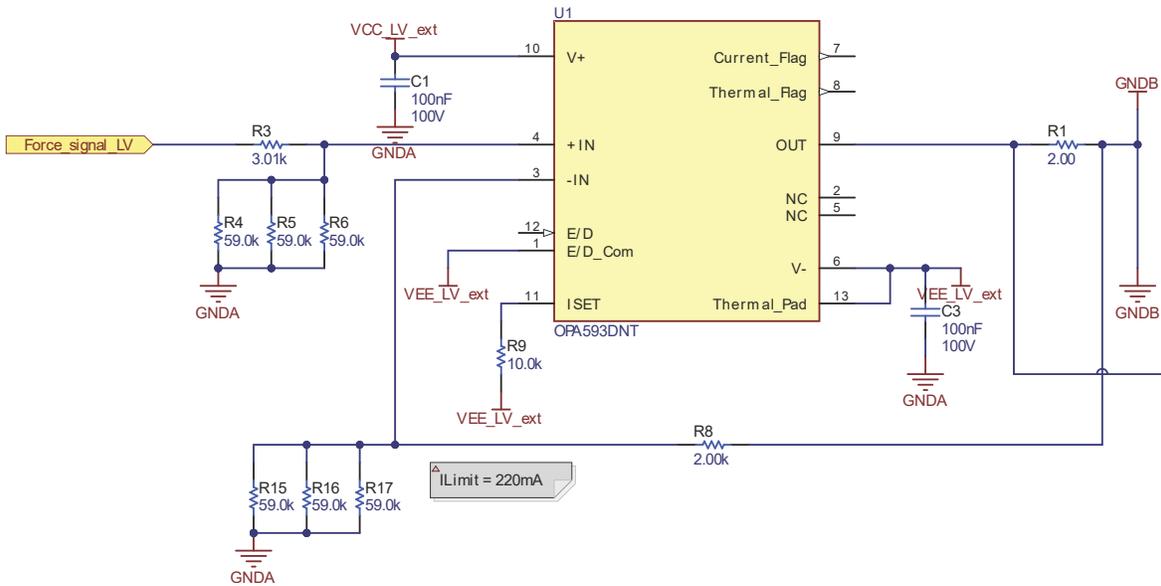


図 2-14. OPA593 入力の並列抵抗

平衡電流の直列抵抗では、回路を最小で 125mA に抑える必要があります。0805 パッケージの、2Ω の抵抗を選択すると、最大電力は 0.03W です。

### 2.2.9.3 電流検出抵抗と帰還分圧器

500mA の電流範囲では、検出抵抗は 2Ω で、合計電力は 0.5W です。エンジニアは、1W の定格と、抵抗温度係数 (TCR) が低い高精度抵抗を選択することを強く推奨しています。レイアウト内に放熱領域を配置して抵抗からの熱を素早くシンクします (図 2-15 を参照)。

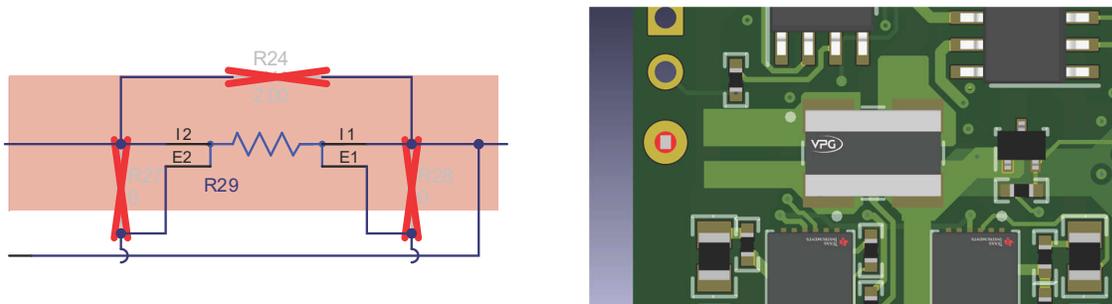


図 2-15. 500mA 電流検出抵抗サーマルパッド

分圧器では (図 2-16 を参照)、最大出力が 80V に達します。前述と同様の理由で、大きな抵抗はループ帯域幅に影響を及ぼします。TI では、18kΩ/2kΩ 分圧器を選択する際、少なくとも 0.5W で、最低 TCR 分圧器抵抗を使用することを推奨しています。

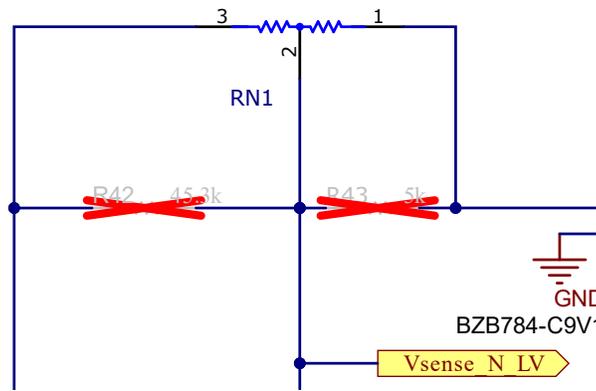


図 2-16. 高精度分圧器

### 2.2.9.4 クランプ抵抗

クランプが有効になると、クランプ回路がループ制御を引き継ぎ、印加オペアンプの出力が +12V または -12V の電源レールに達します。この抵抗は補償と帯域幅にも影響するため、電流処理のために 2 つの並列接続した 2kΩ 抵抗 0805 を選択します (図 2-17 を参照)。総電力は 0.144W に達します。

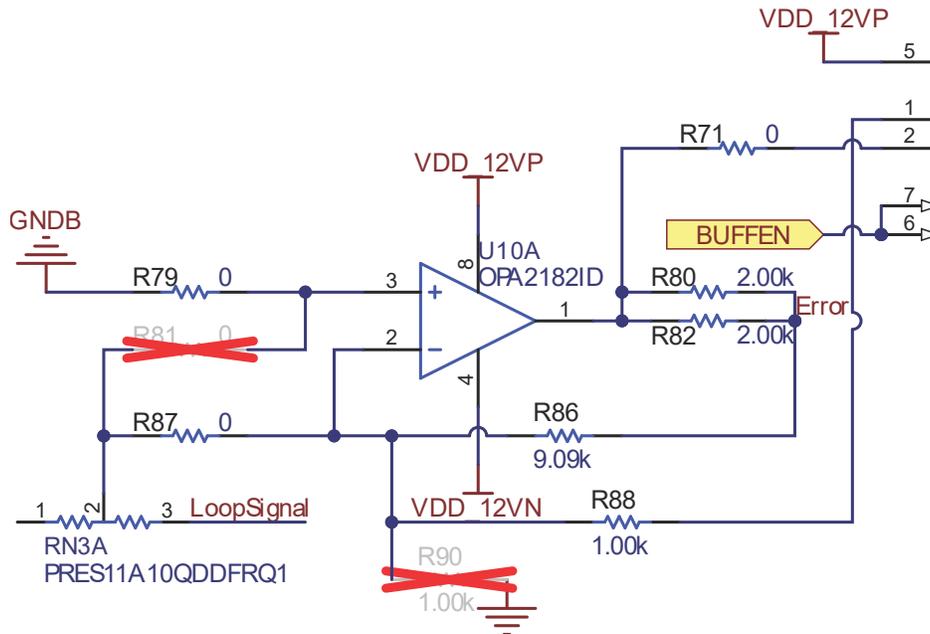


図 2-17. クランプ用並列抵抗

## 2.3 主な使用製品

### 2.3.1 REF54

REF54 は、高精度、低ドリフト、低消費電流のシリーズ電圧リファレンス デバイスとして動作します。このデバイスは、260μA の消費電流で、低温度ドリフト係数 (0.8ppm/°C)、低ノイズ (0.11ppmp-p)、高精度 (±0.02%) を実現します。REF54 は、長期ドリフトが低く (25ppm)、優れた負荷およびライン レギュレーションを備えており、高精度アプリケーションの厳しい性能要件を満たすのに役立ちます。C グレードの温度範囲は 0°C ~ 70°C、Q グレードは -40°C ~ +125°C をカバーしています。

このデザインでは、REF54410 は長期ドリフト キャリブレーションを活用して、すべてのソケットリファレンス入力に対し 4.096V を生成します。

## 重要な特長:

- 低温度ドリフト係数: 最大 0.8ppm/°C (C グレード)、最大 1.5ppm/°C (Q グレード)
- 低ノイズ (0.1Hz~10Hz): 0.11ppmp-p (CNR = 100μF)、0.45ppmp-p (CNR = 開放)
- 高精度: ±0.02% 以下
- 低い静止電流: 最大 380μA
- 低長期安定性 (1khr): 25ppm
- 電圧オプション: 2.5V、3V、4.096V、4.5V、5V

### 2.3.2 DAC11001B

20 ビットの DAC11001B は、高精度、低ノイズ、電圧出力、シングル チャネル、D/A コンバータ (DAC) として動作し、すべての出力範囲で優れた直線性を示します。バッファなしの電圧出力により、高速セトリング タイム (1μs) と組み合わせた低ノイズ性能 (7nV/√Hz) を実現しています。本デバイスは、拡張グリッチ除去回路をコードに依存しない超低グリッチ (1nV-s) と統合しており、全高調波歪み (THD) が非常に小さいクリーンな波形ランプを実現できます。外部リファレンスを使用すると、 $V_{REFPF} \sim V_{REFNF}$  の DAC 出力範囲 (非対称な出力範囲を含む) を実現できます。

## 重要な特長:

- 20 ビット単調性: 1-LSB DNL (最大値)
- 積分直線性: 1-LSB INL (最大値)
- 低ノイズ: 7nV/√Hz
- コードに依存せず低グリッチ: 1nV-s
- 非常に優れた THD: -118dB (20kHz  $f_{OUT}$ 、1MHz  $f_{DAC}$  時)
- 高速セトリング: 1μs
- フレキシブルな出力範囲:  $V_{REFPF} \sim V_{REFNF}$ 、最大 ±15V

### 2.3.3 DAC80502

DAC80502 はデュアル チャネル 16 ビット DAC で、1LSB 未満の直線性と高精度を特長とし、超小型パッケージ (2.5mm × 2.5mm) で提供されます。RSTSEL ピンのステータスに基づいてゼロ スケールまたは中間スケールで DAC 出力が確実に起動し、かつ有効なコードがデバイスに書き込まれるまでそのスケールに確実に維持されるように、デバイスにはパワー オンリセット回路が組み込まれています。DACx0502 のデジタル インターフェイスは、SPI2C ピンを使用して SPI または I2C モードに構成できます。

## 重要な特長:

- 16 ビット性能: 1-LSB INL および DNL (最大値)
- 低グリッチ エネルギー: 4nV-s
- 広い電源電圧範囲: 2.7V ~ 5.5V
- バッファ出力範囲: 5V、2.5V、または 1.25V
- 低消費電力: チャンネルあたり 1mA (5.5V 時)
- 5ppm/°C (最大)、2.5V の高精度リファレンスを内蔵
- SPI または I2C 互換

### 2.3.4 ADS9317

ADS931x は、リファレンスとリファレンス バッファを統合した、高速、デュアル、同時サンプリング ADC として動作します。ADS931x は優れた AC 性能を実現します。デバイスには統合 128 平均化機能が内蔵されています。デバイスはシリアル ペリフェラル インターフェイス (SPI) 互換プロトコルをサポートしています。このインターフェイスにより、ADS931x を多様なマイコンと簡単に組み合わせることができます。デバイスでは、各 ADC チャンネルに 2 つのシリアル出力、または各 ADC チャンネルに 1 つのシリアル出力などをサポートしています。

## 重要な特長:

- 18 ビット、5MSPS/チャンネル
- 二つの完全差動同時サンプリングチャンネル
- 5V と 3.3V のアナログ電源動作をサポート
- 信号対雑音比: 5MSPS 時に 95dB

- INL:  $\pm 2\text{LSB}$ 、DNL:  $\pm 0.75\text{LSB}$
- 内部リファレンス
- 外部基準電圧入力用のバッファを内蔵
- 最大 128 サンプルのシングル データ平均

### 2.3.5 OPA593

OPA593 は高電圧 (85V)、高精度、広帯域 (10MHz)、大出力電流 (250mA) の、安定したユニティゲインを持つパワー オペアンプです。OPA593 では、レーザー トリミング 技術によりオフセット電圧 ( $20\mu\text{V}$ 、標準値) とオフセット電圧ドリフト ( $0.4\mu\text{V}/^\circ\text{C}$ 、標準値) を改善することで、キャリブレーションを不要にしています。外部抵抗を使用することで、特定の精度で電流を制限できます。

重要な特長:

- 広い電源電圧範囲:  $8\text{V} (\pm 4\text{V}) \sim 85\text{V} (\pm 42.5\text{V})$
- 低いオフセット電圧:  $\pm 20\mu\text{V}$
- 低いオフセット電圧ドリフト:  $\pm 0.4\mu\text{V}/^\circ\text{C}$
- 大出力電流: 250mA
- 広いゲイン帯域幅: 10MHz
- 高スルーレート:  $45\text{V}/\mu\text{s}$ 、立ち上がり
- 低ノイズ: 10kHz で  $7\text{nV}/\sqrt{\text{Hz}}$
- レール ツー レール 出力
- 静止電流: イネーブル時: 3.25mA、ディスエーブル: 250 $\mu\text{A}$
- 指定可能な電流制限精度

### 2.3.6 OPA596

OPA596 および OPA2596 (OPAx596) デバイスは、高電圧 (85V)、高スルーレート ( $100\text{V}/\mu\text{s}$ )、マイクロパワー (420 $\mu\text{A}$ )、ユニティゲイン安定のオペアンプです。このデバイスは低バイアス電流、レール ツー レール 出力、低ノイズであり、高電圧アプリケーションに最適なバッファを供給します。

重要な特長:

- 高スルーレート:  $100\text{V}/\mu\text{s}$
- 低消費電力: 420 $\mu\text{A}$
- 広い電源電圧範囲:  $\pm 4\text{V} \sim \pm 42.5\text{V}$ 、 $8\text{V} \sim 85\text{V}$
- マルチプレクサ対応入力
- 入力が負のレールを下回るようになります
- レール ツー レール 出力
- ゲイン帯域幅: 3.75MHz
- 低ノイズ:  $12.8\text{nV}/\sqrt{\text{Hz}}$
- 低い入力バイアス電流: 5pA
- 低い入力オフセット電圧:  $\pm 1\text{mV}$
- 出力電流駆動:  $\pm 30\text{mA}$

### 2.3.7 PGA849

PGA849 は、差動からシングルエンドへの変換を行う、広帯域幅で低ノイズのプログラマブル ゲイン計測アンプです。PGA849 は、3 本のデジタル ゲイン選択ピンを使用して、減衰ゲインが  $0.125\text{V}/\text{V}$  から最大  $16\text{V}/\text{V}$  までの、8 つのバイナリゲインを設定できます。スーパーベータ入力トランジスタを使用しているため、入力バイアス電流が非常に小さく、その結果として入力電流ノイズ密度が  $0.3\text{pA}/\sqrt{\text{Hz}}$  と非常に小さくなっています。入力ピンに保護回路が内蔵されており、電源電圧を最大  $\pm 40\text{V}$  上回る過電圧に対処できます。

重要な特長:

- 差動  $\rightarrow$  シングルエンド変換
- 8 つのピン プログラマブル バイナリ ゲイン:  $G (\text{V}/\text{V}) = 1/8, 1/4, 1/2, 1, 2, 4, 8$ 、および 16
- 低ゲイン誤差ドリフト:  $\pm 2\text{ppm}/^\circ\text{C}$  (最大値)
- 広い帯域幅: 10MHz (すべてのゲイン)

- 高スルーレート:  $35\text{V}/\mu\text{s}$  ( $G \geq 1/2 \text{ V/V}$  時)
- セトリングタイム: 誤差 0.01% まで 700ns、0.0015% まで 950ns
- 入力段ノイズ:  $G = 16\text{V/V}$  時に  $8.6\text{nV}/\sqrt{\text{Hz}}$
- SNR を向上させるフィルタ オプション
- 独立した入力および出力の電源ピン
- 高低の電源電圧に対して  $\pm 40\text{V}$  までの入力過電圧保護機能
- 入力段電源電圧範囲:  $8\text{V} \sim 36\text{V}$  または  $\pm 4\text{V} \sim \pm 18\text{V}$
- 独立した出力の電源ピン:  $4.5\text{V} \sim 36\text{V}$  または  $\pm 2.25\text{V} \sim \pm 18\text{V}$

### 2.3.8 OPA454

OPA454 デバイスは、高電圧 (100V) と比較的高い電流駆動 (50mA) を備えた低コストのオペアンプです。これはユニティゲインで安定しているデバイスで、ゲイン帯域幅積は 2.5MHz です。OPA454 は、過熱状態および電流過負荷に対する保護回路を内蔵しています。このデバイスは、 $\pm 5\text{V} \sim \pm 50\text{V}$  の広い電源範囲、または  $10\text{V} \sim 100\text{V}$  の単一電源での動作が十分に規定されています。

重要な特長:

- 広い電源電圧範囲:  $\pm 5\text{V}$  (10V)  $\sim \pm 50\text{V}$  (100V)
- 大出力負荷ドライブ:  $I/O > \pm 50\text{mA}$
- 大きな出力電圧振幅: 1V からレール
- バイアス電流: 1.4pA (標準値)
- 同相電圧:  $(V-) + 2.5\text{V} \sim$  約  $(V+) - 2.5\text{V}$

### 2.3.9 OPA4187

OPA4187 オペアンプは自動でゼロに設定する技術を採用することで、低いオフセット電圧 ( $1\mu\text{V}$ ) を実現しながら、時間経過および温度変動に対するドリフトをほぼゼロに抑えています。これらのアンプは小型、高精度で、静止電流が低く、入力インピーダンスが高く、高インピーダンスの負荷に対してレールの  $5\text{mV}$  以内のレールツーレール出力を供給します。同相入力範囲には負のレールが含まれます。  $4.5\text{V} \sim 36\text{V}$  ( $\pm 2.25\text{V} \sim \pm 18\text{V}$ ) の範囲のシングルまたはデュアル電源を使用できます。

重要な特長:

- 低いオフセット電圧:  $10\mu\text{V}$  (最大値)
- ゼロドリフト:  $0.001\mu\text{V}/^\circ\text{C}$
- 低ノイズ:  $15\text{nV}/\sqrt{\text{Hz}}$
- PSRR: 160dB
- 同相信号除去比 (CMRR): 140dB
- アンプ開ループ (AOL) ゲイン: 160dB
- 静止電流:  $100\mu\text{A}$
- 広い電源電圧範囲:  $\pm 2.25\text{V} \sim \pm 18\text{V}$
- レールツーレール出力動作
- 負のレールを含む入力
- 低いバイアス電流:  $100\text{pA}$  (標準値)

### 2.3.10 THS4552

THS4552 完全差動アンプは、高精度アナログ/デジタルコンバータ(ADC)に必要な、シングルエンドのソースから差動出力への簡単なインターフェイスとして機能します。このデバイスは、非常に優れた DC 精度、低ノイズ、堅牢な容量性負荷駆動を実現するよう設計されており、データ収集システムにおいて高い精度が必要で、かつアンプや ADC 全体を通して最高の信号対雑音比 (SNR) やスプリアスフリー ダイナミックレンジ (SFDR) が要求される場合に最適です。THS4552 には、DC 結合、グランド中心のソース信号と、単一電源の差動入力 ADC とを接続するために必要な、負のレール入力の機能があります。DC 誤差とドリフト係数が非常に低いため、最新の 16~20 ビットの逐次比較型レジスタ (SAR) の入力要件を満たすことができます。

重要な特長:

- 帯域幅: 150MHz (G = 1V/V)
- 差動出力スルーレート: 220V/μs
- ゲイン帯域幅積: 135MHz
- 負のレール入力 (NRI)、レール ツー レール出力 (RRO)
- 広い出力同相モード制御範囲
- 単一電源動作範囲: 2.7V ~ 5.4V
- 25°C の入力オフセット: ±175μV (最大値)
- 入力オフセット電圧ドリフト: ±2.0μV/°C (最大値)
- 差動入力電圧ノイズ: 3.3nV/√Hz
- HD2: 2VPP、100kHz で -128dBc
- HD3: 2VPP、100kHz で -139dBc
- 50ns 未満のセトリング時間: 0.01% まで 4V ステップ
- 18 ビットのセトリング タイム: 4V ステップ、< 500ns

### 2.3.11 RES11A

RES11A は、マッチングされた抵抗分割器のペアで、テキサス インストルメンツの最新の高性能アナログ CMOS プロセスで薄膜 SiCr に実装されています。このデバイスは、熱および電流ノイズを低減するための公称入力抵抗が 1kΩ であり、幅広いシステムの要求を満たすため、いくつかの公称比率で供給されます。RES11A シリーズは高い比率マッチング精度を特長としており、各分割器の測定比率は公称値の ±0.05% (±500ppm) 以内です。この精度は温度範囲全体にわたって維持され、最大比ドリフトはわずか ±2ppm/°C です。さらに、デバイスのバイアスされた長期安定性は、徹底的な特性評価によって証明されています。

重要な特長:

- 幅広い温度範囲: -40°C ~ +125°C
- 高精度比の許容誤差: ±0.05% (最大値)
- 低いドリフト: ±2ppm/°C TCR 比 (最大値)
- 小型形状トランジスタ (SOT-23)

### 3 システム設計理論

このリファレンス デザインは以下の動作モードをサポートしています:

- 印加電圧とクランプ電流
- 印加電流とクランプ電圧
- 電圧バッファ出力、開ループ、クランプなし機能
- 複数のギャング ボードでマスターとして作動するギャング マスターでは、ギャング信号がスター接続です。FV モードでの動作には、クランプ電流機能があります。
- ギャング スレーバーは、複数のギャング ボードでスレーバーとして作動します。FI モードでの動作にはクランプ電圧機能があり、ギャング接続を介してマスター ボードから印加信号が供給されます。

#### 3.1 印加電圧モード

電圧パスでは、低バイアス電流の OPA454 バッファは DUT 電圧で動作し、DUT の高精度 1:9 抵抗デバイダは 1/10 DUT 電圧を達成し、低ドリフトで高帯域幅の PGA849 は差動信号をシングル エンド信号に変換します。DUT 電圧信号が高精度の RES11A ネットワーク抵抗を介した印加電圧と比較され、出力段が駆動されます。

電圧と同様に、電流パスでは OPA454 により電流リークageがブロックされ、ペアの差動電流信号が PGA849 に接続されます。次に、DUT 電流信号が高精度の RES11A 抵抗を介したクランプ電圧と比較され、これが発生する場合はクランプ ループがトリガされます。

印加パスに複数の 1 次補償オプションを配置すると、出力がステップ信号として動作するときの出力誤差を除去できます。図 3-1 および 図 3-2 に、TINA シミュレーションと結果を示します。

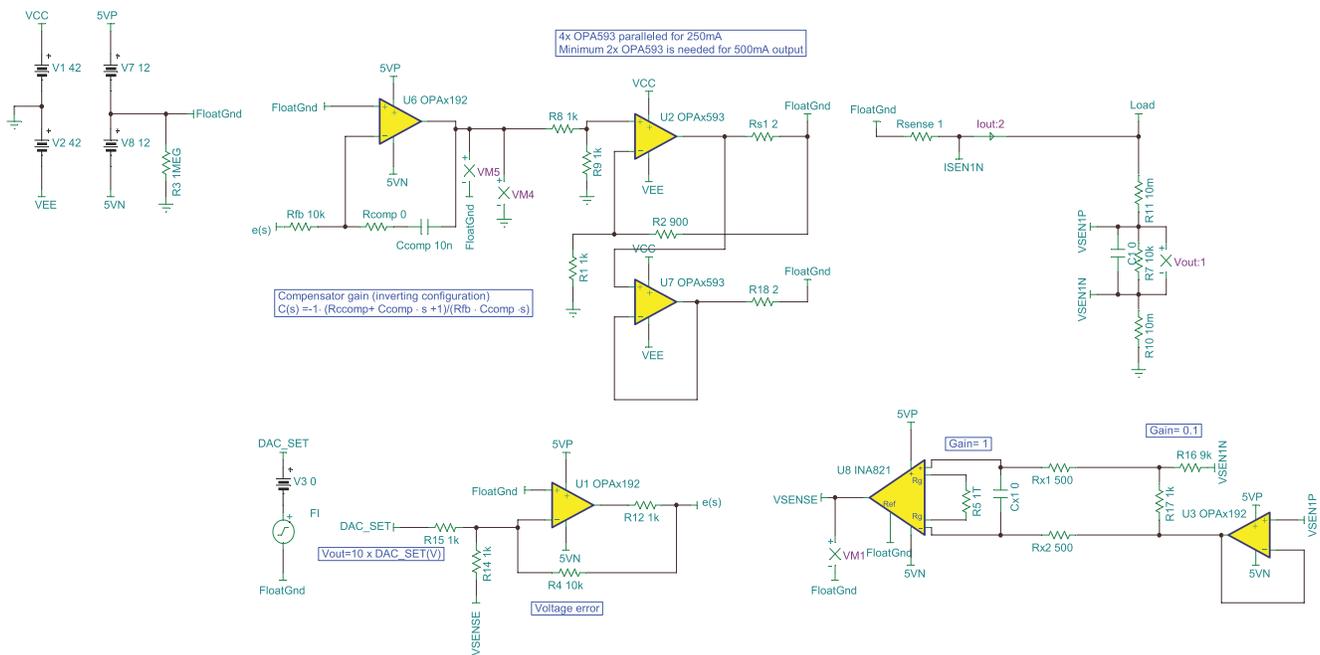


図 3-1. FV モード TINA シミュレーション

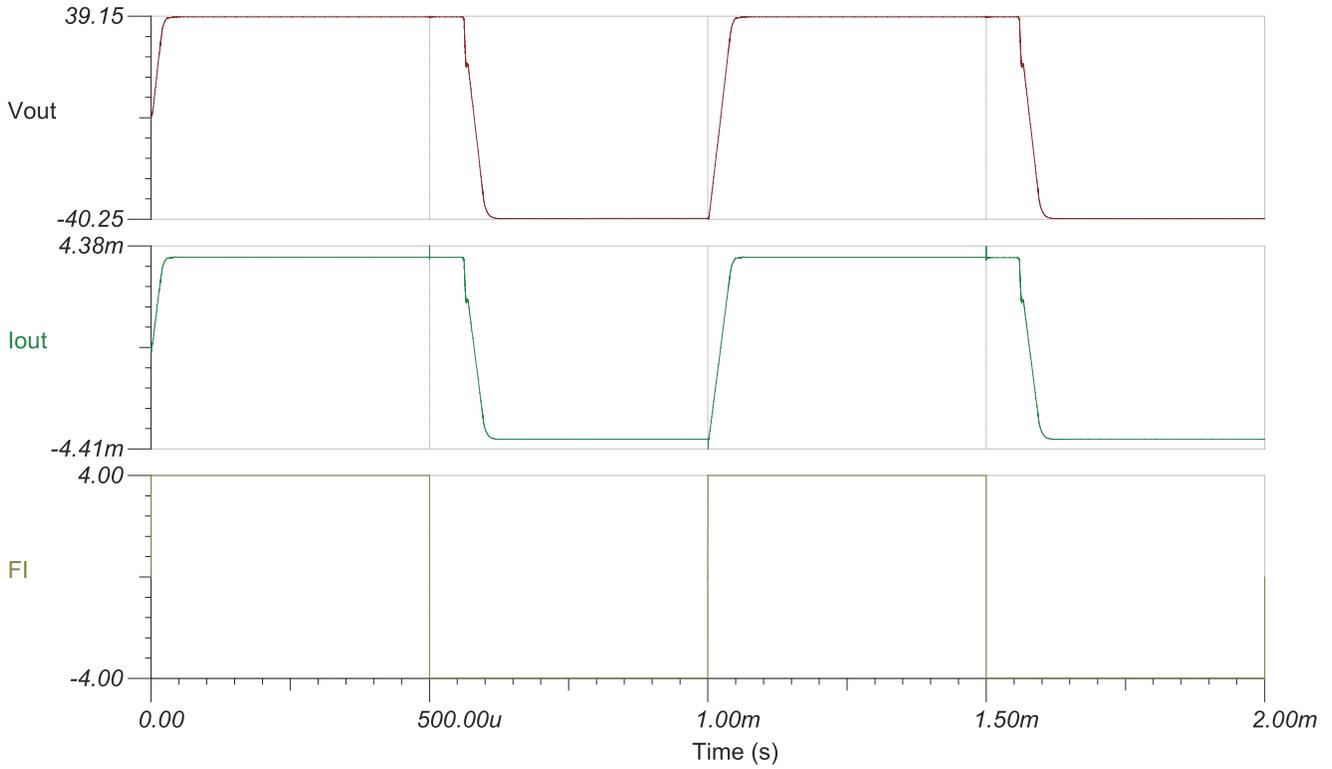


図 3-2. FV モード TINA シミュレーションの結果

シミュレーションから、印加設定が  $\pm 4V$  に達するときに  $\pm 40V$  を実現できます。立ち上がり時間は  $50\mu s$  に近づき、これは実際の回路テストと一致しています。

図 3-3 の赤い矢印は印加電圧のワークフロー、青い矢印はクランプのワークフローを示しています。クランプ条件がトリガされると、クランプ ループは制御ループを引き継ぎ、クランプ DAC 設定に対し電流を印加します。

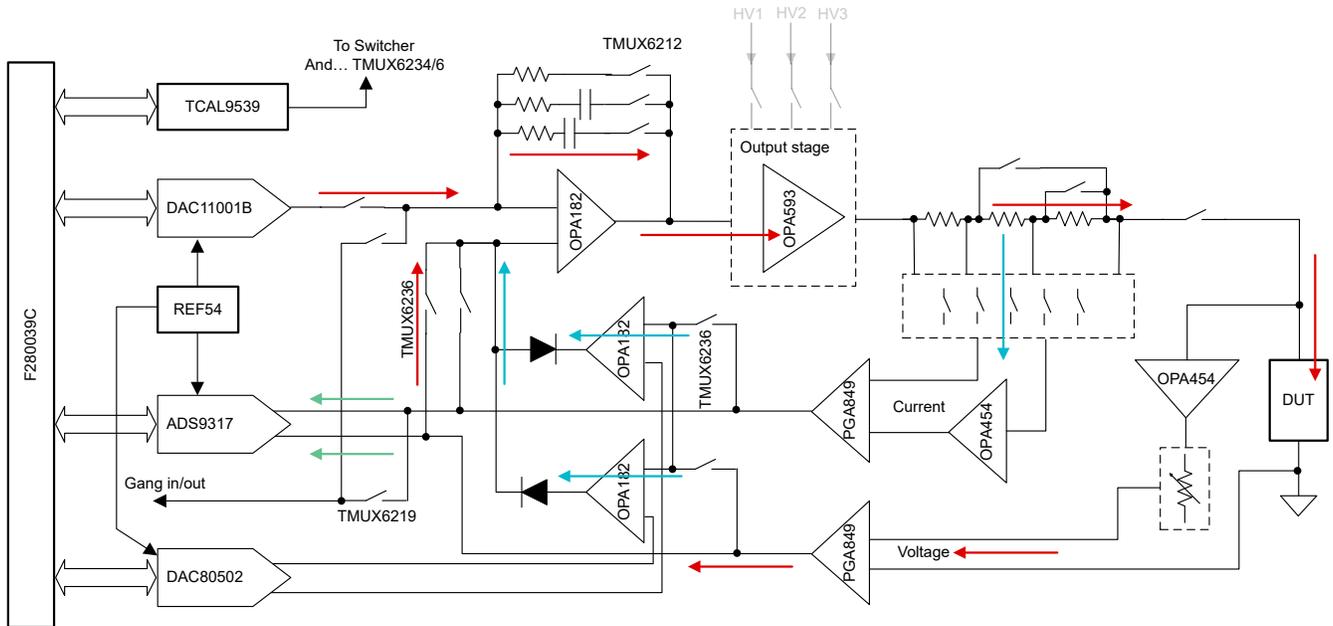


図 3-3. 印加電圧とクランプ電流のワークフロー

### 3.2 印加電流モード

印加電流モードでは、DAC11001B はループに電圧を印加して、電流信号を制御ループに接続し、電流検出抵抗の電圧を印加電圧と比較して出力電流を決定します。

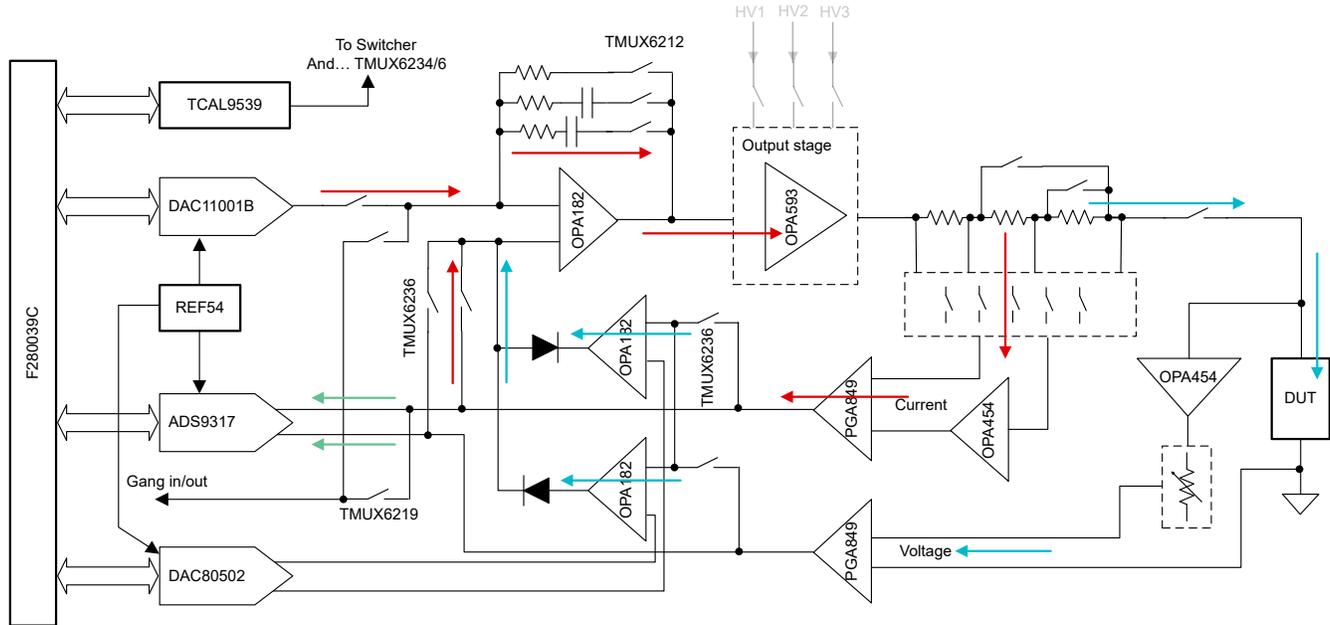


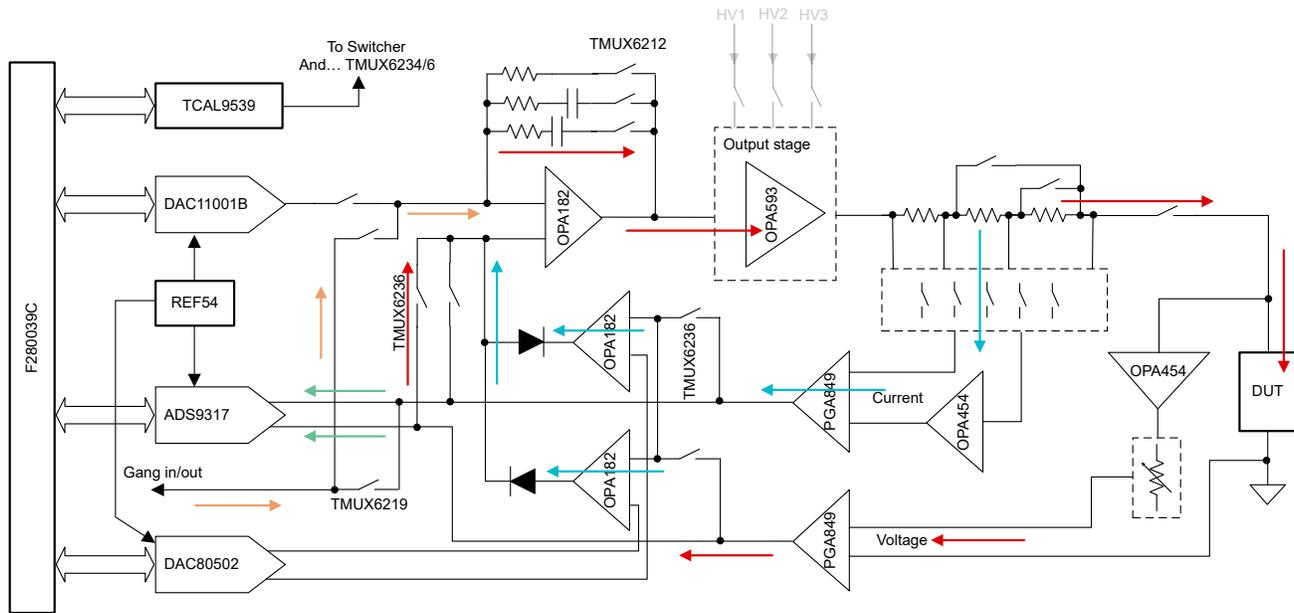
図 3-4. 印加電流とクランプ電圧のワークフロー

図 3-4 において、赤い矢印は印加電流のワークフロー、青い矢印はクランプ電圧のワークフローを示しています。

### 3.3 バッファモード

バッファモードでは、DUT 電圧や電流に関係なく、帰還回路で閉ループが切断されます。図 3-5 を参照してください。出力パスのゲインは約 20 倍に設定されます。バッファモードは非常に高帯域の出力パスと独立したセンシングパスを備えています。この利点は、波形の送信、またはデジタル制御ループの実装です。





黄色いパスはマスター ボードからのギャング信号です。

図 3-7. ギャング スレーバー モードのワークフロー

図 3-8 は、3 つの独立したチャンネルが動作するギャング シミュレーションを示しています。印加電圧は 3.5V に設定されます。つまり DUT の印加は 35V です。図 3-9 は、すべてのチャンネルの出力電流が 389mA に達することを示しています。

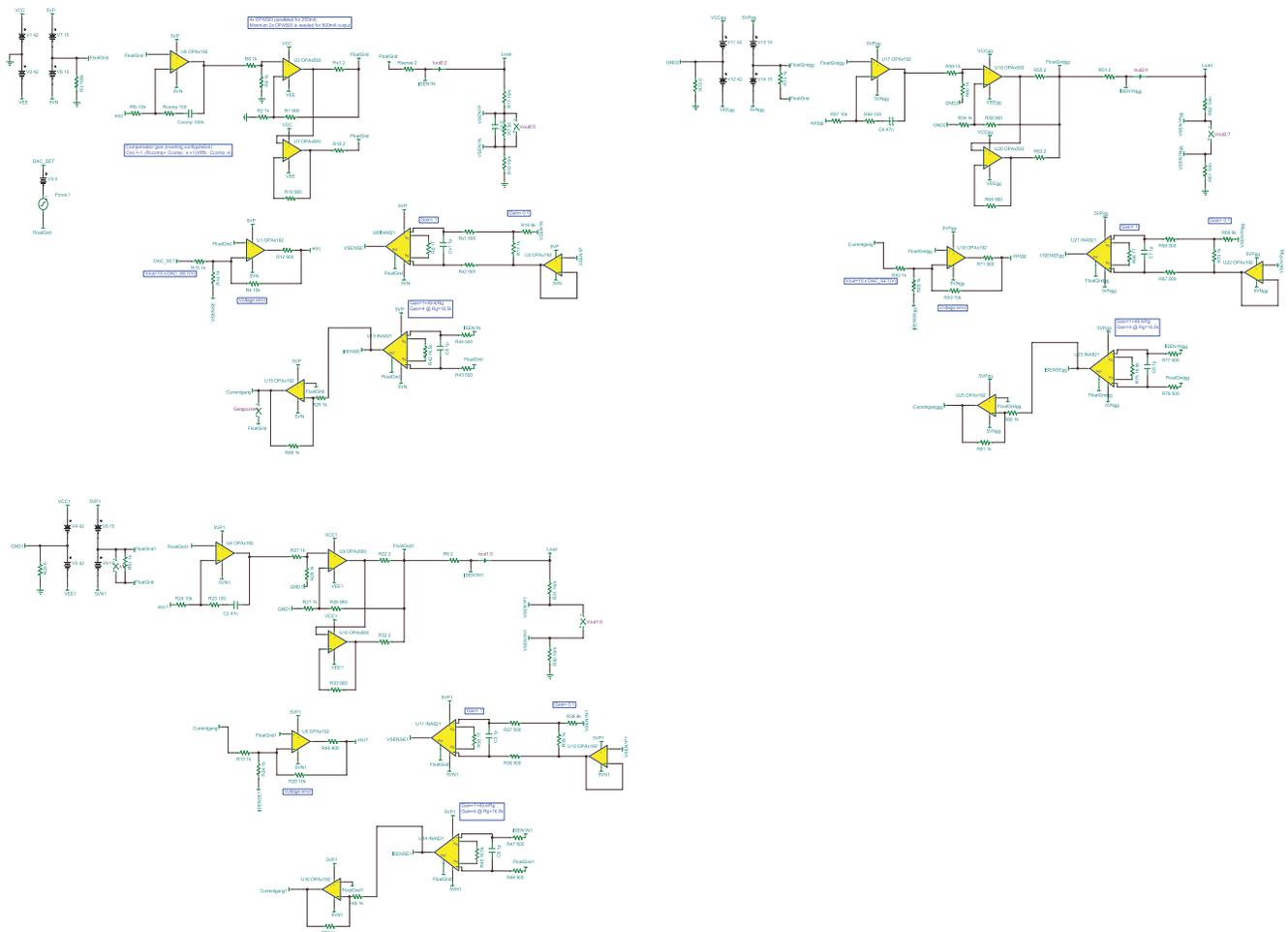


図 3-8. ギャング モード TINA シミュレーションの回路図

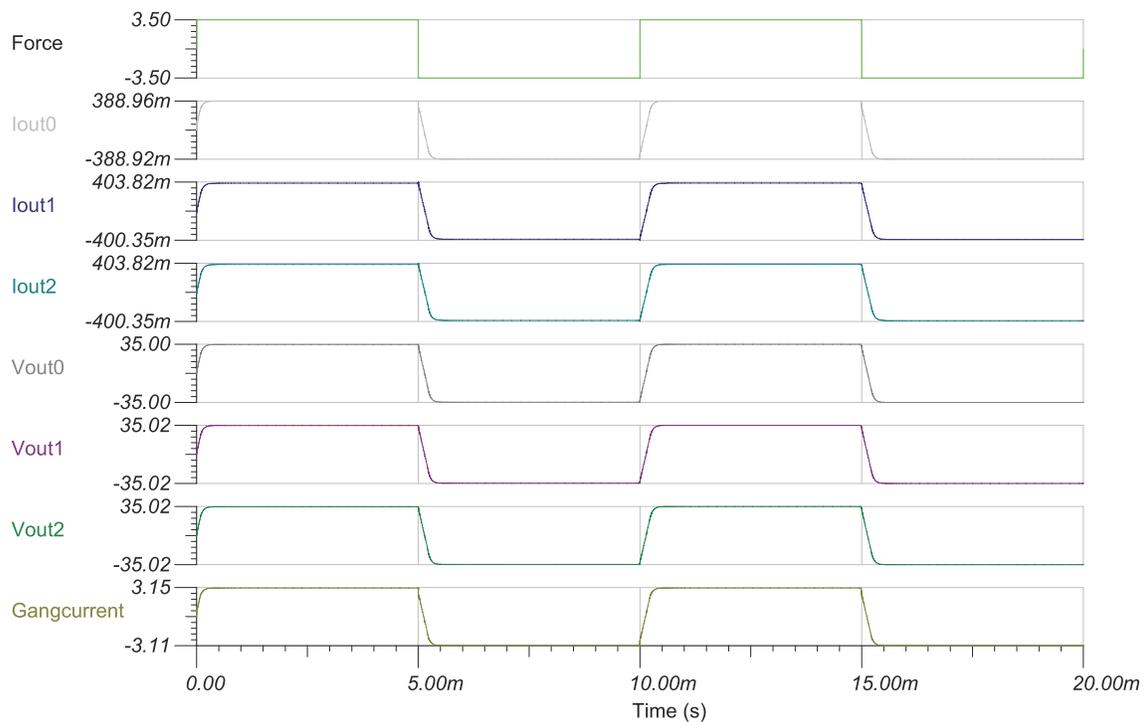


図 3-9. ギャング モード TINA シミュレーションの出力

## 4 ハードウェア、ソフトウェア、テスト要件、テスト結果

### 4.1 ハードウェア要件

#### 4.1.1 サポートされる動作モード

TIDA-010962 は、2 つの電圧範囲と 3 つの電流範囲のオプションを備えた、フローティング VI のリファレンス デザインです。表 4-1 に、サポートされるモードを示します。

表 4-1. TIDA-010962 でサポートされるモード

電圧レンジ	電流範囲	CV	CC	バッファ	ギャング マスター	ギャング スレーブ
±40V	±500mA	あり	あり	あり	あり	あり
	±10mA	あり	あり	あり	なし	なし
	±10µA	あり	あり	あり	なし	なし
0V–80V	±500mA	あり	あり	なし	なし	なし
	±10mA	あり	あり	なし	なし	なし
	±10µA	あり	あり	なし	なし	なし

#### 4.1.2 電源

TIDA-010962 には、2 つのグループの絶縁型電源 (外部低電圧 +15V、高電圧の正と負の電源) が必要です。これらは、±40V の範囲の動作では +43V、−42V 接続され、0V ~ 80V の範囲の動作では +83V、−2V が接続されます。

表 4-2. TIDA-010962 電源

電源	電圧 (V)	最小電流 (mA)	注
HV 電源 (±40V)	+43	800	オプション 1:HV コネクタに接続
	−42	800	
HV 電源 (0V ~ 80V)	+83	800	オプション 2:HV コネクタに接続
	−2	800	
LV 電源	+15	500	LV コネクタに接続
内部電源レール	−15	500	内部電圧、接続不要、リファレンス専用
	5	200	
	3.3	100	
	1.8	100	

図 4-1 は、高電圧電源および出力電圧と電流の電圧差を示す、TIDA-010962 VI チャートです。

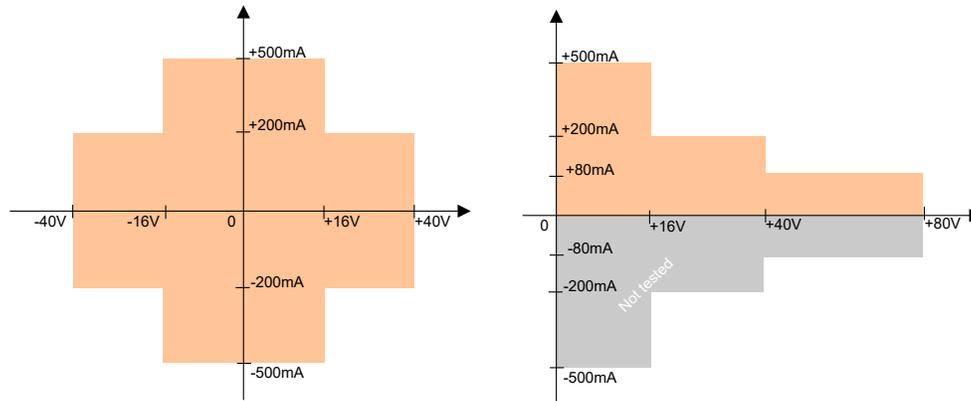


図 4-1. TIDA-010962 ボードの VI チャート

### 4.1.3 ハードウェア接続

#### 警告

テキサス・インスツルメンツは、このリファレンス デザインをラボ環境のみで使用するものとし、一般消費者向けの完成品とはみなしておりません。

テキサス・インスツルメンツは、このリファレンス デザインを高電圧電気機械部品、システム、およびサブシステムの取り扱いに関連するリスクを熟知した有資格のエンジニアおよび技術者のみが使用するものとしています。

**高電圧！** 基板上は高電圧状態になっており、接触するおそれがあります。基板は、不適切に取り扱ったり適用したりした場合に感電、火災、負傷の原因となる電圧および電流で動作します。負傷や物品の破損を避けるために、必要な注意と適切な対策をもって機器を使用してください。

**表面は高温！** 触れるとやけどの原因になることがあります。**触れないでください！** 基板の電源を入れると、一部の部品は  $55^{\circ}\text{C}$  を超える高温に達することがあります。動作中は常に、また動作直後も高温の状態が続く可能性があるため、基板に触れてはいけません。

#### 注意

インターフェイスまたは内部回路のための過渡電圧サプレッサ (TVS) や逆転保護などの保護回路は存在しません。静電放電が発生するとボードが損傷する可能性があります。ボードに接続されている電源が正しくない場合または逆に接続されている場合も、ボードが損傷する可能性があります。

TIDA-010962 リファレンス デザイン ボードは、どんな時にもホット プラグに対応しません。C2000 制御カードを基本ボードに対して接続または切断するときは、まず LV と HV 両方の電源をオフにしてから、USB ケーブルを PC から取り外してください。

評価テスト中に DUT の値またはタイプを変更する前に、ボードを「アウト オフ」ステータスに設定してください。

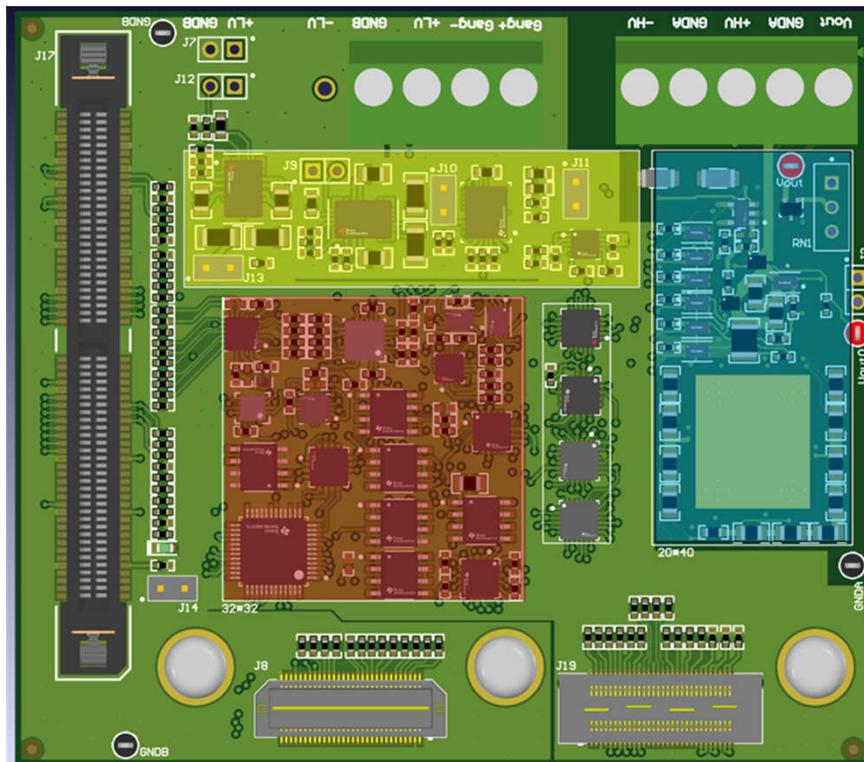


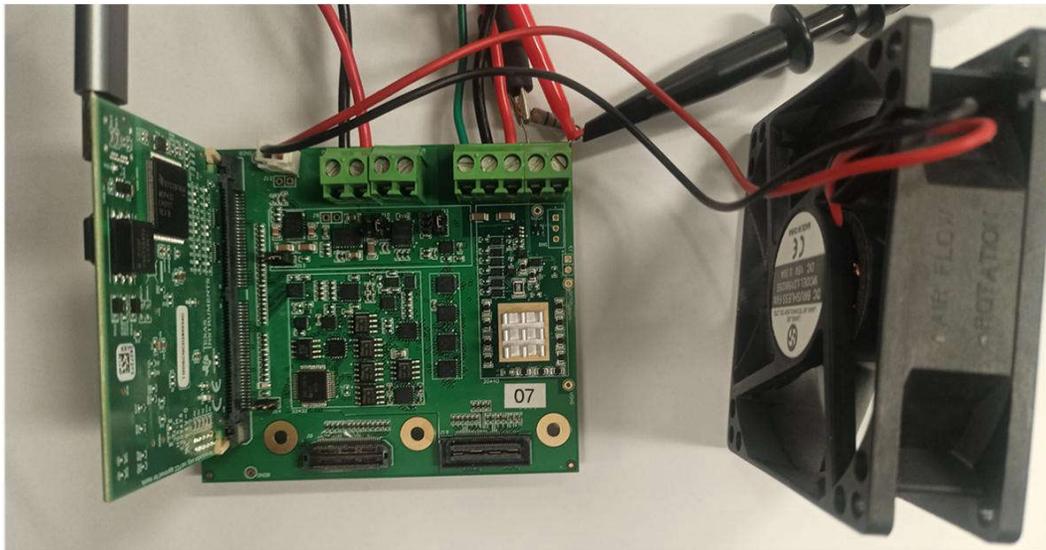
図 4-2. TIDA-010962 PCB ボードの機能領域

図 4-2 に、リファレンス デザインのハードウェアの上面図を示します。ジャンパ J10、J11、J13 は  $\pm 12V$  と  $+5V$  の電源接続ジャンパで、製造後に取り付けます。これらのジャンパは取り外さないでください。ヒートシンクは配送前に出力段に貼り付けられます。ボードが納品されたら、ヒートシンクが適切に取り付けられていることを確認してください。

黄色の領域は LV 電源レールで、信号チェーンに  $\pm 12V$ 、 $+5V$ 、 $3.3V$  を供給します。青い領域は HV 電力領域で、電力出力段と電圧および電流検出回路が含まれています。赤い領域は LV 信号チェーンで、ADC、DAC、閉ループ、クランプ回路が含まれています。

J17 コネクタは C2000 制御カードのソケットです。このコネクタの LV+ と GNDB ピンは LV  $+15V$  電源用です。+HV、GNDA、-HV ピンは、HV  $+43V$ 、 $-42V$  または  $+83V$ 、 $-2V$  電源用です。Vout ピンおよび隣接の GNDA ピンは DUT 接続用です。J7 はファンを接続するためのソケットです。

図 4-3 は、完成したケーブル接続を示しています。


**図 4-3. テスト設定**

ケーブルおよび電源接続の順序:

1. ヒートシンクが正しい位置に適切に取り付けられていることを確認します
2. **TMDSCNCD280039C** 制御カードを J17 スロットに挿入して USB ケーブルの USB Type-C® ポートを制御カードに接続します。この手順では、USB ケーブルの Type-A ポートは PC に接続しないでください。
3. ボードの放熱用のファンを J7 に接続します
4. LV の電源を接続します: +15V から LV+, LV GND から GNDB。この手順では電源を投入しないでください。
5. HV の電源を接続します: +43V から HV+, HV GND から GNDA、-42V から HV- (+83V、-2V の接続は同じパターンに従います)。この手順では電源を投入しないでください。
6. DUT を接続します: Vout は出力、GNDA はグランド (抵抗またはコンデンサ)
7. ギャング機能を評価する場合は、2 線式ケーブルを各ボードの Gang+ と Gang- に接続します。各ボードには単独の LV および HV 電源が必要です。
8. 測定のため、オシロスコープまたは 6½ 桁のデジタル マルチメータを DUT に接続します

#### 注

評価を容易にするため、制御ループ帰還の接続ポイントは出力スイッチの前に配置されています。出力電圧を正確に測定するため、出力スイッチの前の **Vout** テスト ポイントを測定、またはリモート検出コネクタ (J3) を DUT (現在の部品表 (BOM) では未サポート) に接続して DUT からのリモート帰還を実装する、2 つのオプションがあります。

9. ボードの電源を入れます
  - a. LV をオンにします (+15V)
  - b. HV 電源をオンにします (+43V、-42V または +83V、-2V)。HV 電源が個別である場合は、まず正の HV 電源をオンにしてから、負の HV 電源をオンにします。
10. ボードの LED が点滅した後、USB ケーブルの Type-A ポートを PC に接続します
11. PC で **FVI80GUI.exe** を開いてテストを開始します
12. 評価が完了したら、HV 電源をオフにしてから、LV 電源をオフにし、最後に PC から USB ケーブルを取り外します。

#### 注

USB ケーブルを接続する前に GUI ツールが開いている場合、GUI は通信ポートを検出しません。

### 注意

基本ボードから C2000 制御カードを取り外す前に、電源をオフにして USB ケーブルを取り外してください。そうしないと基板が損傷します。

## 4.2 ソフトウェア要件

### 4.2.1 PC GUI

図 4-4 は、Microsoft® Windows® で *FVI80GUI.exe* を実行した後に表示されるグラフィカル ユーザー インターフェイス (GUI) ダイアログ ボックスを示します。

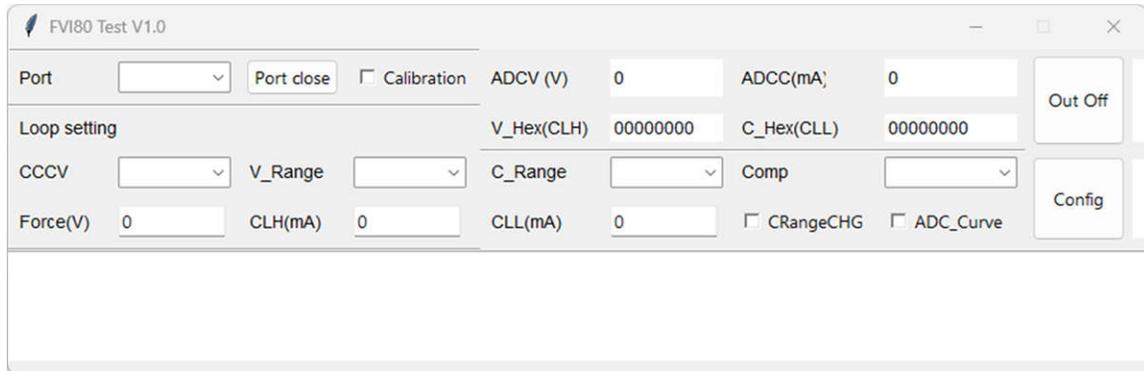


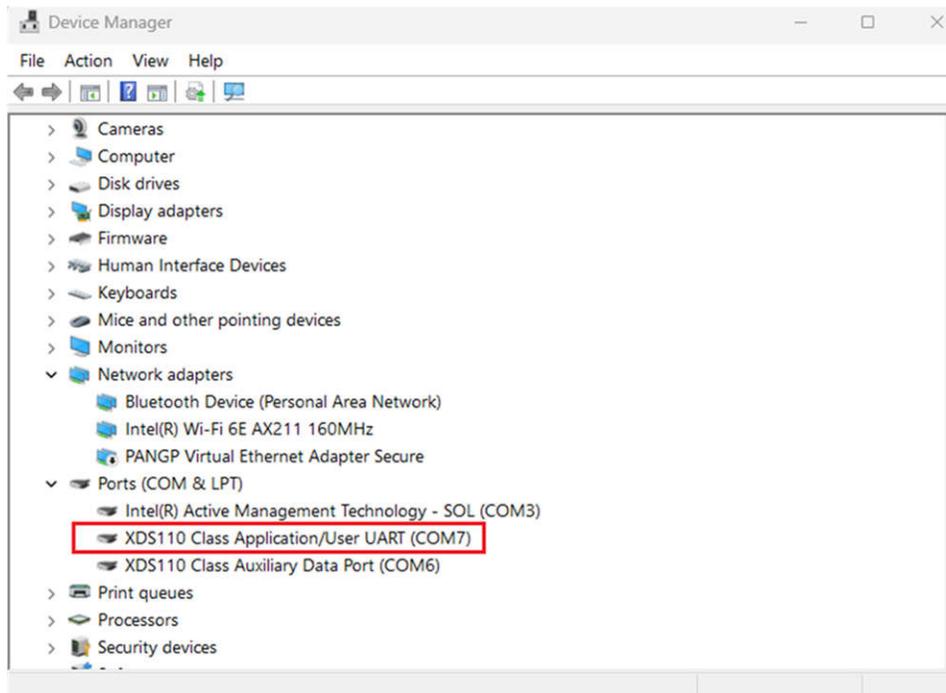
図 4-4. GUI ディスプレイ

#### 4.2.1.1 制御ウィンドウ

「ポートリスト ボックス」を使用すると、C2000 制御カードと通信するシリアル ポートを選択できます。選択する前に、正しいポートを表すシリアル ポート番号を確認してください。図 4-5 の情報は、Microsoft Windows の「デバイス マネージャー」に表示され、赤くハイライトされた領域はボードとの通信ポートを示しています。

### 注

GUI は起動時のみ PC のシリアル ポートを検出します。ソフトウェアで正しいシリアルポートが検出されない場合は、GUI を閉じてからアプリケーションを再度実行してください。


**図 4-5. PC のデバイス マネージャーのダイアログ**

「閉じたポート」ボタンをクリックすると、選択したシリアル ポートが開きます。CCCV、*V\_Range*、*C\_Range*、*Comp* リストボックスでループ構成を設定できます。 $\pm 40V$  の範囲を選択した場合は  $-40V \sim$  約  $40V$  の範囲で、 $0V \sim 80V$  の範囲を選択した場合は  $0V \sim$  約  $80$  の値で、*ForceV* に印加電圧を入力します。 $500mA$  の電流範囲を選択した場合、 $500mA \sim$  約  $0mA$  の High クランプ値を *CLH* に設定し、 $-500mA \sim$  約  $0mA$  の Low クランプ値を *CLL* に設定します。 $10mA$  または  $10\mu A$  の電流範囲を選択した場合、 $10mA \sim$  約  $0mA$  の High クランプ値を *CLH* に設定し、 $-10mA \sim$  約  $0mA$  の Low クランプ値を *CLL* に設定します。設定が完了したら、「構成」ボタンまたは「アウト オフ」をクリックして、構成をボードにダウンロードします。

*ADCV(V)*、*ADCC(mA)*、*V\_HEX(CLH)*、*C\_HEX(CLL)* には、ADC の読み取り電圧と電流の値、未加工の 16 進データが表示されます。*V\_HEX(CLH)* と *C\_HEX(CLL)* には、クランプ ステータスを示す別の機能があります。背景色が赤のときは、対応するクランプが発生しています。

#### 4.2.1.2 ADC 読み取り未加工データ ウィンドウ

*ADC\_Curve* にチェックを付けると、ADC の未加工データを表示するプロット インターフェイスが現れます。図 4-6 を参照してください。2 つのプロットに ADC 読み取り電圧と電流の未加工データが表示されます。各プロットの見出しには、サンプリングの中心データを示す中心値が含まれています。y 軸は「中央」の 16 進数値からの誤差の LSB データを示します。x 軸は時間ステップ 0.5 秒で合計 50 個のサンプルを表示するサンプリング データを表します

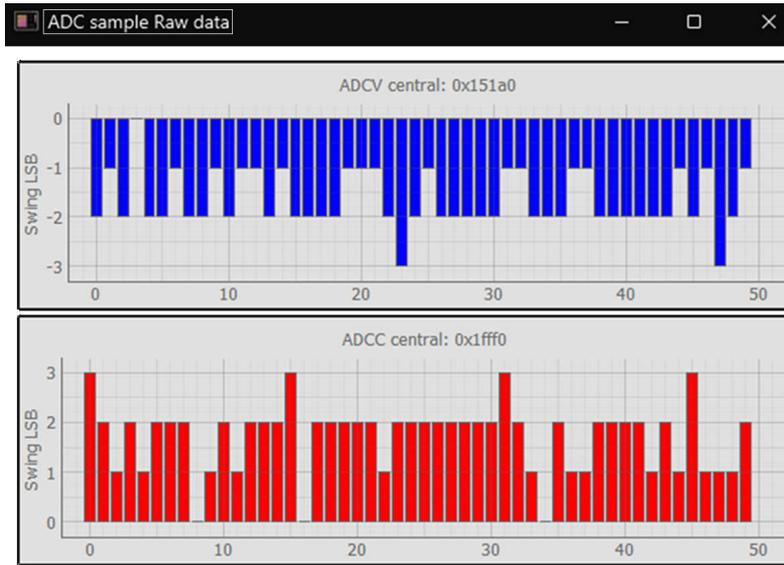


図 4-6. ADC スイング LSB ウィンドウ

#### 4.2.1.3 キャリブレーション ウィンドウ

「キャリブレーション」がチェックされている場合は、図 4-7 に示すキャリブレーション領域が表示されます。

Calibration option:	<-40~+40> <500mA>					Unit
	1st point	2nd point	3rd point	4th point	5th point	
Force_set	-40.0	-20.0	0.0	20.0	40.0	V
Force_x	-40.193	-20.0832	0.0385	20.159	40.268	V
Force_y	00003000	00041800	00080000	000be800	000fd000	Hex
CLH_set	0.0	125.0	250.0	375.0	500.0	mA
CLH_x	0.545	125.495	250.456	375.45	500.54	mA
CLH_y	00008000	00009f40	0000be80	0000dbf	0000fd00	Hex
CLL_set	-500.0	-375.0	-250.0	-125.0	0.0	mA
CLL_x	-550.85	-413.18	-275.62	-138.071	-0.560	mA
CLL_y	0000fd00	0000dbf	0000be80	00009f40	00008000	Hex
DUT_V	-40.0	-20.0	0.0	20.0	40.0	V
ADCV_x	00000d99	000106dd	0001fffe	0002f921	0003f269	Hex
ADCV_y	-40.0	-20.0	0.0	20.0	40.0	V
DUT_C	-500.0	-250.0	0.0	250.0	500.0	mA
ADCC_x	00000abb	00010540	0001fff3	0002faa0	0003f525	Hex
ADCC_y	-500.0	-250.0	0.0	250.0	500.0	mA

図 4-7. キャリブレーション ウィンドウ

CCCV、Vrange、Clange の選択に基づく 12 のキャリブレーション オプションがあります。オプションごとにキャリブレーション データがあります。

### 注

バッファは CV、40V、500mA のデータを再利用します。Gang\_M は CV データを再利用し、Gang\_S は CC データを再利用します。これは、バッファ モードでキャリブレーション データが変更されると、対応する CV、40V、500mA のキャリブレーション データが上書きされることを意味します。

各キャリブレーション オプションには、キャリブレーションが必要な 5 つの設定または読み取り項目 (印加、高クランプ、低クランプ、ADC の電圧および電流の読み取り) があります。ただし、評価中に同時にすべての項目のキャリブレーションが必要なわけではありません。キャリブレーションを実行すると、各設定項目または読み取り項目の 5 つのキャリブレーションポイントが変更され、5 つのキャリブレーション ポイントすべてを同時に完了する必要があります。

各キャリブレーション項目には、3 つのラインがあります。\_set は、Force(V) または CLH または CLL の設定値を示します。ADC の場合、これは構成領域の最初の対応する出力値を設定することを意味します。\_x は x 値がキャリブレーションされた入力を表し、これはすべてのキャリブレーションにおける主な変更領域です。Force(V) または CLH または CLL は DMM から読み取られます。ADCV\_x と ADCC\_x は V\_Hex(CLH) と C\_Hex(CLL) の内容から読み取られます。\_y は y 値がキャリブレーションされた入力を表し、これは自動的に生成されます。バッファモードや、入力と出力が大きすぎた小さな電流クランプがある場合を除き、大半のキャリブレーションで変更されません。

式 1 は ±40V および 500mA の計算を示しています。他の計算オプションについては、TI のフィールド チームまたは TI e2e にお問い合わせください。

$$\text{Force}_y = \frac{4.096 - \frac{\text{Force}}{10}}{4.096} \times 2^{19}; \quad \text{CLH}_y = \frac{4.096 + \frac{\text{CLH} \times 8}{1000}}{4.096} \times 2^{15}; \quad \text{CLL}_y = \frac{4.096 - \frac{\text{CLL} \times 8}{1000}}{4.096} \times 2^{15} \quad (1)$$

少なくとも 5 つのポイントのキャリブレーションが完了したら、「ダウンロード」ボタンをクリックして選択済みのキャリブレーションをボードにダウンロードします。

キャリブレーション済みオプションに対して新しいキャリブレーションを開始する場合は、「デフォルトの計算データを設定する」ボタンをクリックして、デフォルトのキャリブレーション ステータスをボードに設定します。

「読み取り...」または「保存...」ボタンをクリックすると、Microsoft Windows でキャリブレーション データを保存および読み取ることができます。

### 4.3 テスト設定

#### 4.3.1 ソース モード接続

図 4-8 はソース モード機能をテストするための設定を示しています。DUT は、抵抗、コンデンサ、または両方の可能性があります。コンデンサの極性と抵抗の電力定格にご注意ください。電源では、電圧差が 図 4-1 と一致している必要があります。そうしないと OPA593 熱保護機能からの発振が出力に発生します。

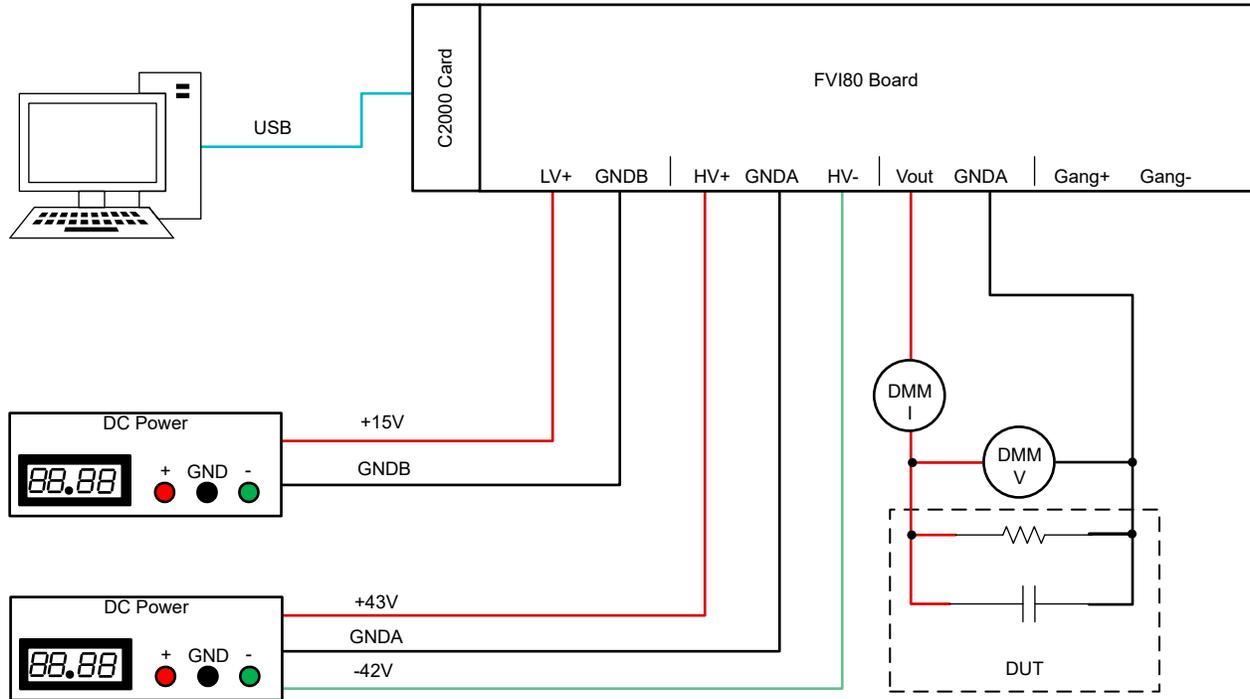


図 4-8. ソース動作モード用 TIDA-010962 接続

### 4.3.2 シンクモード接続

図 4-9 はシンクモード機能をテストするための設定を示しています。DUT は出力電圧と電流の制限を設定する DC 電源です。TIDA-010962 ボードは FV または FI モードに設定できます。

例えば、100mA の電流制限で DC 電源を 15V に設定します。TIDA-010962 ボードを、印加 = 10V、CLH = 500、CLL = -500 で FV モードに設定します。ADC の読み取りまたは DMM は 10V および -100mA を示します。CLL = -50 が設定されている場合は低クランプが発生するため、ADC 読み取りまたは DMM は 15V および -50mA を示します。

TIDA-010962 ボードが印加 = -50、CLH = 40、CLL = -40 で FI モードに設定されている場合は、ADC の読み取りまたは DMM は 15V および -50mA を示します。CLH = 10 が設定されている場合は高クランプが発生するため、ADC 読み取りまたは DMM は 10V および -100mA を示します。この時点で DC 電源の電流制限を TIDA-010962 の電流定格内に設定する必要があります。そうしないとボードが損傷します。

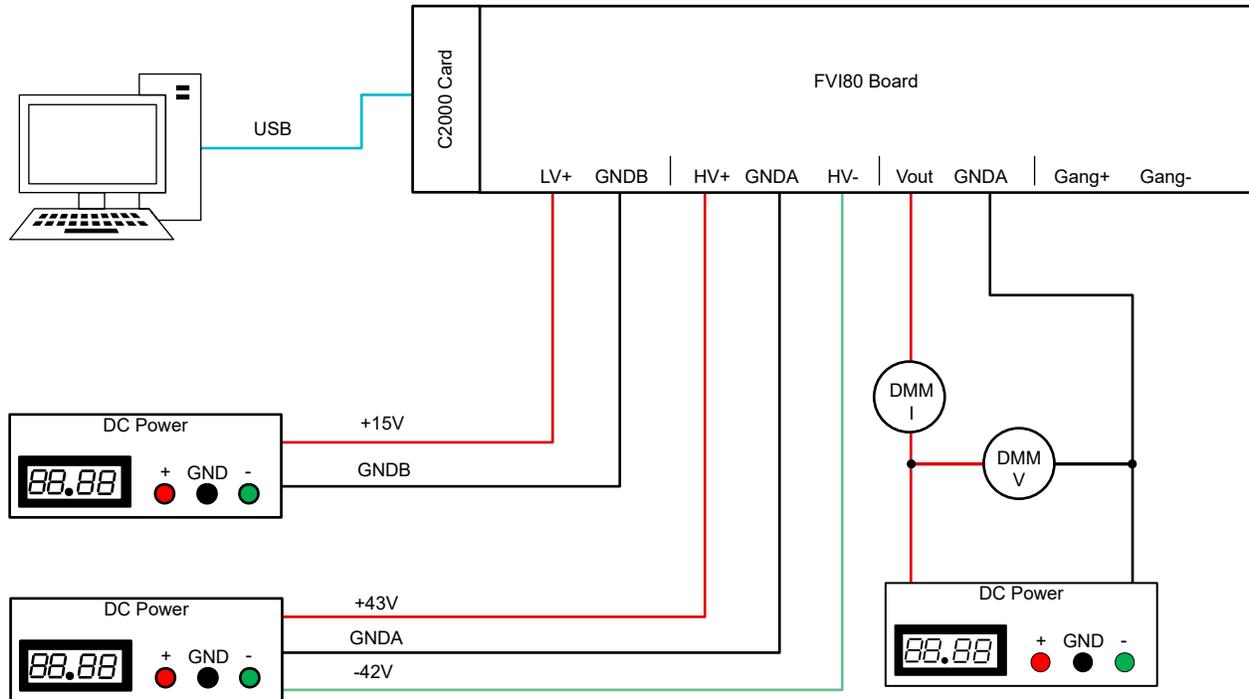


図 4-9. シンク動作モード用 TIDA-010962 接続

### 4.3.3 ギャングモード接続

図 4-10 はテスト用ギャングモード接続を示しています。片方のボードはギャング マスターとして機能し、もう一方のボードはギャング スレーブとして機能します。すべてのボードの電源は絶縁されています。DUT をすべてのボードの Vout+ と GNDA に接続します。すべての Gang+ を接続します。すべての Gang- を接続します。

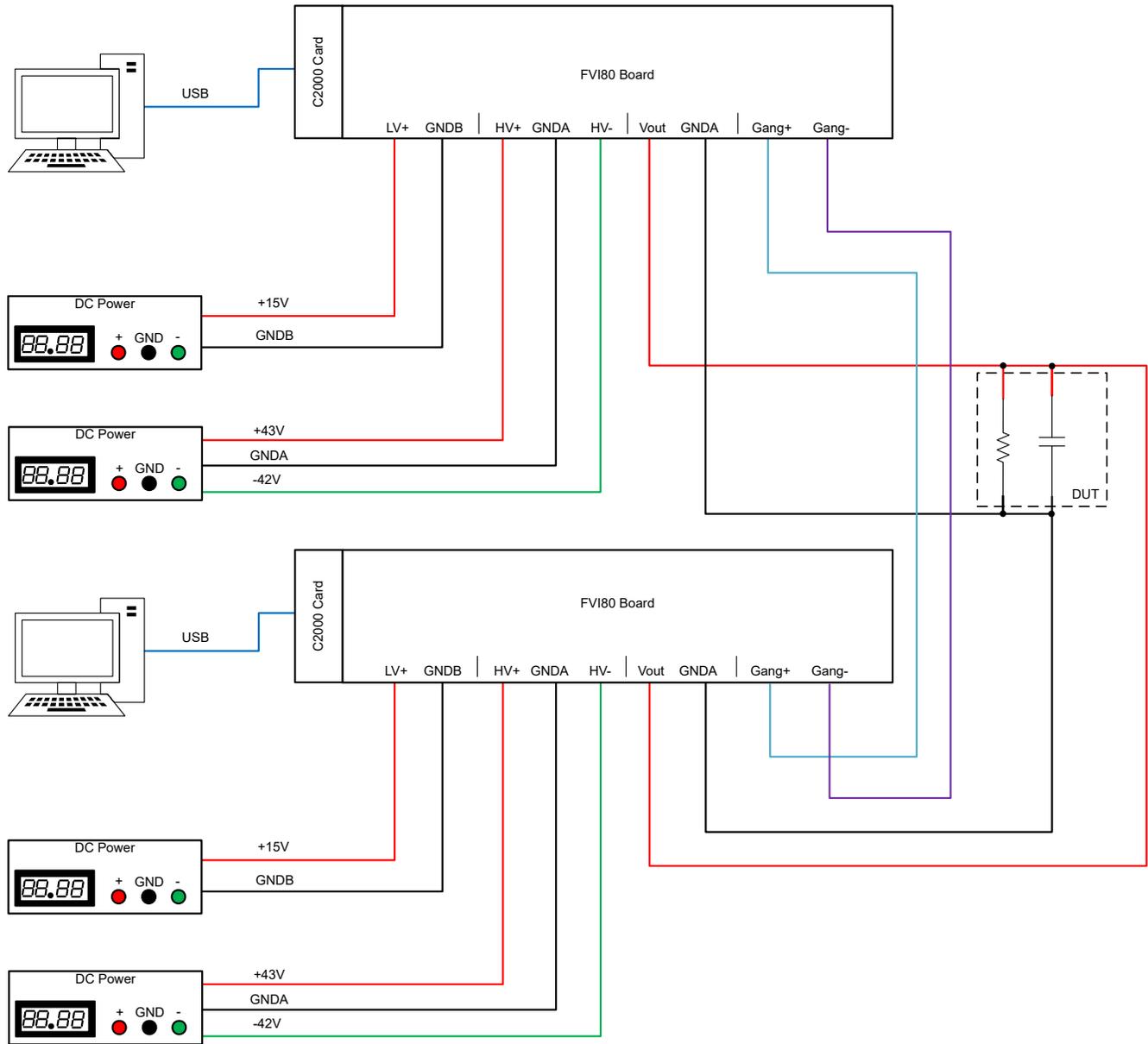


図 4-10. ギャング動作モード用 TIDA-010962 接続

## 4.4 テスト結果

### 4.4.1 直線性および精度

#### 4.4.1.1 FV $\pm 40V$ 、500mA、Comp = 10k + 470nF、DUT = 3M $\Omega$

DUT 分圧器は高精度の抵抗ではなく通常の抵抗ペアと接続されるため、分圧器の TCR の性能が低下します。温度が上昇するため出力の直線性誤差が悪化します。より正確にテストする必要がある場合に備えて、精密分圧器のための予備位置が用意されています。

図 4-11 および 図 4-12 は、キャリブレーション前の印加出力と ADC 読み取りおよび DMM 読み取りのデータ誤差を示しています。

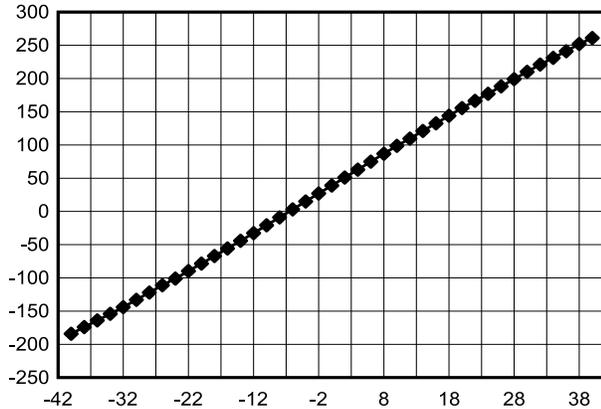


図 4-11. FV  $\pm 40V$ 、500mA モードにおけるキャリブレーション前の電圧出力誤差 (y-mV、x-V)

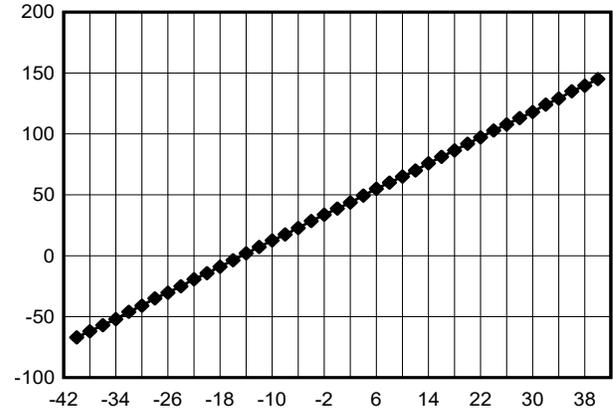


図 4-12. FV  $\pm 40V$  500mA モードにおけるキャリブレーション前の ADC 電圧読み取り誤差 (y-mV、x-V)

図 4-13 および 図 4-14 は、キャリブレーション後の印加および ADC 読み取りのデータ誤差を示しています。

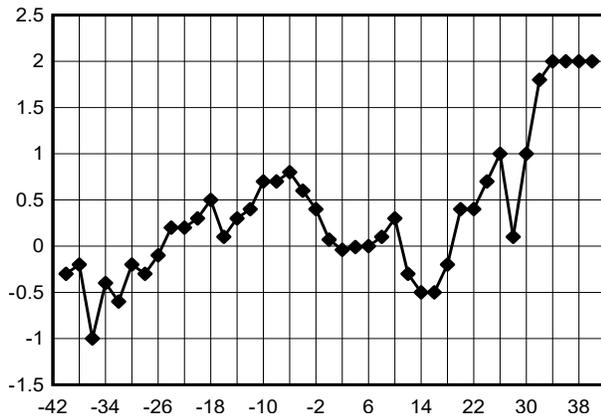


図 4-13. FV  $\pm 40V$ 、500mA モードにおけるキャリブレーション後の電圧出力誤差 (y-mV、x-V)

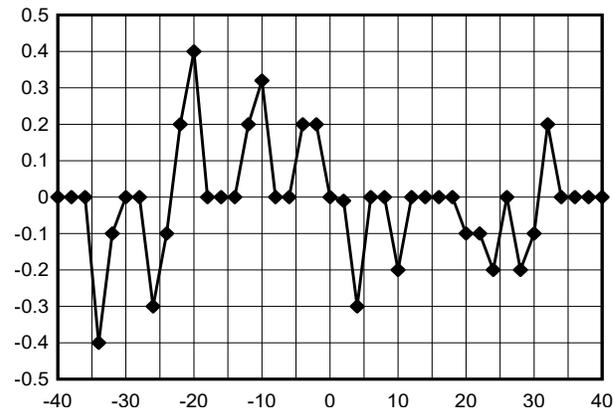


図 4-14. FV  $\pm 40V$ 、500mA モードにおけるキャリブレーション後の ADC 電圧読み取り誤差 (y-mV、x-V)

表 4-3 は測定データを示しています。

**表 4-3. 測定データ**

設定 (V)	キャリブレーション前				キャリブレーション後			
	出力 (V)	ADC 読み取り (V)	出力誤差 (mV)	読み取り誤差 (mV)	DMM からの読み取り (V)	ADC からの読み取り (V)	出力誤差 (mV)	読み取り誤差 (mV)
-40	-40.184	-40.067	-184	-67	-40.0003	-40	-0.3	0
-38	-38.174	-38.062	-174	-62	-38.0002	-38	-0.2	0
-36	-36.164	-36.057	-164	-57	-36.001	-36	-1	0
-34	-34.154	-34.052	-154	-52	-34.0004	-34.0004	-0.4	-0.4
-32	-32.144	-32.046	-144	-46	-32.0006	-32.0001	-0.6	-0.1
-30	-30.133	-30.041	-133	-41	-30.0002	-30	-0.2	0
-28	-28.122	-28.035	-122	-35	-28.0003	-28	-0.3	0
-26	-26.111	-26.0303	-111	-30.3	-26.0001	-26.0003	-0.1	-0.3
-24	-24.101	-24.025	-101	-25	-23.9998	-24.0001	0.2	-0.1
-22	-22.0897	-22.0193	-89.7	-19.3	-21.9998	-21.9998	0.2	0.2
-20	-20.0785	-20.0143	-78.5	-14.3	-19.9997	-19.9996	0.3	0.4
-18	-18.067	-18.009	-67	-9	-17.9995	-18.000	0.5	0
-16	-16.0557	-16.0037	-55.7	-3.7	-15.9999	-16	0.1	0
-14	-14.0442	-13.998	-44.2	2	-13.9997	-14	0.3	0
-12	-12.0326	-11.9928	-32.6	7.2	-11.9996	-11.9998	0.4	0.2
-10	-10.0209	-9.9874	-20.9	12.6	-9.9993	-9.99968	0.7	0.32
-8	-8.0089	-7.9825	-8.9	17.5	-7.9993	-8	0.7	0
-6	-5.9969	-5.9772	3.1	22.8	-5.9992	-6	0.8	0
-4	-3.985	-3.9715	15	28.5	-3.9994	-3.9998	0.6	0.2
-2	-1.973	-1.9663	27	33.7	-1.9996	-1.9998	0.4	0.2
0	0.03897	0.03875	38.97	38.75	0.00007	0	0.07	0
2	2.051	2.0437	51	43.7	1.99996	1.99999	-0.04	-0.01
4	4.0629	4.0494	62.9	49.4	3.99999	3.9997	-0.01	-0.3
6	6.0749	6.055	74.9	55	6	6	0	0
8	8.0868	8.06	86.8	60	8.0001	8	0.1	0
10	10.0987	10.065	98.7	65	10.0003	9.9998	0.3	-0.2
12	12.1095	12.07	109.5	70	11.9997	12	-0.3	0
14	14.1211	14.0759	121.1	75.9	13.9995	14	-0.5	0
16	16.1325	16.0812	132.5	81.2	15.9995	16	-0.5	0
18	18.144	18.0865	144	86.5	17.9998	18	-0.2	0
20	20.1555	20.0919	155.5	91.9	20.0004	19.9999	0.4	-0.1
22	22.1664	22.0972	166.4	97.2	22.0004	21.9999	0.4	-0.1
24	24.177	24.1028	177	102.8	24.0007	23.9998	0.7	-0.2
26	26.1882	26.1078	188.2	107.8	26.001	26	1	0
28	28.199	28.113	199	113	28.0001	27.9998	0.1	-0.2
30	30.21	30.118	210	118	30.001	29.9999	1	-0.1
32	32.221	32.124	221	124	32.0018	32.0002	1.8	0.2

表 4-3. 測定データ (続き)

設定 (V)	キャリブレーション前				キャリブレーション後			
	出力 (V)	ADC 読み取り (V)	出力誤差 (mV)	読み取り誤差 (mV)	DMM からの読み取り (V)	ADC からの読み取り (V)	出力誤差 (mV)	読み取り誤差 (mV)
34	34.231	34.129	231	129	34.002	34	2	0
36	36.241	36.135	241	135	36.002	36	2	0
38	38.252	38.1396	252	139.6	38.002	38	2	0
40	40.261	40.145	261	145	40.002	40	2	0

4.4.1.2 FV、0V ~ 80V、500mA、Comp = 10k + 470nF、DUT = 3MΩ

図 4-15 と 図 4-16 はキャリブレーション前の誤差を示しています。

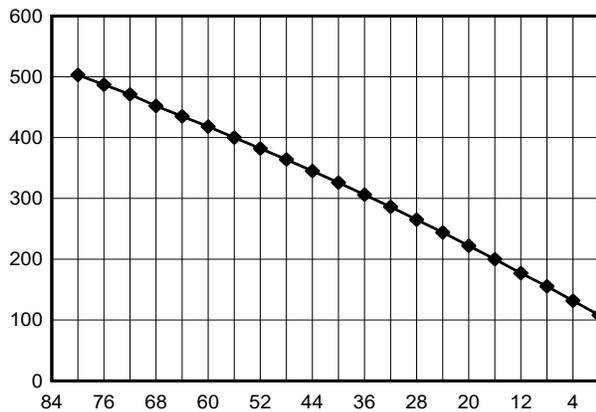


図 4-15. FV 0 ~ 80V 500mA モードにおけるキャリブレーション前の電圧出力誤差 (y-mV、x-V)

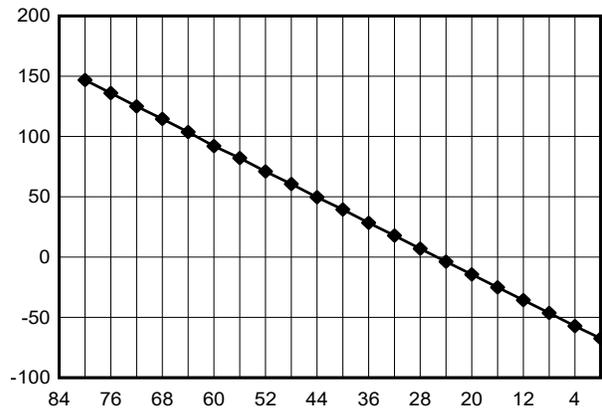


図 4-16. FV 0 ~ 80V SPAN モードにおけるキャリブレーション前の ADC 電圧読み取り誤差 (y-mV、x-V)

図 4-17 と 図 4-18 はキャリブレーション後の誤差を示しています。

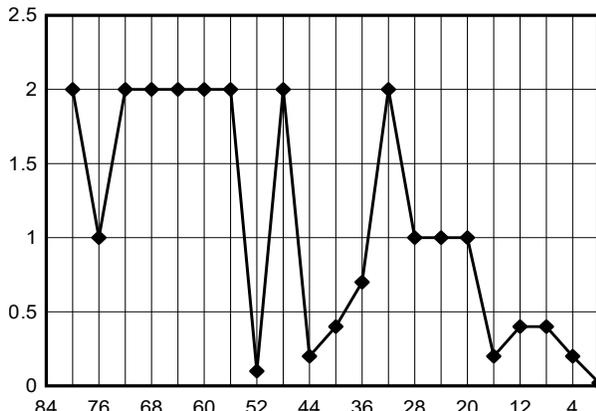


図 4-17. FV 0 ~ 80V 500mA モードにおけるキャリブレーション後の電圧出力誤差 (y-mV、x-V)

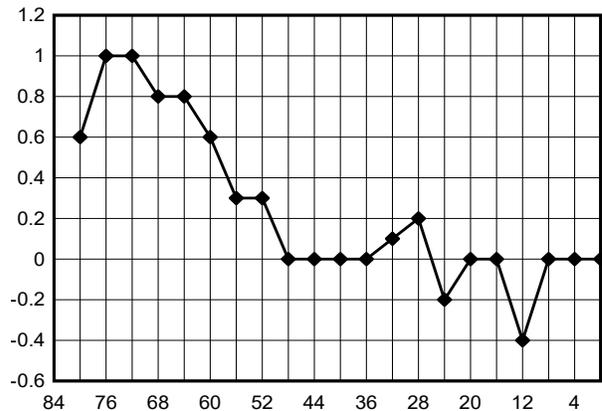


図 4-18. FV 0 ~ 80V 500mA モードにおけるキャリブレーション後の ADC 電圧読み取り誤差 (y-mV、x-V)

#### 4.4.1.3 FI、±40V、10mA、Comp = 10k + 470nF、DUT = 3MΩ

電流検出抵抗は高精度の抵抗ではなく通常の抵抗と接続されるため温度が上昇し、出力電流の直線性誤差が悪化します。より正確にテストする必要がある場合に備えて、精密検出抵抗のための予備位置が用意されています。

図 4-19 と FV ±40V 10mA モードにおけるキャリブレーション前の ADC 電流読み取り誤差 (y-μA、x-mA) はキャリブレーション前の誤差を示しています。

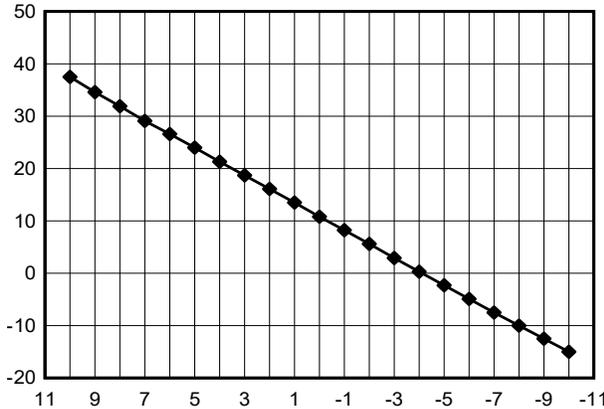


図 4-19. FV ±40V、10mA モードにおけるキャリブレーション前の電流出力誤差 (y-μA、x-mA)

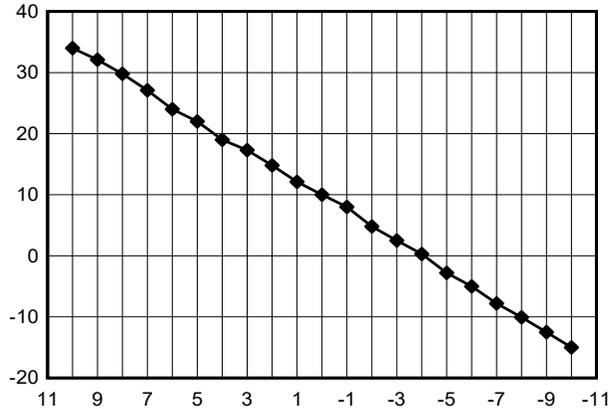


図 4-20. FV ±40V 10mA モードにおけるキャリブレーション前の ADC 電流読み取り誤差 (y-μA、x-mA)

図 4-21 と 図 4-22 はキャリブレーション後の誤差を示しています。

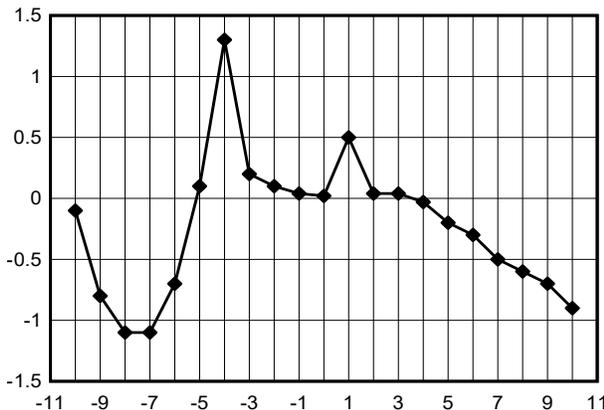


図 4-21. FV ±40V、10mA モードにおけるキャリブレーション後の電流出力誤差 (y-μA、x-mA)

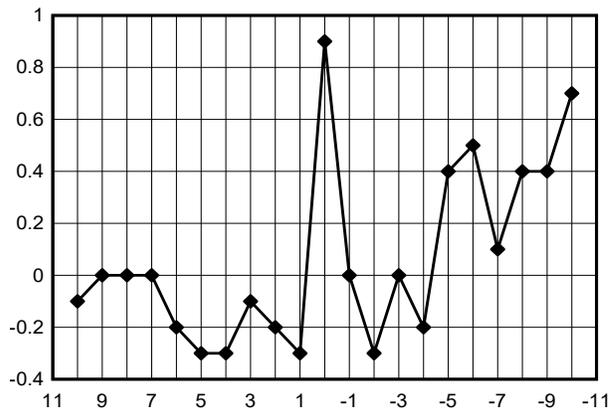


図 4-22. FV ±40V 10mA モードにおけるキャリブレーション後の ADC 電流読み取り誤差 (y-μA、x-mA)

4.4.1.4 バッファ、 $\pm 40V$ 、 $10mA$ 、 $Comp = 10k + 470nF$ 、 $DUT = 3M\Omega$

図 4-23 と 図 4-24 はキャリブレーション前の誤差を示しています。

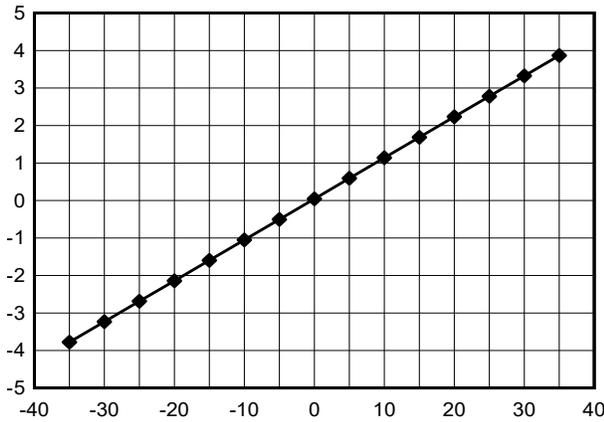


図 4-23. バッファ  $\pm 40V$   $500mA$  モードにおけるキャリブレーション前の電圧出力誤差 (y-V、x-V)

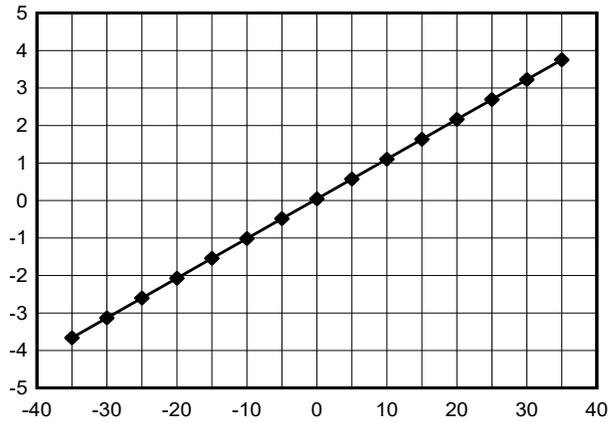


図 4-24. バッファ  $\pm 40V$   $500mA$  モードにおけるキャリブレーション前の ADC 電圧読み取り誤差 (y-V、x-V)

図 4-25 と 図 4-26 はキャリブレーション後の誤差を示しています。

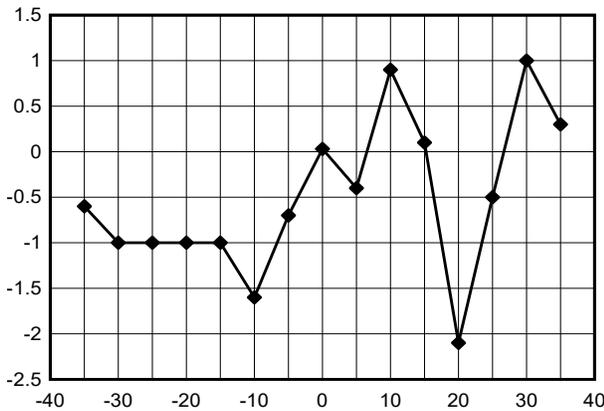


図 4-25. バッファ  $\pm 40V$   $500mA$  モードにおけるキャリブレーション後の電圧出力誤差 (y-mV、x-V)

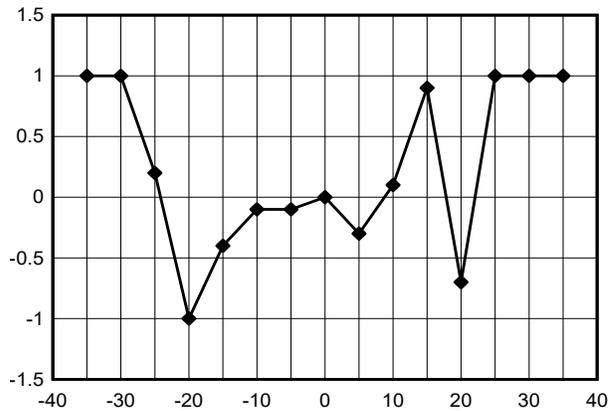


図 4-26. バッファ  $\pm 40V$   $500mA$  モードにおけるキャリブレーション後の ADC 電圧読み取り誤差 (y-mV、x-V)

#### 4.4.2 過渡

図 4-27 から 図 4-32 は、異なる条件下での過渡テストの結果を示しています。

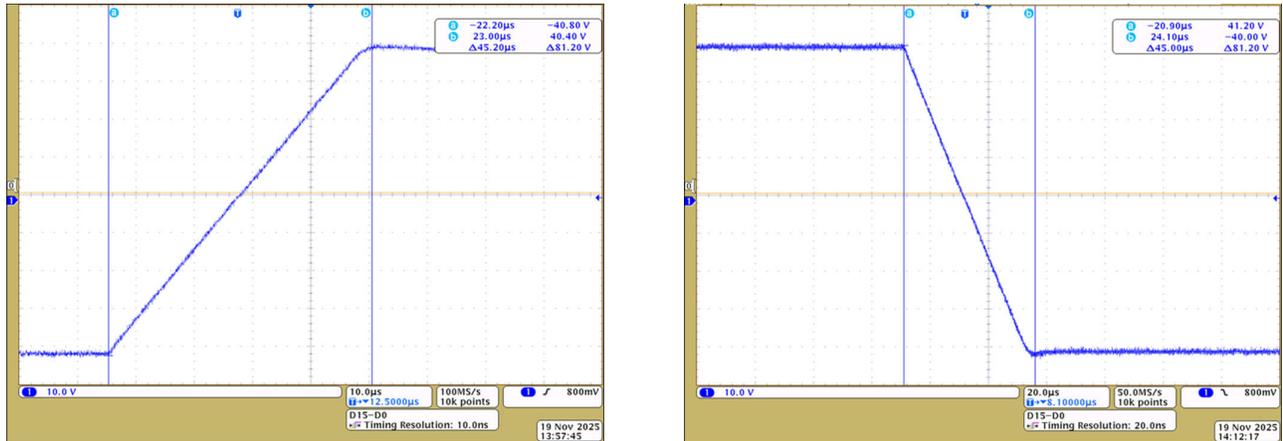


図 4-27. FV ±40V の過渡、500mA、Comp = 10k + 10nF、DUT = 3MΩ

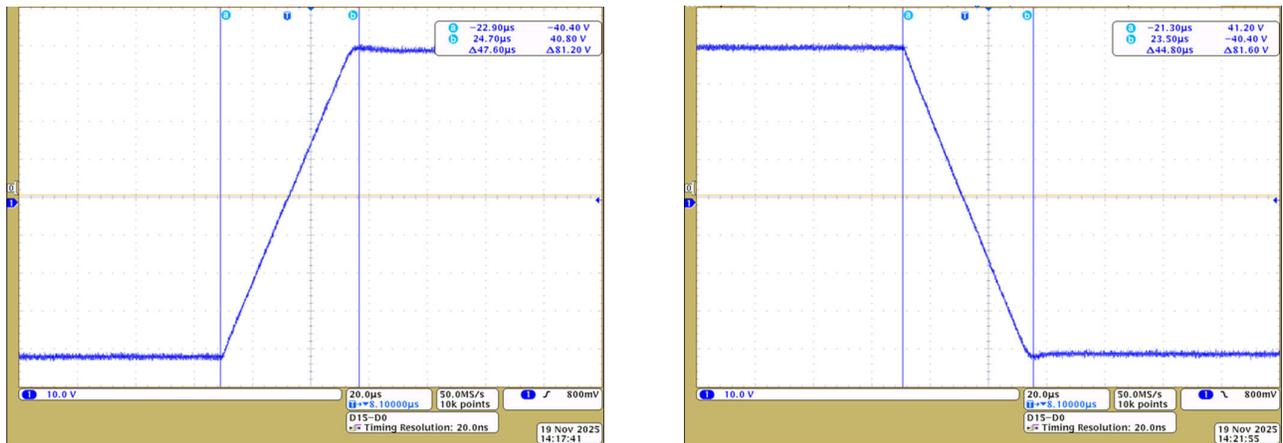


図 4-28. FV ±40V の過渡、10mA、Comp = 10k + 10nF、DUT = 3MΩ

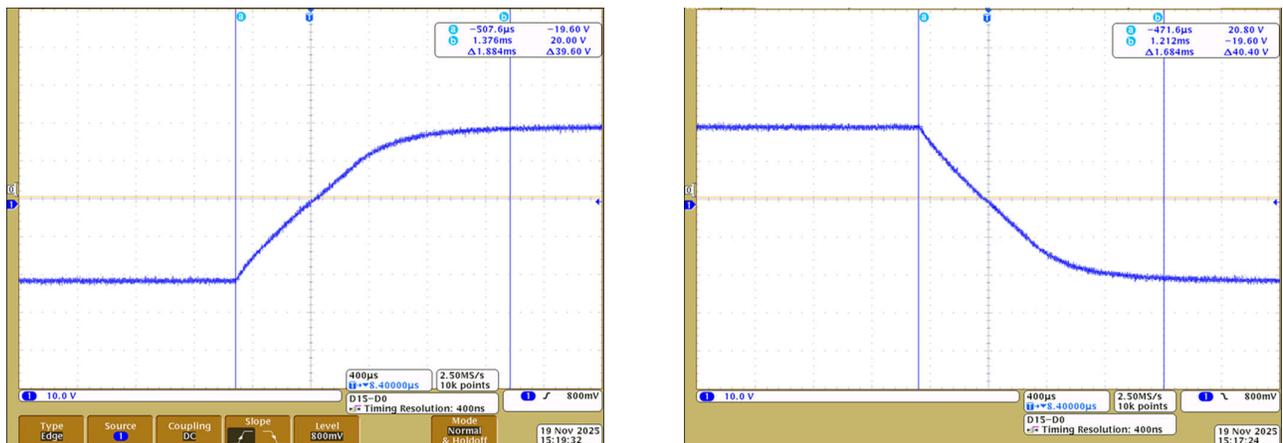


図 4-29. FV ±40V の過渡、10µA、Comp = 10k + 470nF、DUT = オシロスコープ

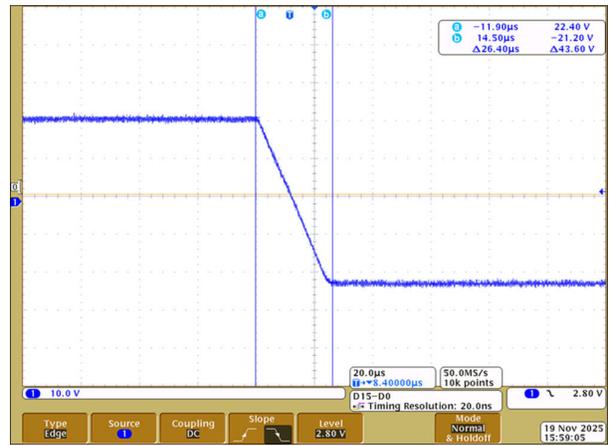
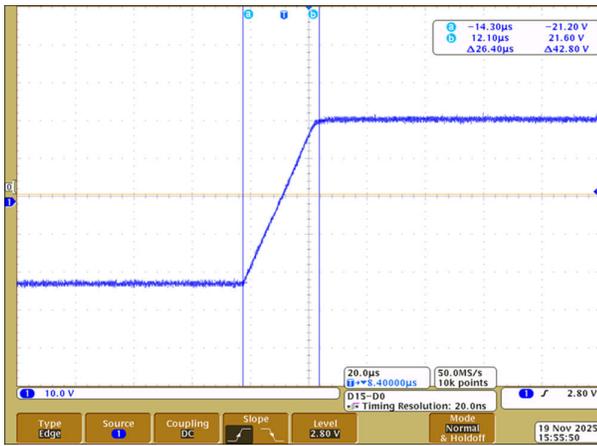


図 4-30. FI ±40V の過渡、500mA、Comp = 10k + 10nF、DUT = 43Ω



図 4-31. FI ±40V の過渡、10mA、Comp = 10k + 470nF、DUT = 510Ω

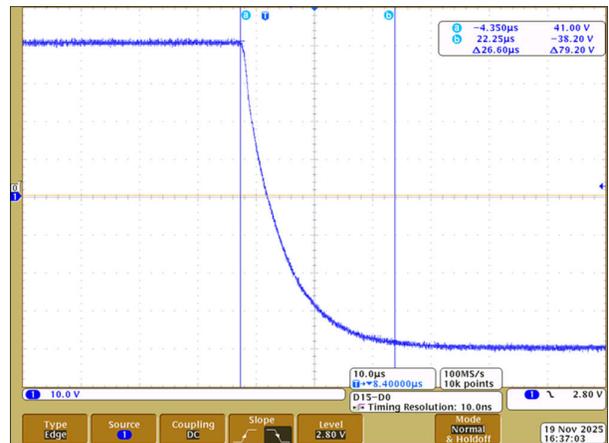
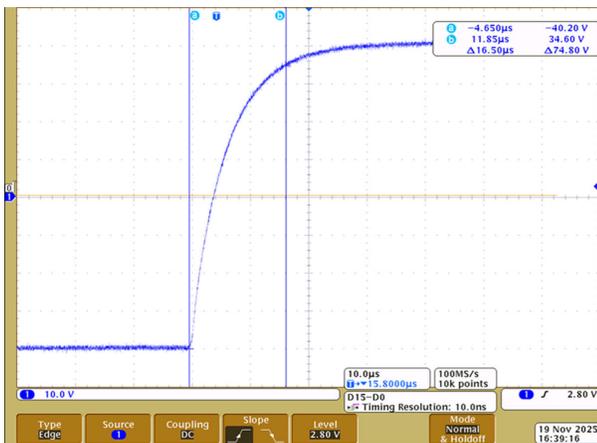


図 4-32. バッファの過渡、±40V、500mA、Comp = 10k + 5.6k||1nF、DUT = 3MΩ

### 4.4.3 容量性負荷

図 4-33 と 図 4-34 は、異なる条件下での容量性負荷テストの結果を示しています。

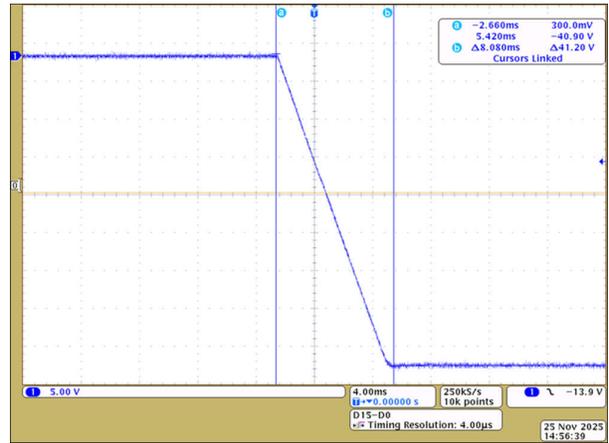
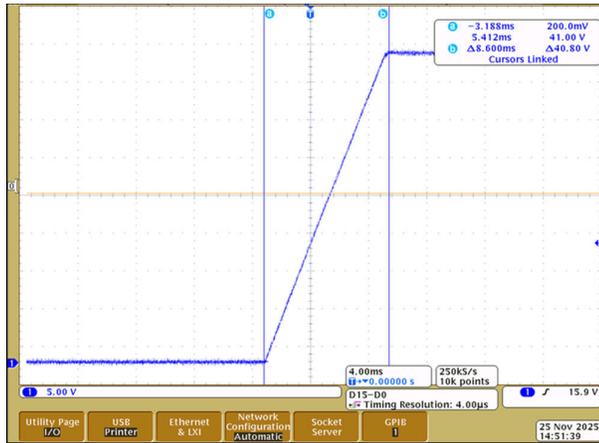


図 4-33. CV の過渡、±40V、500mA、Comp = 10k + 470nF、DUT = 3 × 33μF (AL、400V 定格)

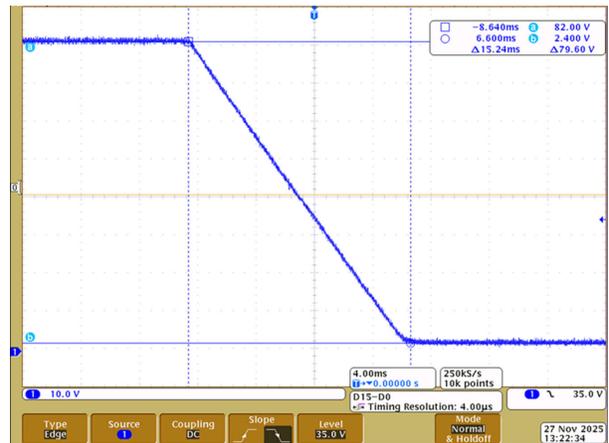
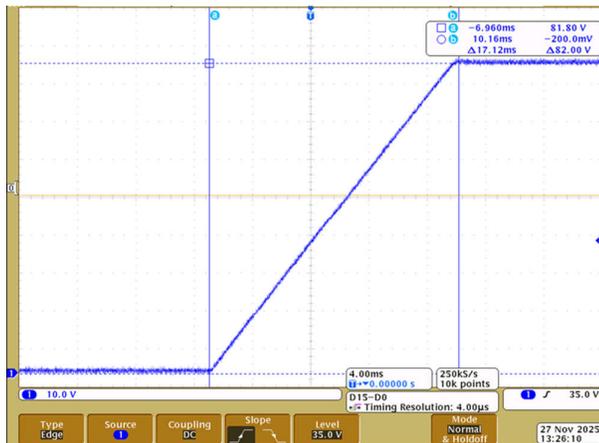
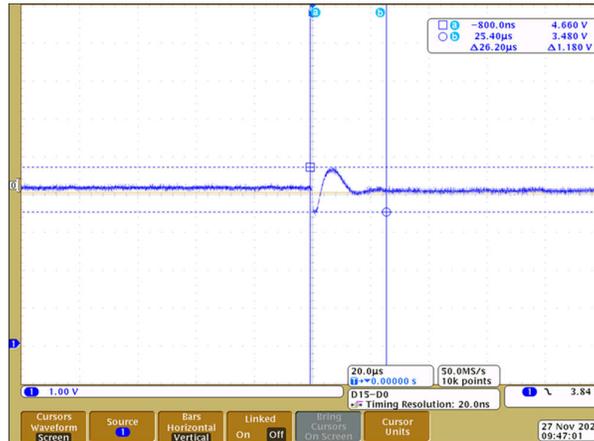


図 4-34. CV の過渡、0V ~ 80V、500mA、Comp = 10k + 470nF、DUT = 3 × 33μF (AL、400V 定格)

#### 4.4.4 グリッチ

図 4-35 は、500mA から 10mA の電流範囲にスイッチングしたときのみグリッチが現れることを示しています。10mA から 500mA にスイッチングするときには、グリッチがほとんど見られません。



CV、印加 = 4V、±40V、500mA、Comp = 10k + 10nF、DUT = 510Ω

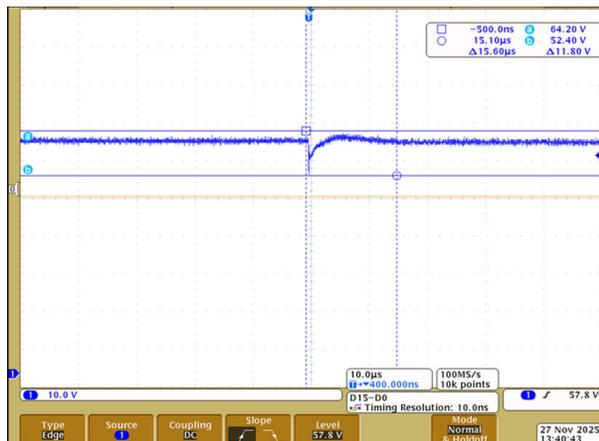
図 4-35. 500mA から 10mA の電流範囲のスイッチング グリッチの過渡

500mA から 10mA の範囲にスイッチングするときは、Comp = 15k + 10nF を変更すると電圧オーバーシュートを低減できます。

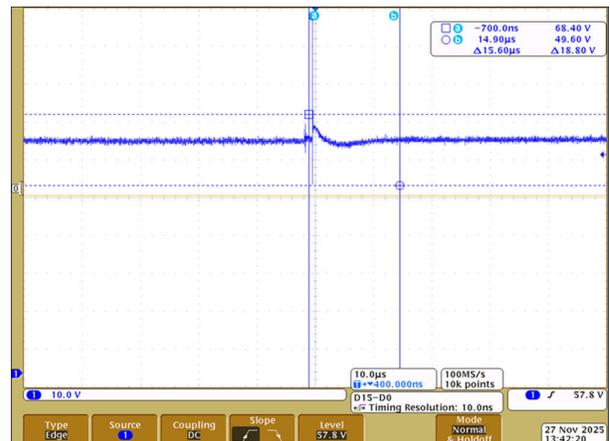
#### 4.4.5 セットリングタイム

図 4-36 は、DUT ケーブルを手動で接続して、60V CV で 0mA から 470mA にスイッチングする方法を示しています。

図 4-37 は、DUT ケーブルを手動で接続解除して、60V CV で 470mA から 0mA にスイッチングする方法を示しています。



CV、0V ~ 80V SPAN、500mA の範囲、±500mA クランプ、  
DUT = 128Ω、Comp = 20k + 10n



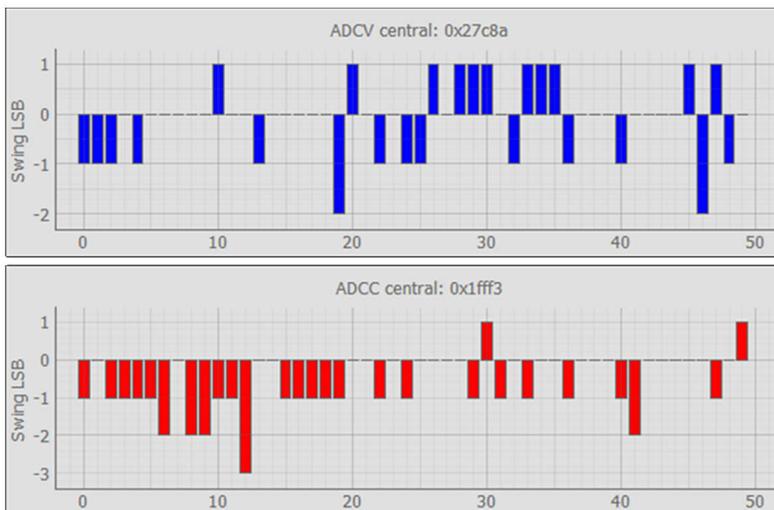
CV、0V ~ 80V SPAN、500mA の範囲、±500mA クランプ、  
DUT = 128Ω、Comp = 20k + 10n

図 4-36. セットリングの開放負荷から「全」負荷までの過渡

図 4-37. セットリングの「全」負荷から開放負荷までの過渡

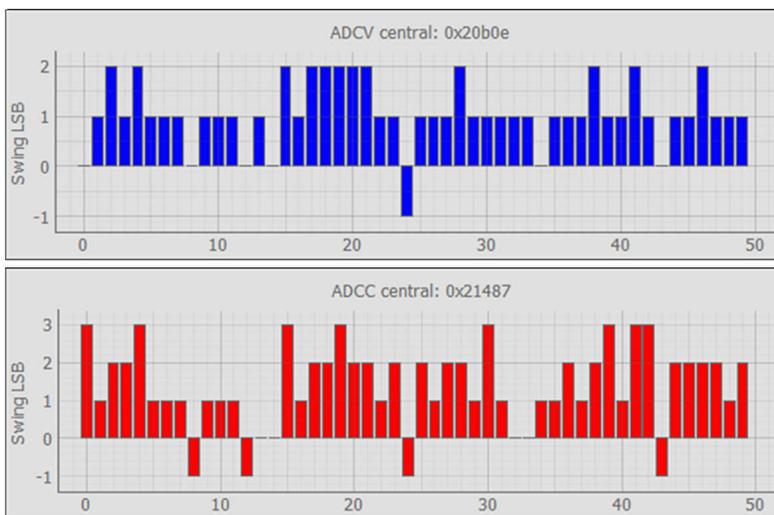
#### 4.4.6 ADC スイング LSB

図 4-38 と 図 4-39 は ADC スイング LSB の印加電圧と印加電流のグラフを示しています。



CV、500mA、Comp = 10k + 470nF、印加 = 10V、DUT = オープン

図 4-38. 印加電圧でのスイング LSB



CC、500mA、Comp = 10k + 470nF、印加 = 20mA、DUT = 410Ω

図 4-39. 印加電流でのスイング LSB

## 5 設計とドキュメントのサポート

### 5.1 デザイン ファイル

#### 5.1.1 回路図

回路図をダウンロードするには、[TIDA-010962](#) のデザイン ファイルを参照してください。

#### 5.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-010962](#) のデザイン ファイルを参照してください。

#### 5.1.3 PCB レイアウトに関する推奨事項

##### 5.1.3.1 レイアウト プリント

レイヤ プロットをダウンロードするには、[TIDA-010962](#) のデザイン ファイルを参照してください。

### 5.2 ツールとソフトウェア

#### ツール

[TMDSCNCD280039C](#)

F280039C 制御カードの評価基板

#### ソフトウェア

[CCSTUDIO](#)

Code Composer Studio (CCS) 統合開発環境 (IDE)

[Uniflash](#)

UniFlash フラッシュ プログラミング ツール

[FVI80GUI](#)

TIDA-010962 PC コントロール GUI

### 5.3 ドキュメントのサポート

1. テキサス インスツルメンツ、『[DAC11001B 20 ビット、低ノイズ、超低高調波歪み、高速セトリング、高電圧出力、D/A コンバータ \(DAC\) データシート](#)』
2. テキサス インスツルメンツ、『[DACx0502 高精度の内部リファレンス データ シートを内蔵したデュアル、16 ビット、14 ビット、12 ビット、1-LSB INL の電圧出力 DAC](#)』
3. テキサス インスツルメンツ、『[TCAL9539 低電圧、16 ビット I2C バス/SMBus I/O エクспанダ、割り込み出力、リセット、構成レジスタ付き](#)』データシート
4. テキサス インスツルメンツ、『[TMS320F28003x リアルタイム マイクロコントローラ データシート](#)』、

### 5.4 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

## 5.5 商標

テキサス・インスツルメンツの™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

USB Type-C® is a registered trademark of USB Implementers Forum.

Microsoft® and Windows® are registered trademarks of Microsoft Corporation.

すべての商標は、それぞれの所有者に帰属します。

## 6 著者について

**ZHU JINGQUAN** は、テキサス インスツルメンツのシステム エンジニアであり、テストおよび測定アプリケーションのリファレンス デザイン開発を担当しています。中国のハルビン工業大学で学士号と修士号を取得しています。

## 7 謝辞

TIDA-010962 リファレンス デザイン開発への協力に関し、**Anand Shaury** 氏に特に感謝いたします。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月