

Design Guide: TIDM-02022

結合型インダクタを使用する 2kW 4 相インターリーブ降圧コンバータのリファレンス デザイン



説明

データセンターの消費電力が大幅に増加したため、電力密度の高い高効率 DC/DC ブリックコンバータへの需要が増加しました。一般的には絶縁型トポロジが採用されていますが、制御は容易ではありません。マルチフェーズ同期整流降圧トポロジと結合型インダクタの組み合わせは、LLC (インダクタ - インダクタ - コンデンサ) などの絶縁型トポロジより負荷過渡性能が優れており、制御が容易です。このリファレンス デザインでは、C2000™ マイコンを使用した電力段の制御 (電圧モード) を示します。

リソース

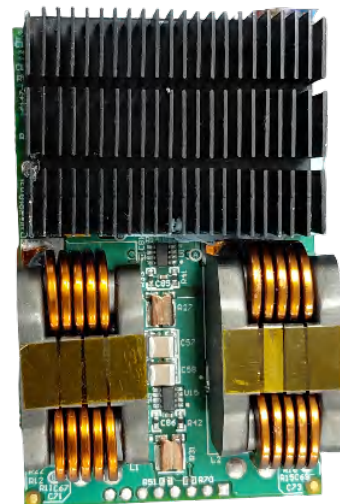
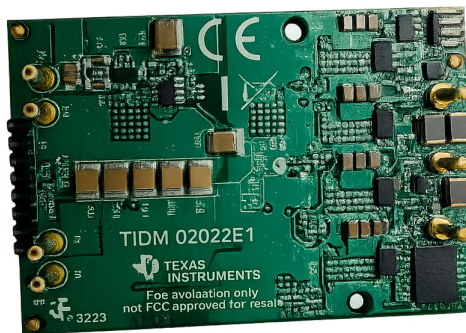
TIDM-02022	デザイン フォルダ
TMS320F28P550SJ	プロダクト フォルダ
LMG3100R017	プロダクト フォルダ
INA241x-Q1	データシート
C2000WARE-DIGITALPOWER-SDK	プロダクト フォルダ

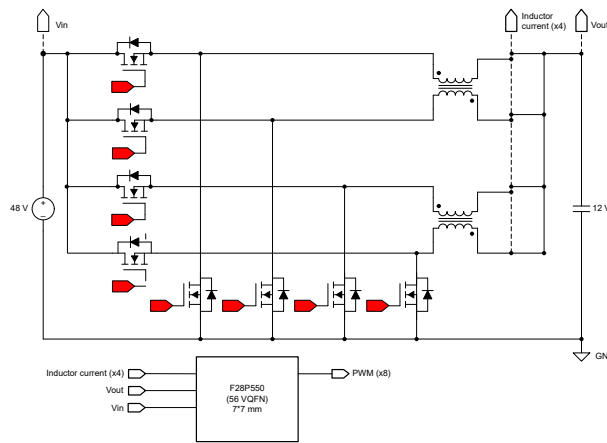
特長

- 48V DC 入力、12V DC 公称出力、2kW
- 200kHz のパルス幅変調 (PWM) 周波数スイッチング
- 200kHz の割り込みサービス ルーチン (ISR) 周波数
- 98% を上回るピーク効率
- ソフトウェア周波数応答アナライザ (SFRA) および補償デザイナーにより、制御ループを簡単に調整可能
- 電圧モード制御ループ
- ドライバライブラリによる F28P550 のソフトウェア サポート

アプリケーション

- 48V 入力、パワー ディストリビューション ボード
- テレコム DC/DC モジュール





1 システムの説明

データセンターにおける GPU の電源の 48V ~ 12V 段は、主に LLC コンバータです。LLC コンバータの制御は複雑です。マルチフェーズ同期整流降圧などの非絶縁型トポロジは、同じ効率で動作させて、はるかに簡単に制御することができます。結合インダクタを使用すると、負の結合時に負荷過渡応答が大幅に向上します。C2000 マイコンは GaN モジュールと小型パッケージを採用しているため電力密度が向上します。

結合インダクタを使用して 4 位相インターリーブ同期整流降圧を実装しています。最初の 2 つの位相は 1 つの結合インダクタを共有しています。最後の 2 つの位相は 1 つの結合型インダクタを共有しています。このデザインでは、C2000 マイコン F28P550 デバイスを使用して、結合インダクタでマルチフェーズ降圧を制御する方法の例を紹介します。

1.1 主なシステム仕様

表 1-1 は 4 相同期整流降圧の主な電源仕様を示しています。

表 1-1. TIDM 02022 の主な仕様

パラメータ	仕様
入力電圧 (Vin)	40V ~ 60V、公称 48V DC
入力電流 (Iin)	最大 50A RMS
出力電圧 (Vout)	公称 12V DC
定格電力	2kW
効率	ピークは 98% 平均は約 97%
カップリングに起因する実効インダクタンス	5.4uH
結合出力容量 (ベース基板とモジュール)	5.5mF
PWM スイッチング周波数	200kHz
ISR 周波数	200kHz

2 システム概要

2.1 ブロック図

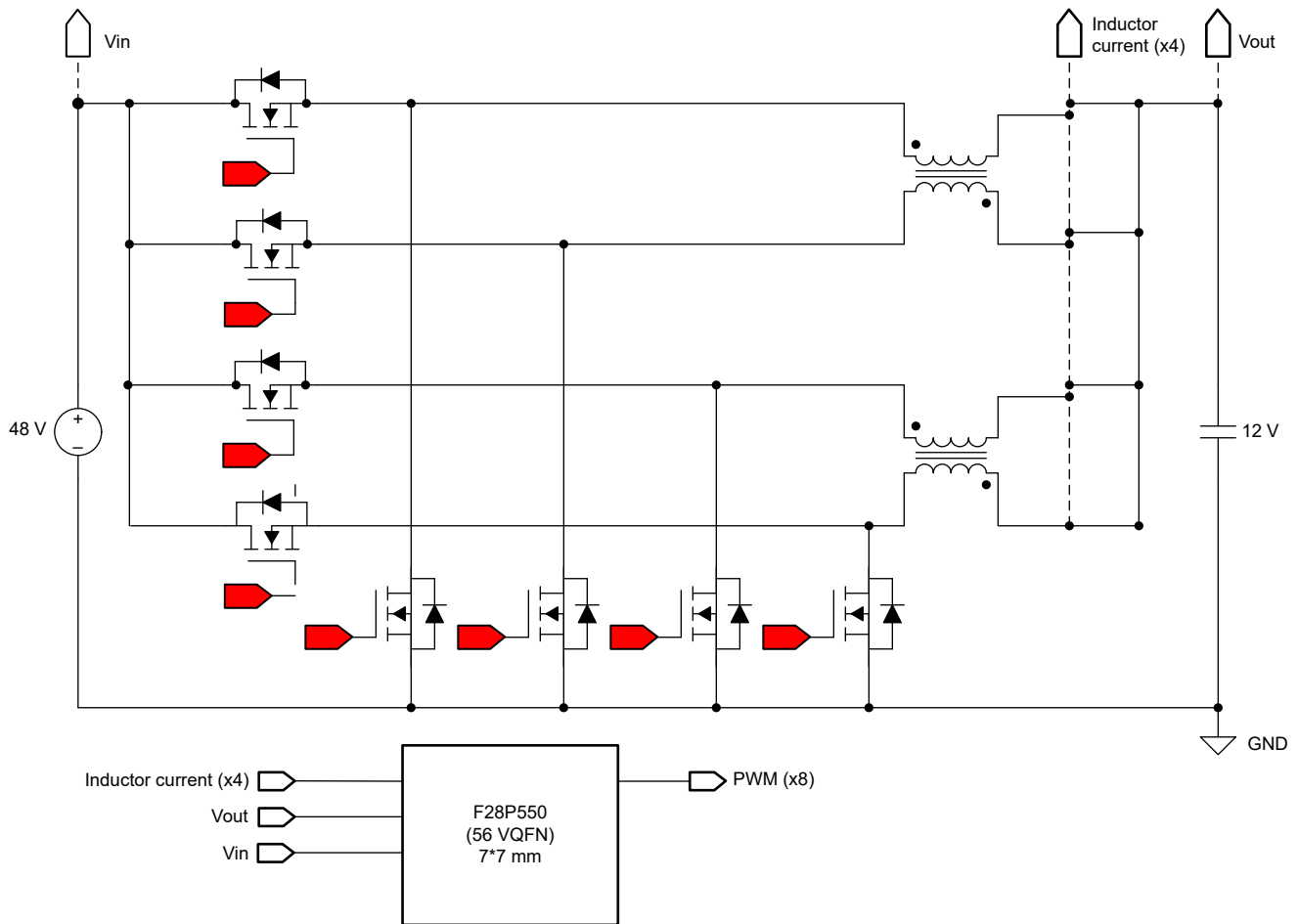


図 2-1. TIDM-02022 のブロック図

2.2 設計上の考慮事項

1/4 ブリック フォーム ファクタ (36.8mm × 58.4mm) で 48V ~ 12V 変換を実現するには、部品の選定が不可欠です。このセクションでは、各部品を選定する上での高レベルの詳細について説明します。

2.2.1 マイクロコントローラ ユニット

リファレンス デザインを適切に動作させるにはマイコンが不可欠です。TMS320F28P550SJ C2000 デバイスは、スペースに制約のある 1/4 ブリック フォーム ファクタでの精密制御が可能です。負荷ステップの高速過渡応答を実現するには、ソフトウェア周波数応答アナライザ (SFRA) を使用して、適切に調整された制御ループを作成してください。デバイス内のアナログ コンパレータにより過電流保護が有効になります。

2.2.2 GaN 電力段

TI の GaN 電力段は、その統合型 FET + ドライバと高度なスイッチング能力によりパッシブ サイズを低減できるため、このサイズ競争力の高いあるモジュール面積において重要な役割を果たします。最大 2kW の電力を供給し、中負荷時に 98.1% を超える効率を満たすために、1.7mΩ RDS(on) を採用した 4 相インターリーブ設計が考慮されています。LMG3100 には、同一パッケージにおいて異なる RDS(on) バリエーションが用意されており、さまざまな負荷条件と周波数条件で効率を簡単に調整できます。

2.2.3 インダクタ

2kW の合計電力を供給するには、各位相インダクタが 42A の電流に対応している必要があります。インダクタはさらに、インダクタの電流リップルとディレーティングに応じて、より大きな飽和電流にも対応できるものでなければなりません。全負荷効率に影響を及ぼす導通損失を低減するために、低直流抵抗 (DCR) のインダクタを選択します。インダクタのサイズに関する制約がもう 1 つあります。58.4mm の寸法で合理化された電力フローを実現するには、4 個のインダクタの寸法を 36.8mm 以内に収める必要があります。最小カタログサイズでこれらの定格を持つシングル インダクタを採用すると、基板面積が大きくなります。この問題を解決するために、この設計では TDK® の ERUC23-2R2K 結合インダクタを採用しています。結合インダクタでは、両方の位相でコアの同じ部分が共有されます。2 つの位相の間で負の磁気結合が発生し、リップルがキャンセルされます。この磁気結合により、マルチフェーズに起因する出力でリップルがキャンセルされるという利点が加わります。ピーク電力供給の電力を大きくして飽和定格を高くするには、DCR が小さく、インダクタンス値がより低いものを選択します。GaN のリップルとスイッチング損失を低減するために、スイッチング周波数を高くしなければなりません。

結合インダクタ設計には、次のような利点があります。

- 電流リップルの低減: 位相間の磁気結合により、大きなリップル電流のキャンセルを実現でき、回路全体の電流リップルが低減されます。
- 効率の向上: リップル電流が低いと、GaN FET、インダクタ、PCB トレースの IRMS 損失が低減されるため、全体的なコンバータ効率が上がります。
- 過渡応答の高速化: 同じリップルに低いインダクタンスを使用できます。つまり、結合インダクタ設計により負荷の変化に対する応答を高速化できるので、多くの場合、大型の出力コンデンサの必要性が低下します。
- スペースとサイズの低減: 複数の巻線に単一のコアを使用すると、必要な基板面積が小さくなり、同じ電流定格で使用できる磁気素子の小型化につながります。

2.2.4 冷却

この設計の主要な特徴の 1 つは、ヒートシンクとファンを通じた効率的な熱放散です。このデザインでは、200 LFM (リニアフィート/分) の気流で約 2.2°C/W の熱抵抗を持つヒートシンクを使用しています。このデザインではさらに、6W/m-K の熱伝導率を達成する 1mm 厚の熱インターフェイス材 (TIM) も使用しています。ヒートシンクと、LMG3100R017 の露出 GaN ダイおよびコンデンサとの間に、電氣的絶縁のための十分な間隔がある場合、TIM を薄くすると放熱性が改善されます。

2.3 主な使用製品

2.3.1 TMS320F28P550SG9

C2000 マイコンは、リアルタイム制御用途に最適化されたマイコンファミリーです。高速かつ高品質の A/D コントローラにより電流信号と電圧信号を高精度で測定でき、内蔵コンパレータサブシステム (CMPSS) により、外部デバイスを使用せずに過電流および過電圧の保護機能が統合されます。最適化された CPU コアにより制御ループを高速に実行できます。オンチップの三角関数演算ユニット (TMU) を使用して三角関数演算が加速され、制御ループの実行速度が向上します。

2.3.2 LMG3100R017

LMG3100 デバイスは、ドライバを内蔵した 100V、97A の窒化ガリウム (GaN) FET です。このデバイスは、高周波 GaN FET ドライバによって駆動される 100V の GaN FET で構成されています。

3 ハードウェア、ソフトウェア、テスト要件、テスト結果

3.1 ハードウェア要件

- ベース基板には以下が含まれています。
 - VIN 入力および VOUT 出力コネクタ
 - 入力と出力の各コンデンサ
 - PMBus コネクタ
 - VIN、VOUT 測定用テストポイント
 - 5V、3.3V バイアス電源
 - VIN が印加されない場合はバイアス電源によりコードがクリアされます。
- 水平取り付けカード：
 - 補助電源とコントローラを搭載した 4 相降圧電力段
- 100V、60A のプログラマブル DC 電源
- 12V、180A のプログラマブル DC 負荷
- 2 つの空冷ファン
 - ファンはボード上の温度を制限して効率値の低下を防止するうえで不可欠です。

3.2 ソフトウェア

このデザインのソフトウェアは C2000Ware_DigitalPower_SDK 内で利用可能です

3.2.1 Code Composer Studio 内でプロジェクトを開く

開始方法:

1. CCS をインストールします
2. [C2000WARE-DIGITALPOWER-SDK Software development kit \(SDK\) | TI.com](#) から C2000Ware DigitalPower SDK をインストールします
3. Open CCS
4. **Project > New CCS Project** の下に移動します
5. **Import Wizard** をクリックします
6. C2000 DigitalPower SDK フォルダに移動します
7. **Solutions** フォルダを開きます
8. **tidm_02022** フォルダを選択します
9. **[Finish (完了)]** をクリックします

3.2.2 デジタル電源 SDK のアーキテクチャ

プロジェクトがインポートされると、CCS 内に Project Explorer が表示されます。

brick_dcdc.c と **brick_dcdc.h** ファイルは **brick_dcdc** フォルダにあります。ラボ環境のセットアップ ファイルは、n の作業ディレクトリです。

brick_dcdc_main.c ファイルはプロジェクトのメイン フレームワークで構成されています。このファイルは、システム フレームワークの作成に役立つボード ファイルとアルゴリズム固有のファイルの呼び出し、割り込みサービス ルーチン (ISR)、低速バックグラウンド タスクで構成されています。

brick_dcdc_settings.h ファイルには、ラボ番号、スイッチング周波数、デジタル補償係数などを選択するための、すべてのユーザー設定が含まれています。

Brick_dcdc_vmc.syscfg ファイルにはすべての周辺装置の構成が含まれます。

3.2.3 割り込みとラボの構造

このプロジェクトは、制御ループと PWM 更新から成る 1 つの ISR1 で構成されています。ADCB モジュールの SOC2 により ISR1 がトリガされます。ADC 割り込みは、サンプリングのアクイジション ウィンドウ終了時に発生します。ePWM1 モジュールの「タイマがインクリメントする際に時間ベース カウンタが CMPB と一致する」イベントにより変換がトリガされます。

このリファレンス デザインのソフトウェアは、2 つのラボで構成されています。最初のラボは開ループ動作で、2 番目のラボは閉ループ電圧モード制御です。図 3-1 に示すように、両方のラボは `brick_dcdc.h` にあります。

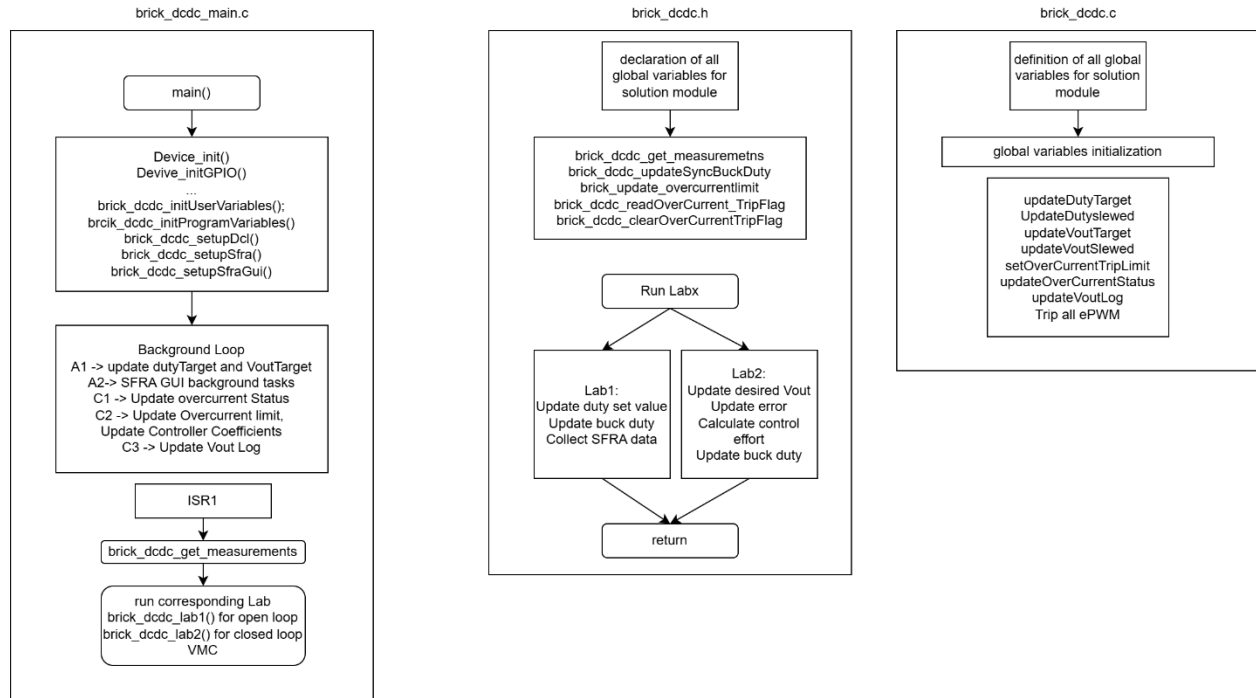


図 3-1. ソフトウェア フロー図

3.2.4 ラボの構造と詳細

図 3-2 は、ラボ 1 の開ループ電圧モード制御を示しています。図 3-3 は、ラボ 2 の閉ループ電圧モード制御を示しています。

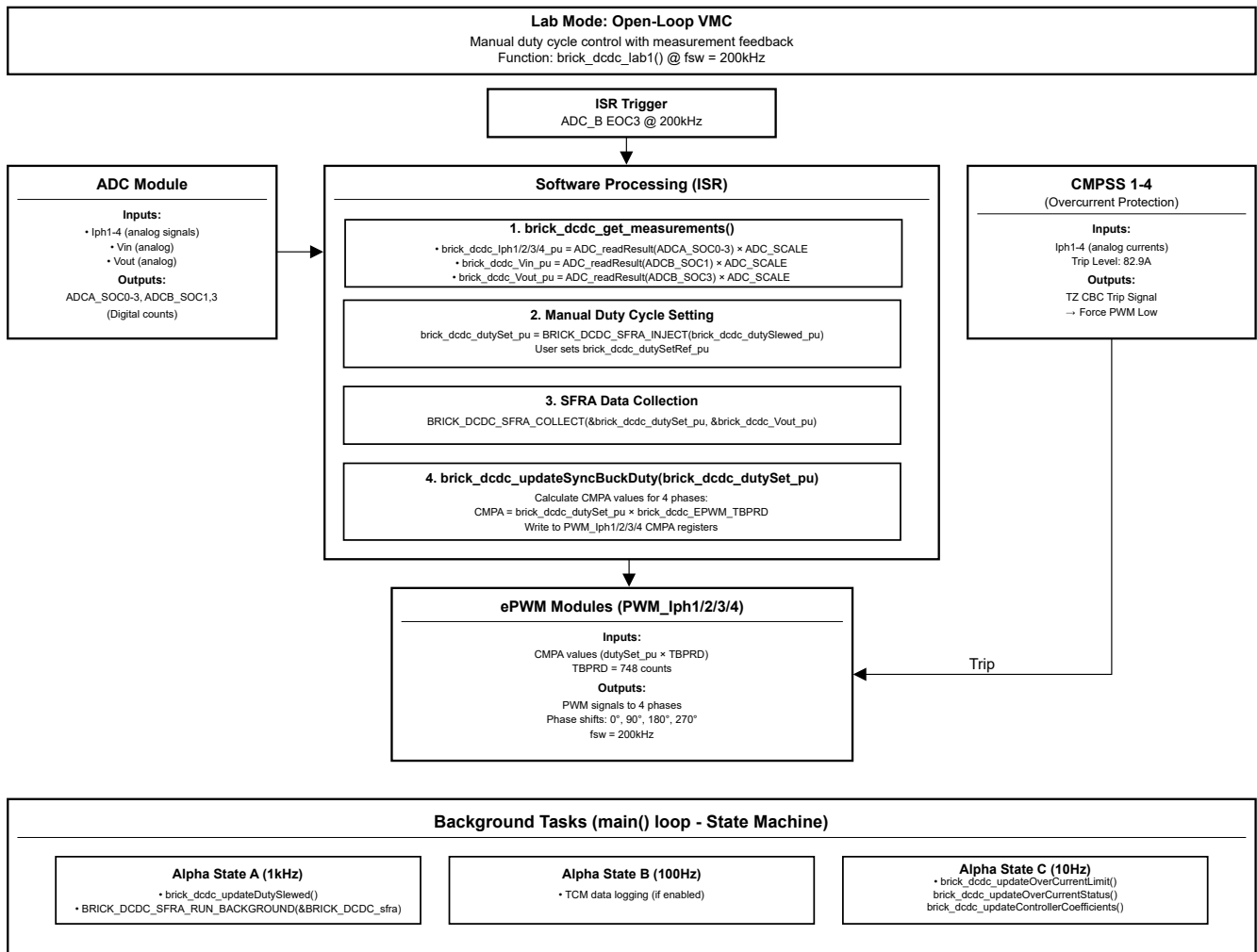


図 3-2. ラボ 1 のソフトウェア図 - 開ループ

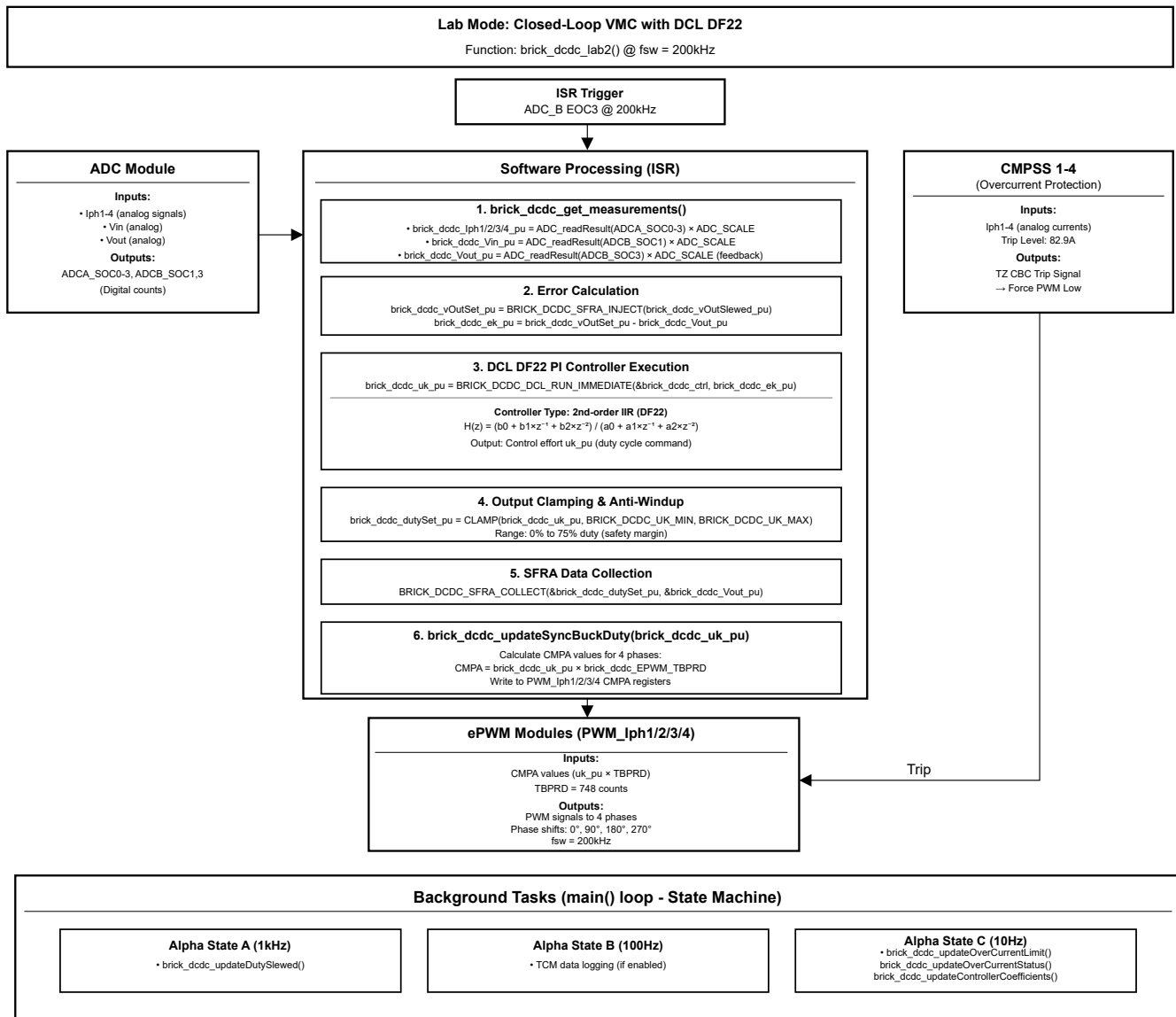


図 3-3. ラボ 2 のソフトウェア図 - 閉ループ電圧モード制御

3.2.5 ADC ローディング

表 3-1 に、ADC ローディングを示します。

表 3-1. ADC ローディングのアーキテクチャ

	ADC_A	ADC_B
SOC0	Iph1 から A1	
SOC1	Iph2 から A9	
SOC2	Iph3 から A5	VOUT - B14
SOC3	Iph4 から A7	
SOC4		

3.2.6 ファームウェアのビルド、ロード、デバッグ

プロジェクトをビルドする方法:

1. プロジェクト名を右クリックします
2. **Rebuild Project** をクリックします。プロジェクトが正常にビルドされます。

プロジェクトを開く方法:

1. Project Explorer で、targetConfigs (*.ccxml ファイル) 下で適切なターゲット構成ファイルが有効になっていることを確認します。
2. [Run] → [Debug] をクリックしてデバッグ セッションを開始します。

デュアル CPU デバイスの場合、デバッグを実行する CPU を選択するウィンドウが表示されます。ここでは、CPU1 を選択します。プロジェクトがデバイスにロードされ、CCS デバッグ ビューが有効になります。メイン ルーチンの開始時にコードは停止します。

システムをデバッグするには、式ウィンドウで変数を監視します。

このウィンドウに正しい変数を入力する方法:

1. **View** → **Scripting Console** の順にクリックして、スクリプト コンソール ダイアログ ボックスを開きます。
2. このコンソールの右上隅で、**Open** をクリックします
3. プロジェクト フォルダ内にある **setupdebugenv_lab1.js** または **setupdebugenv_lab2.js** スクリプト ファイルを参照します。これらのスクリプトにより、watch ウィンドウに、システムをデバッグするのに必要な適切な変数が入力されます。
4. watch ウィンドウで **Continuous Refresh** ボタンを選択して、コントローラからの値の連続更新を有効にします

3.2.7 保護方式

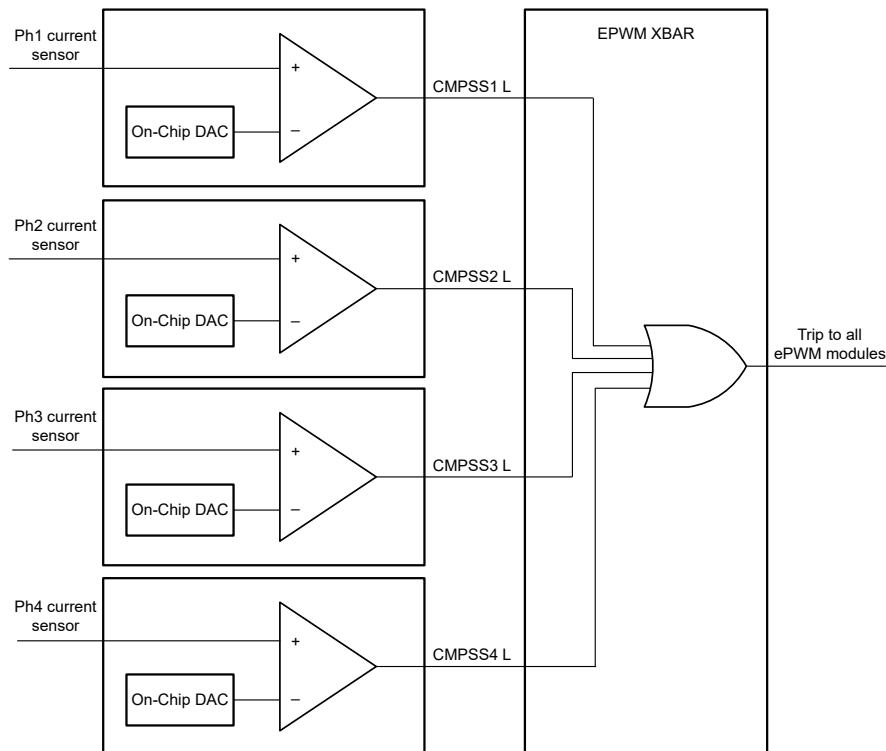


図 3-4. 保護の図

低速バックグラウンドタスクでは、**brick_dcdc_readOverCurrentTripFlag()** と **brick_dcdc_ClearOvercurrentTripFlag()** 関数が定期的に呼び出され、トリップ フラグが更新されます。

3.2.8 PWM スイッチング方式

図 3-5 は PWM スイッチング方式を示しています。PWM1 時間ベースのみが表示されます。他の時間ベースは同一です。

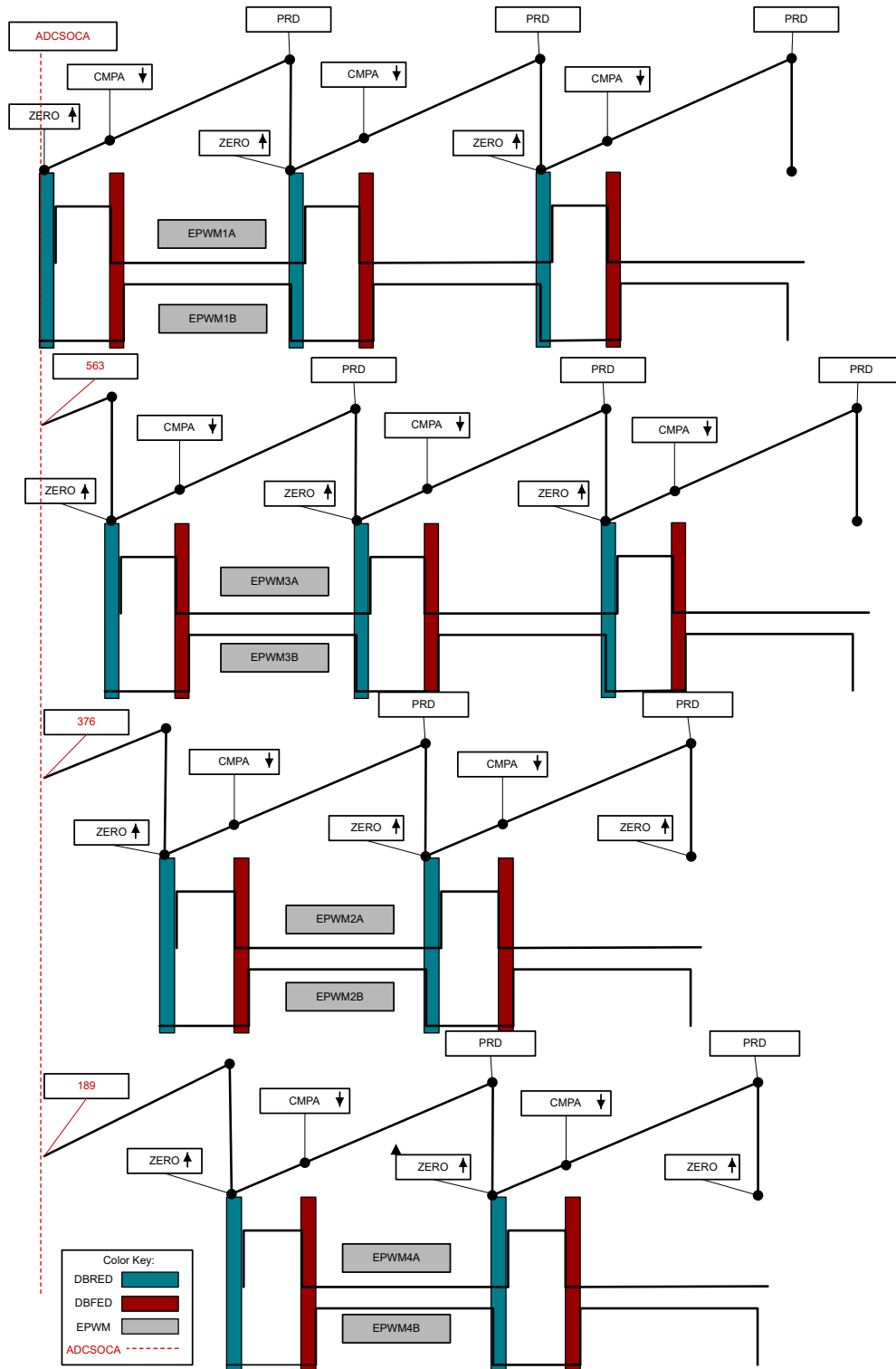


図 3-5. PWM の構成

3.3 テスト設定

テスト設定のためには次の手順を実行してください。

1. ドーター カード モジュールをベース基板に挿入します。
2. 100V DC 電圧源をベース基板コネクタに接続します。
3. 40V の入力電圧を 60V に設定し、電流制限を 60A に設定します。
4. ファンをヒートシンクの近くに置き、ファンの電源を入れます。
5. プログラマブル DC 負荷を接続します。
6. ファームウェアを F28P550 デバイスにアップロードします。
7. DC ソースをオンにして、定電流 (CC) 負荷を最大 167A まで上昇増加させます。

3.4 テスト結果

以下のテスト結果は、出力 12V に対して、出力電力 1000W と入力電圧 48V のときのピーク効率が約 98.1% であることを示しています。2 つのファンを使用して温度を 100°C 未満に保ちます。

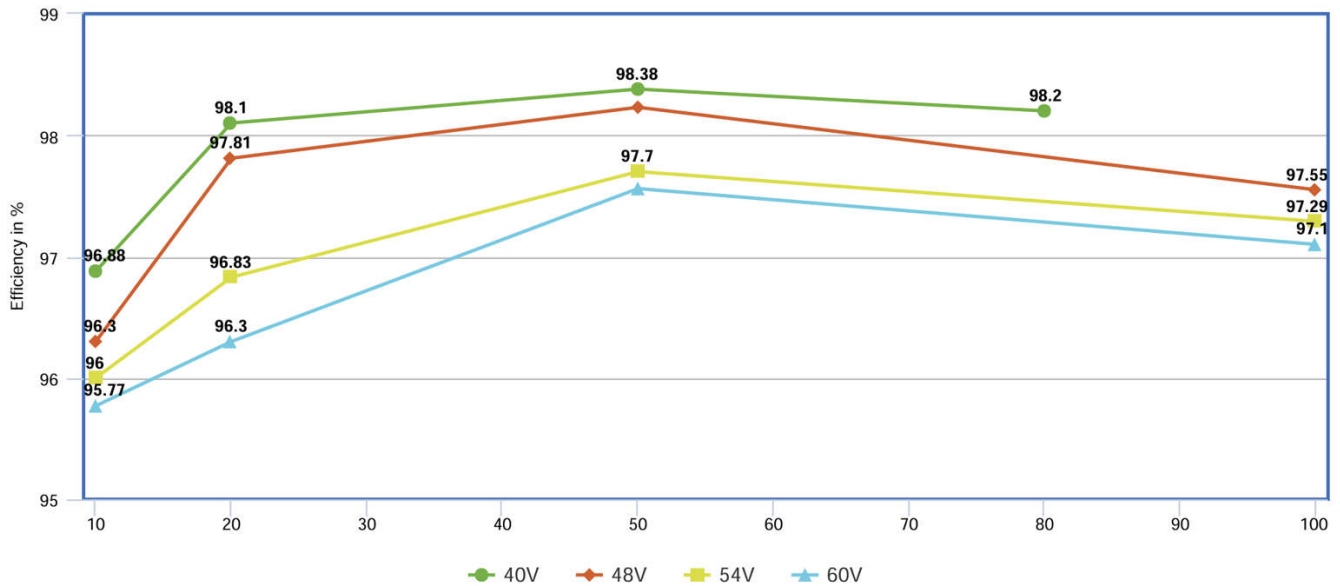


図 3-6. 効率と負荷との関係 (全負荷の %)

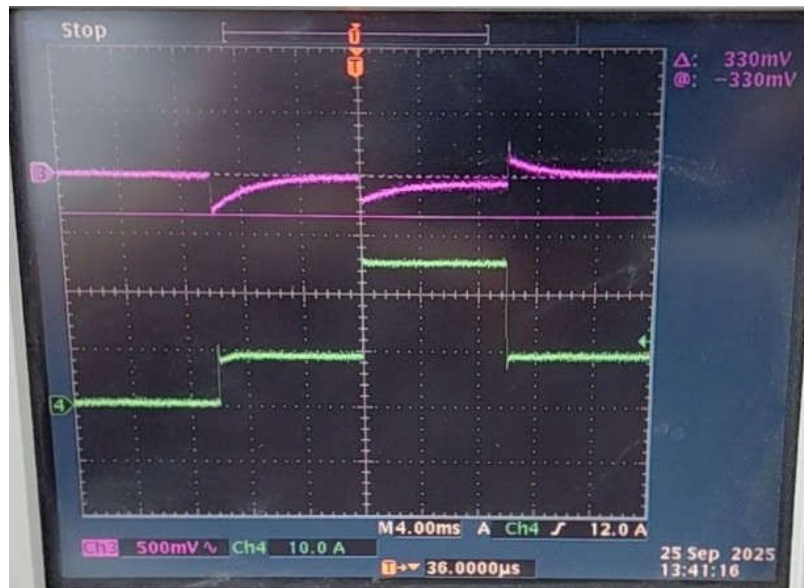


図 3-7. 48V 入力電圧の 25% ~ 75%、5A/us での 25% までの負荷変化における過渡応答

図 3-8 は熱画像のキャプチャ (48V ~ 12V、2kW、25°C 環境) を示しています。

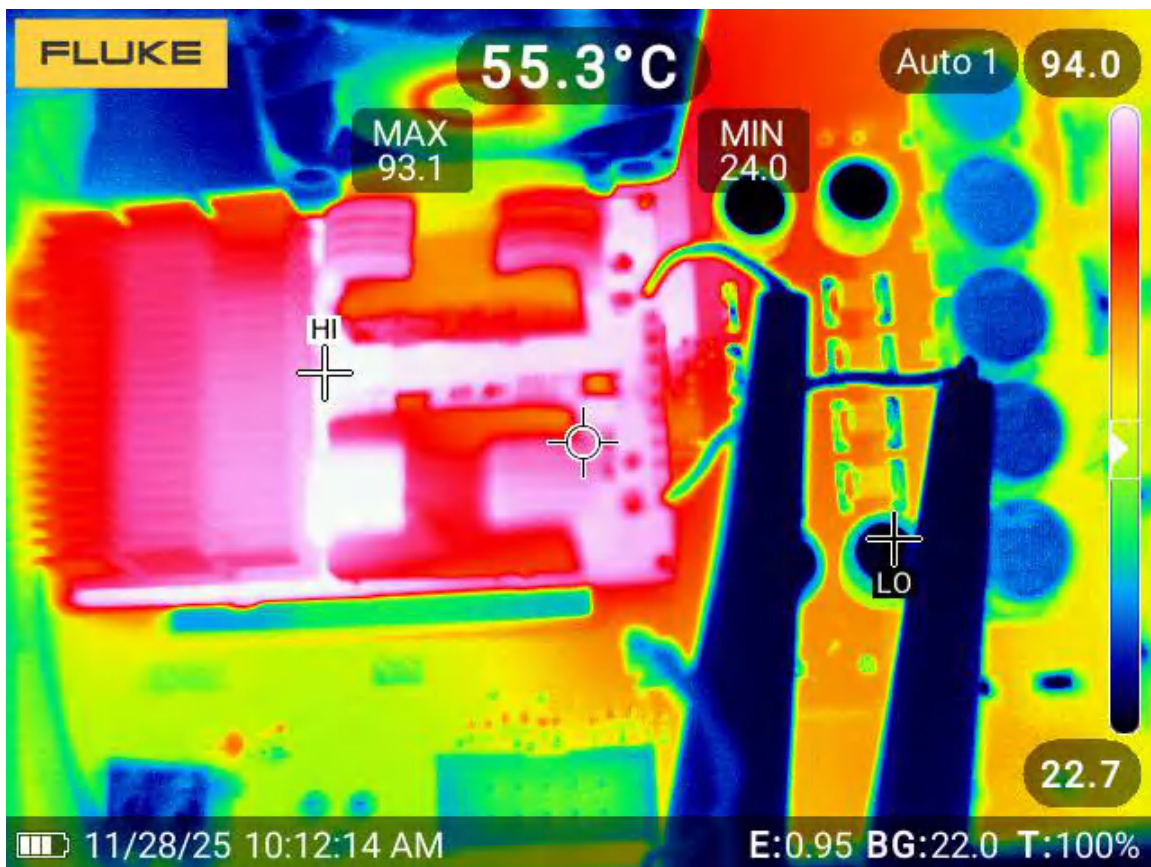


図 3-8. 全負荷、48V 入力、25°C 環境でキャプチャされた熱画像

4 設計とドキュメントのサポート

4.1 デザイン ファイル

4.1.1 回路図

[TIDA-02022 デザイン フォルダ](#)から回路図をダウンロードしてください。

4.1.2 部品表

[TIDA-02022 デザイン フォルダ](#)から部品表 (BOM) をダウンロードしてください。

4.1.3 PCB レイアウトの印刷

[TIDA-02022 デザイン フォルダ](#)からレイヤー グラフをダウンロードしてください。

4.1.4 Altium プロジェクト

[TIDA-02022 デザイン フォルダ](#)から Altium デザイナー プロジェクトをダウンロードしてください。

4.1.5 ガーバー ファイル

[TIDA-02022 デザイン フォルダ](#)からガーバーファイルをダウンロードしてください。

4.2 ドキュメントのサポート

1. テキサス インスツルメンツ、『[TMS320F28P55x リアルタイム マイクロコントローラ](#)』データシート
2. テキサス インスツルメンツ、『[LMG3100R017 ドライバ内蔵、100V、97A GaN FET](#)』データシート
3. テキサス インスツルメンツ、『[多相降圧コンバータの利点](#)』[Analog Design Journal](#)
4. テキサス インスツルメンツ、『[マルチフェーズ降圧設計のすべて](#)』アプリケーション レポート

商標

C2000™ is a trademark of Texas Instruments.

TDK® is a registered trademark of TDK Kabushiki Kaisha (TDK Corporation).

すべての商標は、それぞれの所有者に帰属します。

5 著者について

SOMINA VENKATA PRANEETH は、ASM 産業用デジタル電源チームのアプリケーション エンジニアです。彼は 2025 年にベンガルールのインド理科大学院で電気工学のポスト グラデュエート プログラムを修了しました。技術的な関心事にはデジタル電力変換と制御アルゴリズムが含まれています。2025 年に TI に入社しました。

STEVAN DURASKOVIC は、ASM 産業用デジタル電源チームのアプリケーション エンジニアです。2023 年春にフロリダ大学で電気工学の学士号を取得し卒業しました。2023 年 10 月に ASM IND チームに正規雇用で入社しました。主な業務は、エネルギー インフラ タスクとリファレンス デザイン、ソーラー グリッド、データ センター、カスタマ サポート、PCB 設計です。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月