

User's Guide

TMS320F28003x と TMS320F28P55x 間の移行



概要

移行ガイドでは、F28003x と F28P55x C2000™ リアルタイム マイコン間で移行を行う際に留意すべきハードウェアとソフトウェアの相違点について説明しています。F28P55x という用語は、F28P550/9 シリーズのデバイスと F28P551/2/8 シリーズのデバイスを指しています。F28P55x という用語を使用する場合、情報は両方のシリーズに関連し、デバイスが完全に記載されている場合にのみ相違があります。このドキュメントでは、どのブロックが類似しているか、異なっているかを視覚的に表現し、3 個のマイコン間のブロック図を示します。また、デバイス比較表において、提供されているすべてのパッケージに関して、2 個のデバイス間で固有の機能を強調しています。F28003x および F28P55x デバイスには 3 つのパッケージが共通しているため (100 ピン、80 ピン、64 ピン)、3 つの一般的なパッケージ間の移行を支援するための PCB ハードウェア セクションが追加されています。デジタル汎用入出力 (GPIO) とアナログ多重化比較表では、2 個のマイコン間のピンの機能を示しています。これは、2 個のデバイス間での移行を検討する場合に、ハードウェア設計と信号配線に最適なリファレンスとなります。F28003x デバイスと同様、F28P55x ソフトウェア サポートは EABI 形式のみです。

目次

1 F28003x と F28P55x 間の機能の相違点	3
1.1 F28003x と F28P55x の機能比較.....	3
2 PCB ハードウェアの変更	5
2.1 100 ピン PZ、80 ピン PNA/PN、64 ピン PM パッケージの PCB ハードウェアの変更.....	6
2.2 新規および既存の PCB の場合における 100 ピン PZ、80 ピン PNA、64 ピン PM の F28003x と F28P55x 間の移行.....	13
2.3 GPIO 入力バッファ制御レジスタ.....	15
3 システムの考慮事項における機能の相違点	16
3.1 F28P55x の新機能.....	16
3.2 通信モジュールの変更.....	17
3.3 制御モジュールの変更.....	18
3.4 アナログ モジュールの相違点.....	18
3.5 その他のデバイスの変更.....	22
3.6 パワー マネージメント.....	31
3.7 メモリ モジュールの変更.....	32
3.8 GPIO 多重化の変更.....	33
3.9 アナログ多重化の変更.....	39
4 F28003x から F28P55x へのアプリケーション コードの移行	43
4.1 C2000Ware ヘッダ ファイル.....	43
4.2 リンカ コマンド ファイル.....	43
4.3 C2000Ware の例.....	43
5 F28P55x の新機能に関連する具体的な使用事例	43
5.1 PGA.....	43
5.2 USB.....	43
6 EABI サポート	43
6.1 フラッシュ API.....	44
7 参考資料	44
8 改訂履歴	44

図の一覧

図 1-1. F28003x および F28P55x オーバーレイ機能ブロック図.....	3
図 2-1. 100 ピン PZ: F28003x および F28P550/9 ピン オーバーレイ.....	6
図 2-2. 100 ピン PZ: F28003x および F28P551/2/8 ピン オーバーレイ.....	7

☒ 2-3. 100 ピン PZ:F28550/9 および F28P551/2/8 ピン オーバーレイ.....	8
☒ 2-4. 80 ピン PN/PNA:F28003x および F28P550/9 ピン オーバーレイ.....	9
☒ 2-5. 80 ピン PN:F28003x および F28P551/2/8 ピン オーバーレイ.....	10
☒ 2-6. 64 ピン PM:F28003x および F28P550/9 ピン オーバーレイ.....	11
☒ 2-7. 64 ピン PM:F28003x および F28P551/2/8 ピン オーバーレイ.....	12
☒ 2-8. 64 ピン PM:F28550/9 および F28P551/2/8 ピン オーバーレイ.....	13

表の一覧

表 1-1. IP の相違点.....	4
表 1-2. 100 ピン IO およびアナログ チャネル数.....	5
表 1-3. 80 ピン IO およびアナログ チャネル数.....	5
表 1-4. 64 ピン IO およびアナログ チャネル数.....	5
表 2-1. 新規および既存の PCB の場合における 100 ピン PZ、80 ピン PNA、64 ピン PM の F28003x と F28P55x 間の移行.....	13
表 2-2. GPIOINENACTRL レジスタのフィールドの説明.....	16
表 3-1. 通信モジュール インスタンス.....	17
表 3-2. 制御モジュールの相違点.....	18
表 3-3. アナログ モジュールの相違点.....	19
表 3-4. PLL の機能.....	22
表 3-5. Pie チャネル凡例.....	23
表 3-6. Pie 比較表.....	23
表 3-7. ブート オプション凡例.....	24
表 3-8. ブートローダと GPIO の割り当ての比較.....	24
表 3-9. ブート モードの比較.....	25
表 3-10. デバイスごとの CLB タイル.....	27
表 3-11. マルチプレクサ凡例.....	27
表 3-12. CLB グローバル信号およびマルチプレクサ選択:F28003x と F28P55x の比較.....	27
表 3-13. RAM およびフラッシュ メモリの変更.....	32
表 3-14. マルチプレクサ凡例.....	33
表 3-15. GPIO 多重化ピン.....	33
表 3-16. マルチプレクサ凡例.....	39
表 3-17. F28003x と F28P55x の 80 ピン PN/PNA と 64 ピン PM アナログ マルチプレクサの相違表.....	39
表 3-18. F28003x と F28P55x 100 ピン PZ アナログ マルチプレクサの相違表.....	41
表 6-1. フラッシュ API の相違点.....	44

商標

C2000™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

1 F28003x と F28P55x 間の機能の相違点

F28P55x は F28003x のスーパーセットです。これらのデバイスには、共通の 64 ピン、80 ピン、100 ピンの 3 つのパッケージがあります。このドキュメントの注意事項を考慮して、F28003x と F28P55x の間で移行できます。

注

この比較ガイドでは、以下のスーパーセット デバイスに焦点を当てています。F280039C、F28P550/9SJ9、F28P551/2/8SG5。この製品ファミリーのその他の型番では、機能サポートが減少しています。型番の詳細については、デバイス固有のデータシートを参照してください。

1.1 F28003x と F28P55x の機能比較

F28003x および F28P55x オーバーレイ機能ブロック図に、F28003x および F28P55x のオーバーレイブロック図を示します。表 1-1 に、F28003x および F28P55x デバイスのスーパーセット型番の機能比較を示します。

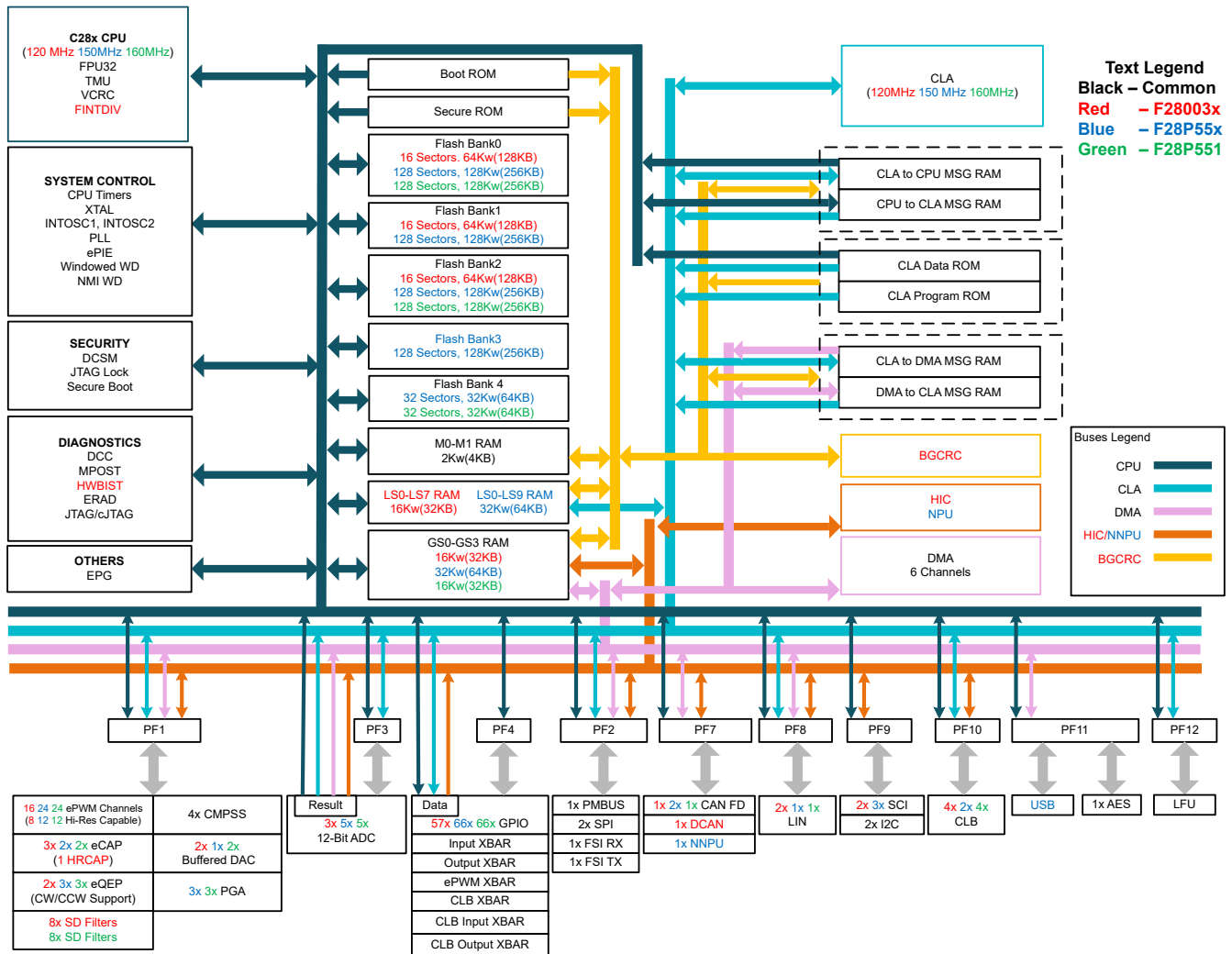


図 1-1. F28003x および F28P55x オーバーレイ機能ブロック図

表 1-1. IP の相違点

特長		F28003x	F28P550/9	F28P551/2/8
CPU 周波数 (MHz)		120	150	160
高速整数除算ユニット (FINTDIV)		有	無	無
メモリ				
フラッシュ		384KB	1088KB	576KB
RAM	ローカル共有	32KB	64KB	64KB
	グローバル共有	32KB	64KB	32KB
システム				
構成可能ロジックブロック (CLB)		4 タイプ	2 タイプ	4 タイプ
ROM に含まれているモーター制御ライブラリ		有	無	無
バックグラウンド CRC (BGCRC)		有	無	無
HWBIST		有	無	無
ニューラル ネットワーク処理ユニット (NNPU)		無	1 - タイプ 0	無
アナログ パリフェラル				
ADC 12 ビット	ADC の数	3 - タイプ 5	5 - タイプ 6	5 - タイプ 6
	MSPS	4	4	4.1
	変換時間 (ns)	250	255	242
CMPSS		4 - タイプ 2	4 - タイプ 6	4 - タイプ 6
バッファ付き DAC - タイプ 2		2	1	2
プログラマブル ゲイン アンプ (PGA)		-	3 - タイプ 2	3 - タイプ 2
CMPSS DACL からの出力 DAC		0	1	1
制御パリアフェラル				
eCAP/HRCAP モジュール		3 (1 個は HRCAP 機能付き) - タイプ 2	2 - タイプ 2	2 - タイプ 2
ePWM/HRPWM チャネル - タイプ 4		16 (8 個は HRPWM 付き)	24 (16 個は HRPWM 付き)	24 (16 個は HRPWM 付き)
eQEP - タイプ 2		2	3	3
通信パリアフェラル				
SDFM		8 - タイプ 2	-	8 - タイプ 2
CAN (DCAN) - タイプ 0		1	-	-
CANFD (MCAN) - タイプ 1		1	2	1
I2C		2 - タイプ 1	2 - タイプ 2	2 - タイプ 2
LIN - タイプ 1		2	1	1
HIC		1 - タイプ 1	-	-
PMBUS		1 - タイプ 1	1 - タイプ 2	1 - タイプ 3
SCI - タイプ 0		2	3	3
USB		-	1 - タイプ 0	-

表 1-2. 100 ピン IO およびアナログ チャンネル数

IO のタイプ	F28003x	F28P550/9 および F28P551/2/8
デジタル		
AIO (デジタル入力付きアナログ)	23	16
AGPIO (デジタル入力と出力付きアナログ)	2	19
追加 GPIO	4 (cJTAG から 2 個、X1/X2 から 2 個)	4 (cJTAG から 2 個、X1/X2 から 2 個)
標準 GPIO	49	43
GPIO 合計	55	66
GPIO と AIO の合計	78	82
アナログ		
ADC チャンネル (シングルエンド)	23	35

表 1-3. 80 ピン IO およびアナログ チャンネル数

IO のタイプ	F28003x	F28P550/9 および F28P551/2/8
デジタル		
AIO (デジタル入力付きアナログ)	16	12
AGPIO (デジタル入力と出力付きアナログ)	2	16
追加 GPIO	4 (cJTAG から 2 個、X1/X2 から 2 個)	4 (cJTAG から 2 個、X1/X2 から 2 個)
標準 GPIO	37	32
GPIO 合計	43	52
GPIO と AIO の合計	59	64
アナログ		
ADC チャンネル (シングルエンド)	18	28

表 1-4. 64 ピン IO およびアナログ チャンネル数

IO のタイプ	F28003x	F28P550/9 および F28P551/2/8
デジタル		
AIO (デジタル入力付きアナログ)	16	12
AGPIO (デジタル入力と出力付きアナログ)	2	13
追加 GPIO	4 (cJTAG から 2 個、X1/X2 から 2 個)	4 (cJTAG から 2 個、X1/X2 から 2 個)
標準 GPIO	24	17
GPIO 合計	30	37
GPIO と AIO の合計	46	49
アナログ		
ADC チャンネル (シングルエンド)	16	28

2 PCB ハードウェアの変更

F28003x と F28P55x デバイスには、以下 3 つの低消費電力モードがあります。100 ピン PZ、80 ピン PN(003/551/552/558)/PNA(550/559)、64 ピン PM。以下のセクションでは、ピンの移行に関する詳細を説明します。

注

全体的な互換性は、ピンだけではありません。移行プロセス時に、このドキュメントに記載されているすべての変更を確認します。

2.1 100 ピン PZ、80 ピン PNA/PN、64 ピン PM パッケージの PCB ハードウェアの変更

このセクションでは、100 ピン PZ、80 ピン PNA、64 ピン PZ パッケージの間に存在する F28003x と F28P55x の相違点について説明します。

100 ピン PZ:F28P55x と F28003x の多くのアナログ ピンには、より多くのマルチプレクサ オプションがあります。F28P55x には、F28003x の 2 個の電源ピンを置き換える 2 個の追加 GPIO があります。**100 ピン PZ:F28003x および F28P550/9** ピン オーバーレイ、**100 ピン PZ:F28003x および F28P551/2/8** ピン オーバーレイ、**100 ピン PZ:F28550/9 および F28P551/2/8** ピン オーバーレイに、相違点の概要を示します。

80 ピン PN/PNA:F28P55x と F28003x の多くのアナログ ピンには、より多くのマルチプレクサ オプションがあります。F28P55x には、F28003x の 2 個の電源ピンを置き換える 2 個の追加 GPIO があります。F28P55x では、VREGENZ ピンに起因して GPIO が 1 個少なくなっています。F28003x および F28P551/2/8 のピンピッチが 0.5mm、F28P550/9 のピンピッチが 0.4mm と変更されていることに注意してください。**80 ピン PN/PNA:F28003x および F28P550/9** ピン オーバーレイ、**80 ピン PN:F28003x および F28P551/2/8** ピン オーバーレイに、相違点の概要を示します。

64 ピン PM:F28P55x と F28003x の多くのアナログ ピンには、より多くのマルチプレクサ オプションがあります。F28P55x には、F28003x の 2 個の電源ピンを置き換える 2 個の追加 GPIO があります。F28P55x と F28003x Q100 バリエーションでは、VREGENZ ピンに起因して GPIO が 1 個少なくなっています。**64 ピン PM:F28003x および F28P550/9** ピン オーバーレイ、**64 ピン PM:F28003x および F28P551/2/8** ピン オーバーレイ、**64 ピン PM:F28550/9 および F28P551/2/8** ピン オーバーレイに、相違点の概要を示します。

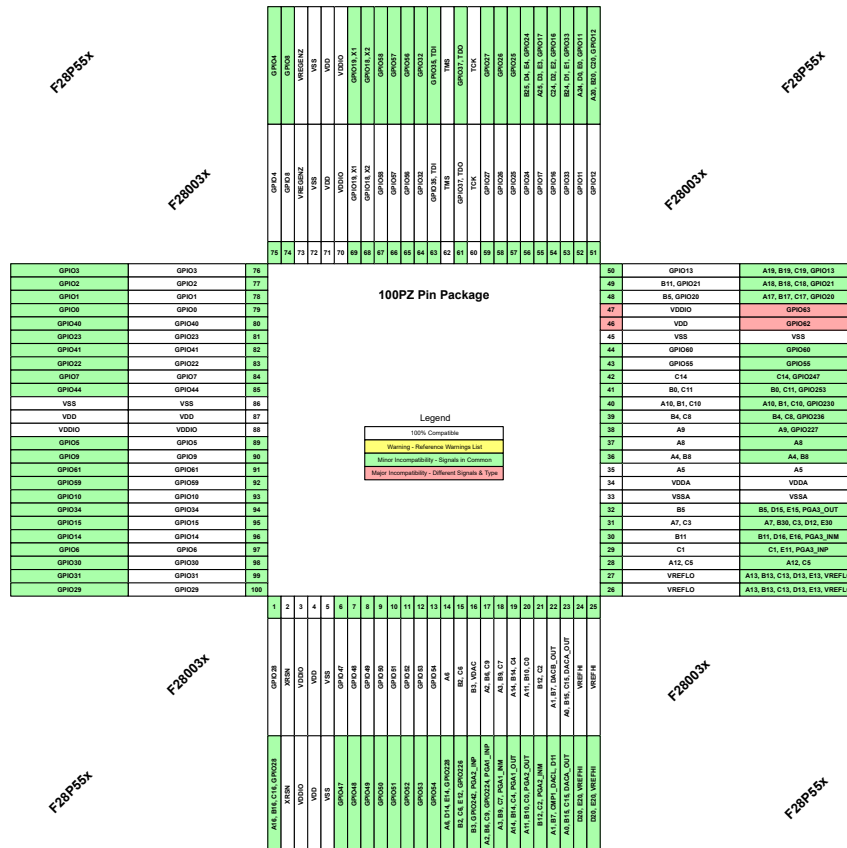


図 2-1. 100 ピン PZ:F28003x および F28P550/9 ピン オーバーレイ

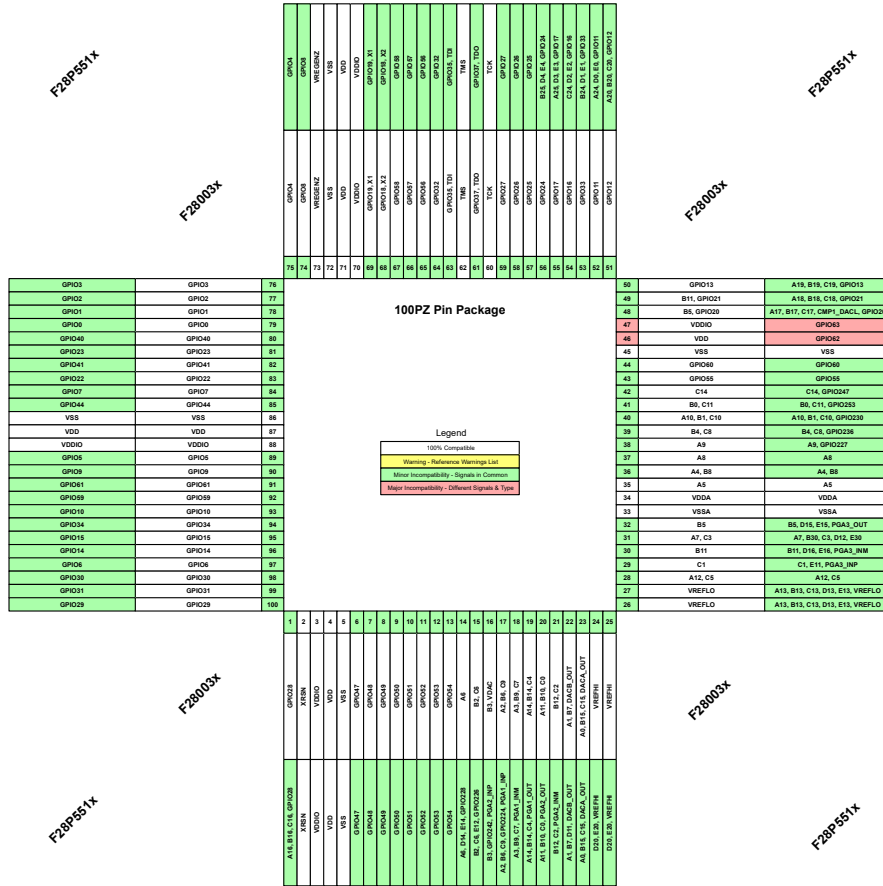


図 2-2. 100 ピン PZ:F28003x および F28P551/2/8 ピン オーバーレイ

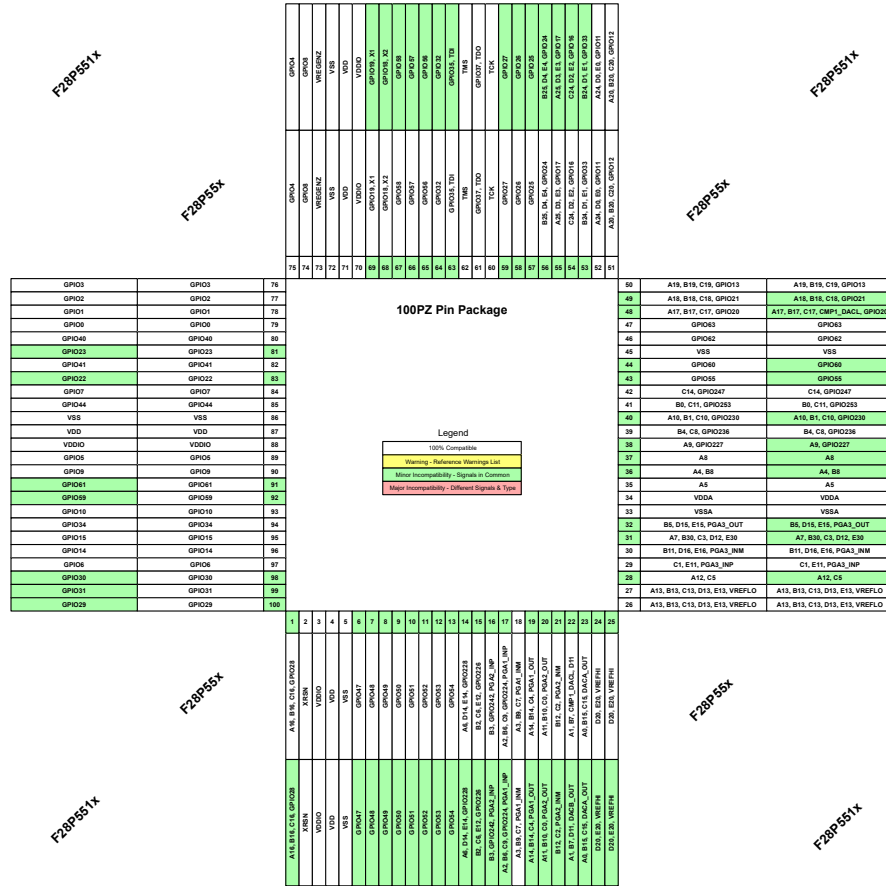


図 2-3. 100 ピン PZ:F28550/9 および F28P551/2/8 ピン オーバーレイ

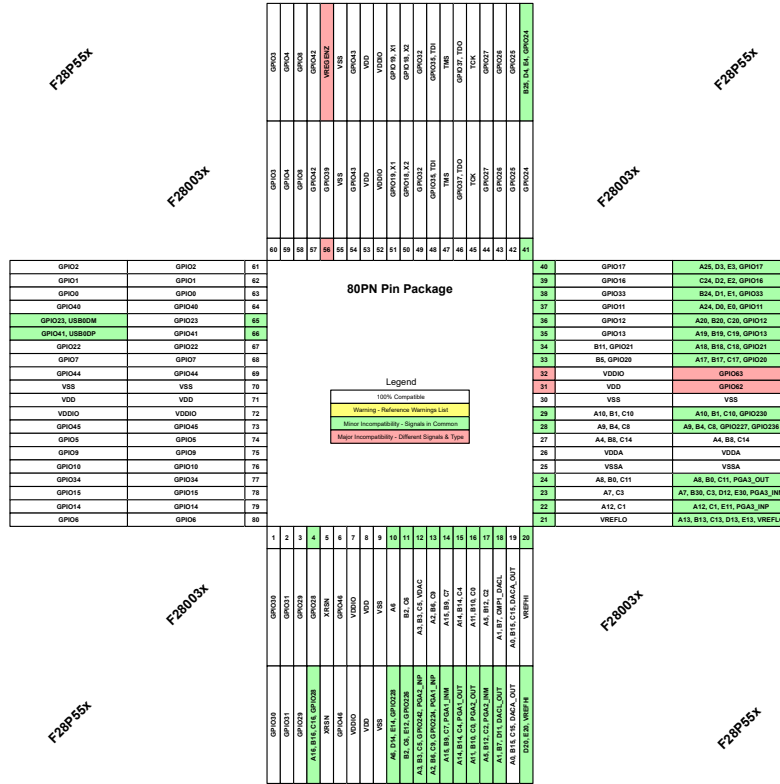


図 2-4. 80 ピン PN/PNA: F28003x および F28P550/9 ピン オーバーレイ

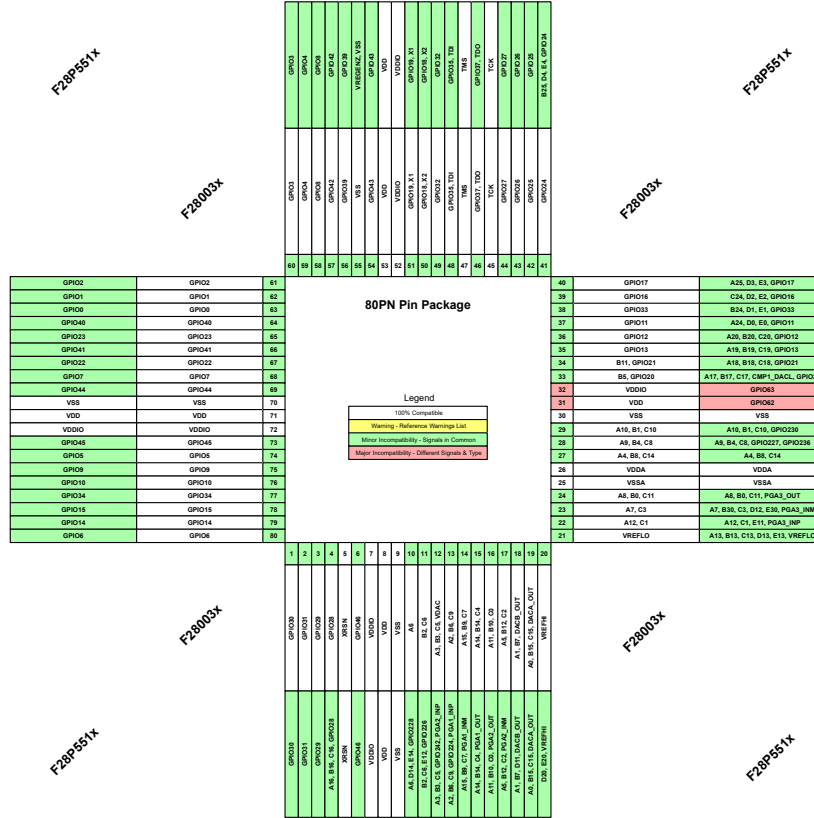


図 2-5. 80 ピン PN:F28003x および F28P551/2/8 ピン オーバーレイ

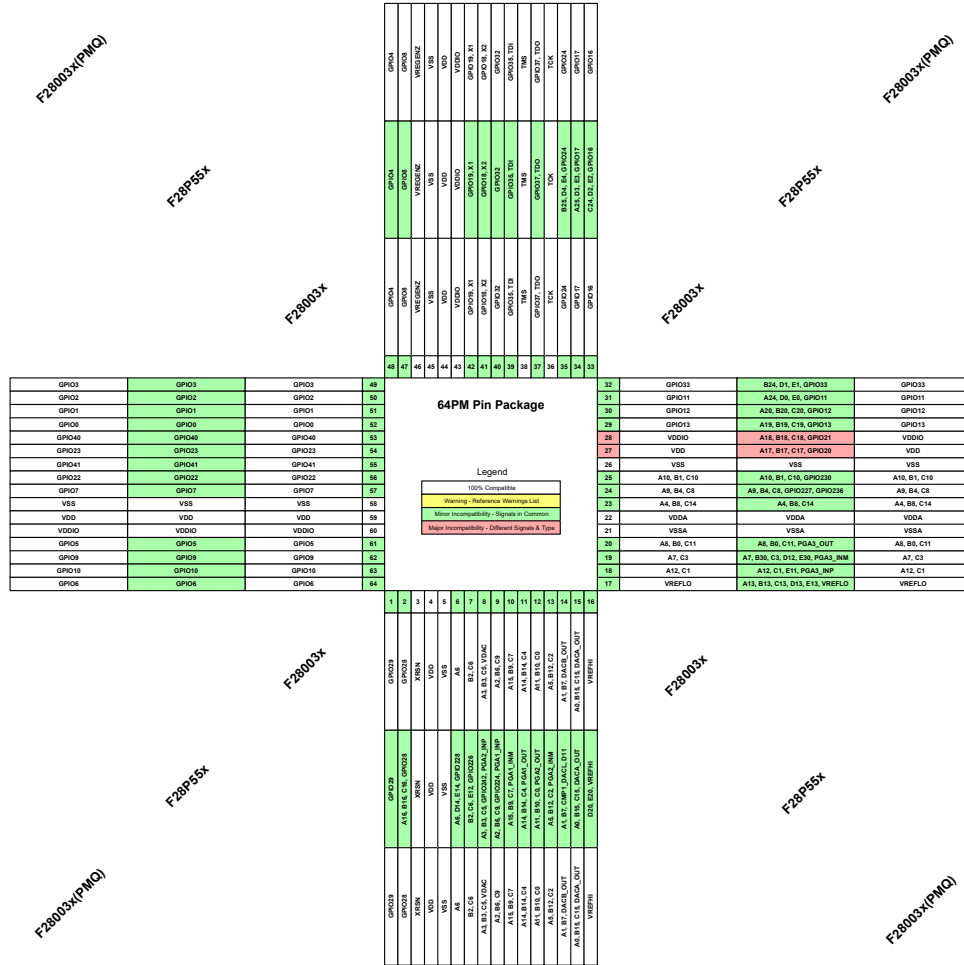


図 2-6. 64 ピン PM: F28003x および F28P550/9 ピン オーバーレイ

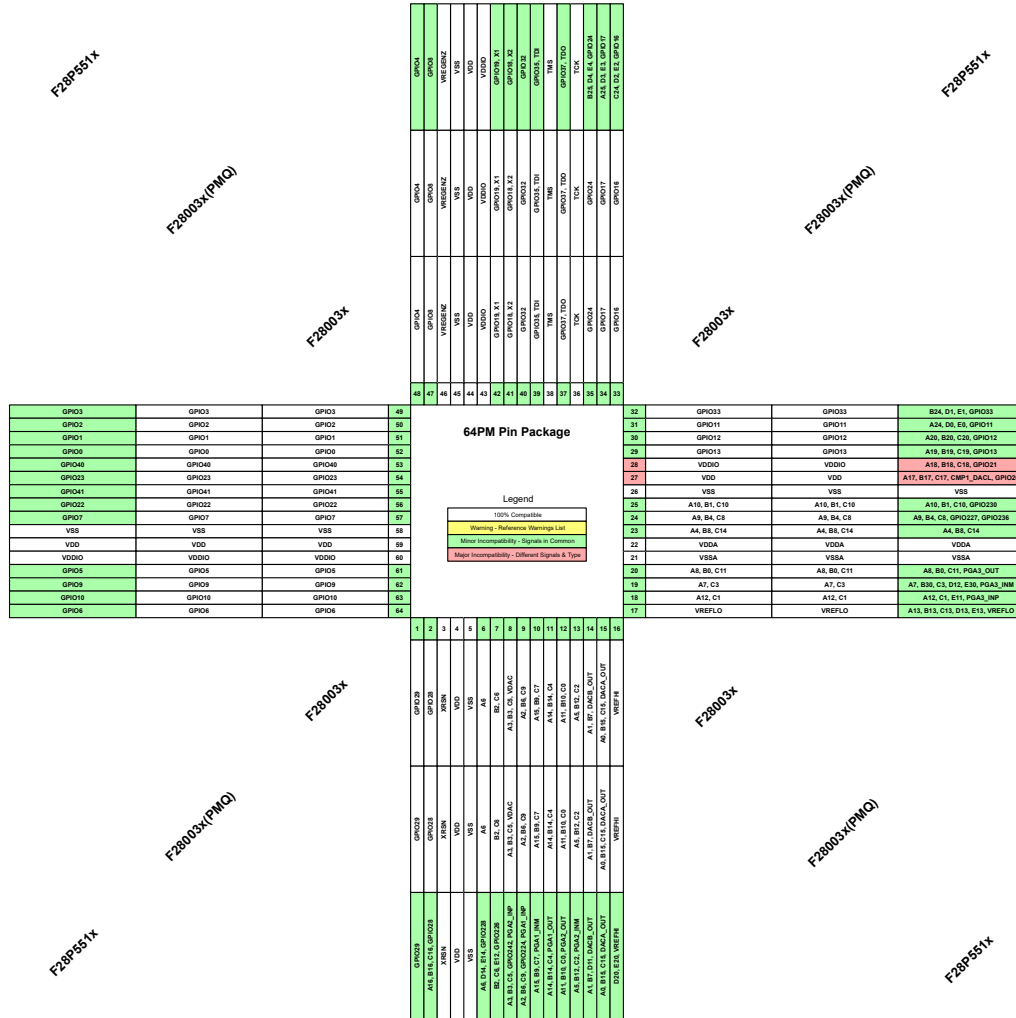


図 2-7. 64 ピン PM:F28003x および F28P551/2/8 ピン オーバーレイ

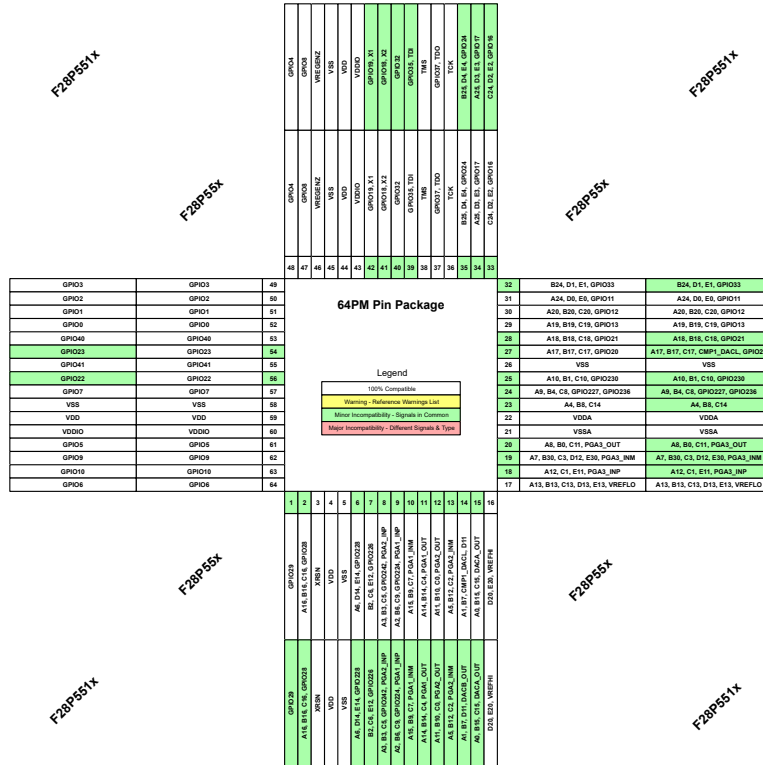


図 2-8. 64 ピン PM:F28550/9 および F28P551/2/8 ピン オーバーレイ

2.2 新規および既存の PCB の場合における 100 ピン PZ、80 ピン PNA、64 ピン PM の F28003x と F28P55x 間の移行

色の凡例については、[図 2-4](#) ~ [図 2-1](#) を参照してください。

表 2-1. 新規および既存の PCB の場合における 100 ピン PZ、80 ピン PNA、64 ピン PM の F28003x と F28P55x 間の移行

ピン番号			ピン名		遷移タイプ	アクション
100	80	64	F28003x	F28P55x		F28003x~F28P55x
副次的な非互換性 - 共通の信号 ⁽¹⁾						
1	4	2	GPIO28	A16, B16, C16、GPIO28	GPIO から AGPIO	UseGPIO28
14	10	6	A6	A6, D14, E14、GPIO228	AGPIO でアナログ入力からアナログ入力へ	A6 を使用
15	11	7	B2, C6	B2, C6, E12、GPIO226		B2 または C6 を使用
16	-	-	B3, VDAC	B3, GPIO242、PGA2_INP		B3 を使用

表 2-1. 新規および既存の PCB の場合における 100 ピン PZ、80 ピン PNA、64 ピン PM の F28003x と F28P55x 間の移行 (続き)

ピン番号			ピン名		遷移タイプ	アクション
100	80	64	F28003x	F28P55x		F28003x~F28P55x
-	12	8	A3, B3, C5, VDAC	A3, B3, C5, GPIO242, PGA2_INP	AGPIO でアナログ入力からアナログ入力へ	A3, B3, または C5 を使用
17	13	9	A2, B6, C9	A2, B6, C9, GPIO224, PGA1_INP		A2, B6, または C9 を使用
18	-	-	A3, B9, C7	A3, B9, C7, PGA1_INM		A3, B9, または C7 を使用
-	14	10	A15, B9, C7	A15, B9, C7, PGA1_INM		A15, B9, または C7 を使用
19	15	11	A14, B14, C4	A14, B14, C4, PGA1_OUT		A14, B14, または C4 を使用
2	13	12	A11, B10, C0	A11, B10, C0, PGA2_OUT		A11, B10, または C0 を使用
21	-	-	B12, C2	B12, C2, PGA2_INM		B12 または C2 を使用
-	17	13	A5, B12, C2	A5, B12, C2, PGA2_INM		A5, B12, または C2 を使用
22	18	14	A1, B7, DACB_OUT	A1, B7, D11, CMP1_DACL/DACB_OUT		A1, B7, または CMP1_DACL/DACB_OUT を使用
24	20	16	VREFHIB, VREFHIC	D20, E20, VREFHI		VREFHI を使用
25	-	-	VREFHIA	D20, E20, VREFHI		VREFHI を使用
26	21	17	VREFLOB, VREFLOC	A13, B13, C13, D13, E13, VREFLO		VREFLO を使用
27	-	-	VREFLOA	A13, B13, C13, D13, E13, VREFLO		VREFLO を使用
29	-	-	C1	C1, E11, PGA3_INP		C1 を使用
-	22	18	A12, C1	A12, C1, E11, PGA3_INP		A12, C1 を使用
30	-	-	B11	B11, D16, E16, PGA3_INM		B11 を使用
-	23	19	A7, C3	A7, B30, C3, D12, E30, PGA3_INM		A7 または C3 を使用
31	-	-	A7, C3	A7, B30, C3, D12, E30		A7 または C3 を使用
-	24	20	A8, B0, C11	A8, B0, C11, PGA3_OUT		A8, B0, または C11 を使用
32	-	-	B5	B5, D15, E15, PGA3_OUT		B5 を使用
39	-	-	B4, C8	B4, C8, GPIO227, GPIO236		B4 または C8 を使用
38	-	-	A9	A9, GPIO227		A9 を使用
-	28	24	A9, B4, C8	A9, B3, C8, GPIO227, GPIO236		A9, B4, または C8 を使用
40	29	25	A10, B1, C10	A10, B1, C10, GPIO230		A10, B1, または C10 を使用
41	-	-	B0, C11	B0, C11, GPIO253		B0 または C11 を使用
42	-	-	C14	C14, GPIO247		C14 を使用
48	-	-	B5, GPIO20	A17, B17, C17, GPIO20		GPIO20 を使用
49	34	-	B11, GPIO21	A18, B18, C18, GPIO21		GPIO21 を使用

表 2-1. 新規および既存の PCB の場合における 100 ピン PZ、80 ピン PNA、64 ピン PM の F28003x と F28P55x 間の移行 (続き)

ピン番号			ピン名		遷移タイプ	アクション
100	80	64	F28003x	F28P55x		F28003x~F28P55x
50	35	29	GPIO13	A19、B19、C19、GPIO13	GPIO で GPIO からアナログへ	GPIO13 を使用
51	36	30	GPIO12	A20、B20、C20、GPIO12		GPIO12 を使用
52	37	31	GPIO11	A24、D0、E0、GPIO11		GPIO11 を使用
53	38	32	GPIO33	B24、D1、E1、GPIO33		GPIO33 を使用
54	39	33	GPIO16	C24、D2、E2、GPIO16		GPIO16 を使用
55	40	34	GPIO17	A25、D3、E3、GPIO17		GPIO17 を使用
56	41	35	GPIO24	B25、D4、E4、GPIO24		GPIO24 を使用
81	65	54	GPIO23	GPIO23、USB0DM		GPIO23 を使用
82	66	55	GPIO41	GPIO41、USB0DP	GPIO41 を使用	
主要な非互換性 — 異なる信号とタイプ						
46	31	-	VDD	GPIO63	GPIO への電源供給	VDD に接続、GPIOINENACTRL レジスタの適切なビットを設定することで、F28P55x の GPIO のデジタル入力を無効化
47	32	-	VDDIO	GPIO62		VDDIO に接続
-	-	27	VDD	A17、B17、C17、GPIO20		VDD に接続、GPIOINENACTRL レジスタの適切なビットを設定することで、F28P55x の GPIO のデジタル入力を無効化
-	-	28	VDDIO	A18、B18、C18、GPIO21		VDDIO に接続
-	56	-	GPIO39	VREGENZ	GPIO から VREG イネーブル	F28003x では外部 VREG はサポートされていません。0Ω 抵抗を介して VSS に接続。F28003x を使用する場合は抵抗を取り外し、GPIO の内部プルアップを有効化
(Q バリエーション) 主要な非互換性 — 異なる信号とタイプ						
-	-	46	GPIO39	VREGENZ	GPIO から VREG イネーブル	F28003xQ100 では外部 VREG はサポートされていません。0Ω 抵抗を介して VSS に接続。F28003x を使用する場合は抵抗を取り外し、GPIO の内部プルアップを有効化

(1) ソフトウェアで選択されているものを使用するチャネル。

2.3 GPIO 入力バッファ制御レジスタ

F28P55x は、VDDIO/VDD ピンのペアを GPIO に置き換えます。F28003x から移行する際は、(VDD への接続が維持されていることを前提として) GPIO が不適切に駆動されるのを防ぐため、元の VDD ピンであった端子の入力バッファを無効化する必要があります。GPIOINENACTRL レジスタは、0 にクリアすると、入力バッファが無効になります。このレジスタのリセット時のデフォルト状態は 1 で、対応する GPIO の入力バッファが有効になります。もう 1 つの GPIO は VDDIO に安全に接続できますが、必要に応じて、システムにノイズ懸念がある場合は、対応する GPIO で入力バッファを無効化することもできます。

このアドレスは、ベース アドレス 0x0005 D700 を持つアナログ サブシステム レジスタに存在します。GPIO 入力バッファ制御レジスタ (GPIOINENACTRL) には、アナログ サブシステムのベース アドレス内に 0x132 のオフセットがあります。

表 2-2. GPIOINENACTRL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
31-4	予約済み	R	0h	予約済み
3	GPIO63	R/W	1h	GPIO63 の入力バッファ (INENA 制御) を有効または無効に設定するためのワнтаイム構成 0 - 入力バッファは無効 1 - 入力バッファは有効 リセット タイプ: XRSn
2	GPIO62	R/W	1h	GPIO62 の入力バッファ (INENA 制御) を有効または無効に設定するためのワнтаイム構成 0 - 入力バッファは無効 1 - 入力バッファは有効 リセット タイプ: XRSn
1	GPIO21	R/W	1h	GPIO21 の入力バッファ (INENA 制御) を有効または無効に設定するためのワнтаイム構成 0 - 入力バッファは無効 1 - 入力バッファは有効 リセット タイプ: XRSn
0	GPIO20	R/W	1h	GPIO20 の入力バッファ (INENA 制御) を有効または無効に設定するためのワнтаイム構成 0 - 入力バッファは無効 1 - 入力バッファは有効 リセット タイプ: XRSn

3 システムの考慮事項における機能の相違点

このセクションでは、F28003x デバイスと F28P55x デバイス間の移動時に存在する相違点と類似性について説明します。

3.1 F28P55x の新機能

このセクションでは、F28P55x デバイスにのみ存在する機能の概要を説明します。これらの新機能の詳細については、『TMS320F28P55x リアルタイム マイコン テクニカル リファレンス マニュアル』(SPRUJ53) を参照してください。

3.1.1 プログラマブル ゲイン アンプ (PGA)

F28P55x は、ADC にインラインで 3 個のプログラマブル ゲイン アンプ (PGA) を追加しています。2 ~ 64 倍のユニティゲインとゲインをサポートしており、PGA を使用して小信号源を増幅し、オンチップ ADC のダイナミックレンジをフル活用できます。ポスト ゲイン フィルタリングもサポートしています。PGA は TMS320F28004x デバイスにも搭載されていますが、これは新しいタイプです。サポートされている完全な機能セットについては、F28P55x のドキュメントを参照してください。

3.1.2 ユニバーサル シリアル バス (USB) - P550/P559 のみ

USB コントローラは、USB ホストとのポイント ツー ポイント通信において、フルスピード機能コントローラとして動作します。コントローラは、SUSPEND と RESUME 信号を含め、USB 2.0 規格に準拠しています。USB コントローラには 32 個のエンドポイントがあり、そのうちの半分は IN トランザクション用で、残りの半分は OUT トランザクション用です。1 つの IN および 1 つの OUT エンドポイントは、制御転送に使用される固定機能エンドポイントです。その他のエンドポイントは、ファームウェアで定義されます。動的にサイズ設定可能な FIFO は、複数のパケットのキューイングをサポートします。ソフトウェア制御の接続と接続解除により、USB デバイスの起動時に柔軟性を確保できます。

3.1.3 5V フェイルセーフ IO

F28P55x デバイスは 4 個の GPIO を備えています。5V 入力をサポートする GPIO2、GPIO3、GPIO9、GPIO32。これらのピンは、デバイスに電力を供給する前に電圧を印加することもできます。

3.1.4 フラッシュ書き込み保護

F28P55x デバイスには、フラッシュ バンク 0 および 2 の両方の 32 のフラッシュ セクタの消去またはプログラムを永続的にブロックする機能があります。OTP メモリに特定の値を書き込んだ後、対応するセクタを消去すること、またプログラムす

ることができなくなります。この機能を使用して、変更不可能なフラッシュ領域を作成できます。DCSM セキュリティ モジュールと組み合わせて、認証アルゴリズムを含め、新しいセキュア コード機能を実現できます。詳細については、TRM の「ブート ROM」の章を参照してください。

3.1.5 Tiny Engine™ NPU - P550/P559 のみ

Tiny Engine™ NPU は、事前トレーニング済みのモデルを実行するインテリジェント推論をサポートします。600 ~ 1200MOPS (メガ オペレーション/秒) の性能を持つ NPU は、ソフトウェア ベースのみでの実装と比較して、ニューラル ネットワーク (NN) 推論サイクルを最大 10 倍改善できます。TI が提供するツールを使用すると、モデルのトレーニングと評価、マイコンからのデータ ストリームの取得と視覚化を実行できます。その後、モデルはスタンドアロン ライブラリにコンパイルされ、メイン プロジェクトに追加され、システム内で NPU を利用します。

3.2 通信モジュールの変更

F28003x と F28P55x デバイス間での通信モジュールの変更は、モジュールの数や、DCAN および HIC モジュールの取り外しに影響を及ぼします。表 3-1 に詳細を示します。

表 3-1. 通信モジュール インスタンス

モジュール	カテゴリ	F28003x	F28P55x	注
LIN	個数	2 - LINA, LINB	1- LINA	両方のデバイスでタイプ 1 LIN
CAN	個数	1- CANA	-	
MCAN	個数	1 - MCANA(CAN-FD)	P550/9: 2 - MCANA、 MCANB(CAN-FD) P551/2/8: 1 - MCANA(CAN-FD)	F28003x は 8KB メッセージ RAM を搭載 します F28P55x は 4KB メッセージ RAM を搭載 しています
SCI	個数	2 - SCIA, SCIB	3 - SCIA, SCIB, SCIC	両方のデバイスでタイプ 0 SCI
SPI	個数	2 - SPIA, SPIB	2 - SPIA, SPIB	両方のデバイスでタイプ 2 SPI
	HW		高速モード サポート	P55x のすべてのピンが高速モードをサポ ートしているわけではありません。影響を 受けるピンの詳細については、デバイスの データシートを参照してください
I2C	個数	2 - I2CA, I2CB	2 - I2CA, I2CB	F28003x にはタイプ 1 I2C があります F28P55x にはタイプ 2 I2C があります
PMBUS	個数	1 - PMBUSA	1 - PMBUSA	F28003x にはタイプ 0 PMBUS がありま す F28P550/9 にはタイプ 1 PMBUS があり ます F28P551/2/8 にはタイプ 2 PMBUS があ ります
	HW 変更		高速+ モード - 1MHz クロックをサポ ート	
	登録	-	PMBUS_IO_DRVSEL	高速+ モード (1MHz) をサポートするた めに、駆動能力の向上を構成します
	登録	-	PMBUS_IO_MODESEL	ピンレベルを構成します (3.3V または 1.35V をサポート)
FSI	個数	1 - FSIA	1 - FSIA	両方のデバイスでタイプ 2 FSI
	登録	RX_MASTER_CTRL	RX_MAIN_CTRL	レジスタ名の変更
	登録	TX_MASTER_CTRL	TX_MAIN_CTRL	レジスタ名の変更
HIC	個数	1 - HICA	-	

3.3 制御モジュールの変更

F28003x と F28P55x デバイス間では、制御モジュールの変更は最小限です。F28P55x には、非常に多くの ePWM モジュールが搭載されています。SDFM モジュールおよび HRCAP モジュールは、F28P55x デバイスから削除されています。表 3-2 に、F28003x と F28P55x 間でアプリケーションを移行する際に考慮すべきモジュール インスタンスの相違点を示します。

表 3-2. 制御モジュールの相違点

モジュール	カテゴリ	F28003x	F28P55x	注
SDFM	個数	8 - SD1_D1C1..D4C4、SD2_D1C1..D4C4	P550/9 - 0P551/2/9 - 8 - SD1_D1C1..D4C4、SD2_D1C1..D4C4	
eQEP	個数	2 - EQEP1、EQEP2	3 - EQEP1、EQEP2、EQEP3	両方のデバイスでタイプ 2 eQEP
eCAP	個数	3 - ECAP1..3	2 - ECAP1、ECAP2	両方のデバイスでタイプ 2 eCAP
HRCAP	個数	1 - HRCAP3	-	
ePWM	個数	8 - EPWM1..8	12 - EPWM1..12	両方のデバイスでタイプ 4 PWM
HRPWM	個数	4 - HRPWM1..4	8 - HRPWM1..8	タイプ 4 HRPWM P550/9 タイプ 5 HRPWM P551/2/9

3.4 アナログ モジュールの相違点

このセクションでは、F28003x と F28P55x のアナログの相違点について説明します。3 個のプログラマブル ゲイン アンプ (PGA) は、F28P55x の新機能であり、F28003x デバイスには 5 個の ADC と 3 個の ADC が搭載されています。CMPSS および ADC モジュールには、いくつかの拡張機能があります。F28P550/9 デバイスには GPDAC が 1 個、F28003x および F28P551/2/9 デバイスには 2 個あります。CMPSS1 モジュールからのローサイド DAC を使用して、F28P55x 上に別の DAC として動作させることもできますが、GPDAC には電氣的な相違点があります。詳細については、デバイス DS を参照してください。

表 3-3. アナログ モジュールの相違点

モジュール	カテゴリ	F28003x	F28P55x	注
アナログ システム制御	HW の変更	-	ADC のグローバル同期 SW トリガ	選択された ADC に SW トリガを同時に送信できます
		-	VREFHI 選択のための新規レジスタ	ADC ごとの VREFHI 選択リファレンス電圧をサポート: 1. 内部 VREFHI 2. 外部 VREFHI 3. VDDA
		-	VREFHI 選択のための新規レジスタ	ADC ごとの VREFLO 選択リファレンス電圧をサポート: 1. VREFLO ピン 2. VSSA
		-	外部 VREFHI で 3.3V FSR 全体をサポート	外部モードで VREFHI に 1.65V を供給し、FSR = 3.3V にすることができます
		-	選択された GPIO での 12mA 駆動	I2C および PMBUS ハイスピード + モードとの互換性を確保するため、GPIO 2/3/9/32 には 12mA 駆動強度を選択できます
		-	選択された GPIO での 1.35V VIH 互換性	GPIO 2/3/9/32 の VIH を 1.35V に変更
	登録	ANAREFCTL.ANAREFSEL	ANAREFPCTRL.REFPMUXSELx	x = ADC A/B/C/D/E 各 ADC は VREFHI ソース用に個別に構成されるようになりました
		-	ANAREFNCTL.REFNMUXSELx	x = ADC A/B/C/D/E 各 ADC には VREFLO を選択できます
		ANAREFCTL.ANAREF2P5SEL	ANAREFPCTL.ANAREF1P65SEL	x = ADC A/B/C/D/E 各 ADC には、独立した 1.65V (3.3V FSR) または 2.5V FSR を選択できます。外部リファレンスモードにも影響します。
		-	IO_DRVSEL	選択された GPIO (IOL) 駆動強度を 4mA (デフォルト) または 12mA (IOL) のいずれかに構成します
		-	IO_MODESEL	選択された GPIO VIH を 3.3V (デフォルト) または 1.35V のいずれかに構成します

表 3-3. アナログ モジュールの相違点 (続き)

モジュール	カテゴリ	F28003x	F28P55x	注	
ADC ¹	個数	3 - ADCA、ADCB、ADCC	5 - ADCA、ADCB、ADCC、ADCD、ADCE	F28003x にはタイプ 5 ADC があります F28P55x にはタイプ 6 ADC があります	
	最高速度	60MHz	P550/9: 75MHz P551/2/9: 80MHz	最大スループット: F28P550/9 で 3.9MSPS、F28003x デバイスで 4MSPS、 P551/2/3 で 4.1MSPS	
	HW の変更	-	PPB の新機能 1. 加算/最大/最小/絶対値 2. オーバーサンプリングサポート + リピートブロック 3. 前回の交換デルタ 4. 出力フィルタリング		1. PPB から同時結果の合計/最大/最小/絶対値を算出できます 2. ユーザー定義のサンプル数を自動的に集約して平均化し、結果レジスタに平均値のみを返します。ADC リピータブロックと組み合わせて使用されます 3. 最後の交換結果を電流変換結果と比較し、対応するアクションを生成します 4. フィルタ ウィンドウの範囲内にある値のみを返し、他の値は破棄します。
		-	ADC リピータ ロジック		それ以降のトリガを自動的に開始することが可能で、位相遅延を追加するオプションもあります。PPB と組み合わせて使用し、CPU オーバーヘッドなしでオーバーサンプリングを実現できます
		-	グローバル SW 強制 SOC トリガ		すべての ADC に対して SW SOC トリガを同時に開始できます
		-	ADC S/H コンデンサリセット		サンプル間で S/H コンデンサを VSSA にリセットできます
		登録	ADCTL1	ADCTL1	外部マルチプレクサ制御と DMA トリガ タイミングを追加します
		ADCSOCxCTL.TRIGSEL	ADCSOCxCTL.TRIGSEL	ePWM およびリピータブロック サポートのトリガ オプションを追加します	
		INTFLGCLR	ADCINTFLGCLR		
		ADCINTSOCSEL2	ADCINTSOCSEL1	すべての SOC 割り込みトリガを INTSOCSEL1 に移動します	
	ADCOFFTRIM	ADCOFFTRIM	ADC オフセットトリム レジスタの機能は異なります。 DriverLIB の実装は注意する必要があります。正確な相違点については、TRM のレジスタ定義を参照してください。		
GPDAC	個数	2 - GPDACA、GPDACB	P550/9: 1- GPDACAP551/2/8: 2 - GPDACA、GPDACB	両方のデバイスでタイプ 1 GPDAC	

表 3-3. アナログ モジュールの相違点 (続き)

モジュール	カテゴリ	F28003x	F28P55x	注
CMPSS ¹	個数	4 - CMPSS1 から CMPSS4	4 - CMPSS1 から CMPSS4	F28003x にはタイプ 2 CMPSS があります F28P55x にはタイプ 6 CMPSS があります
	HW の変更		<ol style="list-style-type: none"> ローサイド コンパレータに DAC ランプ生成器を追加 ランプ ジェネレータには、アップ ランプ サポートが含まれています CMPSS1 は、ローサイド DAC を CMP1_DACL としてピンに出力できます ² 	
	レジスタ	RAMPMAXREFA	RAMPHREFA	レジスタ名の変更
		RAMMAXREFS	RAMPHREFS	レジスタ名の変更
		RAMPDECVALA	RAMPHSTEPVALA	レジスタ名の変更
		RAMPDECVALS	RAMPHSTEPVALS	レジスタ名の変更
		RAMPSTS	RAMPHSTS	レジスタ名の変更
		RAMPDLYA	RAMPHDLYA	レジスタ名の変更
		RAMPDLYS	RAMPHDLYS	レジスタ名の変更
		CTRIPLFILCTL	CTRIPLFILCTL - フィールドの変更	このレジスタ内にフィールドを追加および変更。詳細については、デバイス固有の TRM を参照してください。
		CTRIPLFILCLKCTL	CTRIPLFILCLKCTL - フィールドの変更	プリスケアラ範囲の拡大
		CTRIPHFILCTL	CTRIPHFILCTL - フィールドの変更	このレジスタ内にフィールドを追加および変更。詳細については、デバイス固有の TRM を参照してください。
		CTRIPHFILCLKCTL	CTRIPHFILCLKCTL - フィールドの変更	プリスケアラ範囲の拡大
		-	COMPDACTL	デュアル ランプ ジェネレータをサポートするために、レジスタと機能を追加
		-	RAMPLREFA	デュアル ランプ ジェネレータをサポートするために、レジスタと機能を追加
		-	RAMPLREFS	デュアル ランプ ジェネレータをサポートするために、レジスタと機能を追加
		-	RAMPLSTEPVALA	デュアル ランプ ジェネレータをサポートするために、レジスタと機能を追加
		-	RAMPLSTEPVALS	デュアル ランプ ジェネレータをサポートするために、レジスタと機能を追加
		-	RAMPLSTS	デュアル ランプ ジェネレータをサポートするために、レジスタと機能を追加
		-	RAMPLDLYA	デュアル ランプ ジェネレータをサポートするために、レジスタと機能を追加
	-	RAMPLDLYS	デュアル ランプ ジェネレータをサポートするために、レジスタと機能を追加	
	-	CTRIPLFILCLKCTL2	デュアル ランプ ジェネレータをサポートするために、レジスタと機能を追加	
	-	CTRIPHFILCLKCTL2	デュアル ランプ ジェネレータをサポートするために、レジスタと機能を追加	
温度センサ	個数	1 - (ADCC チャネル 12 内)	1 - (ADCC チャネル 12 内)	

1. ソフトウェアを F28003x から F28P55x に移植する (またはその逆) 場合は、チャンネル割り当てが異なるため、正しい ADC チャンネルが使用されるように注意する必要があります。 [アナログ多重化の変更](#) を参照してください。
2. CMPSS1 からの DACL の使用と通常の CMPSS1 機能は相互排他 (ミューテックス) の関係にあります。

3.5 その他のデバイスの変更

このセクションでは、前セクションの説明に含まれていない F28003x と F28P55x の機能の相違点について説明します。デバイス間でアプリケーションを移行する際には、以下に示す変更を考慮する必要があります。

3.5.1 PLL

F28003x および F28P55x デバイスの PLL ブロックは同じですが、F28P55x の最大 PLL 未加工クロックは、F28P55x の SYSCLK 周波数要件に対応するためにより高くなります。 [表 3-4](#) に、両デバイスの PLL 機能の比較を示します。詳細については、『TMS320F28P55x マイコン テクニカル リファレンス マニュアル』を参照してください。

表 3-4. PLL の機能

特長	F28003x	F28P550/9	F28P551/2/8
最大 CPU クロック	120MHz	150MHz	160MHz
VCO 範囲	220 ~ 600MHz	220 ~ 600MHz	220 ~ 600MHz
PLL 未加工クロック範囲	6 ~ 240MHz	6 ~ 300MHz	6 ~ 300MHz
X1 入力範囲 (PLL イネーブル)	2 ~ 25MHz	2 ~ 25MHz	2 ~ 25MHz
REFCLK デイバイダ	有 [1..32]	有 [1..32]	有 [1..32]
PLL スリップ検出	無 (DCC を使用)	無 (DCC を使用)	無 (DCC を使用)
分周 PLLMULT	無	無	無

3.5.2 PIE チャンネル割り当て

F28003x と F28P55x 間の Pie チャンネルのマッピングは、これらのデバイス間でのペリフェラル モジュールの変更によって異なります。表 3-6 に、これら 2 個のデバイスの共通および固有の pie チャンネルの割り当てを示します。

表 3-5. Pie チャンネル凡例

色	説明
	Pie チャンネルは、両方のデバイスに共通です
	Pie チャンネルは、F28003x にのみ適用可能です
	Pie チャンネルは、F28P55x にのみ適用可能です
	Pie チャンネルは、F28003x および F28P551/2/8 にのみ適用可能です
	Pie チャンネルは、F28P550/9 にのみ適用可能です

表 3-6. Pie 比較表

	INTx.1	INTx.2	INTx.3	INTx.4	INTx.5	INTx.6	INTx.7	INTx.8	INTx.9	INTx.10	INTx.11	INTx.12	INTx.13	INTx.14	INTx.15	INTx.16
INT1.y	INT_ADCA1	INT_ADCB1	INT_ADCC1	INT_XINT1	INT_XINT2	INT_SYS_ERR	INT_TIMER0	INT_WAKE	INT_ADCC1	INT_ADCE1 INT_SYS_ERR						
INT2.y	INT_EPWM1_TZ	INT_EPWM2_TZ	INT_EPWM3_TZ	INT_EPWM4_TZ	INT_EPWM5_TZ	INT_EPWM6_TZ	INT_EPWM7_TZ	INT_EPWM8_TZ	INT_EPWM9_TZ	INT_EPWM0_TZ	INT_EPWM1_TZ	INT_EPWM2_TZ				
INT3.y	INT_EPWM1	INT_EPWM2	INT_EPWM3	INT_EPWM4	INT_EPWM5	INT_EPWM6	INT_EPWM7	INT_EPWM8	INT_EPWM9	INT_EPWM0	INT_EPWM1	INT_EPWM2				
INT4.y	INT_ECAP1	INT_ECAP2	INT_ECAP3								INT_ECAP3_2					
INT5.y	INT_EQEP1	INT_EQEP2	INT_EQEP3		INT_CLB1	INT_CLB2	INT_CLB3	INT_CLB4	INT_SDFM1	INT_SDFM2			INT_SDFM1_DR1	INT_SDFM1_DR2	INT_SDFM1_DR3	INT_SDFM1_DR4
INT6.y	INT_SPIA_RX	INT_SPIA_TX	INT_SPIB_RX	INT_SPIB_TX			INT_DCC0	INT_DCC1					INT_SDFM2_DR1	INT_SDFM2_DR2	INT_SDFM2_DR3	INT_SDFM2_DR4
INT7.y	INT_DMA_C_H1	INT_DMA_C_H2	INT_DMA_C_H3	INT_DMA_C_H4	INT_DMA_C_H5	INT_DMA_C_H6	INT_PMBUS_A				INT_FSITXA_1	INT_FSITXA_2	INT_FSIRXA_1	INT_FSIRXA_2		INT_DCC0
INT8.y	INT_I2CA	INT_I2CA_FIFO	INT_I2CB	INT_I2CB_FIFO	INT_SCIC_RX	INT_SCIC_TX			INT_LINA_0	INT_LINA_1	INT_LINB_0	INT_LINB_1	INT_PMBUS_A			INT_DCC1
INT9.y	INT_SCIA_RX	INT_SCIA_TX	INT_SCIB_RX	INT_SCIB_TX	INT_CANA0	INT_CANA1	INT_MCANA_0	INT_MCANA_1	INT_MCANB_0	INT_MCANB_1	INT_MCANB_ECC	INT_MCANB_WAKE	INT_BGCRC		INT_USB	INT_HICA
INT10.y	INT_ADCA_EVT	INT_ADCA2	INT_ADCA3	INT_ADCA4	INT_ADCB_EVT	INT_ADCB2	INT_ADCB3	INT_ADCB4	INT_ADCC_EVT	INT_ADCC2	INT_ADCC3	INT_ADCC4	INT_ADCC_EVT	INT_ADCC2	INT_ADCC3	INT_ADCC4
INT11.y	INT_CLA1_1	INT_CLA1_2	INT_CLA1_3	INT_CLA1_4	INT_CLA1_5	INT_CLA1_6	INT_CLA1_7	INT_CLA1_8	INT_ADCE_EVT	INT_ADCE2	INT_ADCE3	INT_ADCE4				
INT12.y	INT_XINT3	INT_XINT4	INT_XINT5	INT_MPOST	INT_FLSS	INT_VCU	INT_MCANA_ECC	INT_MCANA_WAKE		INT_RAM_C_ORR_ERR	INT_FLASH_CORR_ERR	INT_RAM_ACC_VIOL	INT_AES	INT_BGCRC_CLA1	INT_CLA_OVERFLOW	INT_CLA_UNDERFLOW
					INT_FMC		INT_FPU_OVERFLOW	INT_FPU_UNDERFLOW					INT_AES_INTERRUPT			

3.5.3 Bootrom

F28003x と F28P55x 間の bootrom における類似点と相違点については、表 3-8 および 表 3-9 を参照してください。

表 3-7. ブートオプション凡例

色	説明
	両方のデバイスに共通のオプションですが、BOOTDEFx 値は異なる場合があります
	オプションは、F28003x にのみ適用可能です
	オプションは、F28P55x にのみ適用可能です

表 3-8. ブートローダと GPIO の割り当ての比較

ブートローダ	オプション	BOOTDEFx	F28003x	F28P55x
パラレル	0	0x00	D0-D7=GPIO0 から 7。 DSP=16。 ホスト=29	D0-D7=GPIO0 から 7。 DSP=16。 ホスト=29
	1	0x20	D0-D7=GPIO0 から 7。 DSP=16。 ホスト=11	D0-D7=GPIO0,1,2,3,5,6,7,24。 DSP=12。 ホスト=13
SCIA	0	0x01	TX=29。 RX=28	TX=29。 RX=28
	1	0x21	TX=16。 RX=17	TX=1。 RX=0
	2	0x41	TX=8。 RX=9	TX=8。 RX=9
	3	0x61	TX=2。 RX=3	TX=7。 RX=3
	4	0x81	TX=16。 RX=3	TX=16。 RX=3
CAN ¹	0	0x02	TX=4。 RX=5	TX=4。 RX=5
	1	0x22	TX=32。 RX=33	TX=1。 RX=0
	2	0x42	TX=2。 RX=3	TX=13。 RX=12
	3	0x62	TX=13。 RX=12	-
MCAN(CAN-FD)	0	0x08	TX=4。 RX=5	TX=4。 RX=5
	1	0x28	TX=1。 RX=0	TX=1。 RX=0
	2	0x48	TX=13。 RX=12	TX=13。 RX=12
	3 (DEBUG - テスト送信)	0x68	-	TX=4。 RX=5
	4 (DEBUG - テスト送信)	0x88	-	TX=1。 RX=0
	5 (DEBUG - テスト送信)	0xA8	-	TX=13。 RX=12

表 3-8. ブートローダと GPIO の割り当ての比較 (続き)

ブートローダ	オプション	BOOTDEFx	F28003x	F28P55x
SPI	0	0x06	SIMO=2 SOMI=1。 CLK=3。 STE=5	PICO=2 POCl=1。 CLK=3。 PTE=5
	1	0x26	SIMO=16 SOMI=1。 CLK=3。 STE=0	PICO=16 POCl=1。 CLK=3。 PTE=0
	2	0x46	SIMO=8 SOMI=10。 CLK=9。 STE=11	PICO=8 POCl=10。 CLK=9。 PTE=11
	3	0x66	SIMO=8 SOMI=17。 CLK=9。 STE=11	PICO=16 POCl=12。 CLK=9。 PTE=24
I2C	0	0x07	SDA=32。 SCL=33	SDA=0。 SCL=1
	1	0x27	SDA=0。 SCL=1	SDA=32。 SCL=33
	2	0x47	SDA=10。 SCL=8	SDA=5。 SCL=4
USB ²	0	0x09	-	DM=23。 DP=41

1. F28P55x デバイス「CAN」ブートモードは、FD モードが「オフ」に設定された MCAN モジュールによってサポートされます
2. F28P551/2/8 デバイスには USB がないため、このブートモードはそのデバイスファミリには有効ではありません

表 3-9. ブートモードの比較

ブートモード	オプション	BOOTDEFx	F28003x	F28P55x
フラッシュ/セキュアフラッシュ	0	0x03	Entry=0x00080000。 バンク/セクタ=0/0	Entry=0x00080000。 バンク/セクタ=0/0
	1	0x23	Entry=0x00088000。 バンク/セクタ=0/8	Entry=0x00088000。 バンク/セクタ=0/32
	2	0x43	Entry=0x0008FFF0。 バンク/セクタ=0/15	Entry=0x000C0000。 バンク/セクタ=0/64
	3	0x63	Entry=0x00090000。 バンク/セクタ=1/0	Entry=0x000C8000。 バンク/セクタ=1/64
	4	0x83	Entry=0x00097FF0。 バンク/セクタ=1/7	Entry=0x00100000。 バンク/セクタ=2/16
	5	0xA3	Entry=0x0009FFF0。 バンク/セクタ=1/15	-
	6	0xC3	Entry=0x000A0000。 バンク/セクタ=2/0	-
	7	0xE3	Entry=0x000AFFF0。 バンク/セクタ=2/15	-

表 3-9. ブートモードの比較 (続き)

ブートモード	オプション	BOOTDEFx	F28003x	F28P55x
LFU フラッシュ	0	0x0B	エントリ=0x00080000。 バンク=0 Entry=0x00090000。バンク =1 エントリ=0x000A0000 バン ク=2	エントリ=0x00080000。 バンク=0 エントリ=0x000C0000。バン ク=2
	1	0x2B	エントリ=0x00088000。バン ク=0 エントリ=0x00098000。バン ク=1 エントリ=0x000A8000 バン ク=2	エントリ=0x00088000。バン ク=0 エントリ=0x000C8000。バン ク=2
	2	0x4B	エントリ=0x0008FFF0。バン ク=0 エントリ=0x0009FFF0。バン ク=1 エントリ=0x000AFFF0 バン ク=2	-
	3	0x6B	エントリ=0x00088000。バン ク=0 エントリ=0x00090000。バン ク=1 エントリ=0x000A0000 バン ク=2	-
セキュア LFU フラッシュ	0	0x0C	エントリ=0x00080000。バン ク=0 エントリ=0x00090000。バン ク=1 エントリ=0x000A0000 バン ク=2	-
	1	0x2C	エントリ=0x00088000。バン ク=0 エントリ=0x00098000。バン ク=1 エントリ=0x000A8000 バン ク=2	-
	2	0x4C	エントリ=0x0008FFF0。バン ク=0 エントリ=0x0009FFF0。バン ク=1 エントリ=0x000AFFF0 バン ク=2	-
	3	0x6C	エントリ=0x00088000。バン ク=0 エントリ=0x00090000。バン ク=1 エントリ=0x000A0000 バン ク=2	-
	4	0x8C	エントリ=0x0008EFF0。バン ク=0 エントリ=0x00097FF0。バン ク=1 エントリ=0x000A7FF0 バン ク=2	-
ウェイト	0	0x04	ウォッチドッグ イネーブル	ウォッチドッグ イネーブル
	1	0x24	ウォッチドッグはディセーブル	ウォッチドッグはディセーブル

表 3-9. ブートモードの比較 (続き)

ブートモード	オプション	BOOTDEFx	F28003x	F28P55x
RAM	0	0x05	エントリ=0x00000000	エントリ=0x00000000

3.5.4 ROM に含まれているソフトウェア ライブラリ

F28P55x では、C2000 STL ライブラリがオンチップ ROM に組み込まれています。F28003x のオンチップ ROM には STL ライブラリは含まれていません。

3.5.5 CLB (構成可能ロジックブロック)

表 3-10 に、各デバイスで利用可能な CLB タイルの詳細を示します。F28003x と F28P558/2/1 のいずれにも 4 タイルがありますが、CLB へのデバイス内接続は同一ではありません。表 3-12 表に、F28003x と F28P55x の相違点の詳細を示します。CLB タイル 3 および 4 のエントリは F28P550/559 には適用されないことに注意してください。

表 3-10. デバイスごとの CLB タイル

デバイス	CLB タイル
F28003x	4
F28P559/0	2
F28P558/2/1	4

表 3-11. マルチプレクサ凡例

色	説明
	マルチプレクサ機能は、両方のデバイスに共通です
	マルチプレクサ機能は、F28003x にのみ適用可能です
	マルチプレクサ機能は、F28P55x にのみ適用可能です

表 3-12. CLB グローバル信号およびマルチプレクサ選択: F28003x と F28P55x の比較

値の選択	CLB1 入力	CLB2 入力	CLB3 入力	CLB4 入力	同期要求
0	EPWM1A	EPWM1A	EPWM1A	EPWM1A	有効
1	EPWM1A_OE	EPWM1A_OE	EPWM1A_OE	EPWM1A_OE	有効
2	EPWM1B	EPWM1B	EPWM1B	EPWM1B	有効
3	EPWM1B_OE	EPWM1B_OE	EPWM1B_OE	EPWM1B_OE	有効
4	EPWM1_CTR_ZERO	EPWM1_CTR_ZERO	EPWM1_CTR_ZERO	EPWM1_CTR_ZERO	無効
5	EPWM1_CTR_PRD	EPWM1_CTR_PRD	EPWM1_CTR_PRD	EPWM1_CTR_PRD	無効
6	EPWM1_CTR_DIR	EPWM1_CTR_DIR	EPWM1_CTR_DIR	EPWM1_CTR_DIR	無効
7	EPWM1_TBCLK	EPWM1_TBCLK	EPWM1_TBCLK	EPWM1_TBCLK	無効
8	EPWM1_CTR_CMPA	EPWM1_CTR_CMPA	EPWM1_CTR_CMPA	EPWM1_CTR_CMPA	無効
9	EPWM1_CTR_CMPB	EPWM1_CTR_CMPB	EPWM1_CTR_CMPB	EPWM1_CTR_CMPB	無効
10	EPWM1_CTR_CMPC	EPWM1_CTR_CMPC	EPWM1_CTR_CMPC	EPWM1_CTR_CMPC	無効
11	EPWM1_CTR_CMPD	EPWM1_CTR_CMPD	EPWM1_CTR_CMPD	EPWM1_CTR_CMPD	無効
12	EPWM1A_AQ	EPWM1A_AQ	EPWM1A_AQ	EPWM1A_AQ	無効
13	EPWM1B_AQ	EPWM1B_AQ	EPWM1B_AQ	EPWM1B_AQ	無効
14	EPWM1A_DB	EPWM1A_DB	EPWM1A_DB	EPWM1A_DB	無効
15	EPWM1B_DB	EPWM1B_DB	EPWM1B_DB	EPWM1B_DB	無効
16	EPWM2A	EPWM2A	EPWM2A	EPWM2A	有効

表 3-12. CLB グローバル信号およびマルチプレクサ選択: F28003x と F28P55x の比較 (続き)

値の選択	CLB1 入力	CLB2 入力	CLB3 入力	CLB4 入力	同期要求
17	EPWM2A_OE	EPWM2A_OE	EPWM2A_OE	EPWM2A_OE	有効
18	EPWM2B	EPWM2B	EPWM2B	EPWM2B	有効
19	EPWM2B_OE	EPWM2B_OE	EPWM2B_OE	EPWM2B_OE	有効
20	EPWM2_CTR_ZERO	EPWM2_CTR_ZERO	EPWM2_CTR_ZERO	EPWM2_CTR_ZERO	無効
21	EPWM2_CTR_PRD	EPWM2_CTR_PRD	EPWM2_CTR_PRD	EPWM2_CTR_PRD	無効
22	EPWM2_CTR_DIR	EPWM2_CTR_DIR	EPWM2_CTR_DIR	EPWM2_CTR_DIR	無効
23	EPWM2_TBCLK	EPWM2_TBCLK	EPWM2_TBCLK	EPWM2_TBCLK	無効
24	EPWM2_CTR_CMPA	EPWM2_CTR_CMPA	EPWM2_CTR_CMPA	EPWM2_CTR_CMPA	無効
25	EPWM2_CTR_CMPB	EPWM2_CTR_CMPB	EPWM2_CTR_CMPB	EPWM2_CTR_CMPB	無効
26	EPWM2_CTR_CMPC	EPWM2_CTR_CMPC	EPWM2_CTR_CMPC	EPWM2_CTR_CMPC	無効
27	EPWM2_CTR_CMPD	EPWM2_CTR_CMPD	EPWM2_CTR_CMPD	EPWM2_CTR_CMPD	無効
28	EPWM2A_AQ	EPWM2A_AQ	EPWM2A_AQ	EPWM2A_AQ	無効
29	EPWM2B_AQ	EPWM2B_AQ	EPWM2B_AQ	EPWM2B_AQ	無効
30	EPWM2A_DB	EPWM2A_DB	EPWM2A_DB	EPWM2A_DB	無効
31	EPWM2B_DB	EPWM2B_DB	EPWM2B_DB	EPWM2B_DB	無効
32	EPWM3A	EPWM3A	EPWM3A	EPWM3A	有効
33	EPWM3A_OE	EPWM3A_OE	EPWM3A_OE	EPWM3A_OE	有効
34	EPWM3B	EPWM3B	EPWM3B	EPWM3B	有効
35	EPWM3B_OE	EPWM3B_OE	EPWM3B_OE	EPWM3B_OE	有効
36	EPWM3_CTR_ZERO	EPWM3_CTR_ZERO	EPWM3_CTR_ZERO	EPWM3_CTR_ZERO	無効
37	EPWM3_CTR_PRD	EPWM3_CTR_PRD	EPWM3_CTR_PRD	EPWM3_CTR_PRD	無効
38	EPWM3_CTR_DIR	EPWM3_CTR_DIR	EPWM3_CTR_DIR	EPWM3_CTR_DIR	無効
39	EPWM3_TBCLK	EPWM3_TBCLK	EPWM3_TBCLK	EPWM3_TBCLK	無効
40	EPWM3_CTR_CMPA	EPWM3_CTR_CMPA	EPWM3_CTR_CMPA	EPWM3_CTR_CMPA	無効
41	EPWM3_CTR_CMPB	EPWM3_CTR_CMPB	EPWM3_CTR_CMPB	EPWM3_CTR_CMPB	無効
42	EPWM3_CTR_CMPC	EPWM3_CTR_CMPC	EPWM3_CTR_CMPC	EPWM3_CTR_CMPC	無効
43	EPWM3_CTR_CMPD	EPWM3_CTR_CMPD	EPWM3_CTR_CMPD	EPWM3_CTR_CMPD	無効
44	EPWM3A_AQ	EPWM3A_AQ	EPWM3A_AQ	EPWM3A_AQ	無効
45	EPWM3B_AQ	EPWM3B_AQ	EPWM3B_AQ	EPWM3B_AQ	無効
46	EPWM3A_DB	EPWM3A_DB	EPWM3A_DB	EPWM3A_DB	無効
47	EPWM3B_DB	EPWM3B_DB	EPWM3B_DB	EPWM3B_DB	無効
48	EPWM4A	EPWM4A	EPWM4A	EPWM4A	有効
49	EPWM4A_OE	EPWM4A_OE	EPWM4A_OE	EPWM4A_OE	有効
50	EPWM4B	EPWM4B	EPWM4B	EPWM4B	有効
51	EPWM4B_OE	EPWM4B_OE	EPWM4B_OE	EPWM4B_OE	有効
52	EPWM4_CTR_ZERO	EPWM4_CTR_ZERO	EPWM4_CTR_ZERO	EPWM4_CTR_ZERO	無効
53	EPWM4_CTR_PRD	EPWM4_CTR_PRD	EPWM4_CTR_PRD	EPWM4_CTR_PRD	無効
54	EPWM4_CTR_DIR	EPWM4_CTR_DIR	EPWM4_CTR_DIR	EPWM4_CTR_DIR	無効
55	EPWM4_TBCLK	EPWM4_TBCLK	EPWM4_TBCLK	EPWM4_TBCLK	無効
56	EPWM4_CTR_CMPA	EPWM4_CTR_CMPA	EPWM4_CTR_CMPA	EPWM4_CTR_CMPA	無効
57	EPWM4_CTR_CMPB	EPWM4_CTR_CMPB	EPWM4_CTR_CMPB	EPWM4_CTR_CMPB	無効
58	EPWM4_CTR_CMPC	EPWM4_CTR_CMPC	EPWM4_CTR_CMPC	EPWM4_CTR_CMPC	無効
59	EPWM4_CTR_CMPD	EPWM4_CTR_CMPD	EPWM4_CTR_CMPD	EPWM4_CTR_CMPD	無効
60	EPWM4A_AQ	EPWM4A_AQ	EPWM4A_AQ	EPWM4A_AQ	無効
61	EPWM4B_AQ	EPWM4B_AQ	EPWM4B_AQ	EPWM4B_AQ	無効
62	EPWM4A_DB	EPWM4A_DB	EPWM4A_DB	EPWM4A_DB	無効

表 3-12. CLB グローバル信号およびマルチプレクサ選択:F28003x と F28P55x の比較 (続き)

値の選択	CLB1 入力	CLB2 入力	CLB3 入力	CLB4 入力	同期要求
63	EPWM4B_DB	EPWM4B_DB	EPWM4B_DB	EPWM4B_DB	無効
64	AUXSIG0	AUXSIG0	AUXSIG0	AUXSIG0	有効
	CLBXHR1	CLBXHR1	CLBXHR1	CLBXHR1	
65	AUXSIG1	AUXSIG1	AUXSIG1	AUXSIG1	有効
	CLBXHR2	CLBXHR2	CLBXHR2	CLBXHR2	
66	AUXSIG2	AUXSIG2	AUXSIG2	AUXSIG2	有効
	CLBXHR3	CLBXHR3	CLBXHR3	CLBXHR3	
67	AUXSIG3	AUXSIG3	AUXSIG3	AUXSIG3	有効
	CLBXHR4	CLBXHR4	CLBXHR4	CLBXHR4	
68	AUXSIG4	AUXSIG4	AUXSIG4	AUXSIG4	有効
	CLBXHR5	CLBXHR5	CLBXHR5	CLBXHR5	
69	AUXSIG5	AUXSIG5	AUXSIG5	AUXSIG5	有効
	CLBXHR6	CLBXHR6	CLBXHR6	CLBXHR6	
70	AUXSIG6	AUXSIG6	AUXSIG6	AUXSIG6	有効
	CLBXHR7	CLBXHR7	CLBXHR7	CLBXHR7	
71	AUXSIG7	AUXSIG7	AUXSIG7	AUXSIG7	有効
	CLBXHR8	CLBXHR8	CLBXHR8	CLBXHR8	
72	CLB1_OUT16	CLB1_OUT16	CLB1_OUT16	CLB1_OUT16	無効
			CLB3_OUT16	CLB3_OUT16	
73	CLB1_OUT17	CLB1_OUT17	CLB1_OUT17	CLB1_OUT17	無効
			CLB3_OUT17	CLB3_OUT17	
74	CLB1_OUT18	CLB1_OUT18	CLB1_OUT18	CLB1_OUT18	無効
			CLB3_OUT18	CLB3_OUT18	
75	CLB1_OUT19	CLB1_OUT19	CLB1_OUT19	CLB1_OUT19	無効
			CLB3_OUT19	CLB3_OUT19	
76	CLB1_OUT20	CLB1_OUT20	CLB1_OUT20	CLB1_OUT20	無効
			CLB3_OUT20	CLB3_OUT20	
77	CLB1_OUT21	CLB1_OUT21	CLB1_OUT21	CLB1_OUT21	無効
			CLB3_OUT21	CLB3_OUT21	
78	CLB1_OUT22	CLB1_OUT22	CLB1_OUT22	CLB1_OUT22	無効
			CLB3_OUT22	CLB3_OUT22	
79	CLB1_OUT23	CLB1_OUT23	CLB1_OUT23	CLB1_OUT23	無効
			CLB3_OUT23	CLB3_OUT23	
80	CLB2_OUT16	CLB2_OUT16	CLB2_OUT16	CLB2_OUT16	無効
			CLB4_OUT16	CLB4_OUT16	
81	CLB2_OUT17	CLB2_OUT17	CLB2_OUT17	CLB2_OUT17	無効
			CLB4_OUT17	CLB4_OUT17	
82	CLB2_OUT18	CLB2_OUT18	CLB2_OUT18	CLB2_OUT18	無効
			CLB4_OUT18	CLB4_OUT18	
83	CLB2_OUT19	CLB2_OUT19	CLB2_OUT19	CLB2_OUT19	無効
			CLB4_OUT19	CLB4_OUT19	
84	CLB2_OUT20	CLB2_OUT20	CLB2_OUT20	CLB2_OUT20	無効
			CLB4_OUT20	CLB4_OUT20	
85	CLB2_OUT21	CLB2_OUT21	CLB2_OUT21	CLB2_OUT21	無効
			CLB4_OUT21	CLB4_OUT21	

表 3-12. CLB グローバル信号およびマルチプレクサ選択:F28003x と F28P55x の比較 (続き)

値の選択	CLB1 入力	CLB2 入力	CLB3 入力	CLB4 入力	同期要求
86	CLB2_OUT22	CLB2_OUT22	CLB2_OUT22	CLB2_OUT22	無効
			CLB4_OUT22	CLB4_OUT22	
87	CLB2_OUT23	CLB2_OUT23	CLB2_OUT23	CLB2_OUT23	無効
			CLB4_OUT23	CLB4_OUT23	
88	CLB3_OUT16	CLB3_OUT16	CLB3_OUT16	CLB3_OUT16	無効
	EPWM3_DCAEVT1	EPWM3_DCAEVT1	EPWM3_DCAEVT1	EPWM3_DCAEVT1	
89	CLB3_OUT17	CLB3_OUT17	CLB3_OUT17	CLB3_OUT17	無効
	EPWM3_DCAEVT2	EPWM3_DCAEVT2	EPWM3_DCAEVT2	EPWM3_DCAEVT2	
90	CLB3_OUT18	CLB3_OUT18	CLB3_OUT18	CLB3_OUT18	無効
	EPWM3_DCBEVT1	EPWM3_DCBEVT1	EPWM3_DCBEVT1	EPWM3_DCBEVT1	
91	CLB3_OUT19	CLB3_OUT19	CLB3_OUT19	CLB3_OUT19	無効
	EPWM3_DCBEVT2	EPWM3_DCBEVT2	EPWM3_DCBEVT2	EPWM3_DCBEVT2	
92	CLB3_OUT20	CLB3_OUT20	CLB3_OUT20	CLB3_OUT20	無効
	EPWM3_DCAH	EPWM3_DCAH	EPWM3_DCAH	EPWM3_DCAH	
93	CLB3_OUT21	CLB3_OUT21	CLB3_OUT21	CLB3_OUT21	無効
	EPWM3_DCAL	EPWM3_DCAL	EPWM3_DCAL	EPWM3_DCAL	
94	CLB3_OUT22	CLB3_OUT22	CLB3_OUT22	CLB3_OUT22	無効
	EPWM3_DCBH	EPWM3_DCBH	EPWM3_DCBH	EPWM3_DCBH	
95	CLB3_OUT23	CLB3_OUT23	CLB3_OUT23	CLB3_OUT23	無効
	EPWM3_DCBL	EPWM3_DCBL	EPWM3_DCBL	EPWM3_DCBL	
96	CLB4_OUT16	CLB4_OUT16	CLB4_OUT16	CLB4_OUT16	無効
	EPWM9A	EPWM9A	EPWM9A	EPWM9A	
97	CLB4_OUT17	CLB4_OUT17	CLB4_OUT17	CLB4_OUT17	無効
	EPWM9A_OE	EPWM9A_OE	EPWM9A_OE	EPWM9A_OE	
98	CLB4_OUT18	CLB4_OUT18	CLB4_OUT18	CLB4_OUT18	無効
	EPWM9B	EPWM9B	EPWM9B	EPWM9B	
99	CLB4_OUT19	CLB4_OUT19	CLB4_OUT19	CLB4_OUT19	無効
	EPWM9B_OE	EPWM9B_OE	EPWM9B_OE	EPWM9B_OE	
100	CLB4_OUT20	CLB4_OUT20	CLB4_OUT20	CLB4_OUT20	無効
	EPWM10A	EPWM10A	EPWM10A	EPWM10A	
101	CLB4_OUT21	CLB4_OUT21	CLB4_OUT21	CLB4_OUT21	無効
	EPWM10A_OE	EPWM10A_OE	EPWM10A_OE	EPWM10A_OE	
102	CLB4_OUT22	CLB4_OUT22	CLB4_OUT22	CLB4_OUT22	無効
	EPWM10B	EPWM10B	EPWM10B	EPWM10B	
103	CLB4_OUT23	CLB4_OUT23	CLB4_OUT23	CLB4_OUT23	無効
	EPWM10B_OE	EPWM10B_OE	EPWM10B_OE	EPWM10B_OE	
104	ERAD_EVT0	ERAD_EVT0	ERAD_EVT0	ERAD_EVT0	無効
105	ERAD_EVT1	ERAD_EVT1	ERAD_EVT1	ERAD_EVT1	無効
106	ERAD_EVT2	ERAD_EVT2	ERAD_EVT2	ERAD_EVT2	無効
107	ERAD_EVT3	ERAD_EVT3	ERAD_EVT3	ERAD_EVT3	無効
108	ERAD_EVT4	ERAD_EVT4	ERAD_EVT4	ERAD_EVT4	無効
109	ERAD_EVT5	ERAD_EVT5	ERAD_EVT5	ERAD_EVT5	無効
110	ERAD_EVT6	ERAD_EVT6	ERAD_EVT6	ERAD_EVT6	無効
111	ERAD_EVT7	ERAD_EVT7	ERAD_EVT7	ERAD_EVT7	無効
112	FSIRXA_DATA_PKT_R CVD	FSIRXA_DATA_PKT_R CVD	FSIRXA_DATA_PKT_R CVD	FSIRXA_DATA_PKT_R CVD	無効

表 3-12. CLB グローバル信号およびマルチプレクサ選択: F28003x と F28P55x の比較 (続き)

値の選択	CLB1 入力	CLB2 入力	CLB3 入力	CLB4 入力	同期要求
113	FSIRXA_ERROR_PKT_RCVD	FSIRXA_ERROR_PKT_RCVD	FSIRXA_ERROR_PKT_RCVD	FSIRXA_ERROR_PKT_RCVD	無効
114	FSIRXA_PING_PKT_RCVD	FSIRXA_PING_PKT_RCVD	FSIRXA_PING_PKT_RCVD	FSIRXA_PING_PKT_RCVD	無効
115	FSIRXA_FRAME_DONE	FSIRXA_FRAME_DONE	FSIRXA_FRAME_DONE	FSIRXA_FRAME_DONE	無効
116	FSIRXA_PING_TAG_MATCH	FSIRXA_PING_TAG_MATCH	FSIRXA_PING_TAG_MATCH	FSIRXA_PING_TAG_MATCH	無効
117	FSIRXA_DATA_TAG_MATCH	FSIRXA_DATA_TAG_MATCH	FSIRXA_DATA_TAG_MATCH	FSIRXA_DATA_TAG_MATCH	無効
118	FSIRXA_ERROR_TAG_MATCH	FSIRXA_ERROR_TAG_MATCH	FSIRXA_ERROR_TAG_MATCH	FSIRXA_ERROR_TAG_MATCH	無効
119	FSIRXA_TRIG2	FSIRXA_TRIG2	FSIRXA_TRIG2	FSIRXA_TRIG2	無効
120	FSIRXA_TRIG0	FSIRXA_TRIG0	FSIRXA_TRIG0	FSIRXA_TRIG0	無効
121	SPIA_SOMI_IN	SPIA_SOMI_IN	SPIA_SOMI_IN	SPIA_SOMI_IN	有効
	SPIA_POCI_IN	SPIA_POCI_IN	SPIA_POCI_IN	SPIA_POCI_IN	
122	SPIA_STE_OUT	SPIA_STE_OUT	SPIA_STE_OUT	SPIA_STE_OUT	有効
	SPIA_PTE_OUT	SPIA_PTE_OUT	SPIA_PTE_OUT	SPIA_PTE_OUT	
123	SPIB_CLK_OUT	SPIB_CLK_OUT	SPIB_CLK_OUT	SPIB_CLK_OUT	有効
124	SPIB_SOMI_IN	SPIB_SOMI_IN	SPIB_SOMI_IN	SPIB_SOMI_IN	有効
	SPIB_POCI_IN	SPIB_POCI_IN	SPIB_POCI_IN	SPIB_POCI_IN	
125	SPIB_STE_OUT	SPIB_STE_OUT	SPIB_STE_OUT	SPIB_STE_OUT	有効
	SPIB_PTE_OUT	SPIB_PTE_OUT	SPIB_PTE_OUT	SPIB_PTE_OUT	
126	予約済み	予約済み	予約済み	予約済み	予約済み
127	FSIRXA_TRIG3	FSIRXA_TRIG3	FSIRXA_TRIG3	FSIRXA_TRIG3	無効

3.5.6 AGPIO

F28P55x には、通常の GPIO および AGPIO (アナログ) ピン機能と F28003x (合計 2 個) ピン機能の両方をサポートする多くの AGPIO チャンネルがあります (最大 22 個)。構成の詳細については、F28P55x データ マニュアルを参照してください。

3.6 パワー マネージメント

F28003x、F28P550/9、F28P551/2/8 デバイスはいずれも、デュアル レール (3.3V および 1.2V/1.25V) またはシングル レール (3.3V) をサポートし、内部 LDO VREG により 1.2V/1.25V レールを供給します。このセクションでは、2 つのデバイスのパワー マネージメントの相違点と類似点について説明します。

F28P551/2/8 デバイスとの主な相違点は、コア電圧の公称電圧が 1.25V であるのに対し、F28003x/F28P550/9 の公称コア電圧が 1.20V であることです。

3.6.1 POR/BOR

POR と BOR の機能変更はありません。

3.6.2 LDO/VREG

F28003x と F28P55x はいずれも、VREGENZ ピンを使用して選択できるコア電源に内部と外部の VREG をサポートしています。しかし、F28003x のすべてのパッケージが外部 VREG オプションをサポートしているわけではありません。F28P55x の場合、すべてのパッケージに VREGENZ ピンがあります。

3.6.3 消費電力

F28003x と F28P55x 間で類似の IP セットとターゲット周波数が同一である場合、消費電力はほぼ同じになる必要があります。ペリフェラルごとのデータシートおよびいずれかのデバイスの最大電流を参照してください。

3.7 メモリ モジュールの変更

F28003x および F28P55x デバイスの RAM およびフラッシュ メモリには、類似点と相違点があります。表 3-13 に、エラー チェックやセキュリティの割り当てなどのメモリの機能を示します。

表 3-13. RAM およびフラッシュ メモリの変更

メモリ		F28003x			F28P55x		
		サイズ	パリティ/ ECC	セキュア	サイズ	パリティ/ ECC	セキュア
RAM	専用 (M0、M1)	4KB	ECC	無	4KB	ECC	無
	ローカル共有 (LS0-LS7)	32KB	ECC	DCSM 制御	32KB	パリティ	DCSM 制御
	ローカル共有 (LS8-LS9)	-	-	-	32KB	パリティ	DCSM 制御
	グローバル共有 (GS0-GS3)	32KB	ECC	無	F28P551/2/8: 32KB F28P550/9: 64KB	パリティ	無
	メッセージ	512B(CPU- CLA) 512B(CLA- DMA)	ECC	無	512B(CPU- CLA) 512B(CLA- DMA)	パリティ	無
	RAM 合計	69KB			F28P551/2/8: 101KB F28P550/9: 133KB		
フラッシュ	セクタごと	8KB	-	-	2KB	-	-
	バンクごと	128KB(3 バンク)	ECC	DCSM 制御	F28P551/2/8: 256KB(2 バンク) F28P550/9: 256KB(4 バンク) 64KB(1 バンク)	ECC	DCSM 制御
	FLASH 合計	384KB(3 バンク)			F28P551/2/8: 576KB(3 バンク) F28P550/9: 1088KB(5 バンク)		

3.8 GPIO 多重化の変更

表 3-14 に、F28003x と F28P55x 間の GPIO マルチプレクサに存在する相違点と類似点を示します。

表 3-14. マルチプレクサ凡例

色	説明
	マルチプレクサ機能は、両方のデバイスに共通です
	マルチプレクサ機能は、F28003x にのみ適用可能です
	マルチプレクサ機能は、F28P55x にのみ適用可能です
	Pie チャネルは、F28003x および F28P551/2/8 にのみ適用可能です
	Pie チャネルは、F28P550/9 にのみ適用可能です

表 3-15. GPIO 多重化ピン

0	1	2	3	5	6	7	9	10	11	13	14	15
GPIO0	EPWM1_A		OUTPUTXB AR7	SCIA_RX	I2CA_SDA	SPIA_PTE	FSIRXA_CL K	MCANA_RX	CLB_OUTP UTXBAR8	EQEP1_IND EX	HIC_D7	EPWM3_A
						SPIA_STE		MCAN_RX				HIC_BASES EL1
GPIO1	EPWM1_B	EMU0		SCIA_TX	I2CA_SCL	SPIA_POCI	EQEP1_STR OBE	MCANA_TX	CLB_OUTP UTXBAR7	EPWM10_B	FSITXA_TD M_D1	EPWM3_B
						SPIA_SOMI		MCAN_TX		HIC_A2		HIC_D10
GPIO2	EPWM2_A	EMU1		OUTPUTXB AR1	PMBUSA_S DA	SPIA_PICO	SCIA_TX	FSIRXA_D1	I2CB_SDA	EPWM10_A	MCANB_TX	EPWM4_A
						SPIA_SIMO				HIC_A1	CANA_TX	HIC_D9
GPIO3	EPWM2_B	OUTPUTXB AR2		OUTPUTXB AR2	PMBUSA_S CL	SPIA_CLK	SCIA_RX	FSIRXA_D0	I2CB_SCL	HIC_NOE	MCANB_RX	EPWM4_B
											CANA_RX	HIC_D4
GPIO4	EPWM3_A	I2CA_SCL	MCANA_TX	OUTPUTXB AR3	CANA_TX	SPIB_CLK	EQEP2_STR OBE	FSIRXA_CL K	CLB_OUTP UTXBAR6	EPWM11_B	SPIA_POCI	EPWM1_A
			MCAN_TX							HIC_BASES EL2		HIC_NWE
GPIO5	EPWM3_B	I2CA_SDA	OUTPUTXB AR3	MCANA_RX	CANA_RX	SPIA_PTE	FSITXA_D1	CLB_OUTP UTXBAR5	SCIA_RX	HIC_A7	HIC_D4	EPWM1_B
				MCAN_RX		SPIA_STE						HIC_D15

表 3-15. GPIO 多重化ピン (続き)

0	1	2	3	5	6	7	9	10	11	13	14	15
GPIO6	EPWM4_A	OUTPUTXB AR4	SYNCOUT	EQEP1_A		SPIB_POCI	FSITXA_D0		FSITXA_D1	USB0_IVBU SVALID	CLB_OUTP UTXBAR8	EPWM2_A
						SPIB_SOMI				HIC_NBE1		HIC_D14
GPIO7	EPWM4_B	EPWM2_A	OUTPUTXB AR5	EQEP1_B		SPIB_PICO	FSITXA_CL K	CLB_OUTP UTXBAR2	SCIA_TX	HIC_A6	MCANA_TX	EPWM2_B
						SPIB_SIMO						
GPIO8	EPWM5_A		ADCSOCAO	EQEP1_STR OBE	SCIA_TX	SPIA_PICO	I2CA_SCL	FSITXA_D1	CLB_OUTP UTXBAR5	EPWM11_A	FSITXA_TD M_CLK	HIC_D8
						SPIA_SIMO				HIC_A0		
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXB AR6	EQEP1_IND EX	SCIA_RX	SPIA_CLK	I2CA_SCL	FSITXA_D0	LINA_RX	PMBUSA_S CL	I2CB_SCL	EQEP3_B
									LINB_RX	HIC_BASES ELO		HIC_NRDY
GPIO10	EPWM6_A		ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_POCI	I2CA_SDA	FSITXA_CL K	LINA_TX	EQEP3_STR OBE	FSITXA_TD M_D0	CLB_OUTP UTXBAR4
						SPIA_SOMI			LINB_TX	HIC_NWE		
GPIO11	EPWM6_B	MCANA_RX	OUTPUTXB AR7	EQEP1_B	SCIB_RX	SPIA_PTE	FSIRXA_D1	LINA_RX	EQEP2_A	SPIA_PICO	HIC_D6	EQEP3_IND EX
						SPIA_STE		LINB_RX		SPIA_SIMO		HIC_NBE0
GPIO12	EPWM7_A		MCANA_RX	EQEP1_STR OBE	SCIB_TX	PMBUSA_C TL	FSIRXA_D0	LINA_TX	SPIA_CLK	CANA_RX	HIC_D13	HIC_INT
			MCAN_RX					LINB_TX				
GPIO13	EPWM7_B		MCANA_TX	EQEP1_IND EX	SCIB_RX	PMBUSA_A LERT	FSIRXA_CL K	LINA_RX	SPIA_POCI	CANA_TX	HIC_D11	HIC_D5
			MCAN_TX					LINB_RX				
GPIO14	EPWM8_A	SCIB_TX		I2CB_SDA	OUTPUTXB AR3	PMBUSA_S DA	SPIB_CLK	EQEP2_A	LINA_TX	EPWM3_A	CLB_OUTP UTXBAR7	USB0_ODP DAT
									LINB_TX			HIC_D15
GPIO15	EPWM8_B	SCIB_RX		I2CB_SCL	OUTPUTXB AR4	PMBUSA_S CL	SPIB_PTE	EQEP2_B	LINA_RX	EPWM3_B	CLB_OUTP UTXBAR6	USB0_ODM SE0
							SPIB_STE		LINB_RX			HIC_D12
GPIO16	SPIA_PICO		OUTPUTXB AR7	EPWM9_A	SCIA_TX	SD1_D1	EQEP1_STR OBE	PMBUSA_S CL	XCLKOUT	EQEP2_B	SPIB_POCI	EQEP3_STR OBE
	SPIA_SIMO			EPWM5_A							SPIB_SOMI	HIC_D1
GPIO17	SPIA_POCI		OUTPUTXB AR8	EPWM9_B	SCIA_RX	SD1_C1	EQEP1_IND EX	PMBUSA_S DA	MCANA_TX		EPWM6_A	HIC_D2
	SPIA_SOMI			EPWM5_B					CANA_TX			
GPIO18	SPIA_CLK	SCIB_TX	MCANB_RX	EPWM6_A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_C TL	XCLKOUT	LINA_TX	FSITXA_TD M_CLK	EQEP3_IND EX
			CANA_RX							LINB_TX		HIC_INT

表 3-15. GPIO 多重化ピン (続き)

0	1	2	3	5	6	7	9	10	11	13	14	15
GPIO19	SPIA_PTE	SCIB_RX	MCANB_TX	EPWM6_B	I2CA_SDA	SD1_C2	EQEP2_B	PMBUSA_A LERT	CLB_OUTP UTXBAR1	LINA_RX	FSITXA_TD M_D0	HIC_NBE0
	SPIA_STE		CANA_TX							LINB_RX		
GPIO20	EQEP1_A			EPWM12_A	SPIB_PICO	SD1_D3	MCANA_TX	ADCE_EXT MUXSEL0	I2CA_SCL			SCIC_TX
					SPIB_SIMO		MCAN_TX					
GPIO21	EQEP1_B			EPWM12_B	SPIB_POCI	SD1_C3	MCANA_RX	ADCE_EXT MUXSEL1	I2CA_SDA			SCIC_RX
					SPIB_SOMI		MCAN_RX					
GPIO22	EQEP1_STR OBE		SCIB_TX		SPIB_CLK	SD1_D4	LINA_TX	CLB_OUTP UTXBAR1	LINA_TX	HIC_A5	EPWM4_A	EQEP3_A
GPIO23	EQEP1_IND EX								SCIB_RX			
		SPIB_STE	LINA_RX	LINB_RX								
GPIO24	OUTPUTXB AR1	EQEP2_A	SPIA_PTE	EPWM8_A	SPIB_PICO	SD2_D1	LINA_TX	PMBUSA_S CL	SCIA_TX	ERRORSTS	EPWM9_A	HIC_D3
					SPIB_SIMO		LINB_TX					
GPIO25	OUTPUTXB AR2	EQEP2_B		EQEP1_A	SPIB_POCI	SD2_C1	FSITXA_D1	PMBUSA_S DA	SCIA_RX	EQEP3_A	HIC_BASES EL0	
					SPIB_SOMI							
GPIO26	OUTPUTXB AR3	EQEP2_IND EX		OUTPUTXB AR3	SPIB_CLK	SD2_D2	FSITXA_D0	PMBUSA_C TL	I2CA_SDA	EQEP3_B	HIC_D0	HIC_A1
GPIO27	OUTPUTXB AR4	EQEP2_STR OBE		OUTPUTXB AR4	SPIB_PTE	SD2_C2	FSITXA_CL K	PMBUSA_A LERT	I2CA_SCL	EQEP3_STR OBE	HIC_D1	HIC_A4
			SPIB_STE									
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXB AR5	EQEP1_A	SD2_D3	EQEP2_STR OBE	LINA_TX	SPIB_CLK	ERRORSTS	I2CB_SDA	HIC_NOE
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXB AR6	EQEP1_B	SD2_C3	EQEP2_IND EX	LINA_RX	SPIB_PTE	ERRORSTS	I2CB_SCL	HIC_NCS
GPIO30	CANA_RX		SPIB_PICO	OUTPUTXB AR7	EQEP1_STR OBE	SD2_D4	FSIRXA_CL K	MCANA_RX	EPWM1_A			
								SPIB_SIMO		MCAN_RX		
GPIO31	CANA_TX		SPIB_POCI	OUTPUTXB AR8	EQEP1_IND EX	SD2_C4	FSIRXA_D1	MCANA_TX	EPWM1_B		HIC_D10	
			SPIB_SOMI					MCAN_TX				
GPIO32	I2CA_SDA	EQEP1_IND EX	SPIB_CLK	EPWM8_B	LINA_TX	SD1_D2	FSIRXA_D0	MCANB_TX	PMBUSA_S DA	ADCSOCBO		HIC_INT
								CANA_TX				
GPIO33	I2CA_SCL		SPIB_PTE	OUTPUTXB AR4	LINA_RX	SD1_C2	FSIRXA_CL K	MCANB_RX	EQEP2_B	ADCSOCAO	SD1_C1	SCIC_RX
			SPIB_STE					CANA_RX				HIC_D0
GPIO34	OUTPUTXB AR1				PMBUSA_S DA					HIC_NBE1	I2CB_SDA	HIC_D9
GPIO35	SCIA_RX				SPIA_POCI					I2CA_SDA	MCANB_RX	PMBUSA_S CL
			CANA_RX									

表 3-15. GPIO 多重化ピン (続き)

0	1	2	3	5	6	7	9	10	11	13	14	15
GPIO37	OUTPUTXB AR2	SPIA_PTE	I2CA_SCL	SCIA_TX	MCANB_TX CANA_TX	LINA_TX	EQEP1_B	PMBUSA_A LERT	EPWM5_A		HIC_NRDY	TDO
GPIO39					MCAN_RX	FSIRXA_CL K	EQEP2_IND EX		CLB_OUTP UTXBAR2	SYNCOUT	EQEP1_IND EX	HIC_D7
GPIO40	SPIB_PICO SPIB_SIMO		EMU0	EPWM2_B	PMBUSA_S DA	FSIRXA_D0	SCIB_TX	EQEP1_A	LINA_TX LINB_TX		CLB_OUTP UTXBAR4 HIC_NBE1	EQEP3_STR OBE HIC_D5
GPIO41	EPWM7_A		EMU1	EPWM2_A	PMBUSA_S CL	FSIRXA_D1	SCIB_RX	EQEP1_B	LINA_RX LINB_RX	EPWM12_B HIC_A4	SPIB_POCI SPIB_SOMI	HIC_D12
GPIO42		LINA_RX	OUTPUTXB AR5	PMBUSA_C TL	I2CA_SDA	SCIC_RX		EQEP1_STR OBE	CLB_OUTP UTXBAR3		HIC_D2	HIC_A6
GPIO43			OUTPUTXB AR6	PMBUSA_A LERT	I2CA_SCL	SCIC_TX	PMBUSA_A LERT	EQEP1_IND EX	CLB_OUTP UTXBAR4	SD2_D3	HIC_D3	HIC_A7
GPIO44			OUTPUTXB AR7	EQEP1_A	PMBUSA_S DA	FSITXA_CL K	PMBUSA_C TL	CLB_OUTP UTXBAR3	FSIRXA_D0	HIC_D7	LINA_TX LINB_TX	HIC_D5
GPIO45			OUTPUTXB AR8			FSITXA_D0	PMBUSA_A LERT	CLB_OUTP UTXBAR4		SD2_C3		HIC_D6
GPIO46			LINA_TX	MCANA_TX MCAN_TX		FSITXA_D1	PMBUSA_S DA			SD2_C4		HIC_NWE
GPIO47			LINA_RX	MCANA_RX MCAN_RX		CLB_OUTP UTXBAR2	PMBUSA_S CL			SD2_D4	FSITXA_TD M_CLK	HIC_A6
GPIO48	OUTPUTXB AR3		CANA_TX	MCANA_TX	SCIA_TX	SD1_D1	PMBUSA_S DA					HIC_A7
GPIO49	OUTPUTXB AR4		CANA_RX	MCANA_RX	SCIA_RX	SD1_C1	LINA_RX			SD2_D1	FSITXA_D0	HIC_D2
GPIO50	EQEP1_A			MCANA_TX MCAN_TX	SPIB_PICO SPIB_SIMO	SD1_D2	I2CB_SDA			SD2_D2	FSITXA_D1	HIC_D3
GPIO51	EQEP1_B			MCANA_RX MCAN_RX	SPIB_POCI SPIB_SOMI	SD1_C2	I2CB_SCL			SD2_D3	FSITXA_CL K	HIC_D6
GPIO52	EQEP1_STR OBE			CLB_OUTP UTXBAR5	SPIB_CLK	SD1_D3	SYNCOUT			SD2_D4	FSIRXA_D0	HIC_NWE
GPIO53	EQEP1_IND EX			CLB_OUTP UTXBAR6	SPIB_PTE SPIB_STE	SD1_C3	ADCSOCAO	MCANB_RX CANA_RX		SD1_C1	FSIRXA_D1	
GPIO54	SPIA_PICO SPIA_SIMO			EQEP2_A	OUTPUTXB AR2	SD1_D4	ADCSOCBO	LINA_TX LINB_TX		SD1_C2	FSIRXA_CL K	FSITXA_TD M_D1

表 3-15. GPIO 多重化ピン (続き)

0	1	2	3	5	6	7	9	10	11	13	14	15
GPIO55	SPIA_POCI			EQEP2_B	OUTPUTXB AR3	SD1_C4	ERRORSTS	LINA_RX		SD1_C3		HIC_A0
	SPIA_SOMI							LINB_RX				
GPIO56	SPIA_CLK	CLB_OUTP UTXBAR7	MCANA_TX	EQEP2_STR OBE	SCIB_TX	SD2_D1	SPIB_PICO	I2CA_SDA	EQEP1_A	SD1_C4	FSIRXA_D1	HIC_D6
			MCAN_TX									
GPIO57	SPIA_PTE	CLB_OUTP UTXBAR8	MCANA_RX	EQEP2_IND EX	SCIB_RX	SD2_C1	SPIB_POCI	I2CA_SCL	EQEP1_B		FSIRXA_CL K	HIC_D4
	SPIA_STE		MCAN_RX									
GPIO58				OUTPUTXB AR1	SPIB_CLK	SD2_D2	LINA_TX	MCANB_TX	EQEP1_STR OBE	SD2_C2	FSIRXA_D0	HIC_NRDY
							CANA_TX					
GPIO59				OUTPUTXB AR2	SPIB_PTE	SD2_C2	LINA_RX	MCANB_RX	EQEP1_IND EX	SD2_C3	FSITXA_TD M_D1	
					SPIB_STE			CANA_RX				
GPIO60	EPWM12_B		MCANA_TX	OUTPUTXB AR3	SPIB_PICO	SD2_D3				SD2_C4		HIC_A0
			MCAN_TX		SPIB_SIMO							
GPIO61			MCANA_RX	OUTPUTXB AR4	SPIB_POCI	SD2_C3					MCANB_RX	
			MCAN_RX		SPIB_SOMI		CANA_RX					
GPIO62	EPWM10_A	OUTPUTXB AR3		MCANA_TX	SCIA_TX		PMBUSA_S DA					USB0_OIDP ULLUP
GPIO63	EPWM10_B	OUTPUTXB AR4		MCANA_RX	SCIA_RX		LINA_RX					USB0_OSPE ED
GPIO224	EPWM11_B	SD2_D3		OUTPUTXB AR3	SPIA_PICO		EPWM1_A	MCANA_TX	EQEP1_A	ADCE_EXT MUXSEL3	SCIC_TX	
GPIO226	EPWM10_B	SD2_D4	LINA_RX	EPWM6_A	SPIA_CLK		EPWM1_B		EQEP1_STR OBE	ADCE_EXT MUXSEL1	SCIC_RX	
GPIO227	I2CB_SCL	SD1_C3	EPWM3_A	OUTPUTXB AR1	EPWM2_B							
GPIO228	EPWM10_A	SD2_C1	ADCSOAO	MCANA_TX	SPIA_POCI		EPWM2_B		EQEP1_B	ADCE_EXT MUXSEL0		
GPIO230	I2CB_SDA	SD1_C4	EPWM3_B	MCANA_RX	EPWM2_A	I2CA_SDA	PMBUSA_S CL					
GPIO242	EPWM11_A	SD2_D2		OUTPUTXB AR2	SPIA_PTE		EPWM4_A	MCANA_RX	EQEP1_IND EX	ADCE_EXT MUXSEL2		
GPIO247	EPWM12_B											
GPIO253	EPWM12_A											
AIO208												
AIO209												
AIO210												
AIO224		SD2_D3										HIC_A3

表 3-15. GPIO 多重化ピン (続き)

0	1	2	3	5	6	7	9	10	11	13	14	15
AIO225		SD2_C2										HIC_NWE
AIO226		SD2_D4										HIC_A1
AIO227		SD1_C3										HIC_NBE0
AIO228		SD2_C1										HIC_A0
AIO229												
AIO230		SD1_C4										HIC_BASES EL2
AIO231		SD1_C1										HIC_BASES EL1
AIO232		SD1_D4										HIC_BASES EL0
AIO233		SD2_D1										HIC_A4
AIO234												
AIO235												
AIO236												
AIO237		SD1_D2										HIC_A6
AIO238		SD2_C3										HIC_NCS
AIO239		SD1_D1										HIC_A5
AIO240		SD2_C1										HIC_NBE1
AIO241		SD2_C1										HIC_NBE1
AIO242		SD2_D2										HIC_A2
AIO244		SD1_D3										HIC_A7
AIO245		SD1_C2										HIC_NOE
AIO247												
AIO248												
AIO249												
AIO251												
AIO252		SD2_C4										
AIO253												

3.9 アナログ多重化の変更

表 3-17 に、80 ピン PNA および 64 ピン PM パッケージにおける F28003x と F28P55x 間のアナログ マルチプレクサに存在する相違点と類似点を示します。表 3-18 に、100 PZ パッケージにおける F28003x と F28P55x 間のアナログ マルチプレクサに存在する相違点と類似点を示します。テーブルの凡例は表 3-16 です。ADCD、ADCE、PGA が追加されたことが主な変更点です。F28P55x にはさらに多くの AGPIO も搭載されています

表 3-16. マルチプレクサ凡例

色	説明
	マルチプレクサ機能は、両方のデバイスに共通です
	マルチプレクサ機能は、F28003x へのみ適用可能です
	マルチプレクサ機能は、F28P55x へのみ適用可能です

表 3-17. F28003x と F28P55x の 80 ピン PN/PNA と 64 ピン PM アナログ マルチプレクサの相違表

(F28003x ピン名)	パッケージピン		ADC					コンパレータ・サブシステム (MUX)				AIO/ AGPIO 入 力	
F28P55x のピン名	80 PN/PN A	64 PM	A	B	C	D	E	High 正	High 負	Low 正	Low 負		
VREFHI	20	16											
VREFLO	21	17	-	-	C13	-	-						
			A13	B13		D13	E13						
アナロググループ 1					CMP1								
(A6) A6/D14/E14	10	6	A6	-	-	D14	E14	CMP1 (HPMXSEL=2)		CMP1 (LPMXSEL=2)			AIO228
(A2/B6/C9) A2/B6/C9/ PGA1_INP	13	9	A2	B6	C9	-	-	CMP1 (HPMXSEL=0)		CMP1 (LPMXSEL=0)			AIO224
(A15/B9/C7) A15/B9/C7/ PGA1_INM	14	10	A15	B9	C7	-	-	CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP1 (LNMXSEL=0)		AIO233
(A11/B10/C0) A11/B10/C0/ PGA2_OUT	16	12	A11	B10	C0	-	-	CMP1 (HPMXSEL=1)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=1)	CMP1 (LNMXSEL=1)		AIO237
(A1/B7/ DACB_OUT) A1/B7/D11/ DACB_OUT ¹	18	14	A1	B7	-	D11	-	CMP1 (HPMXSEL=4)		CMP1 (LPMXSEL=4)			AIO232
アナロググループ 2					CMP2								
(A10/B1/C10) A10/B1/C10	29	25	A10	B1	C10	-	-	CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP2 (LNMXSEL=0)		AIO230
													GPIO230
アナロググループ 3					CMP3								
(B2/C6) B2/C6/E12	11	7	-	B2	C6	-	E12	CMP3 (HPMXSEL=0)		CMP3 (LPMXSEL=0)			AIO226
(A3/B3/C5/VDAC) A3/B3/C5/ PGA2_INP	12	8	A3	B3	C5	-	-	CMP3 (HPMXSEL=3) CMP3 (HPMXSEL=5)	CMP3 (HNMXSEL=0)	CMP3 (LPMXSEL=3) CMP3 (LPMXSEL=5)	CMP3 (LNMXSEL=0)		AIO242
(A14/B14/C4) A14/B14/C4/ PGA1_OUT	15	11	A14	B14	C4	-	-	CMP3 (HPMXSEL=4)		CMP3 (LPMXSEL=4)			AIO239
(A0/B15/C15/ DACA_OUT)	15	11	A0	B15	C15	-	-	CMP3 (HPMXSEL=2)		CMP3 (LPMXSEL=2)			AIO231
アナロググループ 4					CMP4								
(A7/C3) A7/B30/C3/D12/E3 0	23	19	A7	B30	C3	D12	E30	CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)		AIO245
- A8/B0/C11/ PGA3_OUT	24	20	A8	B0	C11	-	-	CMP4(HPMXSEL=4)		CMP4(LPMXSEL=4)			AIO241
アナロググループ 2/3					CMP2/3								

表 3-17. F28003x と F28P55x の 80 ピン PN/PNA と 64 ピン PM アナログ マルチプレクサの相違表 (続き)

(F28003x ピン名)	パッケージピン		ADC					コンパレータ・サブシステム (MUX)				AIO/ AGPIO 入 力
F28P55x のピン名	80 PN/PN A	64 PM	A	B	C	D	E	High 正	High 負	Low 正	Low 負	
(A5/B12/C2) A5/B12/C2/ PGA2_INM	17	13	A5	B12	C2	-	-	CMP3 (HPMXSEL=1)CMP 2 (HPMXSEL=5)	CMP3 (HNMXSEL=1)	CMP3 (LPMXSEL=1)CMP 2 (LPMXSEL=5)	CMP3 (LNMXSEL=1)	AIO244/ AIO249
アナロググループ 2 および 4 の組み合わせ								CMP2/4				
(A12/C1) A12/C1/E11/ PGA3_INP	22	18	A12	-	C1	-	E11	CMP2 (HPMXSEL=1) CMP4 (HPMXSEL=2)	CMP2 (HNMXSEL=1)	CMP2 (LPMXSEL=1) CMP4 (LPMXSEL=2)	CMP2 (LNMXSEL=1)	AIO238/ AIO248
(A8/B0/C11) -	24	20	A8	B0	C11	-	-	CMP2 (HPMXSEL=4) CMP4 (HPMXSEL=4)		CMP2 (LPMXSEL=4) CMP4 (LPMXSEL=4)		AIO241 -
A4/B8/C14	27	23	A4	B8	C14	-	-	CMP2 (HPMXSEL=0) CMP4 (HPMXSEL=3)	CMP4 (HNMXSEL=0)	CMP2 (LPMXSEL=0) CMP4 (LPMXSEL=3)	CMP4 (LNMXSEL=0)	AIO225
(A9/B4/C8) A9/B4/C8	28	24	A9	B4	C8	-	-	CMP2 (HPMXSEL=2) CMP4 (HPMXSEL=0)		CMP2 (LPMXSEL=2) CMP4 (LPMXSEL=0)		AIO236/ AIO227 AIO236/ AGPIO227
その他のアナログ												
B5 A17/B17/C17	33	-	-	B5	-	-	-	CMP1 (HPMXSEL=5)		CMP1 (LPMXSEL=5)		AGPIO20
B11 A18/B18/C18	34	-	-	B11	-	-	-	CMP4 (HPMXSEL=5)		CMP4 (LPMXSEL=5)		AGPIO21
- A19/B19/C19	35	29	-	-	-	-	-					GPIO13 AGPIO13
- A20/B20/C20	36	30	-	-	-	-	-					GPIO12 AGPIO12
- A24/D0/E0	37	31	-	-	-	-	-					GPIO11 AGPIO11
- B24/D1/E1	38	32	-	-	-	-	-					GPIO33 AGPIO33
- C24/D2/E2	39	33	-	-	-	-	-					GPIO16 AGPIO16
- A25/D3/E3	40	34	-	-	-	-	-					GPIO17 AGPIO17
- B25/D4/E4	41	35	-	-	-	-	-					GPIO24 AGPIO24
PGA1_OUT_INT(内部)								CMP1 (HPMXSEL=6)		CMP1 (LPMXSEL=6)		
PGA2_OUT_INT(内部)								CMP2 (HPMXSEL=6)		CMP2 (LPMXSEL=6)		
PGA3_OUT_INT(内部)								CMP3 (HPMXSEL=6)		CMP3 (LPMXSEL=6)		
温度センサ (内部)	-	-	-	-	C12	-	-	CMP2 (HPMXSEL=7)				

1. F28P550/9 デバイスには、バッファ付き DAC である DACAOUT 1個のみが搭載されています。しかし、このピン CMPSS1_DACL には、ローサイド コンパレータ DAC からバッファ付き出力を出力するオプションがあります。F28P551/2/9 には 2 個のバッファ付き DAC、DACAOUT、DACBOUT が搭載されているため、F28003x と整合しています。

表 3-18. F28003x と F28P55x 100 ピン PZ アナログ マルチプレクサの相違表

(F28003x ピン名)	パッケージ ページ ピン	ADC					コンパレータ・サブシステム (MUX)				AIO/ AGPIO 入力
F28P55x のピン名	100 PZ	A	B	C	D	E	High 正	High 負	Low 正	Low 負	
VREFHI	24/25										
VREFLO	26/27	- A13	- B13	C13	- D13	- E13					
アナロググループ 1						CMP1					
(A6)					-	-					AIO228
A6/D14/E14	14	A6	-	-	D14	E14	CMP1 (HPMXSEL=2)		CMP1 (LPMXSEL=2)		AGPIO2 28
(A2/B6/C9)					-	-					AIO224
A2/B6/C9/ PGA1_INP	17	A2	B6	C9	-	-	CMP1 (HPMXSEL=0)		CMP1 (LPMXSEL=0)		AGPIO2 24
(B9/C7)		-			-	-					AIO233
A3/B9/C7/ PGA1_INM	18	A3	B9	C7	-	-	CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP1 (LNMXSEL=0)	AGPIO2 23
(A11/B10/C0)					-	-					AIO237
A11/B10/C0/ PGA2_OUT	20	A11	B10	C0	-	-	CMP1 (HPMXSEL=1)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=1)	CMP1 (LNMXSEL=1)	
(A1/B7/ DACB_OUT)					-	-					AIO232
A1/B7/D11/ DACB_OUT ¹	22	A1	B7	-	D11	-	CMP1 (HPMXSEL=4)		CMP1 (LPMXSEL=4)		
B5	32		B5	-	-	-					AIO252
B5/D15/E15/ PGA3_OUT	32	-			D15	E15	CMP1 (HPMXSEL=5)		CMP1 (LPMXSEL=5)		
アナロググループ 2						CMP2					
A10/B1/C10	40	A10	B1	C10	-	-	CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP2 (LNMXSEL=0)	AIO230 GPIO23 0
(A12)					-	-					AIO238
A12/C5	28	A12	-	C5	-	-	CMP2 (HPMXSEL=1)	CMP2 (HNMXSEL=1)	CMP2 (LPMXSEL=1)	CMP2 (LNMXSEL=1)	
A4/B8	36	A4	B8	-	-	-	CMP2 (HPMXSEL=0)		CMP2 (LPMXSEL=0)		AIO225
A9	38	A9	-	-	-	-	CMP2 (HPMXSEL=2)		CMP2 (LPMXSEL=2)		AIO227 AGPIO2 27
A5	35	A5	-	-	-	-	CMP2(HPMXSEL=5)		CMP2(LPMXSEL=5)		AIO249
アナロググループ 3						CMP3					
(B2/C6)					-	-					AIO226
B2/C6/E12	15	-	B2	C6	-	E12	CMP3 (HPMXSEL=0)		CMP3 (LPMXSEL=0)		GPIO22 6
(B3/VDAC)					-	-					AIO242
B3/PGA2_INP	16	-	B3	-	-	-	CMP3 (HPMXSEL=3)	CMP3 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	GPIO24 2
(A14/B14/C4)					-	-					AIO239
A14/B14/C4/ PGA1_OUT	19	A14	B14	C4	-	-	CMP3 (HPMXSEL=4)		CMP3 (LPMXSEL=4)		

表 3-18. F28003x と F28P55x 100 ピン PZ アナログ マルチプレクサの相違表 (続き)

(F28003x ピン名)	パッケージ ピン	ADC					コンパレータ・サブシステム (MUX)				AIO/ AGPIO 入力
		F28P55x のピン名	100 PZ	A	B	C	D	E	High 正	High 負	
(B12/C2) B12/C2/ PGA2_INM	21	-	B12	C2	-	-	CMP3 (HPMXSEL=1)	CMP3 (HNMXSEL=1)	CMP3 (LPMXSEL=1)	CMP3 (LNMXSEL=1)	AIO244
(A0/C15/ DACA_OUT) A0/B15/C15/ DACA_OUT	23	A0	- B15	C15	-	-	CMP3 (HPMXSEL=2)		CMP3 (LPMXSEL=2)		AIO231
(B9/C7) A3/B9/C7/ PGA1_INM	18	- A3	B9	C7	-	-	- CMP3 (HPMXSEL=5)		- CMP3 (LPMXSEL=5)		AIO233 AGPIO2 23
アナロググループ 4						CMP4					
(A7/C3) A7/B30/C3/D1 2/E30	31	A7	- B30	C3	- D12	- E30	CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)	AIO245
(C1) C1/E11/ PGA3_INP	29	-	-	C1	-	E11	CMP4 (HPMXSEL=2)		CMP4 (LPMXSEL=2)		AIO241
B4/C8	39	-	B4	C8	-	-	CMP4 (HPMXSEL=0)		CMP4 (LPMXSEL=0)		AIO236
B11 B11/D16/E16/ PGA3_INM	30	-	B11	-	-	-	CMP4 (HPMXSEL=5)		CMP4 (LPMXSEL=5)		AIO251
その他のアナログ											
B5 A17/B17/C17	48	-	B5	-	-	-					AGPIO2 0
B11 A18/B18/C18	49	-	B11	-	-	-					AGPIO2 1
- A19/B19/C19	50	-	-	-	-	-					GPIO13 AGPIO1 3
- A20/B20/C20	51	-	-	-	-	-					GPIO12 AGPIO1 2
- A24/D0/E0	52	-	-	-	-	-					GPIO11 AGPIO1 1
- B24/D1/E1	53	-	B24	-	D1	E1					GPIO33 AGPIO3 3
- C24/D2/E2	54	-	-	C24	D2	E2					GPIO16 AGPIO1 6
- A25/D3/E3	55	-	-	-	-	-					GPIO17 AGPIO1 7
- B25/D4/E4	56	-	B25	-	D4	E4					GPIO24 AGPIO2 4

表 3-18. F28003x と F28P55x 100 ピン PZ アナログ マルチプレクサの相違表 (続き)

(F28003x ピン名)	パッケージ ページ ピン	ADC					コンパレータ・サブシステム (MUX)				AIO/ AGPIO 入力
F28P55x のピン名	100 PZ	A	B	C	D	E	High 正	High 負	Low 正	Low 負	
PGA1_OUT_I NT(内部)							CMP1 (HPMXSEL=6)		CMP1 (LPMXSEL=6)		
PGA2_OUT_I NT(内部)							CMP2 (HPMXSEL=6)		CMP2 (LPMXSEL=6)		
PGA3_OUT_I NT(内部)							CMP3 (HPMXSEL=6)		CMP3 (LPMXSEL=6)		
温度センサ (内部)	-	-	-	C12	-	-	CMP2 (HPMXSEL=7)				

1. F28P550/9 デバイスには、バッファ付き DAC である DACAOUT のみが搭載されています。しかし、このピン CMPSS1_DACL には、ローサイド コンパレータ DAC からバッファ付き出力を出力するオプションがあります。F28P551/2/9 には 2 個のバッファ付き DAC、DACAOUT、DACBOUT が搭載されているため、F28003x と整合しています。

4 F28003x から F28P55x へのアプリケーション コードの移行

以下のセクションでは、F28003x から F28P55x に移行する際のコードの変更について説明します。F28P55x の新機能のソフトウェア サンプルについても、このセクションで説明します。

4.1 C2000Ware ヘッダ ファイル

F28003x と F28P55x 両方のデバイスのヘッダ ファイルは、device_support サブディレクトリの C2000Ware にあります。

4.2 リンカ コマンド ファイル

F28003x と F28P55x 両方のデバイスのリンカ コマンド ファイルは、device_support サブディレクトリの C2000Ware にあります。F28003x と F28P55x はいずれも、組込みアプリケーション バイナリ インターフェイス (EABI) 形式にコンパイルする必要があります。セクション名も EABI 規格に準拠する必要があります。

4.3 C2000Ware の例

C2000Ware は、F28003x と F28P55x 両方のデバイスに固有のサンプルを提供しています。

5 F28P55x の新機能に関連する具体的な使用事例

このセクションでは、新機能をサポートするため、F28P55x デバイスの C2000Ware の新たな例の概要を示します。

5.1 PGA

C2000Ware には、F28P55x デバイスの PGA の新機能を示す複数のサンプルが含まれています。

5.2 USB

C2000Ware には、F28P55x に搭載されている USB モジュールをサポートするサンプルが付属しています

6 EABI サポート

F28003x と F28P55x デバイスはいずれも、バイナリの実行可能出力として、組込みアプリケーション バイナリ インターフェイス (EABI) 形式を使用します。TI が提供している F28003x および F28P55x ライブラリは、すべて EABI としてリリースされます。

6.1 フラッシュ API

F28003x には、3 個のフラッシュ バンクがあります。F28P55x には、最大 5 個のフラッシュ バンクがあります。F28003x と F28P55x の両方のフラッシュ API ライブラリは、EABI 形式でコンパイルされています。F28003x と F28P55x のセクタサイズは異なることに注意してください。また、フラッシュのウェイト状態の構成要件は、2 個のデバイス間で異なります。これらの機能は、表 6-1 にまとめられています。

表 6-1. フラッシュ API の相違点

特長	F28003x	F28P55x
ライブラリ名	FlashAPI_F28003x_FPU32.lib	FlashAPI_F28P55x_FPU32.lib
ライブラリ実行可能出力	EABI	EABI
消去、ブランク チェック、プログラム、検証	3 個のバンクで動作します	5 個のバンクで動作します
セクタ サイズ	4K x 16 ビットワード	1K x 16 ビットワード
フラッシュのウェイト状態	5 (120MHz)	3 (150MHz)
フラッシュ API のメジャー バージョン	1	4
フラッシュ API のマイナー バージョン	58	0

7 参考資料

- テキサス インストルメント: [TMS320F28P55x マイコン テクニカル リファレンス マニュアル](#)
- テキサス インストルメント: [『TMS320F28003x マイコン テクニカル リファレンス マニュアル』](#)
- テキサス インストルメント: [『TMS320F28P55x マイコン データシート』](#)
- テキサス インストルメント: [『TMS320F28003x マイコン データシート』](#)

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from SEPTEMBER 30, 2024 to MAY 30, 2026 (from Revision A (September 2024) to Revision B (May 2026))

	Page
• 移行ガイドに F28P551、552、558 を追加.....	1
• F28P551/552/558 の情報で 図 1-1 を更新。.....	3
• F28P551/552/558 の情報で 表 1-1 を更新。.....	3
• すべてのピン配置図に F28P551/552/558 を追加.....	6
• 命名規則を「Tiny Engine NPU」に変更。.....	17
• 表 3-6 に P551/552/558 を追加.....	23
• 表 3-12 を追加.....	27
• 表 3-13 に P551/552/558 を追加.....	32

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月