

Design Guide: TIPA-010000

AMD® UltraScale+™ MPSoC 向け Power Delivery アーキテクチャの概念実証



説明

この設計ガイドでは、Advanced Micro Devices® (AMD) UltraScale+™ マルチ プロセッサ システム オン チップ (MPSoC) フィールド プログラマブル ゲート アレイ (FPGA) を中心とする、電源ツリーのコンセプトリファレンス デザインを紹介し、この電源ツリーは新しい TI モジュールと MagPack™ テクノロジーを活用して、制約の厳しいボードのサイズを最小化すると同時に、効率、性能、コストの競争力を維持しています。

リソース

TIPA-010000	デザイン フォルダ
TPSM8F7420	プロダクト フォルダ
TPSM843B22	プロダクト フォルダ
TPSM82816	プロダクト フォルダ
TPSM8287A15M	プロダクト フォルダ



テキサス・インスツルメンツの™ E2E サポート エキスパートにお問い合わせください。

特長

- 一般的な入力電圧 (12V と 5V) の電源ツリー
- コンパクトな電源ツリーにより、合計サイズ最小 159mm² を実現
- MagPack™ テクノロジーと TI の最新パワー モジュールを活用
- 最大 90% の効率

アプリケーション

- レーダー
- 電子戦
- 追尾フロント エンド

1 システムの説明

AMD UltraScale+™ MPSoC FPGA ファミリーは複数の型番で構成されており、それぞれの消費電流は互いに異なります。そのため、TI の電源ツリーまたは電源設計ネットワーク (PDN) に関する推奨事項に変更が生じます。この設計ガイドでは、電圧レギュレータ モジュール (VRM) の推奨参照テーブル (LUT) について記載されており、サイズと効率を拡張するさまざまな電流レベルで代替の TI デバイスを選択する際に役立ちます。MPSoC FPGA ファミリーは、デュアル コアまたはクワッド コアの Arm™ Cortex™-A53 をチップに統合したコンパクトな低消費電力パッケージで、高性能リアルタイム データ処理を実現します。MPSoC FPGA を使用すると、複数のディスクリート チップをシングル ダイアプローチで置き換えることができ、基板の実装面積と消費電力を削減できます。

TI の広範な DC/DC スイッチング レギュレータ、シーケンサ、DDR メモリ パワー マネージメント IC (PMIC) 製品ラインアップは、航空宇宙 / 防衛 (A&D) 電源設計者向けに、サイズ、重量、消費電力、コスト (SWaP-c) の制約を満たしながらシステムレベルのトレード オフを実現する、幅広いデバイスを提供します。A&D 電源は、サイズに制約のある小型フォームファクタの設計が必要です。そのため、複雑なヒートシンク設計を回避するために高効率を実現します。TI の MagPack™ テクノロジーと新しいモジュールは、パッケージ内にインダクタを内蔵しているため、設計時間の短縮、ボード上のスペースの節約と同時に、効率の向上を実現できます。

2 システム概要

この設計ガイドでは、UltraScale+ MPSoC PDN を、12V または 5V の中間パワー レールから FPGA ポイント オブ ロー ド (PoL) へ供給する方法で供給します。TI の PDN は、最小レール電源統合を使用する UltraScale+ MPSoC FPGA XCZU9EG-2FFVB1156E をベースにしています。この設計では、AMD 電力推定カリキュレータまたは PDM を使用して電流を計算します。TI の PDN は、[セクション 2.1](#) に示す前提で、電源設計マネージャ (PDM) ツールを活用しています。

XCZU9EG-2FFVB1156E は、UltraScale+MPSoC 評価ボード (ZCU102) で使用します。この評価ボードに実装された PDN は、完全なパワー マネージメント アプローチを実装しており、非常にコンパクトな A&D 最終アプリケーションに実装するために必要な最小限のレール アプローチに統合されていません。この評価ボードは、テキサス インストルメンツが推奨する PDN のベースラインとして機能し、2 つの最小レール PDN 間の直接比較ではありません。

PMIC、LDO、および多段電源ツリーを活用できる設計もありますが、これらの概念実証設計では対象外です。この設計ガイドの設計は、シングル ステージ DC/DC 電源ツリー構成で、システム クロック、DDR PMIC、シーケンサと同期できる固定周波数の TI モジュールを示します。これらの設計は、高効率であり続ける小型フォーム ファクタの電源ツリー設計の出発点として使用できます。

2.1 FPGA 使用率の前提条件

PDM ツールは、PDM GUI 内に関連するすべての情報を .pwr 出力ファイルにエクスポートできます。関連する PDM 出力ファイルは、TI.com の「設計」フォルダにあります ([「リソース」](#)セクションを参照)。以下の前提条件を使用して、PDN に検出される最大電流レベルを計算します。

- クロック 320MHz
- ロジック: 70% 使用率 (LUT およびレジスタ)
 - LUT は、ロジック、シフトレジスタ、および分散 RAM として均等に分散され
- ブロック RAM: 100% 使用率 (RAM18DP + RAM36SDP_ECC)
- Ultra-RAM: 100% 使用率 (URAM288_ECC)
- DSP: 事前追加で 100% 使用率
- GTH: PDM 出力ファイルを参照
- I/O: I/O で最大 4A と仮定
- ハード IP ブロック: PDM 出力ファイルを参照
- PS: PDM 出力ファイルを参照
- ネットワーク オン チップ (NoC)、DDR メモリ コントローラ (DDRMC): PDM 出力ファイルを参照

2.2 ブロック図

図 2-1 に、産業用定格の固定周波数 TI モジュールを実装した 12V 入力 PDN を示します。シーケンサのオプションや、UltraScale+™ MPSoC ファミリの周辺で一般的なペリフェラルである LPDDR4 または DDR4 メモリに電力を供給します。

最大 7 つの VCCO レールは、電流レベルが異なるため、1V ~ 3.3V の範囲で変動できます。この分析では、各 VCCO に対して 4A を想定しています。VCCO は MPSoC FPGA の出力ドライバに電力を供給し、各レールの使用は、設計が実装するペリフェラルによって駆動され、これらの出力ドライバとのインターフェイスが可能になります。

TPSM8F7420 は、VCCO レールの可変実装で適切に機能するクワッド出力モジュールです。クワッド出力により、設計者は 7 つの VCCO レールすべてを実装し、VMCTAVCC のような別のレールに予備の 1 つの追加チャンネルを装備できます。他の VCCO レールのいずれかを使用しない場合は、電源設計ネットワークのサイズを増やすことなく、追加の TPSM8F7420 出力を使用できます。

図 2-1 の丸で囲まれた数字は、PDM ツールに従ってレールがシーケンシングされる順序であることを注意してください。EV デバイスを使用する場合にシーケンスされる 2 番目のレールは VCCINT_VCU レールであり、この例では EG デバイスを使用しているため、この例では省略します。

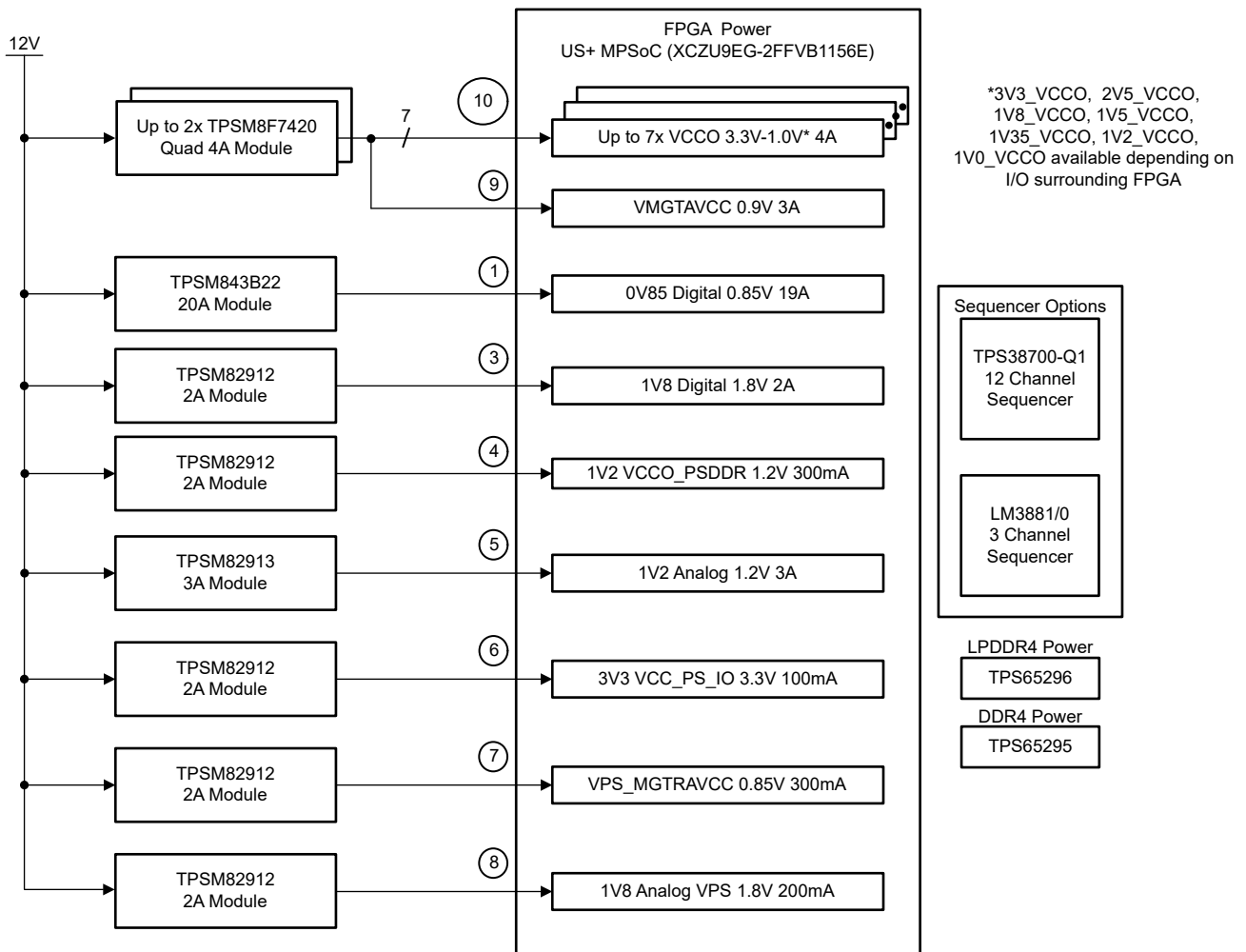


図 2-1. FPGA PoL PDN への 12V 入力電圧 (TI モジュール、シーケンシング、DDR 電源)

図 2-2 に、産業用定格の固定周波数 TI モジュールを使用した 5V 入力 PDN を示します。シーケンサのオプションや、UltraScale+™ MPSoC ファミリの周辺で一般的なペリフェラルである LPDDR4 または DDR4 メモリに電力を供給します。

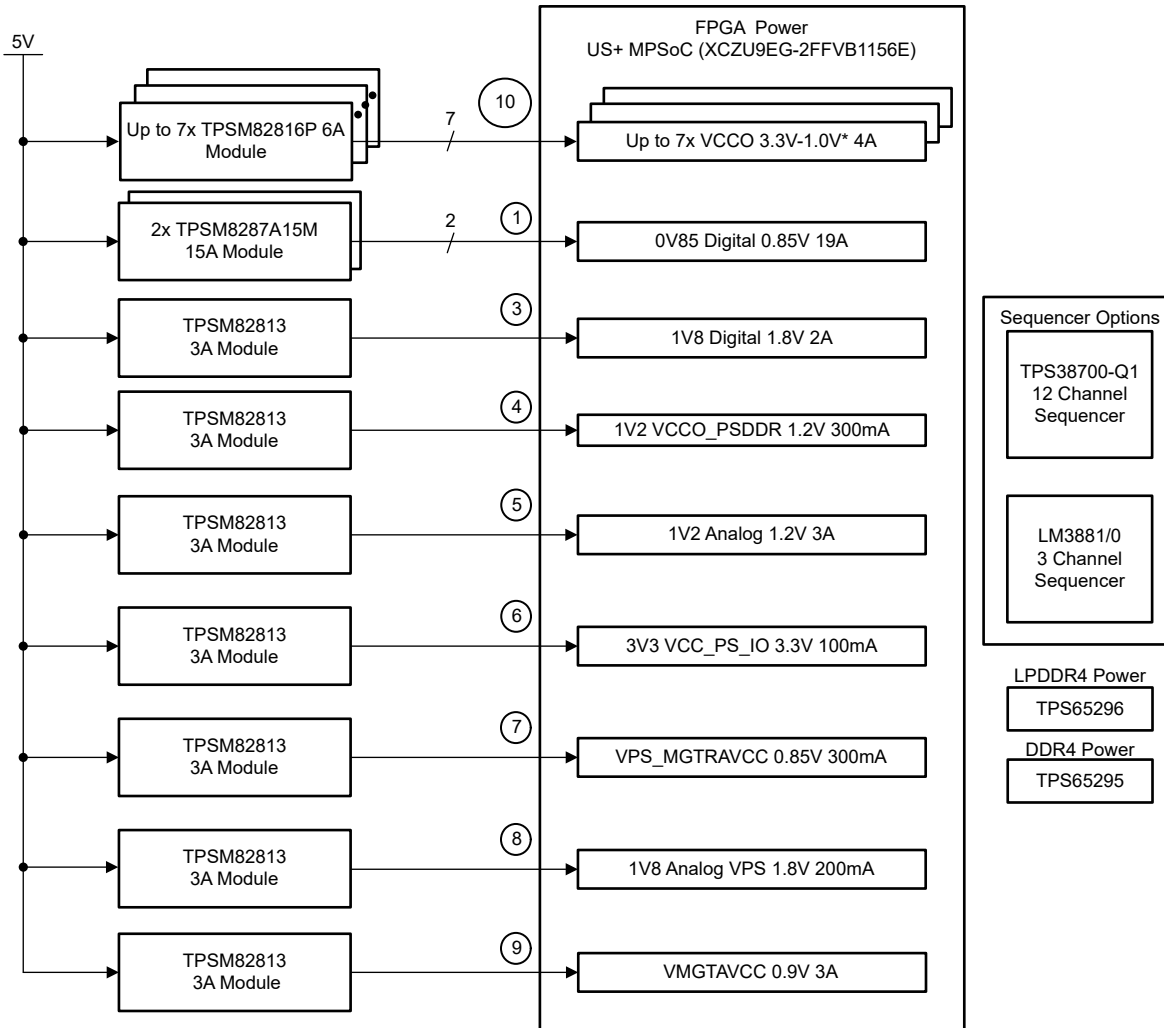


図 2-2. FPGA PoL PDN への 5V 入力電圧 (TI モジュール、シーケンシング、DDR 電源)

2.3 設計上の考慮事項

FPGA PDN を設計するには、各電源レールで予期される電流に対応できるデバイスを選択し、効率、サイズ、コストのバランスを取る柔軟性が必要です。VRM を選択する際にも、制御アーキテクチャが重要になります。TI のモジュールは、固定周波数制御アーキテクチャとコンスタントオンタイム (COT) 制御アーキテクチャのどちらにも、トレードオフが付きまっています。固定周波数デバイスは、VRM スイッチング周波数を外部クロックに同期できます。ただし、COT 制御デバイスは一般に、固定周波数デバイスに比べて過渡応答が高速であり、フットプリントが小さくなっています (詳細については、『[固定周波数 DCS-Control: クロック同期による高速過渡応答](#)』、Analog Design Journal を参照してください)。

設計のフレキシビリティに対するニーズは、電流レベルの変化、またはレギュレータのサイズを犠牲にして、効率の要求の増大が原因です。現在のレベルは、コンポーネントレベルの設計の過程を通じて、消費電力推定ツールの変更 (つまり、FPGA 利用率の変化、FPGA デバイスの変更など) に基づいて変化することがあります。さらに、電力消費と温度上昇を低減しようとするために、効率を向上させるために VRM 電流をディレーティングする必要があります。

以下の代替 VRM 推奨 LUT は、最大 300A の電流範囲に対してコストが優先度より低く、サイズと効率を向上させたデバイスへのリファレンスを示しています。以下の場合、代替のデバイスを選択するためにこれらの LUT を使用できます。

- 電流レベルは、この設計ガイドの PDN で想定されているものよりも高いか低いものです
- 効率を高めるために、電流ディレーティングがこの設計に適用されています
- PDN は、COT または固定周波数制御を活用できます

表 2-1 に、COT と固定周波数両方の制御レギュレータ アーキテクチャにおける電流範囲 (最大 300A) の、テキサス インスツルメンツの型番を示します (12V 入力を想定)。この表は、最新の TI モジュールを示したものです。モジュールが存在しない場合、MOSFET 内蔵コンバータ、またはコントローラと電力段というオプションを利用できます。また、この表には、標準的な産業用温度範囲である $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ ではなく、 $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 温度範囲に対応できる TI デバイスもオレンジ色で示されています。

表 2-1. 12V 入力電圧をサポートする代替の TI VRM

CURRENT	コンスタント オンタイム (COT) (高速過渡応答、小型サイズ、リップル許容可能)	固定周波数 (敏感なレールで優れたリップル性能)
200A–300A	TPS53689T + (8×) CSD965200	該当なし
140A–200A	(4 ×) TPS546E25	該当なし
100A–140A	(3×) TPS546E25、(4×) TPS546C25 (代替)	(2x) TPSM8D6C24 (最大 140A) / (4x) TPS546D24S (最大 160A) (代替)
50A–100A	(2×) TPS546E25、(3×) TPS546C25 (代替)	TPSM8D6B24、(1× ~ 2×) TPS546D24S (代替)
35A–50A	TPS546E25、(2×) TPS546C25 (代替)	TPSM8S6C24
24A–35A	TPS546C25	TPSM8F7620
18A–24A		TPSM843B22、TPSM843A26、TPSM843A22
6A–20A	TPS548B23	TPSM82916、TPSM8F7420 (代替)、TPSM8F7620 (代替)
4A–6A	TPS54J061	TPSM8F7420、TPS543421 (代替)
3A–4A		TPSM82913
2A–3A	TPSM82903	TPSM82912、TPS62912 (代替)
1A–2A	TPSM82902	
0A–1A	TPSM82901	
–55°C ~ 125°C の温度定格が利用可能		

表 2-2 に、5V 入力を想定した COT および固定周波数制御レギュレータ アーキテクチャの両方の電流範囲 (最大 300A) に対応する TI の型番を示します。この表は、最新の TI モジュールを示したものです。モジュールが存在しない場合、MOSFET 内蔵のコンバータまたはコントローラと、電力段というオプションが利用できます。また、この表では、標準的な産業用温度範囲である $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ ではなく、 $-55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 温度範囲に対応できるテキサス インスツルメンツのデバイス定格もオレンジ色で示されています。表内の車載グレードのデバイスは、太字で記載されています。

表 2-2. 5V 入力電圧をサポートする代替の TI VRM

CURRENT	COT	固定周波数
200A–300A	TPS53689T + (8×) CSD965200	(6×) TPS62893-Q1
50A–200A	(4 ×) TPS546E25	(2× ~ 6×) TPSM8287B30
15A–50A	TPS546E25、(2×)、TPS546C25 (代替)	(1× ~ 4×) TPSM8287A15M
6A–15A	TPS548B23	TPSM8287A15M
4A–6A	TPSM82866A、TPSM82866C	TPSM82816
3A–4A	TPSM82866A	TPSM82810
2A–3A	TPSM828303	TPSM82813
1A–2A	TPSM828302	TPSM82813、 TPS62442(-Q1) (デュアル出力)
0A–1A	TPSM828301	TPSM82813、 TPS62442(-Q1)
–55°C ~ 125°C の温度定格が利用可能		MagPack™ パッケージで提供: TPSM82830x ファミリ、TPSM8281x ファミリ、TPSM8286xx ファミリ、TPSM8287Bxx ファミリ
車載 (-Q1) 定格が入手可能		

3 システム設計理論

このセクションでは、XCZU9EG-2FFVB1156E FPGA をベースラインとして使用する電源レール向けに、TI の PDN と AMD の評価ボードとの比較を示します。

表 3-1 に、対応するデバイスのデータシートの効率曲線を見たときのインダクタや推定レール効率を含めた、既存の電源レールレギュレータ デバイスのサイズを示します。

電源レール全体の部品サイズは、評価ボードの回路図を検査すると、パワーレギュレータ、外部 FET、インダクタを対象にします。電源レールの合計サイズは、デカップリングコンデンサのサイズを考慮していません。レール効率の推定値は、600kHz のスイッチング周波数を想定しています。これはデータシートを評価する際の一般的なスイッチング周波数であり、推定される合計電力損失は 22W です。表内の電源名は、それぞれ評価ボードの電源名と PDM ツールの電源名に対応しています。

表 3-1. UltraScale+™ MPSoC 向け ZCU102 AMD® 評価ボード

電源名	電圧 (V)	電流 (A)	電源レール全体の部品サイズ (mm ²)	レール効率の推定
VCCINT (0V85_VCCINT)	0.85	40	325	84%
VCCBRAM (0V85_VCC_RAM_IO)	0.85	6	63	80%
VCCAUX (1V8 (デジタル))	1.8	3	54	89%
VCC1V2 (1V2_VCCO (デジタル))	1.2	2	91	85%
VCC3V3 (3V3_VCCO (デジタル))	3.3	5	84	92%
VADJ_FMC (1V8_VCCO (デジタル))	1.8	10	65	92%
MGTA VCC (0V9 (アナログ))	0.9	6	143	88%
MGTA VTT (1V2 (アナログ))	1.2	6	143	90%
MGTVCCAUX (1V8 (アナログ))	1.8	1	22	55%
VCCPSINTFP (0V85_PSFP (デジタル))	0.85	10	84	89%
VCCPSINTLP (0V85_PSLP (デジタル))	0.85	2	59	83%
VCCPSAUX (1V8_LPD (デジタル))	1.81	0.5	22	55%
VCCPSPLL (1V2_PSPLL (アナログ))	1.2	0.2	22	36%
MGTRAVCC (0V85_PS_GTR)	0.85	0.4	22	26%
MGTRAVTT (1V8_PS_GTR)	1.81	0.1	22	55%
DDR4_DIMM_VDDQ (1V2_VCCO_PSDDR)	1.2	6	84	83%
VCCOPS (1V8_VCCO_PS_IO)	1.8	4	84	89%
VCCOPS3 (1V8_VCCO_PS_IO)	1.81	0.3	22	55%
VCCPSDDRPLL (1V8_PSDDR_PLL)	1.81	0.1	22	55%
		合計	1,434mm²	85%

表 3-2 と表 3-3 に、それぞれ 12V 入力と 5V 入力に対応する TI の PDN を示します。AMD 電力推定ツールから同じ名前を使用して、最小レール構成で各 FPGA 電源レールを識別します。電源レール全体の部品サイズには、デカップリングコンデンサのサイズは考慮されていません。電流レベルは、AMD 電源設計マネージャを使用して計算されます。1V35_VCCO レールは UltraScale+™ MPSoC で使用できますが、このレールは主に低消費電力 DDR3L メモリとインターフェイスする I/O バンクに使用され、電源ツリーの全体的な効率とサイズにわずかな影響を与えるため、このレールは表に含まれていません。

表 3-2. FPGA PoL PDN への 12V 入力電圧 (デバイス サイズとレール効率の推定値)

PDM 電源名	電圧 (V)	電流 (A)	TI 製品型番	デバイス サイズ (mm ²)	レール効率の推定
3V3_VCCO	3.3	4	2 × TPSM8F7420 (6/8 の出力)	168	93%
2V5_VCCO	2.5	4			90%
1V8_VCCO	1.8	4			88%
1V5_VCCO	1.5	4			86%
1V2_VCCO	1.2	4			84%
1V0_VCCO	1	4			82%
0V85 デジタル	0.85	19	TPSM843B22	48.75	80%
1V8 デジタル	1.8	2	TPSM82912	24.75	86%
1V2 VCCO_PSDDR	1.2	0.3	TPSM82912	24.75	78%
1V2 アナログ	1.2	3	TPSM8F7420 (7/8 の出力)	該当なし	85%
3V3 VCC_PS_IO	3.3	0.1	TPSM82912	24.75	69%
VPS_MGTRAVCC	0.85	0.3	TPSM82912	24.75	71%
1V8 アナログ VPS	1.8	0.2	TPSM82912	24.75	75%
VMGTAVCC	0.9	3	TPSM8F7420 (8/8 の出力)	該当なし	81%
			合計	292mm²	85.6%

12V 入力 PDN の場合、推定電力損失は 12W です。効率は、1MHz スイッチング周波数におけるデータシートの効率曲線を使用して推定しました。TPSM8F7240 クワッド モジュールの 6 つの出力は、VCCO レールを処理でき、さらに 2 つの出力は 1V2 アナログおよび VMGTAVCC 電源レールに対応できます。これらのレールは、2 つの TPSM82913 3A モジュール (各 24.75mm²) を使用する場合に比べてわずかに高い効率と小型のフットプリントで提供されます。

表 3-3. FPGA PoL PDN への 5V 入力電圧 (デバイス サイズとレール効率の推定値)

PDM 電源名	電圧 (V)	電流 (A)	TI 製品型番	デバイス サイズ (mm ²)	レール効率の推定
3V3_VCCO	3.3	4	6 × TPSM82816	45	95%
2V5_VCCO	2.5	4			94%
1V8_VCCO	1.8	4			92%
1V5_VCCO	1.5	4			90%
1V2_VCCO	1.2	4			89%
1V0_VCCO	1	4			87%
0V85 デジタル	0.85	19	2 × TPSM8287A15M	61.2	87%
1V8 デジタル	1.8	2	TPSM82813	7.5	90%
1V2 VCCO_PSDDR	1.2	0.3	TPSM82813	7.5	83%
1V2 アナログ	1.2	3	TPSM82813	7.5	84%
3V3 VCC_PS_IO	3.3	0.1	TPSM82813	7.5	78%
VPS_MGTRAVCC	0.85	0.3	TPSM82813	7.5	78%
1V8 アナログ VPS	1.8	0.2	TPSM82813	7.5	80%
VMGTAVCC	0.9	3	TPSM82813	7.5	79%
			合計	159mm²	89.7%

5V 入力 PDN の場合、推定電力損失は 8.4W です。これらの効率は、1.5MHz スイッチング周波数が利用されている 0V85 デジタル レールを除き、1.8MHz スイッチング周波数におけるデータシートの効率曲線を使用して推定されます。0V85 デジタル電源レールでは 2 個の TPSM8287A15M を並列接続しており、さらに 2 個をスタックすることで、レール効率を 90% までわずかに向上させることができます。TPSM82813 および TPSM82816 は MagPack パワー モジュールで、代替のパワー モジュール パッケージ オプションに比べてパッケージの体積を約 49%、約 22% 削減しています。

表 3-4 に、この概念実証設計で提示された PDN の概要を示します。

表 3-4. FPGA PoL PDN の概要

PDN	サイズの推定	効率の推定	電力損失の推定
UltraScale+™ MPSoC 評価ボード	1,434mm ²	85%	22W
12V 入力 TI PDN*	292mm ²	85.6%	12W
5V 入力 TI PDN*	159mm ²	89.7%	8.4W

*12V と 5V の TI PDN はどちらも、評価ボードよりも少ない総出力電力を実現するシンプルな電力アーキテクチャを採用しています。

4 設計とドキュメントのサポート

4.1 ドキュメントのサポート

1. テキサス インスツルメンツ、『[MagPack テクノロジ:より小規模なスペースで、より多くの電力を供給するのに役立つ、新しいパワー モジュールの 4 つの利点](#)』技術記事
2. テキサス インスツルメンツ、『[固定周波数 DCS-Control:クロック同期を使用した高速過渡応答](#)』Analog Design Journal
3. テキサス インスツルメンツ、『[組み込みシステム向け電源](#)』
4. AMD、『[AMD 電源設計マネージャ](#)』

4.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

4.3 商標

UltraScale+™ is a trademark of Advanced Micro Devices, Inc.

MagPack™, テキサス・インスツルメンツの™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Arm™ and Cortex™ are trademarks of Arm Limited.

Advanced Micro Devices® is a registered trademark of Advanced Micro Devices, Inc.

すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月