



概要

TPS65214 パワー マネージメント IC (PMIC) には、構成可能な不揮発性メモリ (NVM) 領域が含まれています。このプログラマーズ ガイドでは、PMIC のデフォルト構成を定義する手順と、ワンタイム プログラマブル (OTP) メモリのプログラム方法をステップごとに説明しています。

目次

1 はじめに.....	3
2 NVM プログラミングのハードウェア要件.....	3
3 標準的な NVM フロー.....	4
4 プログラミングに関する指示.....	8
4.1 I2C アドレスへの接続.....	10
5 レジスタ設定.....	10
5.1 イネーブル設定の構成.....	10
5.2 降圧の構成.....	11
5.3 LDO の構成.....	13
5.4 シーケンスの構成.....	14
5.5 GPIO の構成.....	16
5.6 マルチファンクション ピンの構成.....	17
5.7 EN/PB/VSENSE ピンの構成.....	19
5.8 I2C アドレスの変更.....	20
5.9 マスク設定の構成.....	20
5.10 NVM 構成ファイルのエクスポート.....	21
5.11 PMIC への NVM 構成ファイルのロード.....	22
6 NVM のプログラミング.....	22
7 NVM 以外のレジスタ.....	23
8 TPS6521405 のデフォルト設定.....	23
A 参考資料.....	24

図の一覧

図 1-1. 供給オプション.....	3
図 2-1. NVM プログラミングのハードウェア セットアップ.....	4
図 3-1. ソケット付き EVM.....	5
図 3-2. プロトタイプ の例.....	6
図 3-3. TPS65214-GUI.....	6
図 4-1. NVM プログラミング手順.....	9
図 4-2. GUI で I2C アドレスを設定する.....	10
図 5-1. TPS65214-GUI を使用した設定のイネーブル.....	11
図 5-2. TPS65214-GUI における降圧設定.....	12
図 5-3. TPS65214-GUI を使用する LDO の設定.....	13
図 5-4. GPIO 構成.....	17
図 5-5. TPS65214-GUI を使用するマルチファンクション構成.....	18
図 5-6. TPS65214-GUI を使用した EN/PB/VSENSE 構成.....	19
図 5-7. I2C_ADDRESS_REG.....	20
図 5-8. TPS65214-GUI でのマスク設定.....	20
図 5-9. TPS65214-GUI を使用して NVM 設定をエクスポート.....	21
図 5-10. NVM 構成ファイルのロード.....	22

図 6-1. TPS65214-GUI を使用した NVM のプログラミング	23
--	----

表の一覧

表 2-1. NVM プログラミングの最小ハードウェア要件	4
表 5-1. イネーブル設定のための NVM レジスタ	11
表 5-2. Buck1 構成の NVM レジスタ	12
表 5-3. Buck2 構成の NVM レジスタ	12
表 5-4. Buck3 構成の NVM レジスタ	13
表 5-5. LDO1 設定用の NVM レジスタ	13
表 5-6. LDO2 設定用の NVM レジスタ	14
表 5-7. 電源投入時シーケンス - スロット割り当て	14
表 5-8. 電源投入時シーケンス - スロット持続時間	15
表 5-9. 電源切断時シーケンス - スロット割り当て	15
表 5-10. 電源切断時シーケンス - スロット持続時間	16
表 5-11. GPIO 有効化設定用の NVM レジスタ	17
表 5-12. GPIO 構成用の NVM レジスタ	17
表 5-13. VSEL 用の NVM レジスタ	18
表 5-14. MODE/STBY の NVM レジスタ	18
表 5-15. GPO / nWAKEUP 用の NVM レジスタ	19
表 5-16. EN/PB/VSENSE の NVM レジスタ	19
表 5-17. I2C_ADDRESS_REG	20
表 5-18. レジスタ 0x1E のマスク設定	21
表 5-19. レジスタ 0x1E のマスク設定	21
表 5-20. レジスタ 0x1E のマスク設定	21
表 6-1. I2C 書き込みによりレジスタ設定を NVM に保存	23
表 8-1. 0h に構成されていない TPS6521405VAFR の NVM レジスタ	23
表 8-2. 0h に構成されていない TPS6521405VAFR の非 NVM レジスタ	24

商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

1 はじめに

NVM 領域に書き込むための構成プロセスは、量産ラインまたはプロトタイプ ボードでの使用を想定しています。

TPS65214 デバイスは、ワンタイム プログラマブル (OTP) メモリを搭載しています。デバイスを一度プログラムすると、再プログラムすることはできません。製造中にプログラムされた事前構成済み NVM も再プログラムすることはできません。

TPS6521405VAFR は、TPS65214 ファミリの注文可能な型番で、カスタム NVM 構成をサポートするために特別に作成されたものです。-05 バリエーションは、レジスタが 00h に設定された空の NVM として提供されており、容易にプログラムできます。

図 1-1 は、数量に応じた事前構成済み NVM およびカスタム NVM の供給オプションを示しています。事前構成済み NVM および量産向け NVM に加えて、少量生産向けのカスタム NVM の設計リソースも利用できます。これらのリソースには、アプリケーション ノート、ユーザー ガイド、テクニカル リファレンス マニュアル、PMIC の NVM にすぐにロードできる NVM 構成ファイルが含まれます。TI.com の TPS65214 製品ページにアクセスするか、PMIC の TI E2E™ フォーラムを使用して、利用可能なリソースをお問い合わせください。

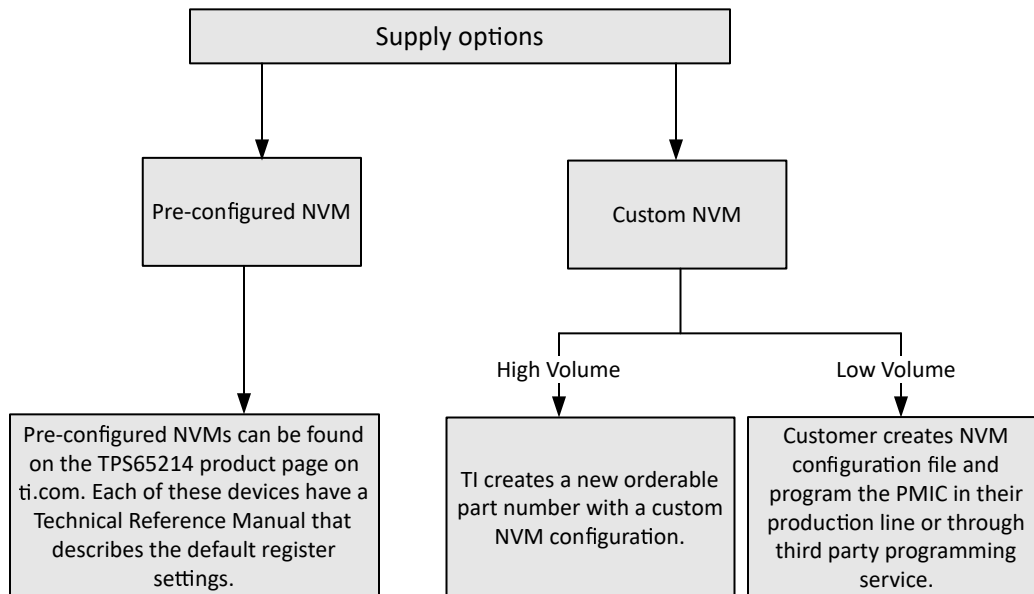


図 1-1. 供給オプション

2 NVM プログラミングのハードウェア要件

PMIC には、レジスタ マップ空間と NVM 空間の 2 つのメモリ空間があります。NVM の再プログラミングを行うには、まずシリアル インターフェイス (I2C) を介してレジスタ マップに書き込み、次にレジスタ設定を NVM に保存します。構成プロセスには、レギュレータとデジタル ピンを制御するレジスタ マップへの書き込みが含まれるため、インターフェイスは PMIC リソースに依存してはなりません。

NVM の再プログラミング時には、PMIC 電源リソースの 1 つを使用する代わりに、外部 3.3V 電源を使用して I2C ピンのプルアップ抵抗を供給する必要があります。プログラミング ステップ中に MODE/STBY ピンに適切な電圧を印加するには、外部 8V 電源も必要になります。これらの要件を満たすために、TPS65214EVM-SKT 基板には外部 LDO と昇圧コンバータが実装されています。表 2-1 および図 2-1 に、PMIC とプログラミング デバイス間のハードウェア セットアップに必要な最小限のハードウェア要件を示します。

注

インダクタやコンデンサなど他の外付け部品は、初期化状態で NVM を再プログラムする必要はありません。ただし、アクティブ状態での PMIC 動作や NVM 設定の検証には、これらの部品が必要です。

表 2-1. NVM プログラミングの最小ハードウェア要件

デバイス ピン	必要な接続
VSYS	VSYS 電圧は、仕様で推奨されている最大電圧を上回らない範囲で、3.3V 以上である必要があります。 VSYS には 2.2μF 以上の容量が必要です。
VDD1P8	VDD1P8 には 2.2μF の容量が必要です
I2C ピン	I2C ピン (SDA/SCL) のプルアップ抵抗は、外部の 3.3V 電源から供給する必要があります。 PMIC の I2C ピンは、PMIC との通信やレジスタへの書き込みが可能な外部 I2C デバイスによって駆動される必要があります。
EN/PB/VSENSE	EN/PB/VSENSE ピンは、プルアップ抵抗で VSYS に接続する必要があります。
モード/スタンバイ	NVM のプログラミングを行うには、MODE/STBY ピンを一時的に 8V ソースに接続する必要があります。
AGND	AGND (ピン #15) は、VIA 経由で PCB のグランド プレーンに接続する必要があります。AGND ピンから VIA までのパターンは短絡させておきます。
サーマル パッド	パッケージのサーマル パッドは、最低 9 つの VIA を使用して PCB のグランド プレーンに接続する必要があります。

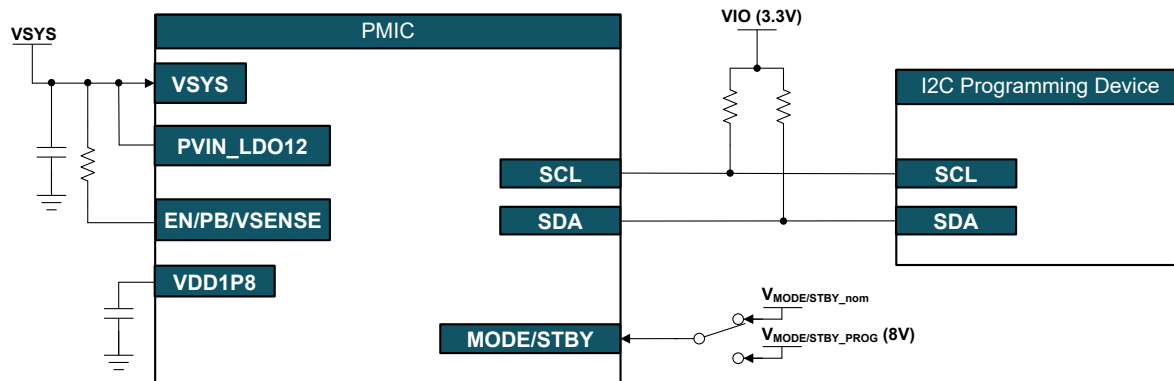


図 2-1. NVM プログラミングのハードウェア セットアップ

3 標準的な NVM フロー

このセクションでは、以下のステップで構成される標準的な NVM 定義フローについて説明します。システム要件、ハードウェアのセットアップ、NVM プログラミング、テスト / 検証。

1. システム要件

システム要件を特定し、配電ネットワーク (PDN) を構築します。電圧 / 電流、電源投入時 / 電源切断時シーケンス、低消費電力モード、負荷過渡は、プロセッサ、SoC、ペリフェラルの代表的な要件です。

2. ハードウェア設定

TPS65214 は、PMIC ソケット付き評価基板やお客様のプロトタイプ ボード (インサーキット プログラミング) を使用してプログラミングできます。

- ソケット付き EVM:** このソケット ボードは、5V USB 入力または外部電源入力に対応しています。TPS65214EVM-SKT ボードはディスクリート 3.3V LDO を搭載しており、PMIC レールが初期化状態でオフのときに I2C プルアップ抵抗に電力を供給できます。また、V_{MODE/STBY_PROG} を印加するためのオンボード 8V 昇圧コンバータも搭載しています。このソケット ボードでは、I2C 通信のために外部 USB2ANY 接続が必要です。

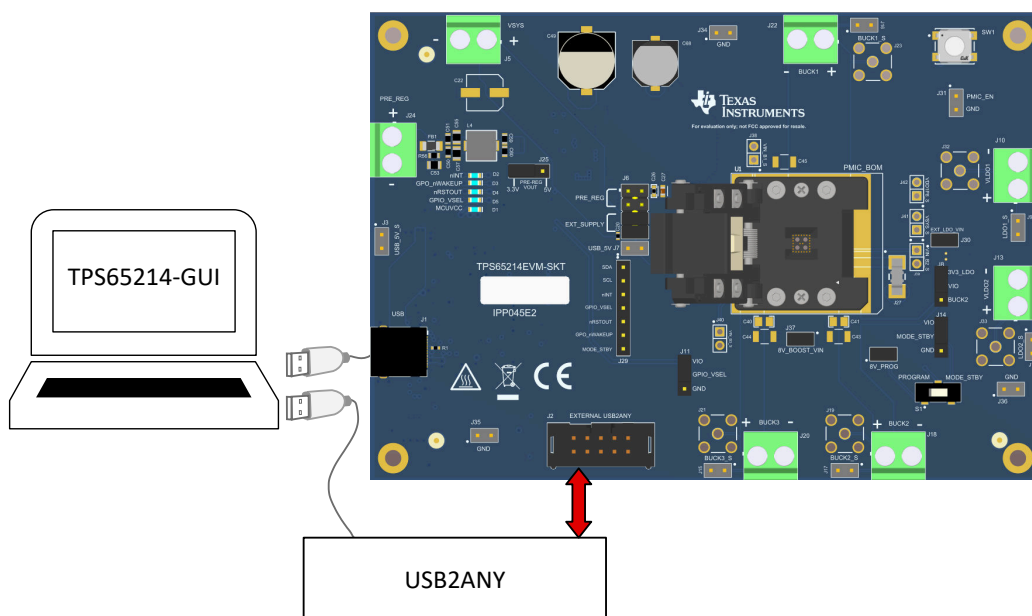


図 3-1. ソケット付き EVM

注

ソケット付き評価基板を使用する場合は、IC を必ず正しい向きでソケットに挿入してください。その際、ピン 1 のドットが右下隅に位置するようにします。

- **USB2ANY アダプタ:** USB2ANY (TI.com で入手可能) は、PMIC との通信や、NVM 設定の再プログラムに使用できます。
- **試作ボード:** ユーザープログラマブルな TPS6521405 NVM は、すべての電源リソースがデフォルトで非アクティブになっており、EN/PB/VSENSE ピンは FSD なしのプッシュボタンとして構成されています (PU_ON_FSD = 0x0)。このピンが VSYS にプルアップされている場合、有効な電源が VSYS に接続されているとき、PMIC はオフ (初期化状態) のままです。この構成により、電源投入時シーケンスが実行される前に NVM を再プログラミングできます。図 3-2 は、PMIC の NVM を再プログラムするためにお客様がプロトタイプ ボードに含める必要があるものを示しています。必要な部品には、GND、SCL、SDA の 3 つのテストポイントと、1x3 シングルロー ヘッドコネクタが 2 つ含まれます。ヘッドコネクタの 1 つは、プルアップ電源を外部 3.3V レールと、通常のアプリケーションで I2C ピンに電力を供給する PMIC レールとの間で切り替えできるようにする必要があります。通常の MODE/STBY 動作と、NVM プログラミング ステップで使用する外部 8V ソースを切り替えるには、追加のヘッドコネクタを設ける必要があります。

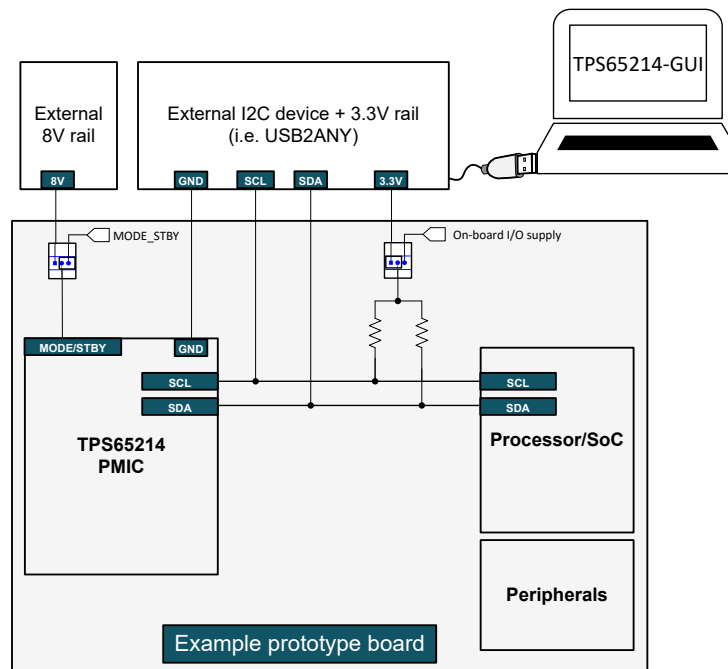


図 3-2. プロトタイプの場合

注

インダクタ、出力キャパシタンスなどの推奨外付け部品の情報については、デバイスのデータシートの「仕様」および「詳細な設計手順」セクションを参照してください。

3. NVM のプログラミング

レジスタ設定を変更するには、[セクション 4](#) および [セクション 5](#) のプログラミング手順に従ってください。[TPS65214-GUI](#) は、ソケット付き EVM (または試作ボードと外部 USB2ANY) と組み合わせて使用できます。または、好みの I2C デバッガ ツールを使用して、[TPS65214-GUI](#) を使用せずに各 NVM レジスタに書き込むこともできます。レジスタに所望の設定を構成した後、[セクション 6](#) の手順に従って設定を NVM メモリに保存します。NVM を再プログラムしたら、パワー サイクルを実行して、新しいレジスタ設定が正しく書き込まれたことを確認します。

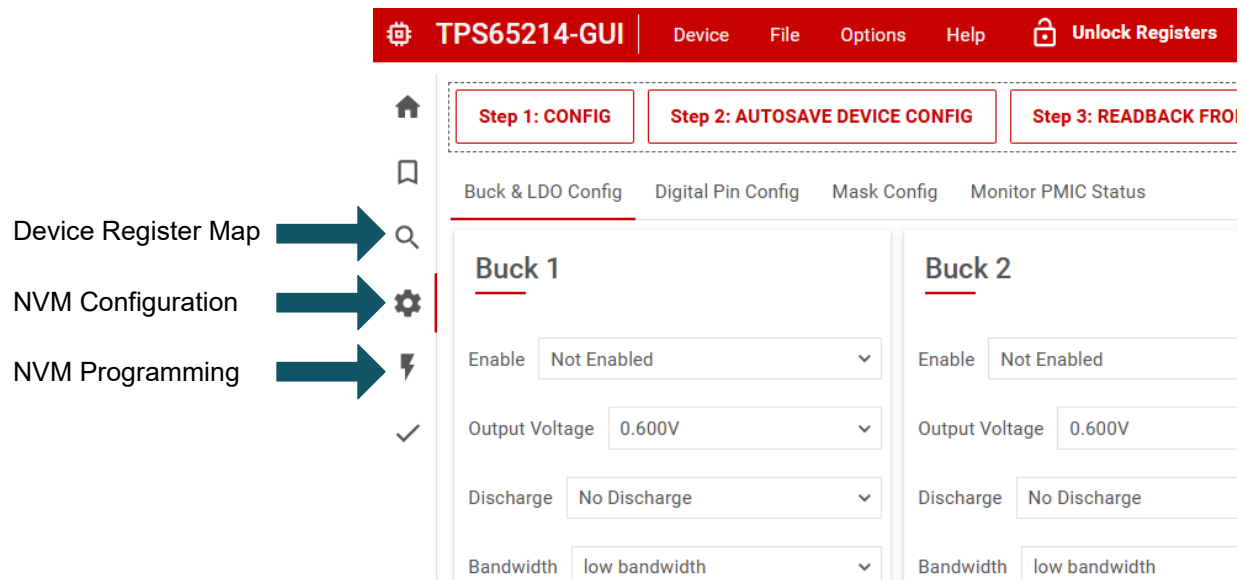


図 3-3. TPS65214-GUI

4. NVM テスト

NVM 設定をテストして、PMIC が期待どおりに動作することを確認します。以下のリストに、推奨される最小テストを示します。これらのテストは、ソケット付き評価基板またはカスタム プロトタイプ ボードで実行できます。ソケット付き評価基板を使用して PMIC を再プログラムした場合、お客様のプロトタイプ ボードにデバイスを半田付けして、システムレベルの機能をテストおよび検証できます。または、基板上の元の IC を取り外し、このデバイスを [TPS65214EVM](#) に半田付けすることで、カスタム NVM 構成をテストすることもできます。

- すべての出力電圧を測定します
- パワーアップ シーケンスのスコープ波形を収集します (GPIO (有効時)、nRSTOUT を含める)
- パワーダウン シーケンスのスコープ波形を収集します (GPIO (有効時)、nRSTOUT を含める)
- オン / オフ要求をトリガするための EN/PB/VSENSE ピンの機能と極性をテストします。
- 各マルチファンクション ピン (GPIO/VSEL、MODE/STBY) の構成と極性をテストします。これらのピンを High または Low にして、構成されているピンの機能に応じて PMIC の動作が変化するかどうかを確認します。

注

ソケット付き評価基板は、再プログラミングや基本的なテスト (例: 出力電圧の測定、パワーアップ シーケンス波形の収集など) には使用できますが、負荷過渡や効率などの特定の性能パラメータのテストには使用しないでください。これは、ソケット ポゴ ピンやレイアウト配置によって寄生容量が増加し、実際のアプリケーション設計を反映しなくなるためです。

4 プログラミングに関する指示

このセクションでは、PMIC NVM のプログラミングに必要なステップについて説明します。プログラミング プロセスは、レジスタ設定の変更と、新しい値の NVM メモリへの保存という、主に 2 つのステップで構成されます。NVM は、初期化状態 (VSYS は供給されているが、PMIC のすべての出力とモニタがオフになっている状態) でプログラミングしてください。

デバイスを再プログラムする手順を、[図 4-1](#) に示します。TPS6521505 PMIC のデバイス アドレスは、初期はデフォルトで 0x48 に設定されていることに注意してください。PMIC と適切に通信するよう、GUI に必ず正しいデバイス アドレスが設定されているようにしてください。

最初のコマンドは、デバイスを初期化状態に送信するための I2C OFF 要求で構成されます。このコマンドは、デバイスが初期化状態でない場合にのみ必要です。2 番目の I2C コマンドは、初期化状態での I2C 通信のために内部発振器を有効にし、レール放電を無効にします。3 番目のステップでは、目的のアプリケーション要件に合わせてレジスタ設定を更新する必要があります。レジスタ設定を更新した後、レジスタ アドレス 0x34 に 0x0A を書き込むことで、新しい値を NVM に保存できます。最後のステップ「検証」はオプションであり、レジスタ設定を NVM の内容と比較する I2C コマンドで構成されています。

注

最初の I2C コマンド (I2C OFF 要求) は、PMIC が初期化状態でない場合にのみ必要です。ユーザー プログラマブル OPN TPS6521405 には、EN/PB/VSENSE ピンが「プッシュ ボタン」として構成されており、FSD 機能はデフォルトでディセーブルになっています。PB として構成されている場合、デバイスはピンが Low になったときにオン要求を検出します。このピンに VSYS へのプルアップがある場合、VSYS が供給された後も PMIC は初期化状態のままです。

初期化状態で I2C 通信が利用可能かどうかを確認するには、アドレス 0x01 の NVM ID レジスタを読み取ることを推奨します。読み戻しは、型番の「TPS65214」の後の 2 桁と一致します。たとえば、TPS6521405 を使用する場合、レジスタ 0x01 は 05 と読み取ります。

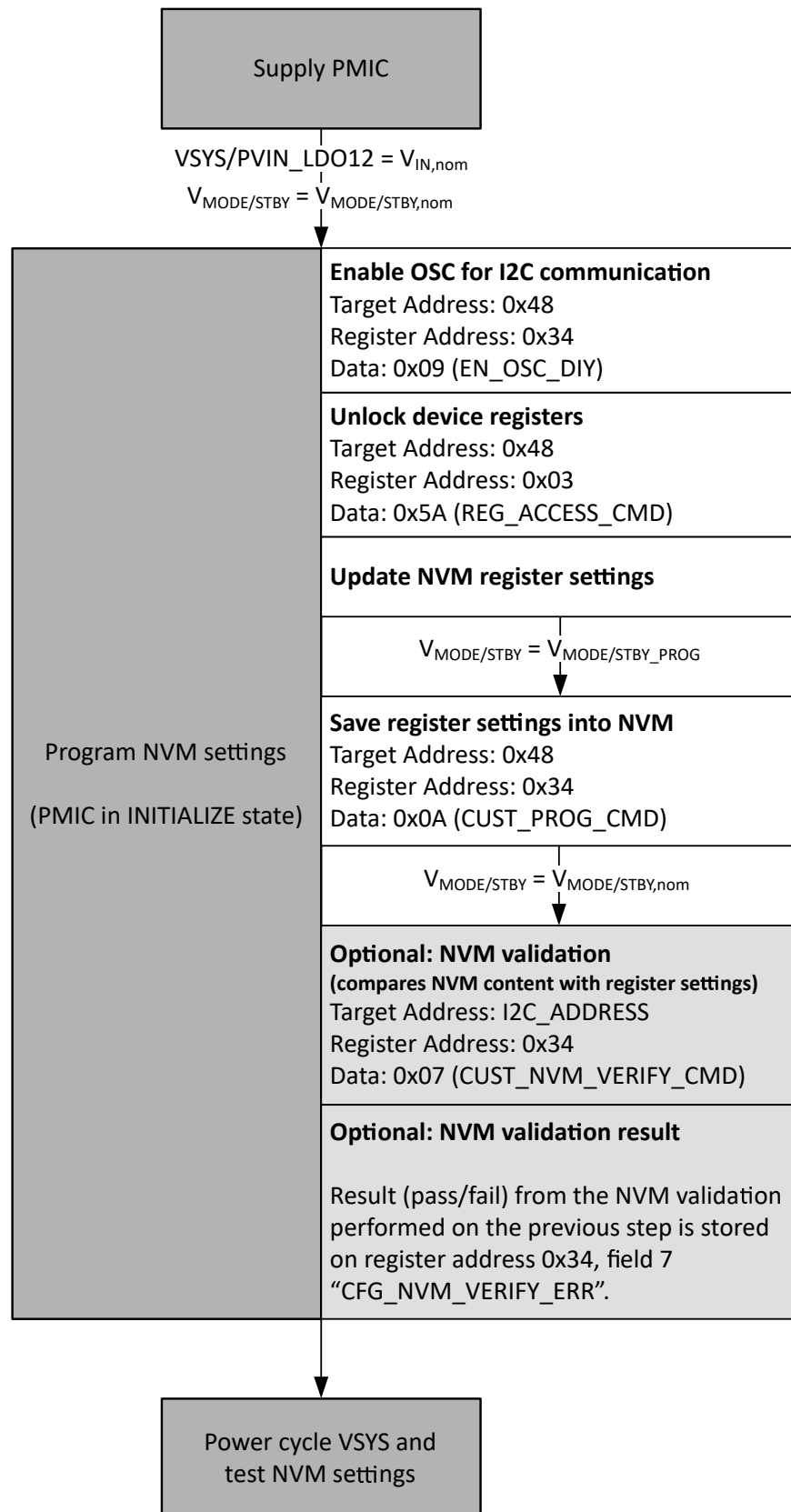


図 4-1. NVM プログラミング手順

4.1 I2C アドレスへの接続

PMIC と適切に通信するように、GUI または該当する I2C ツールに必ず正しいデバイス アドレスが設定されているようにしてください。TPS6521405 PMIC のデバイス アドレスは、初期は **0x48** に設定されています。TPS6521401 などの他の TPS65214x デバイスでは、アドレスは通常 **0x30** に設定されている場合があります。

TPS65214-GUI では、上部バーの「Device」(デバイス) タブ (図 4-2 参照) に移動し、I2C アドレス フィールドをハイライトします。ここは、デフォルトで **0x30** に設定されています。ターゲット アドレス「**0x48**」を入力して Enter キーを押します。アドレスがアクノリッジされており、GUI 左下隅においてデバイスが接続済みとして認識されていることを確認してください。



図 4-2. GUI で I2C アドレスを設定する

5 レジスタ設定

このセクションでは、PMIC レジスタの特定の設定を構成する方法について説明します。

TPS65214-GUI では、構成プロセスを容易に行えるよう、構成可能なオプションすべてを 1 つのタブに集約しています。レジスタ値は、レジスタ マップ タブを使用して個別に設定することもできます。また、指定 GUI 以外の I2C インターフェイス ツールを使用する場合は、各レジスタに書き込むことにより設定できます。

5.1 イネーブル設定の構成

PMIC にはアクティブおよびスタンバイ状態があり、レールをイネーブルまたはディセーブルにできます。STBY として構成されている場合、状態変更は MODE/STBY ピンによってトリガできます。

- 図 5-1 に、TPS65214-GUI の「構成」タブを使用する際に変更する設定を示します。
- 表 5-1 に、レジスタ マップを参照する際に書き込むレジスタ フィールドを示します。

The screenshot shows the TPS65214-GUI interface. At the top, there are five steps: Step 1: CONFIG, Step 2: AUTOSAVE DEVICE CONFIG, Step 3: READBACK FROM DEVICE, Step 4: CONFIG VALIDATION, and Step 5: Lock Registers. Below the steps, there are tabs for Buck & LDO Config, Digital Pin Config, Mask Config, and Monitor PMIC Status. The main area displays configuration options for Buck 1, Buck 2, Buck 3, LDO 1, and LDO 2. Each regulator has a set of controls including Output Voltage, Discharge, Bandwidth, UV Threshold, DVS Transition, Standby Voltage, Standby State, and OC Deglitch Duration. The 'Enable' status for each regulator is highlighted with a red box.

図 5-1. TPS65214-GUI を使用した設定のイネーブル

表 5-1. イネーブル設定のための NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
アクティブ状態 のレールのイネー ブル	0x02	5	LDO1_EN	0h=ディセーブル 1h = イネーブル
		4	LDO2_EN	0h=ディセーブル 1h = イネーブル
		2	BUCK3_EN	0h=ディセーブル 1h = イネーブル
		1	BUCK2_EN	0h=ディセーブル 1h = イネーブル
		0	BUCK1_EN	0h=ディセーブル 1h = イネーブル
スタンバイ状態 のレールのイネー ブル	0x21	5	LDO1_STBY_EN	0h=ディセーブル 1h = イネーブル
		4	LDO2_STBY_EN	0h=ディセーブル 1h = イネーブル
		2	BUCK3_STBY_EN	0h=ディセーブル 1h = イネーブル
		1	BUCK2_STBY_EN	0h=ディセーブル 1h = イネーブル
		0	BUCK1_STBY_EN	0h=ディセーブル 1h = イネーブル

5.2 降圧の構成

降圧コンバータに対しては、いくつかの設定をプログラムできます。このような設定には、とりわけ出力電圧、低電圧 (UV) 監視、帯域幅などがあります。

- 図 5-2 に、TPS65214-GUI の「構成」タブを使用する際に変更する設定を示します。
- 表 5-2、表 5-3、表 5-4 に、レジスタ マップを参照する際に書き込むレジスタ フィールドを示します。

TPS65214-GUI Device File Options Help Unlock Registers

Step 1: CONFIG Step 2: AUTOSAVE DEVICE CONFIG Step 3: READBACK FROM DEVICE Step 4: CONFIG VALIDATION Step 5: Lock Registers

Buck & LDO Config Digital Pin Config Mask Config Monitor PMIC Status

Buck 1	Buck 2	Buck 3	LDO 1	LDO 2
Enable Not Enabled	Enable Not Enabled	Enable Not Enabled	Enable Not Enabled	Enable Not Enabled
Output Voltage 0.600V	Output Voltage 0.600V	Output Voltage 0.600V	Output Voltage 0.600V	Output Voltage 0.600V
Discharge No Discharge	Discharge No Discharge	Discharge No Discharge	Discharge No Discharge	Discharge No Discharge
Bandwidth low bandwidth	Bandwidth low bandwidth	Bandwidth low bandwidth	Configuration LDO Mode	Configuration LDO Mode
UV Threshold -5%	UV Threshold -5%	UV Threshold -5%	UV Threshold -5%	UV Threshold -5%
DVS Transition No DVS transition	DVS Transition No DVS transition	DVS Transition No DVS transition	DVS Transition No DVS transition	DVS Transition No DVS transition
Standby Voltage 0.600V	Standby Voltage 0.600V	Standby Voltage 0.600V	Standby Voltage 0.600V	Standby Voltage 0.600V
Standby State Not enabled in STBY Mode	Standby State Not enabled in STBY Mode	Standby State Not enabled in STBY Mode	Standby State Not enabled in STBY Mode	Standby State Not enabled in STBY Mode
OC Deglitch Duration 20us	OC Deglitch Duration 20us	OC Deglitch Duration 20us		

図 5-2. TPS65214-GUI における降圧設定

表 5-2. Buck1 構成の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
帯域幅	0x0A	7	B1_BW_SEL	0h = 低帯域幅 1h = 高帯域幅
UV (単一イベントによる機能中断) の監視		6	B1_UV_THR_SEL	0h = -5% の UV 検出レベル 1h = -10% の UV 検出レベル
出力電圧		5-0	B1_VSET	データシートのレジスタ マップを参照

表 5-3. Buck2 構成の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
帯域幅	0x09	7	B2_BW_SEL	0h = 低帯域幅 1h = 高帯域幅
UV (単一イベントによる機能中断) の監視		6	B2_UV_THR_SEL	0h = -5% の UV 検出レベル 1h = -10% の UV 検出レベル
出力電圧		5-0	B2_VSET	データシートのレジスタ マップを参照

表 5-4. Buck3 構成の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
帯域幅	0x08	7	B3_BW_SEL	0h = 低帯域幅 1h = 高帯域幅
UV (単一イベントによる機能中断)の監視		6	B3_UV_THR_SEL	0h = -5% の UV 検出レベル 1h = -10% の UV 検出レベル
出力電圧		5-0	B3_VSET	データシートのレジスタ マップを参照

5.3 LDO の構成

LDO レギュレータにはいくつかの設定をプログラムできます。これらの設定には、出力電圧や低電圧 (UV) 監視などがあります。

- 図 5-3 に、TPS65214-GUI の「構成」タブを使用する際に変更する設定を示します。
- 表 5-5 および表 5-6 に、レジスタ マップを参照する際に書き込むレジスタ フィールドを示します。

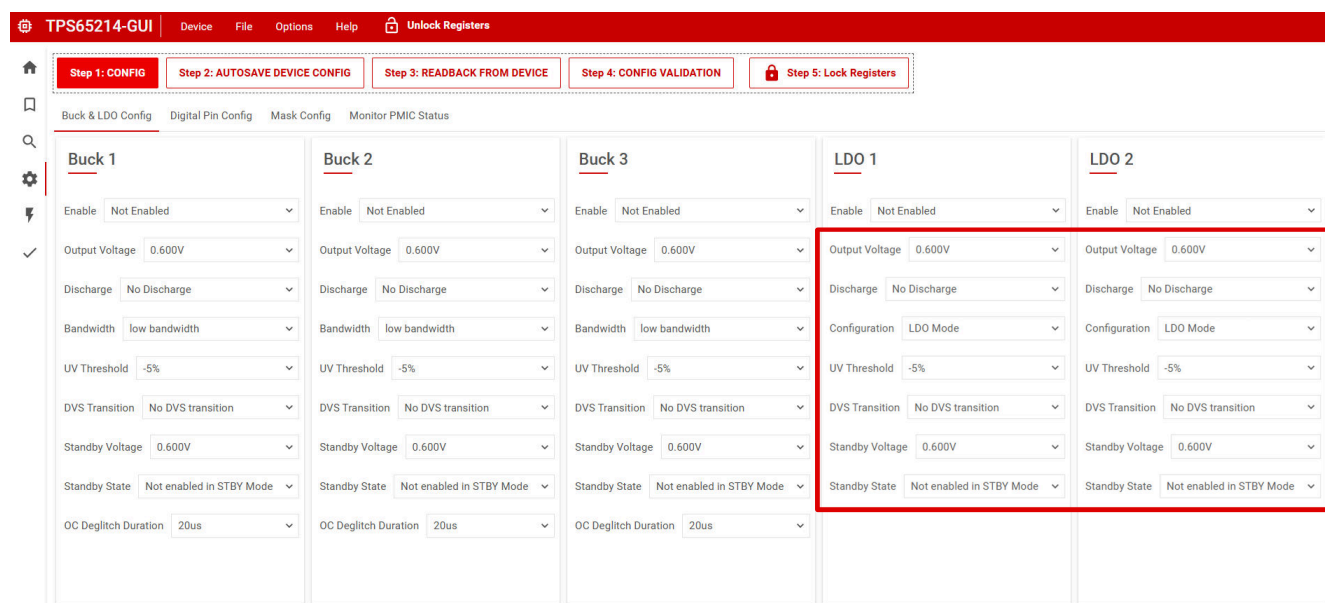


図 5-3. TPS65214-GUI を使用する LDO の設定

表 5-5. LDO1 設定用の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
構成	0x05	6	LDO1_LSW_CONFIG	0h = LDO1 を負荷スイッチとして構成していない 1h = LDO1 を負荷スイッチとして構成
出力電圧		5-0	LDO1_VSET	データシートのレジスタ マップを参照
UV (単一イベントによる機能中断)の監視	0x1E	5	LDO1_UV_THR	0h = -5% UV 1h = -10% UV

表 5-6. LDO2 設定用の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
構成	0x06	7	LDO2_LSW_CONFIG	0h = LDO1 を負荷スイッチとして構成していない 1h = LDO1 を負荷スイッチとして構成
出力電圧		5-0	LDO2_VSET	データシートのレジスタ マップを参照
UV 監視	0x1E	4	LDO2_UV_THR	0h = -5% UV 1h = -10% UV

5.4 シーケンスの構成

PMIC シーケンスを構成するプロセスは、以下の 2 つのステップで構成されます。

1. 電源投入時 / 電源切断時スロット割り当て: スロット割り当てにより、レールがオンまたはオフになる順序が定義されます。各 PMIC レールにスロットを割り当てる必要があります。使用可能なスロットは 16 個 (0~15) です。複数のレール (GPIO を含む) を同じスロットに割り当てて、それらを同時にイネーブルにすることができます。
2. 電源投入時 / 電源切断時スロット持続時間: スロット持続時間とは、あるスロットの開始から次のスロットの開始までの時間です。たとえば、Buck1 が 3ms の期間で slot0 に割り当てられ、Buck2 がスロット 1 に割り当てられている場合、Buck1 の 3ms 後に Buck2 がオンになります。

注

スロット持続時間は、レールが上昇するのに要する時間を決めるものではありません。スロット持続時間は、次のスロットに割り当てられたレールをイネーブル (またはディセーブル) にするまで、PMIC が待機する時間だけを指定します。

- 表 5-7、表 5-8、表 5-9、表 5-10 に、レジスタ マップを参照する際に書き込むレジスタ フィールドを示します。

表 5-7. 電源投入時シーケンス - スロット割り当て

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
電源投入時シーケンス スロット割り当て	0x11	7-4	BUCK1_SEQUENCE_ON_SLOT	データシートのレジスタ マップを参照
	0x10	7-4	BUCK2_SEQUENCE_ON_SLOT	データシートのレジスタ マップを参照
	0xF	7-4	BUCK3_SEQUENCE_ON_SLOT	データシートのレジスタ マップを参照
	0xE	7-4	LDO1_SEQUENCE_ON_SLOT	データシートのレジスタ マップを参照
	0xD	7-4	LDO2_SEQUENCE_ON_SLOT	データシートのレジスタ マップを参照
	0xC	7-4	LDO3_SEQUENCE_ON_SLOT	データシートのレジスタ マップを参照
	0xB	7-4	LDO4_SEQUENCE_ON_SLOT	データシートのレジスタ マップを参照
	0x15	7-4	GPO1_SEQUENCE_ON_SLOT	データシートのレジスタ マップを参照
	0x14	7-4	GPO2_SEQUENCE_ON_SLOT	データシートのレジスタ マップを参照
	0x13	7-4	GPIO_SEQUENCE_ON_SLOT	データシートのレジスタ マップを参照
	0x12	7-4	nRST_SEQUENCE_ON_SLOT	データシートのレジスタ マップを参照

表 5-8. 電源投入時シーケンス - スロット持続時間

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
電源投入時シーケンス スロット持続時間	0x16	7-6	POWER_UP_SLOT_0_DURATION	データシートのレジスタ マップを参照
		5-4	POWER_UP_SLOT_1_DURATION	データシートのレジスタ マップを参照
		3-2	POWER_UP_SLOT_2_DURATION	データシートのレジスタ マップを参照
		1-0	POWER_UP_SLOT_3_DURATION	データシートのレジスタ マップを参照
	0x17	7-6	POWER_UP_SLOT_4_DURATION	データシートのレジスタ マップを参照
		5-4	POWER_UP_SLOT_5_DURATION	データシートのレジスタ マップを参照
		3-2	POWER_UP_SLOT_6_DURATION	データシートのレジスタ マップを参照
		1-0	POWER_UP_SLOT_7_DURATION	データシートのレジスタ マップを参照
	0x18	7-6	POWER_UP_SLOT_8_DURATION	データシートのレジスタ マップを参照
		5-4	POWER_UP_SLOT_9_DURATION	データシートのレジスタ マップを参照
		3-2	POWER_UP_SLOT_10_DURATION	データシートのレジスタ マップを参照
		1-0	POWER_UP_SLOT_11_DURATION	データシートのレジスタ マップを参照
	0x19	7-6	POWER_UP_SLOT_12_DURATION	データシートのレジスタ マップを参照
		5-4	POWER_UP_SLOT_13_DURATION	データシートのレジスタ マップを参照
		3-2	POWER_UP_SLOT_14_DURATION	データシートのレジスタ マップを参照
		1-0	POWER_UP_SLOT_15_DURATION	データシートのレジスタ マップを参照

表 5-9. 電源切断時シーケンス - スロット割り当て

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
電源切断時シーケンス スロット割り当て	0x11	7-4	BUCK1_SEQUENCE_OFF_SLOT	データシートのレジスタ マップを参照
	0x10	7-4	BUCK2_SEQUENCE_OFF_SLOT	データシートのレジスタ マップを参照
	0xF	7-4	BUCK3_SEQUENCE_OFF_SLOT	データシートのレジスタ マップを参照
	0xE	7-4	LDO1_SEQUENCE_OFF_SLOT	データシートのレジスタ マップを参照
	0xD	7-4	LDO2_SEQUENCE_OFF_SLOT	データシートのレジスタ マップを参照
	0xC	7-4	LDO3_SEQUENCE_OFF_SLOT	データシートのレジスタ マップを参照
	0xB	7-4	LDO4_SEQUENCE_OFF_SLOT	データシートのレジスタ マップを参照
	0x15	7-4	GPO1_SEQUENCE_OFF_SLOT	データシートのレジスタ マップを参照
	0x14	7-4	GPO2_SEQUENCE_OFF_SLOT	データシートのレジスタ マップを参照
	0x13	7-4	GPIO_SEQUENCE_OFF_SLOT	データシートのレジスタ マップを参照
	0x12	7-4	nRST_SEQUENCE_OFF_SLOT	データシートのレジスタ マップを参照

表 5-10. 電源切断時シーケンス - スロット持続時間

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
電源切断時シーケンス スロット持続時間	0x1A	7-6	POWER_DOWN_SLOT_0_DURATION	データシートのレジスタ マップを参照
		5-4	POWER_DOWN_SLOT_1_DURATION	データシートのレジスタ マップを参照
		3-2	POWER_DOWN_SLOT_2_DURATION	データシートのレジスタ マップを参照
		1-0	POWER_DOWN_SLOT_3_DURATION	データシートのレジスタ マップを参照
	0x1B	7-6	POWER_DOWN_SLOT_4_DURATION	データシートのレジスタ マップを参照
		5-4	POWER_DOWN_SLOT_5_DURATION	データシートのレジスタ マップを参照
		3-2	POWER_DOWN_SLOT_6_DURATION	データシートのレジスタ マップを参照
		1-0	POWER_DOWN_SLOT_7_DURATION	データシートのレジスタ マップを参照
	0x1C	7-6	POWER_DOWN_SLOT_8_DURATION	データシートのレジスタ マップを参照
		5-4	POWER_DOWN_SLOT_9_DURATION	データシートのレジスタ マップを参照
		3-2	POWER_DOWN_SLOT_10_DURATION	データシートのレジスタ マップを参照
		1-0	POWER_DOWN_SLOT_11_DURATION	データシートのレジスタ マップを参照
	0x1D	7-6	POWER_DOWN_SLOT_12_DURATION	データシートのレジスタ マップを参照
		5-4	POWER_DOWN_SLOT_13_DURATION	データシートのレジスタ マップを参照
		3-2	POWER_DOWN_SLOT_14_DURATION	データシートのレジスタ マップを参照
		1-0	POWER_DOWN_SLOT_15_DURATION	データシートのレジスタ マップを参照

5.5 GPIO の構成

GPIO を使用して、外部のディスクリート部品をイネーブルにできます。GPIO を使用してマルチ PMIC 構成を行い、2 つの TPS65214 デバイス間で電源投入時 / 電源切断時シーケンスを同期することもできます。

- 図 5-4 に、TPS65214-GUI の「構成」タブを使用する際に変更する設定を示します。
- 表 5-11、表 5-12 に、レジスタ マップを参照する際に書き込むレジスタ フィールドを示します。

The screenshot shows the TPS65214-GUI interface. At the top, there are five steps: Step 1: CONFIG, Step 2: AUTOSAVE DEVICE CONFIG, Step 3: READBACK FROM DEVICE, Step 4: CONFIG VALIDATION, and Step 5: Lock Registers. Below the steps, there are tabs for Buck & LDO Config, Digital Pin Config, Mask Config, and Monitor PMIC Status. The 'Digital Pin Config' tab is selected. On the left, there are three sections: 'Enable' (with EN/PB/VSENSE Configuration, Deglitch duration, and First Supply Detection), 'GPIOs' (highlighted with a red box), and 'Multi'. The 'GPIOs' section contains the following settings: GPIO Status (The GPIO pin is currently '0'), GPIO Input/Output (Input), GPIO/VSEL Configuration (GPIO), GPIO Polarity (LOW - off / HIGH - on), GPIO Standby State (Not enabled in STBY Mode), VSEL Buck Select (BUCK1), GPO/nWAKEUP Configuration (GPO), GPO Standby State (Not enabled in STBY Mode), and nRSTOUT Standby State (Asserted in STBY Mode). The 'Multi' section contains settings for MODE/STBY Configuration, MODE/STBY Polarity, STBY/SLEEP Configuration, Mode, and Retry Count Masking.

図 5-4. GPIO 構成

表 5-11. GPIO 有効化設定用の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
アクティブ状態のイネーブル設定	0x1E	2	GPIO_EN	0h = ディセーブル。出力状態は Low です。 1h = イネーブル。出力状態はハイ インピーダンスです。
		0	GPO_EN	0h = ディセーブル。出力状態は Low です。 1h = イネーブル。出力状態はハイ インピーダンスです。
スタンバイ状態のイネーブル設定	0x22	2	GPIO_STBY_EN	0h = ディセーブル。出力状態は Low です。 1h = イネーブル。出力状態はハイ インピーダンスです。
		0	GPO_STBY_EN	0h = ディセーブル。出力状態は Low です。 1h = イネーブル。出力状態はハイ インピーダンスです。

表 5-12. GPIO 構成用の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
GPIO/VSEL 構成	0x1E	1	GPIO_CONFIG	0h = 入力として構成 1h = 出力として構成
	0x1F	3	GPIO_VSEL_CONFIG	0h = GPIO として構成 1h = VSEL として構成

5.6 マルチファンクション ピンの構成

TPS65214 PMIC には、構成可能な 2 つのマルチファンクション ピンがあります。MODE/STBY は、スイッチングを選択する MODE として、またはスタンバイ状態への遷移をトリガする STBY として構成できます。VSEL として構成した場合、

GPIO/VSEL ピンは、BUCK1 または BUCK3 の出力電圧を設定するように構成できます。ピンの極性については、データシートを参照してください。

- 図 5-5 に、TPS65214-GUI の「構成」タブを使用する際に変更する設定を示します
- 図 5-5 に、レジスタ マップを参照する際に書き込むレジスタ フィールドを示します。

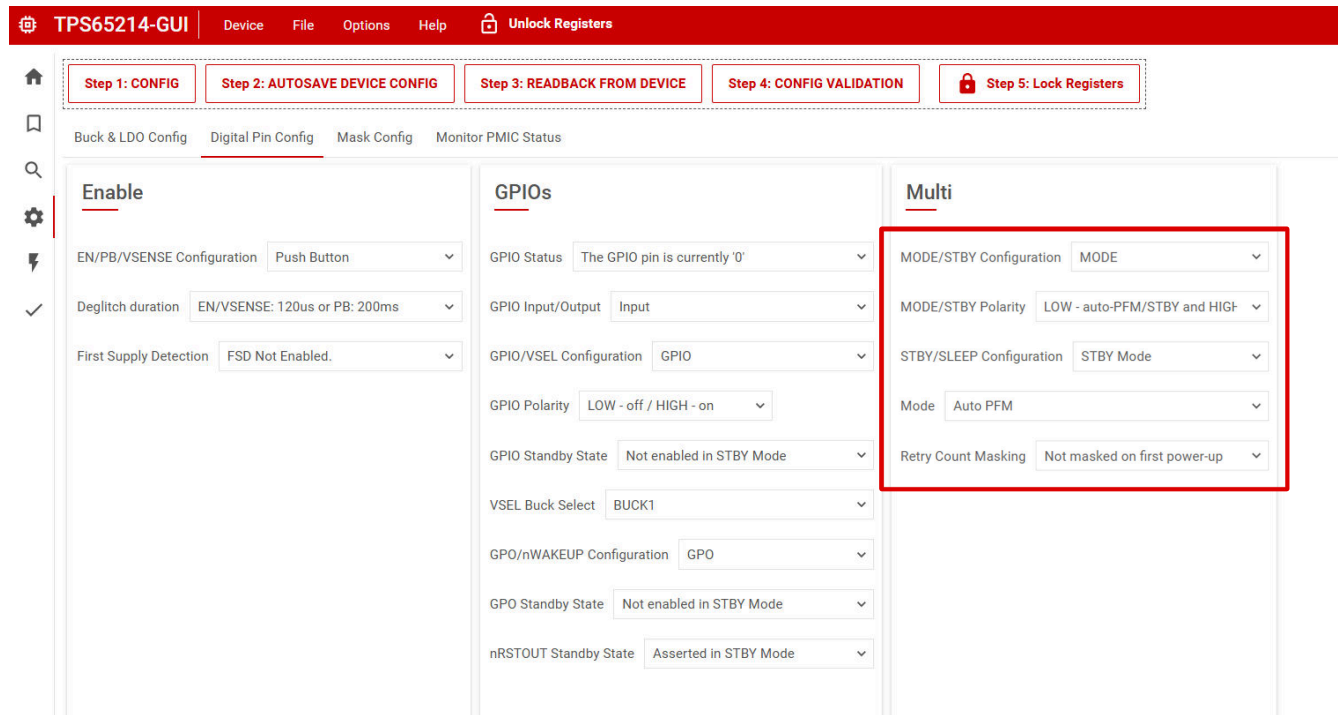


図 5-5. TPS65214-GUI を使用するマルチファンクション構成

表 5-13. VSEL 用の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
ピン機能	0x1F	3	GPIO_VSEL_CONFIG	0h = GPIO として構成 1h = VSEL として構成
		2	VSEL_RAIL	0h = BUCK1 1h = BUCK3
ピンの極性		1	VSEL_SD_POLARITY	0h = - LOW: 1.8V - HIGH: LDOx_VOUT レジスタ 1h = - HIGH: 1.8V - LOW: LDOx_VOUT レジスタ

表 5-14. MODE/STBY の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
ピン機能	0x20	1-0	MODE_STBY_CONFIG	0h = MODE 1h = STBY 2h = MODE および STBY 3h = MODE
ピンの極性	0x1F	4	MODE_STBY_POLARITY	データシートのレジスタ マップを参照

表 5-15. GPO / nWAKEUP 用の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
ピン機能	0x20	2	MODE_RESET_CONFIG	0h = MODE 1h = RESET
RESET 構成		6	WARM_COLD_RESET_CONFIG	0h = コールドリセット 1h = ウォームリセット
ピンの極性	0x1F	5	MODE_RESET_POLARITY	データシートのレジスタ マップを参照

5.7 EN/PB/VSENSE ピンの構成

PMIC のイネーブルピンは、イネーブル、プッシュ ボタン、VSENSE のいずれかに構成できます。この機能に加えて、グリップ除去も構成できます。また、このピンには、最初の電源投入時に EN/PB/VSENSE ピンの状態を無視する最初の電源検出 (FSD) オプションがあります。

- 図 5-6 に、TPS65214-GUI の「構成」タブを使用する際に変更する設定を示します。
- 表 5-16 に、レジスタ マップを参照する際に書き込むレジスタ フィールドを示します。

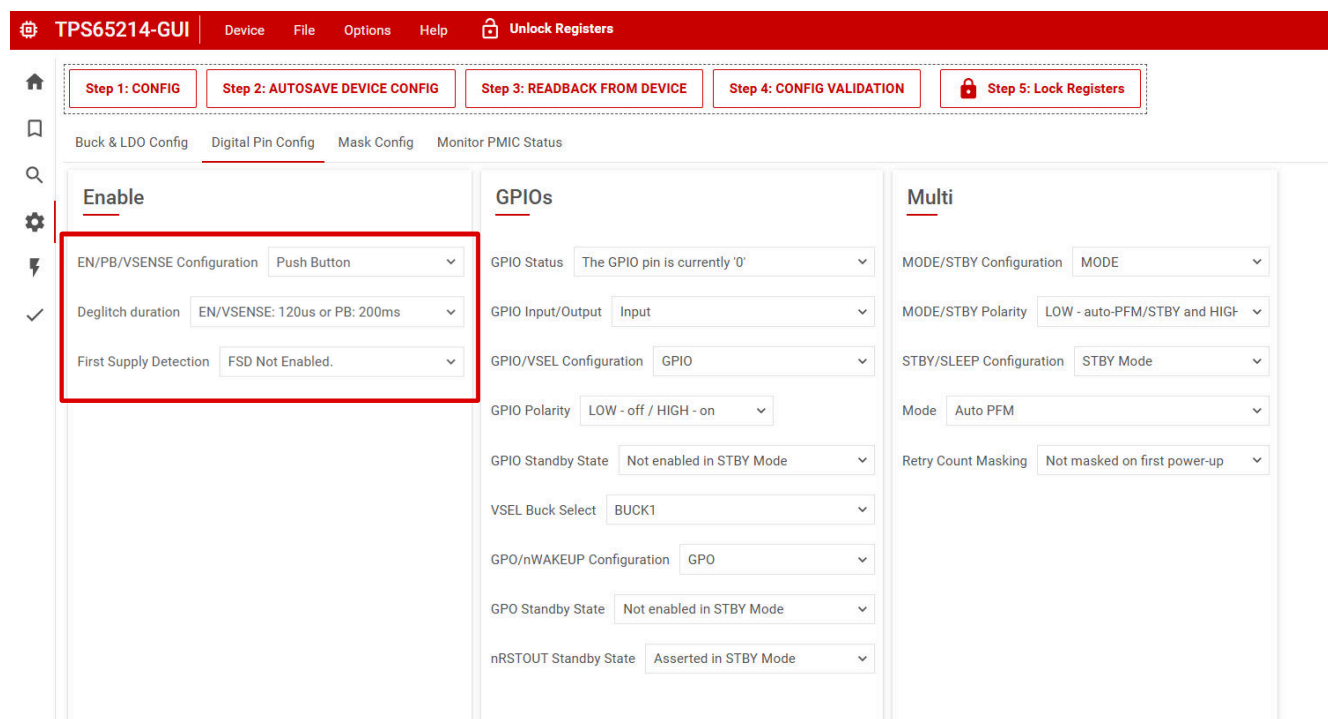


図 5-6. TPS65214-GUI を使用した EN/PB/VSENSE 構成

表 5-16. EN/PB/VSENSE の NVM レジスタ

	レジスタ・アドレス	ビット		設定
		ビット番号	フィールド名	
最初の電源検出	0x20	7	PU_ON_FSD	0h = FSD ディセーブル 1h = FSD イネーブル
ピン構成		5-4	EN_PB_VSENSE_CONFIG	0h = イネーブル 1h = プッシュ ボタン 2h = VSENSE 3h = イネーブル
グリップ除去 時間		3	EN_PB_VSENSE_DEGL	データシートのレジスタ マップを参照

5.8 I2C アドレスの変更

TPS6521405 では、デフォルトの I2C アドレスは 0x30 に構成されています。この構成は必要に応じてレジスタ 0x26 の「I2C_ADDRESS_REG」で変更でき、図 5-7 に示すようにデフォルトの 0x30 アドレスを変更することができます。レジスタを変更したら、レジスタ 0x34 に 0x0A を書き込み、新しい値を NVM に保存する必要があります。

注

マルチ PMIC 構成で複数の TPS65214 デバイスを使用する場合、各デバイスは一意の I2C アドレスを持つ必要があります。第 2、第 3、およびその他の PMIC の I2C アドレスは、デフォルトの 0x30 から新しい値に変更する必要があります。

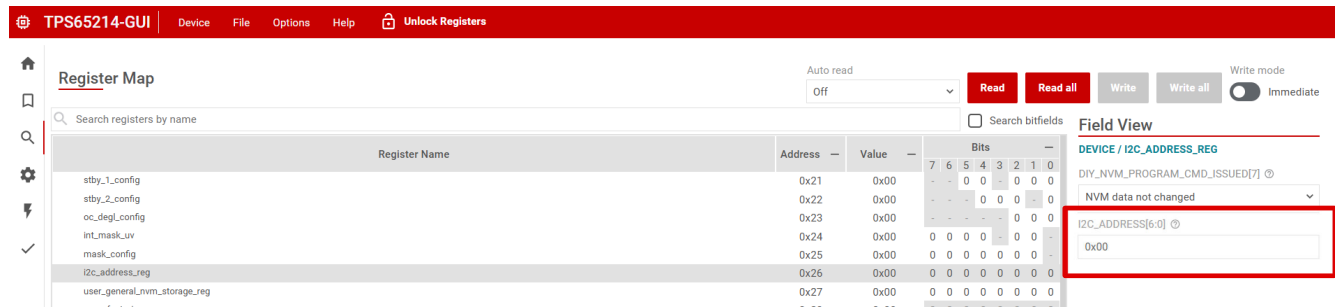


図 5-7. I2C_ADDRESS_REG

表 5-17. I2C_ADDRESS_REG

レジスタ・アドレス	ビット	
	ビット番号	フィールド名
0x26	6-0	I2C_ADDRESS

5.9 マスク設定の構成

いくつかの割り込み設定をマスクして、特定の PMIC 監視機能をバイパスしたり、割り込みが検出されたときの PMIC の応答方法を変更したりできます。マスク可能な割り込みには、とりわけ低電圧監視、温度監視などがあります。図 5-8 に、GUI の「構成」タブのマスク設定を示します。

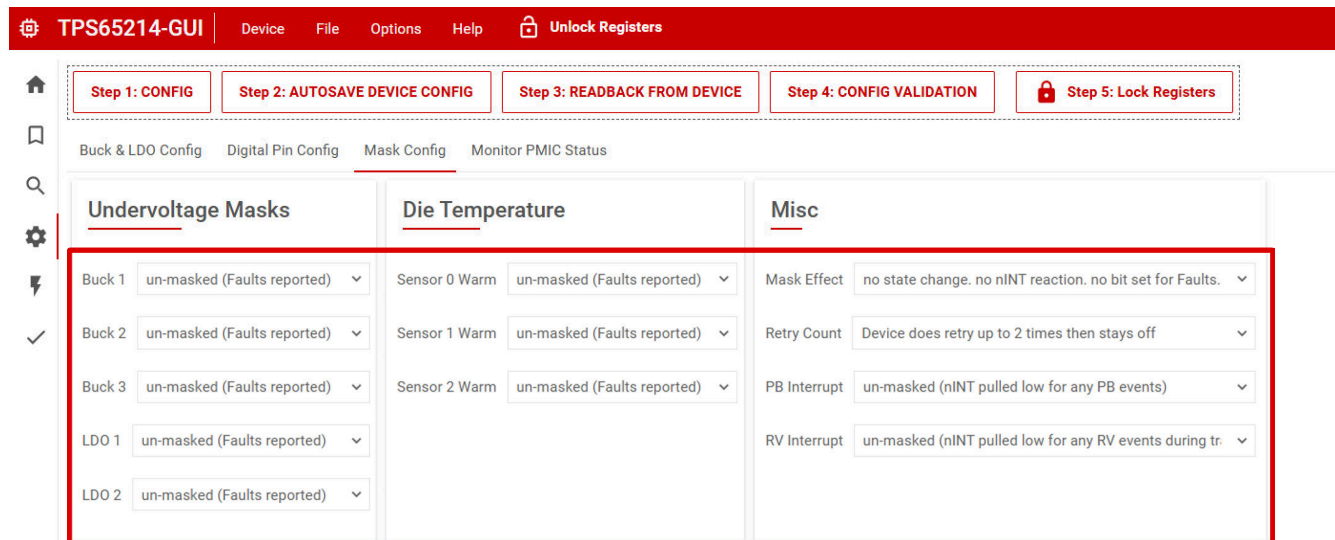


図 5-8. TPS65214-GUI でのマスク設定

表 5-18. レジスタ 0x1E のマスク設定

レジスタ・アドレス	ビット	
	ビット番号	フィールド名
0x1E	7	BYPASS_RV_FOR_RAIL_ENABLE

表 5-19. レジスタ 0x24 のマスク設定

レジスタ・アドレス	ビット	
	ビット番号	フィールド名
0x24	7	MASK_RETRY_COUNT
	6	B3_UV_MASK
	5	B2_UV_MASK
	4	B1_UV_MASK
	2	LDO1_UV_MASK
	1	LDO2_UV_MASK

表 5-20. レジスタ 0x25 のマスク設定

レジスタ・アドレス	ビット	
	ビット番号	フィールド名
0x25	7	MASK_INT_FOR_PB
	6-5	MASK_EFFECT
	4	MASK_INT_FOR_RV
	3	SENSOR_0_WARM_MASK
	2	SENSOR_1_WARM_MASK
	1	SENSOR_2_WARM_MASK

5.10 NVM 構成ファイルのエクスポート

レジスタの構成を保存する際、NVM 設定を単一のファイルとしてエクスポートできます。TPS65214-GUI は現在、.csv、.json、.txt の 3 種類のファイル形式をサポートしています。図 5-9 に、「File」(ファイル) タブを使用して NVM 設定をエクスポートする方法を示します。「Save Register Map」(レジスタ マップを保存) を使用する前に、「Save File Type(s)」(保存するファイル形式) でファイル形式を選択する必要があります。

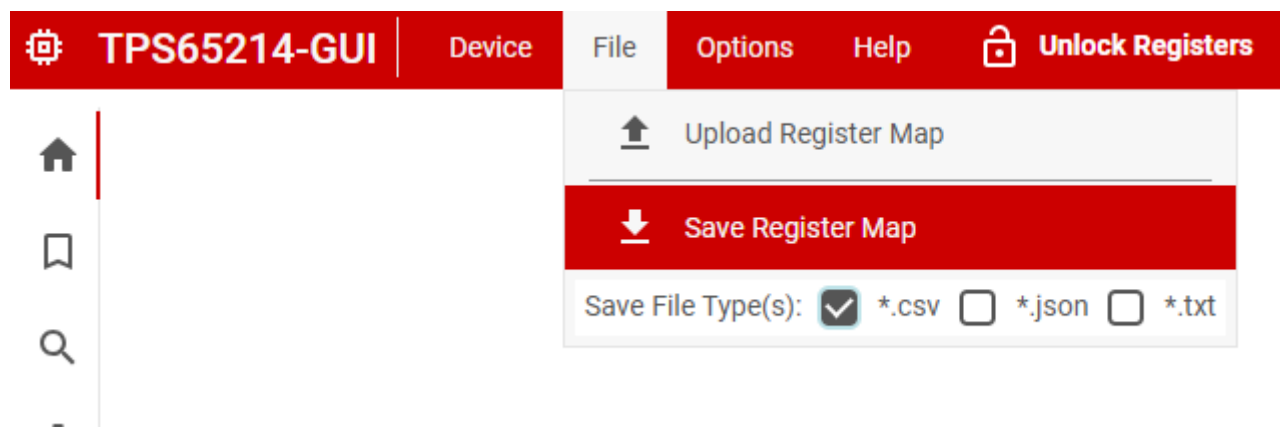


図 5-9. TPS65214-GUI を使用して NVM 設定をエクスポート

5.11 PMIC への NVM 構成ファイルのロード

図 5-10 は、事前構成済みの NVM ファイル (.csv、.json、.txt 形式) を、PMIC の NVM にロードするプロセスを示しています。お客様は、事前構成済みのファイルを再利用して製造ラインで PMIC を再プログラムしたり、サードパーティーのプログラミング サービス利用したりすることができます。

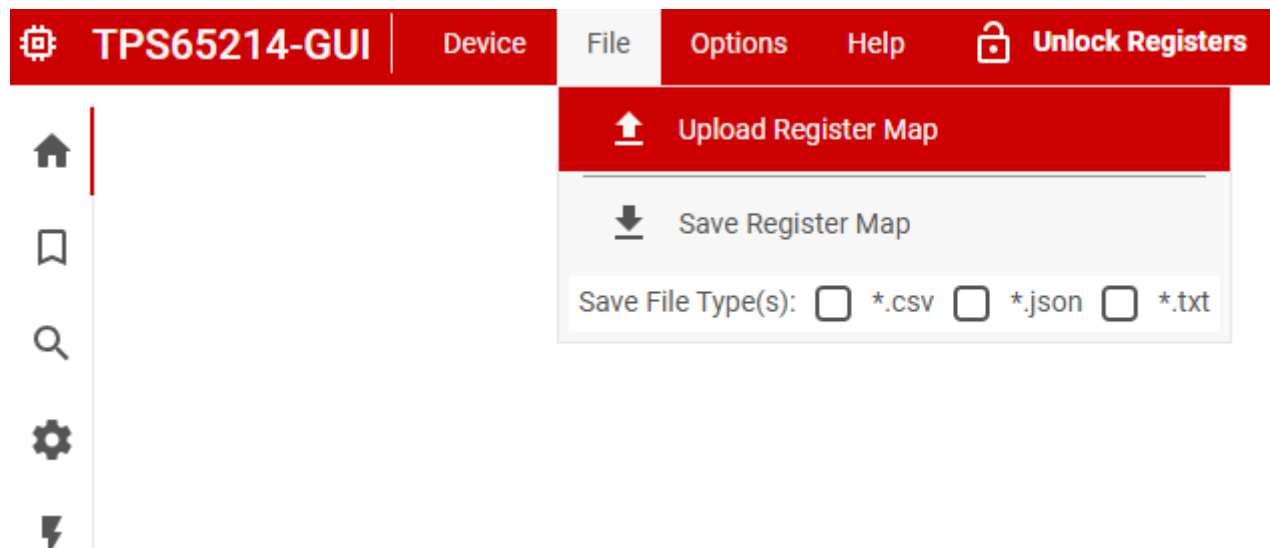


図 5-10. NVM 構成ファイルのロード

6 NVM のプログラミング

レジスタ マップの更新が完了し、目的の設定に構成し終われば、MODE/STBY ピンに 8V を印加し、アドレス 0x34 に 0x0A を書き込むことで、新しい値を NVM に保存できます。

NVM 値は、MODE/STBY ピンが $V_{MODE/STBY_PROG}$ 以上の電圧に設定されている場合にのみ正常に変更できます。TPS65214EVM-SKT には、オンボードの昇圧コンバータが搭載されており、スイッチとジャンパを用いて MODE/STBY に短絡できるため、この作業を容易に行えます。

また I2C ピンは、外部 3.3V 電源にプルアップされている必要があります。

注

レジスタ アドレス 0x34 に 0x0A (CUST_PROG_CMD) を書き込むと、現在のレジスタ設定がデバイスの NVM にコミットされ、パワーアップ時の新しいデフォルトになります。NVM が再プログラムされると、DIY_NVM_PROGRAM_CMD_ISSUED ビットがセットされ、デバイスはそれ以後の CUST_PROG_CMD コマンドを無視して、NVM に意図しない変更が加えられることを防止します。

注

アドレス 0x2 ~ 0x27 に対応するお客様がプログラム可能なレジスタ。NVM でプログラム可能なデフォルト設定は、レジスタ マップの RESET 列で (X) とマークされているビットのみです。他のすべてのビットは、レジスタ マップに工場出荷時設定が記載されたままになっています。加えて、NVM プログラミングは一方方向です。構成可能なビットはすべて、「0」から「1」への書き込みのみが可能です。

図 6-1 は、TPS65214-GUI のプログラミング タブを使用する際に、レジスタ設定を NVM に保存するボタンを示しています。表 6-1 に、

レジスタ マップを参照する際に書き込むレジスタ フィールドを示します。

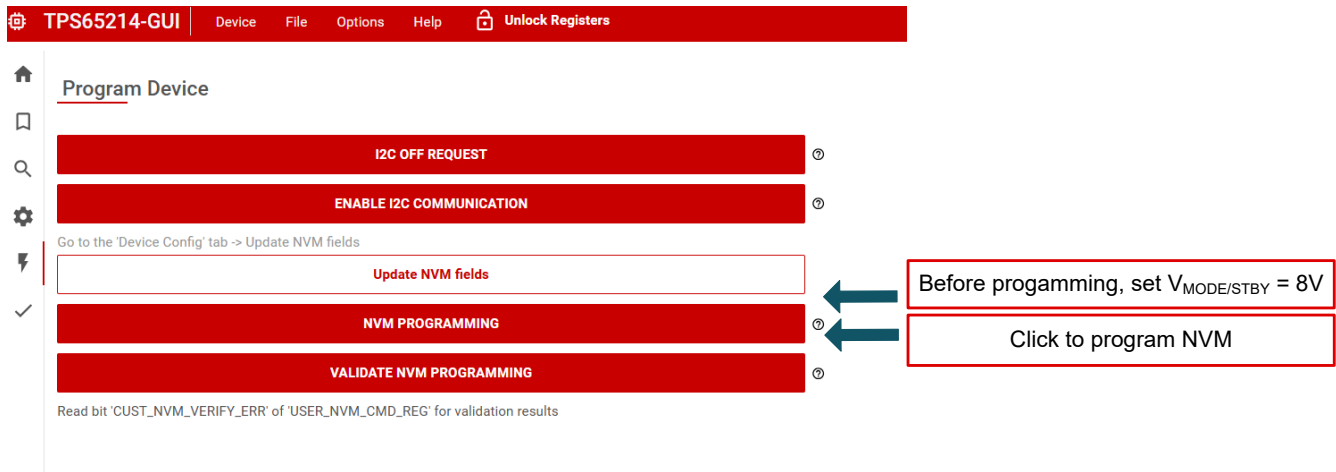


図 6-1. TPS65214-GUI を使用した NVM のプログラミング

表 6-1. I2C 書き込みによりレジスタ設定を NVM に保存

レジスタ・アドレス	ビット		データ
	ビット番号	フィールド名	
0x34	3-0	USER_NVM_CMD	0x0A

7 NVM 以外のレジスタ

PMIC レジスタ マップには、NVM ビットと NVM 以外のビットが含まれています。レジスタ アドレス 0x00～0x27 には、EEPROM でバックアップされた NVM ビットが含まれています。これらのレジスタ設定は I2C により変更でき、本プログラミング ガイドに記載されているようにデフォルト値を再プログラムできます。各 NVM ビットのリセット値は、データシートのレジスタ マップでは「X」とされている場合があります。これは、そのビット値が再プログラム可能であり、注文可能な型番ごとに固有の値となり得るためです。

NVM 以外のビットはレジスタ アドレス 0x28～0x37 に配置されています。これらのレジスタ設定は I2C により変更できますが、デフォルト値を再プログラムすることはできません。NVM 以外のビットのレジスタ設定は、パワー サイクル後、および PMIC が初期化状態に入るたびにデフォルト値に戻ります。NVM 以外のビットのデフォルト値は、データシートのレジスタ マップの「リセット」列に記載されています。

ブランクのユーザー プログラマブル部品 TPS6521405VAFR のデフォルト値は、次の [セクション 8](#) に示すフィールドを除き、0h に設定されています。

8 TPS6521405 のデフォルト設定

ユーザープログラマブルな TPS6521405VAFR バリエーションでは、すべての降圧コンバータ、LDO、GPIO がデフォルトで無効化されており、対応する出力電圧レジスタは最小値に設定されています。以下の表に示すフィールドを除き、すべてのレジスタ設定は 0h に構成されています。

表 8-1. 0h に構成されていない TPS6521405VAFR の NVM レジスタ

レジスタ・アドレス	フィールド名	値	説明
0x00	TI_DEV_ID	0x44	TPS6521405 識別子
0x01	NVM_ID	0x05	TPS6521405 識別子
0x26	I2C_ADDRESS_REG	0x30	再プログラミング時の I2C アドレスは、デフォルトで 0x30 に設定されます

表 8-2. 0h に構成されていない TPS6521405VAFR の非 NVM レジスタ

レジスタ・アドレス	フィールド名	値	説明
0x28	MANUFACTURING_VER	X	シリコン リビジョンのバージョン。 0x01 = リビジョン 1、 0x02 = リビジョン 2、 ...
0x2A	discharge_config	0x37	放電が有効

A 参考資料

1. テキサス・インスツルメンツ、『[TPS6521405 データシート](#)』
2. テキサス・インスツルメンツ、『[TPS65214EVM-SKT ユーザー ガイド](#)』

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月