

## User's Guide

## CC33xx ハードウェアの統合



Dylan Hubbard, Jessica M. Torres, Jonathan Cohen, Andy Bui, and Josh Smith

## 概要

このドキュメントには、システム設計に従事するエンジニア向けに、WLAN および Bluetooth® Low Energy のハードウェア動作に関する必要な情報が記載されています。さらに、TI の CC33xx デバイスを最終製品の PCB に統合するプロセスも紹介します。TI のチップセットを中心にシステムを設計する際には、このユーザー ガイドに記載されているガイドラインに従うことを推奨します。

## 目次

1 概要.....	3
1.1 概要.....	3
2 回路図に関する検討事項 — CC33xx デバイス.....	4
2.1 回路図リファレンス デザイン.....	4
2.2 電源.....	6
2.3 クロック ソース.....	8
2.4 無線周波数 (RF).....	10
2.5 デジタル インターフェイス.....	11
3 レイアウトの検討事項 — CC33xx デバイス.....	19
3.1 レイアウトリファレンス デザイン.....	19
3.2 IC サーマル パッド.....	24
3.3 無線周波数 (RF).....	24
3.4 XTAL.....	27
3.5 電源.....	28
3.6 SDIO.....	29
4 回路図に関する検討事項 — CC33xxMOD ..... 31	31
4.1 回路図リファレンス デザイン — CC33xxMOD ..... 31	31
4.2 電源..... 31	31
5 レイアウトの検討事項 — CC33xxMOD ..... 32	32
5.1 CC33xxMOD RF レイアウトに関する推奨事項..... 32	32
6 CC33xxMOD 規制準拠..... 33	33
6.1 CC33xxMOD OEM 統合マニュアル..... 34	34
7 改訂履歴..... 36	36

## 図の一覧

図 2-1. CC33xx のリファレンス回路図.....	4
図 2-2. CC335x のリファレンス回路図.....	5
図 2-3. CC33xx の起動シーケンス.....	7
図 2-4. BG バンドのリファレンス回路図.....	10
図 2-5. デュアル バンド RF のリファレンス回路図.....	11
図 2-6. アンテナ ダイバーシティのリファレンス回路図.....	11
図 2-7. SDIO のデフォルト入力タイミング.....	12
図 2-8. SDIO のデフォルト出力タイミング.....	12
図 2-9. SDIO HS の入力タイミング.....	13
図 2-10. SDIO HS の出力タイミング.....	13
図 2-11. SPI タイミング図.....	14
図 2-12. UART タイミング図.....	16

☒ 2-13. デュアル アンテナ構成における CC33xx の共存機能.....	18
☒ 2-14. シングル アンテナ構成における CC33xx の共存機能.....	18
☒ 3-1. CC330x リファレンス デザイン、トップ (レイヤ 1).....	20
☒ 3-2. CC330x リファレンス デザイン、グラウンド (レイヤ 2).....	20
☒ 3-3. CC335x リファレンス デザイン、トップ (レイヤ 1).....	21
☒ 3-4. CC335x リファレンス デザイン、グラウンド (レイヤ 2).....	21
☒ 3-5. BP-CC3351 レイアウト、トップ (レイヤ 1).....	22
☒ 3-6. BP-CC3351 レイアウト、グラウンド (レイヤ 2).....	22
☒ 3-7. M2-CC3351 レイアウト、トップ (レイヤ 1).....	23
☒ 3-8. M2-CC3351 レイアウト、グラウンド (レイヤ 2).....	23
☒ 3-9. リファレンス デザインのサーマル パッド.....	24
☒ 3-10. CC330x リファレンス デザイン RF パス.....	24
☒ 3-11. CC335x リファレンス デザイン RF パス.....	25
☒ 3-12. RF パターン測定の例.....	26
☒ 3-13. パターン インピーダンスの計算例.....	27
☒ 3-14. 40MHz XTAL (BP-CC3351 からの抜粋).....	27
☒ 3-15. XTAL カットアウト下層のリファレンス レイアウト.....	28
☒ 3-16. CC33xx 電源のリファレンス レイアウト.....	29
☒ 3-17. 電源レイヤのリファレンス レイアウト.....	29
☒ 3-18. SDIO 信号のリファレンス レイアウト.....	30
☒ 4-1. CC33xxMOD のリファレンス回路図.....	31
☒ 5-1. RF セクションのレイアウト.....	32
☒ 6-1. CC330xMOD 最終製品のラベリング.....	35
☒ 6-2. CC335xMOD 最終製品のラベリング.....	35

## 表の一覧

表 1-1. CC33xx コンパニオン IC のデバイス比較.....	3
表 1-2. CC33xx コンパニオン モジュールの比較.....	3
表 2-1. 部品表.....	6
表 2-2. 必要なデバイス電力.....	6
表 2-3. 外部高速クロックの XTAL 仕様.....	9
表 2-4. 外部低速クロックの要件.....	9
表 2-5. SDIO タイミング パラメータ: デフォルト速度.....	13
表 2-6. SDIO タイミング パラメータ: 高速.....	14
表 2-7. SPI タイミング パラメータ.....	15
表 2-8. UART タイミング パラメータ.....	16
表 3-1. すべての CC33xx 評価基板で使用するスタックアップ (上層から下層).....	26
表 4-1. 必要なデバイス電力.....	32
表 6-1. CC330xMOD 認証.....	33
表 6-2. CC335xMOD 認証.....	33
表 6-3. CC330xMOD 認証済みアンテナのリスト.....	34
表 6-4. CC335xMOD 認証済みアンテナのリスト.....	34

## 商標

SimpleLink™ is a trademark of Texas Instruments.

Wi-Fi™ is a trademark of Wi-Fi Alliance.

Bluetooth® is a registered trademark of Bluetooth SIG, Inc.

すべての商標は、それぞれの所有者に帰属します。

## 1 概要

### 1.1 概要

SimpleLink™ Wi-Fi™ CC33xx デバイス ファミリーは、コスト削減の可能性と高い信頼性を両立しており、エンジニアはより多くのアプリケーションを自信を持って接続できます。CC33xx デバイスは、Wi-Fi 6 と Bluetooth Low Energy (BLE) 5.4 の両方を内蔵するシングルチップまたは事前認定済みモジュールで提供されます。以下のデバイスも、関連するパッケージファミリー内でピン互換です (IC 間やモジュール間)。

表 1-1. CC33xx コンパニオン IC のデバイス比較

デバイス	特長		
	WLAN 2.4GHz	Bluetooth Low Energy 5.4	WLAN 5GHz
CC3300	✓		
CC3301	✓	✓	
CC3350	✓		✓
CC3351	✓	✓	✓

表 1-2. CC33xx コンパニオン モジュールの比較

デバイス	特長		
	WLAN 2.4GHz	Bluetooth Low Energy 5.4	WLAN 5GHz
CC3300MOD	✓		
CC3301MOD	✓	✓	
CC3350MOD	✓		✓
CC3351MOD	✓	✓	✓

このガイドでは、CC33xx デバイスを統合するためのハードウェア要件と推奨事項について説明します。

## 2 回路図に関する検討事項 — CC33xx デバイス

CC33xx デバイスは、任意のシステムに簡単に統合できるように設計されており、外付け部品をほとんど必要としません。ホストプロセッサ (MPU または MCU) とのデジタル インターフェイスは、最終アプリケーションに応じて柔軟に構成できます。ユーザーは、共有 Wi-Fi および Bluetooth Low Energy 通信において、セキュア デジタル入出力 (SDIO)、シリアルペリフェラル インターフェイス (SPI)、UART (ユニバーサル非同期レシーバ/トランスミッタ) のうち任意の組み合わせの使用を選択できます。

このセクションでは、エンジン領域の回路図を最適化するための最小要件について説明します。

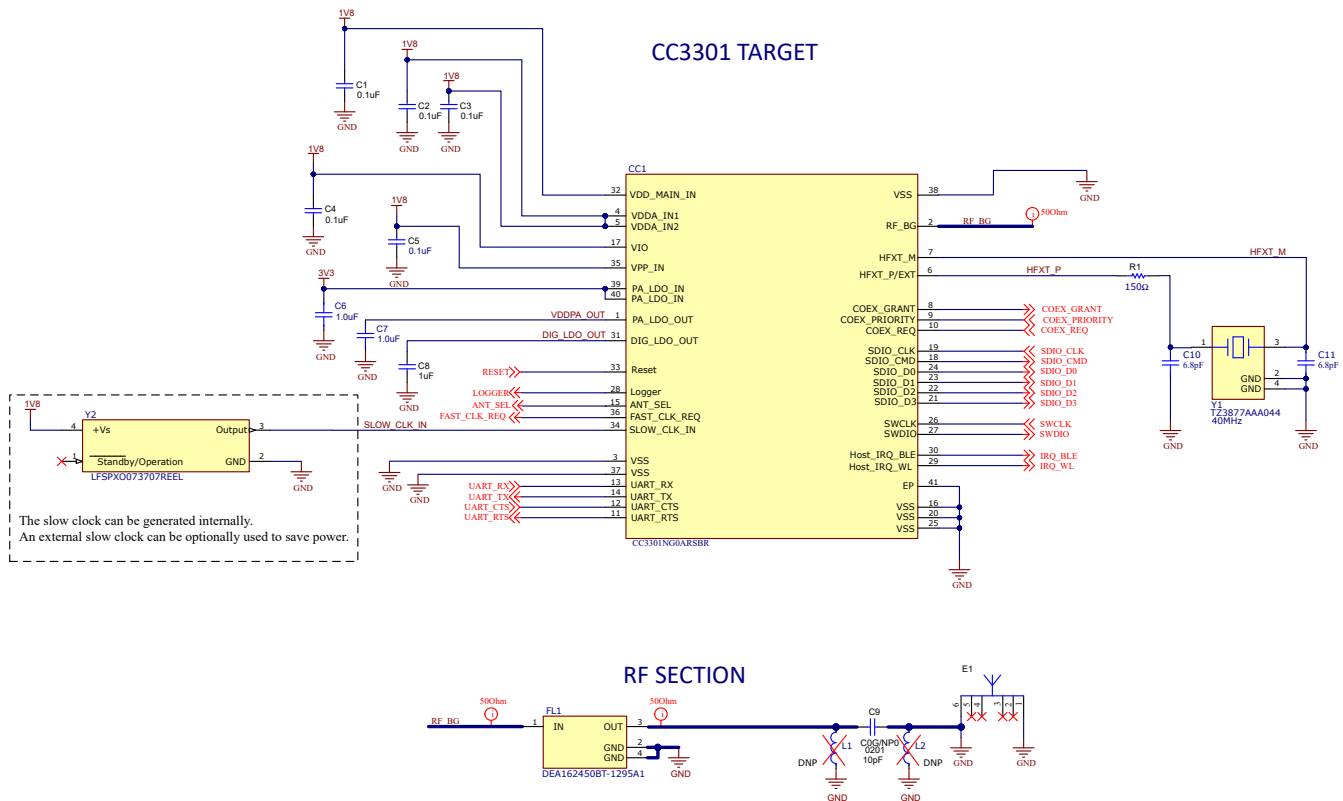
### 2.1 回路図リファレンス デザイン

CC33xx デバイスの性能を最大限に引き出し (デバイス固有のデータシートに記載)、認証に合格するため、CC33xx デバイスのリファレンス デザインおよびガイドラインにできる限り従うことを推奨します。CC33xx および CC335x デバイス用の推奨回路図設計には、次の場所からアクセスできます。

[CC330x リファレンス デザイン ファイル](#)

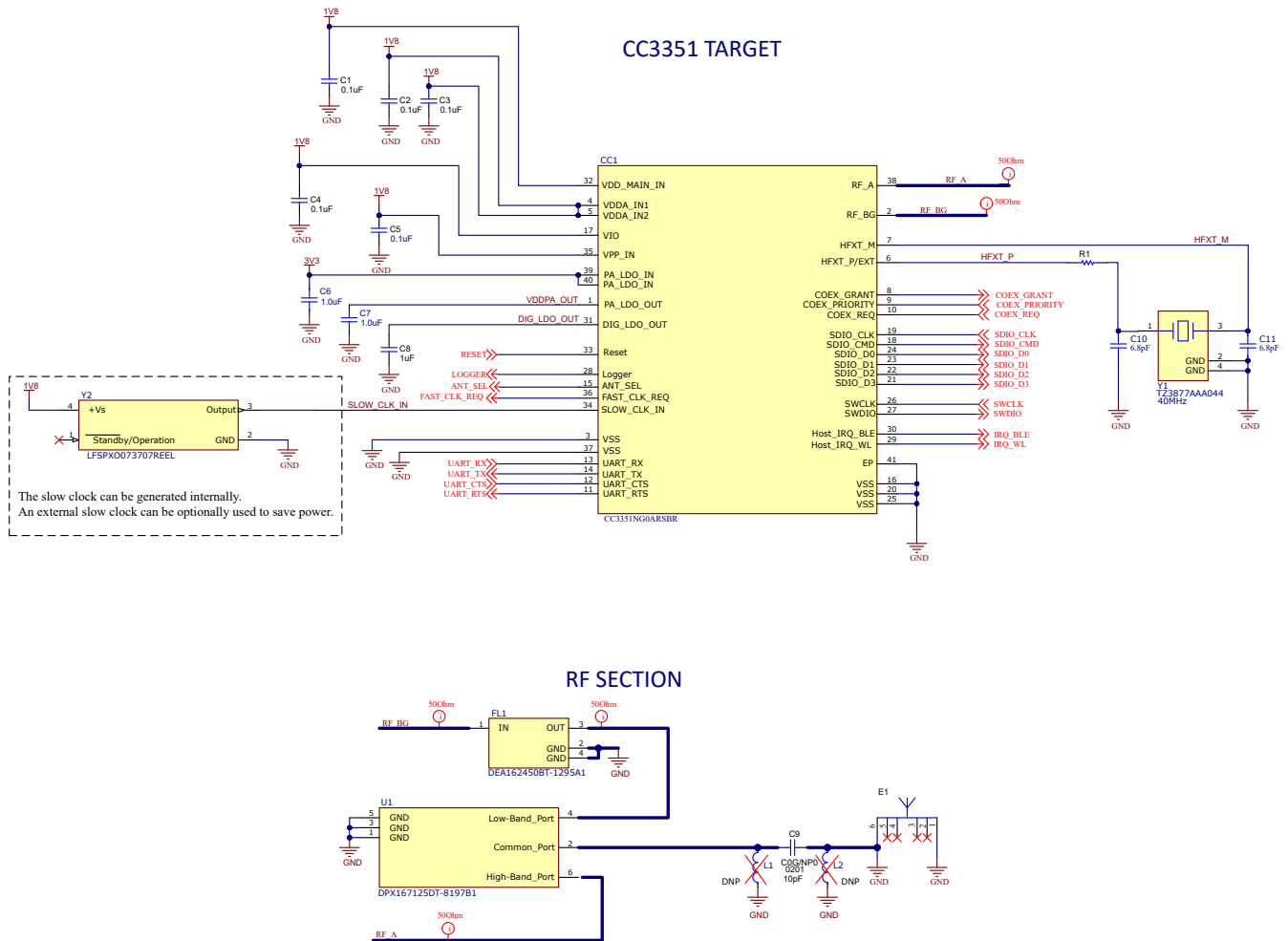
[CC335x リファレンス デザイン ファイル](#)

CC330x と CC335x デバイスのリファレンス回路図を、[図 2-1](#) と [図 2-2](#) に示します。



A. 規制要件への適合性を最適化するため、TI は RF シールドの使用を推奨しています。

図 2-1. CC33xx のリファレンス回路図



A. 規制要件への適合性を最適化するため、TI は RF シールドの使用を推奨しています。

図 2-2. CC335x のリファレンス回路図

CC33xx デバイスと CC335x デバイスの回路図の唯一の違いは、CC335x デバイスで 5GHz に対応するためのダイプレクサ U1 が追加されている点です。回路図の RF セクションの詳細については、[セクション 2.4](#) を参照してください。

**表 2-1. 部品表**

項目	記号参照 ( / )	数量	値	部品番号	メーカー	説明	パッケージ記号
1	C <sub>1</sub> 、C <sub>2</sub> 、C <sub>3</sub> 、C <sub>4</sub> 、C <sub>5</sub>	5	0.1μF	GRM033C71A104KE14D	Murata	CAP, CERM, 0.1μF, 10V, ±10%、X7S, 0201 マッチング部品: CAP, CERM, 10pF, 50V, ±5%、C0G/NP0, 0201	0201
2	C <sub>6</sub> 、C <sub>7</sub>	2	1μF	GRM033D70J105ME01D	Murata	汎用チップ マルチレイヤ セラミック コンデンサ、0201、1.0μF、X7T、+22% / -33%、20%、6.3V	0201
3	C <sub>8</sub>	1	1μF	GRM155R70J105MA12D	Murata	コンデンサ、セラミック、1μF、6.3V、±20%、X7R、0402	0402
4	C <sub>9</sub>	1	10pF	GJM0335C1E100JB01D	Murata	コンデンサ、セラミック、10pF、25V、±5%、C0G/NP0、0201	0201
5	C <sub>10</sub> 、C <sub>11</sub>	2	6.8pF	GJM0335C1H6R8BB01	Murata	汎用チップ マルチレイヤ セラミック コンデンサ、0201、6.8pF、C0G、30ppm/°C、0.25pF、50V	0201
6	R1	1	150 Ω	RC0201FR-7D150RL	YAGEO	抵抗、150、1%、0.05W、0201	0201
7	CC1	1		CC33x1NG0ARSBR	テキサス インスト ルメンツ	CC33x1NG0ARSBR – Wi-Fi 6 およ び Bluetooth Low Energy 5.2 コンボ トランシーバ	WQFN40
8	Y2	1		TZ3877AAA044	Tia-Saw Technology	水晶振動子ユニット SMD 2.0 x 1.6 40.0MHz	SMT4_2MM05_1MM65
9	FL1	1		DEA162450BT-1295A1	TDK	2.45GHz 中心周波数バンドパス RF フィルタ、100MHz 帯域幅 1.8dB 0603、3 PC パッド	SMT_FILTER_1MM60_0MM80
10	CC335x 専 用:U1	1		DPX167125DT-8197B1	TDK	2.4 ~ 2.5GHz W-LAN および Bluetooth / 5 ~ 7GHz W-LAN 用マ ルチレイヤ ダイプレクサ	SMD6
11	オプション: Y1 <sup>(1)</sup>	1		LFSPX0073707REEL	IQD 周波数製品	オプション:32.768kHz XO (標準) CMOS 発振器 1.8V イネーブル/ディ スエーブル 4-SMD、リードなし	SMT4_2MM0_1MM6

(1) 低速クロックは内部で生成できます。オプションとして、外部の低速クロックを使用することで、内部で低速クロックを生成する場合よりも消費電力を低減できます。

## 2.2 電源

CC33xx デバイスには、配線する必要がある電源レールが 2 系統あります。

- 1.8V: VDD\_MAIN\_IN、VDDA\_IN1、VDDA\_IN2、VIO、VPP\_IN
- 3.3V: PA\_LDO\_IN

CC33xx デバイスには、デジタル コア、メモリ、パワー アンプの電源をレギュレートする LDO が内蔵されています。LDO の出力は、DIG\_LDO\_OUT 信号と PA\_LDO\_OUT 信号から測定できます。

### 注

PA\_LDO\_OUT 信号の出力は、ファームウェアがデバイスにロードされるまで有効になりません。

電源ピンの動作条件の詳細については、表 2-2 を参照してください。

**表 2-2. 必要なデバイス電力**

ピン	信号	方向 (I/O)	必要な電圧 (標準値)
1	PA_LDO_OUT	O	該当なし
31	DIG_LDO_OUT	O	該当なし
17	VIO	I	1.8V
32	VDD_MAIN_IN	I	1.8V
4	VDDA_IN1	I	1.8V
5	VDDA_IN2	I	1.8V

表 2-2. 必要なデバイス電力 (続き)

ピン	信号	方向 (I/O)	必要な電圧 (標準値)
35	VPP_IN	I	1.8V
39	PA_LDO_IN	I	3.3V
40			

### 2.2.1 電源入出力要件

重要度の高い順に電源端子を示します。

- PA\_LDO\_OUT (ピン 1): デカップリング コンデンサ (1.0 $\mu$ F) を提供
- VDDA\_IN1 (ピン 4): デカップリング コンデンサ (0.1 $\mu$ F) を提供
- VDDA\_IN2 (ピン 5): デカップリング コンデンサ (0.1 $\mu$ F) を提供
- DIG\_LDO\_OUT (ピン 31): デカップリング コンデンサ (1.0 $\mu$ F) を提供
- VPP\_IN (ピン 35): デカップリング コンデンサ (0.1 $\mu$ F) を提供。
- VIO (ピン 17): デカップリング コンデンサ (0.1 $\mu$ F) を提供
- VDD\_MAIN\_IN (ピン 32): デカップリング コンデンサ (0.1 $\mu$ F) を提供

RF 性能を最大限に引き出すため、重要度の高い順にバイパス コンデンサの配置を優先してください。

### 2.2.2 起動シーケンス

CC33xx デバイスを正しく動作させるためには、適切な起動シーケンスに従う必要があります。通常、この起動シーケンスのうち CC33xx デバイスとホスト間のインターフェイスに関しては、ホストドライバが管理します。

図 2-3 に、ホストプロセッサ通信のデフォルト設定で SDIO (セキュア デジタル入出力) を使用した場合の CC33xx デバイスのトップレベルの起動シーケンスを示します。

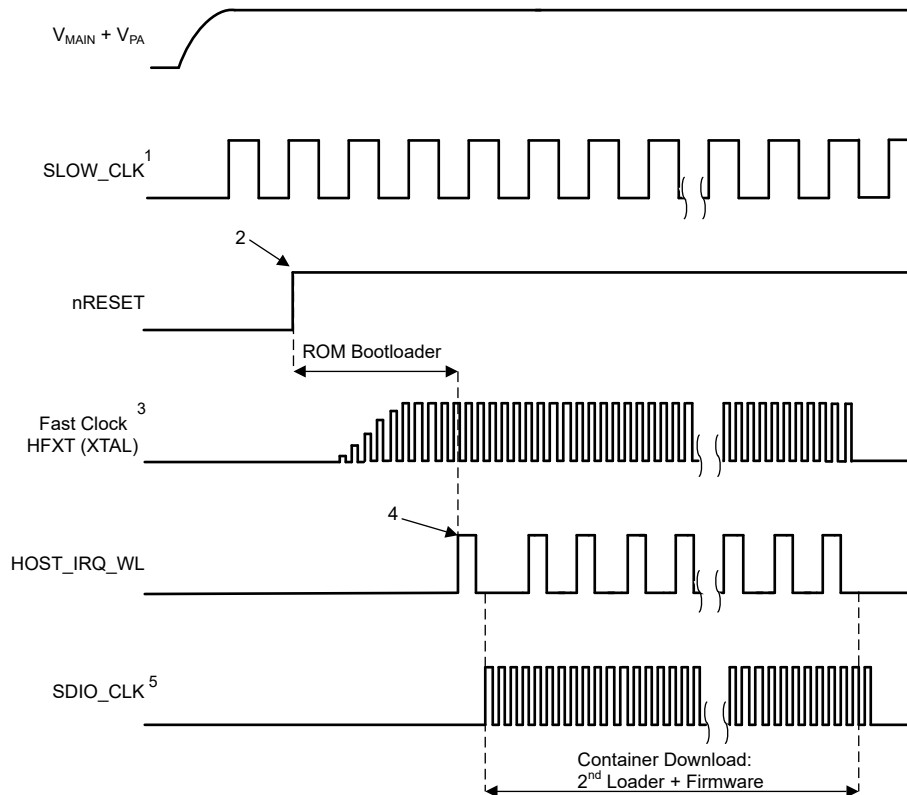


図 2-3. CC33xx の起動シーケンス

### 注

1. 外部低速クロックの場合、nReset ピンがデアサート (High) される前にクロックが安定していることを確認してください。
2. すべての電源 (VDD\_MAIN\_IN、VDDA、V<sub>IO</sub>、V<sub>PA</sub>) は、nReset ピンがデアサートされる前に、少なくとも 10µs の間安定している必要があります。
  - a. VDD\_MAIN\_IN と V<sub>IO</sub> 電源には、パワーアップ時の I/O のグリッチを防止するため、同じ電源から電力を供給する必要があります。
  - b. VDDA\_IN1/IN2 および PA\_LDO\_IN の電源は、他のすべての電源とは独立して供給できます。
3. 外部高速クロック (HFXT) は、ROM ブートローダーの実行中に安定します。ブートの完了後に CC33xx デバイスがスリープモードに移行するまで、クロックはアクティブです。
4. ROM ブートローダーは CC33xx デバイスにおけるブートの第 1 段階であり、nReset ピンのデアサート (デバイス有効化) によってブートが開始され、HOST\_IRQ\_WL ラインがデバイスからの出力 High を示し、ブート段階の完了をホストに通知した時点で終了します。
5. ROM ブートローダーが完了すると、CC33xx デバイスは、SDIO または SPI ラインを経由してホスト プロセッサから 2 つのバイナリ コンテナ (セカンダリ ブートローダー + ファームウェア) を受信できる状態になります。これらのコンテナはメモリ チャンクにダウンロードされます。各チャンクの終了時に、CC33xx デバイスは HOST\_IRQ\_WL ラインを High にすることでホストへアックノリッジを送信することにより、メモリ チャンクが正常に受信され、次のチャンクの受信準備が整ったことをホストに通知します。SDIO\_CLK はホストによって駆動され、SDIO バスがアクティブなときにのみ有効になります。
6. コンテナが CC33xx デバイ스에ダウンロードされると、デバイスは初期化を完了してスリープに移行します。

#### 2.2.2.1 SOP モード

Logger (ピン 28) 信号と HOST\_IRQ\_WL (ピン 29) 信号は、パワーオン時の検出 (SOP) ピンとして扱われます。これらのピンをホストに接続する際は、パワーアップ時に Host\_IRQ\_WL (ピン 29) が Low ロジックレベルを維持し、Logger (ピン 28) が High ロジックレベルを維持することを確認してください。

これらの SOP ピンをホストに接続し、そのホストがラインのロジックレベルに影響を与える可能性がある場合は、必要に応じて、プルダウン抵抗およびプルアップ抵抗 (または抵抗構成) を追加してください。

#### 2.2.3 パワーダウン シーケンス

信頼性を向上させ、パワーダウン シーケンス後に適切なブートアップを行うには、CC33xx デバイスの正しいパワーダウン シーケンスに従う必要があります。

正しいシャットダウン シーケンスを実行する方法

1. 低速クロック (外部から供給する場合) とデバイスへのすべての電源 (VDD\_MAIN\_IN、VDDA、V<sub>IO</sub>、V<sub>PA</sub>) が安定して供給されている間に、nRESET ピンをデアサート (Low) します。
2. nRESET 信号がデアサート (Low) した後で、チップへの電源をデアサートします。

正常なシャットダウン シーケンスは、nRESET ピンが Low になってから完了するまでに 1µs かかります。電源が安定した状態に維持されている場合、デバイスを連続して有効化する際の最小間隔は 1µs です。

### 2.3 クロック ソース

CC33xx デバイスは、2 つのクロックを使って動作します。

- WLAN/BLE 機能向けに 40MHz で動作する高速クロック
- 低消費電力モード向けに 32.768kHz で動作する低速クロック

高速クロックは外部で生成する必要があります。低速クロックはデバイスによって内部で生成することも、発振器によって外部で生成することもできます。

注

クロック周波数の偏差は、無線周波数の偏差として反映されます。

特定の基板レイアウトに基づいて周波数調整を行うための外部負荷コンデンサ ( $C_L$ ) の適切な選択方法については、「[Simplelink 周波数調整](#)」を参照してください。

### 2.3.1 高速クロック

CC33xx デバイスは、水晶振動子ベースの高速クロック (XTAL) をサポートしています。水晶振動子は、適切な負荷コンデンサと 150Ω の抵抗を用いて、HFXT\_P と HFXT\_M ピン間に直接接続します。設計要件を以下に列挙します。

1. HFXT\_P (ピン 6) に 150Ω の抵抗をデバイスの近くで XTAL の前段に配置します。
2. XTAL を、HFXT\_P (ピン 6) ピンと HFXT\_M (ピン 7) ピンの両端に接続します。
3. XTAL の両方のピンに負荷コンデンサ (6.8pF) を取り付けます。

注

6.8pF という推奨負荷容量は、TI の基板レイアウトに基づいています。

4. 必要に応じて、負荷容量を調整します。

注

このステップの要件は、お客様が実装した基板レイアウトに依存します。このステップは、すべての基板で必要というわけではありません。このトピックの詳細なガイダンスについては、「[Simplelink 周波数の調整](#)」を参照してください。

高速クロック部品は、表 2-3 に示す要件を満たす必要があります。

表 2-3. 外部高速クロックの XTAL 仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
サポート周波数			40		MHz
周波数精度	初期状態 + 温度 + 経年変化			±25   ±20 <sup>(2)</sup>	ppm
負荷容量、 $C_L$ <sup>(1)</sup>		5		13	pF
等価直列抵抗、ESR				40	Ω
励振レベル			100		μW

- (1) 負荷容量  $C_L = [C1 \times C2] / [C1 + C2] + C_p$ 。ここで、C1 および C2 はそれぞれ HFXT\_P ピンと HFXT\_M ピンに接続されたコンデンサ、 $C_p$  は寄生容量 (通常は 1pF ~ 2pF) です。たとえば、 $C1 = C2 = 6.2pF$ 、 $C_p = 2pF$  の場合、 $C_L = 5pF$  となります。
- (2) CC330x デバイスを実装する設計で XTAL を選択する場合、周波数の精度要件は ±25ppm です。CC335x デバイスを実装する設計で XTAL を選択する場合、周波数の精度要件は ±20ppm です。

### 2.3.2 低速クロック

低速クロックはデバイスの内部発振器によって生成されますが、外部発振器を使用することもできます。

#### 2.3.2.1 内部生成の低速クロック

外付け部品を最小限に抑えるため、内部発振器によって低速クロックを生成できます。ただし、このクロックの精度は低く、低速クロックを外部から供給する場合よりも多くの電力を消費します。このシナリオでは、SLOW\_CLK\_IN ピンは未接続のままにする必要があります。

#### 2.3.2.2 外部発振器を使用する低速クロック

優れた消費電力を実現するため、低速クロックは発振器によって外部で生成するか、システム内の他の場所から供給できます。外部ソースは、表 2-4 に示す要件を満たす必要があります。このクロックは CC335xMOD の SLOW\_CLK\_IN ピンに供給でき、nReset ピンがデアサートされてデバイスが有効になる前に安定化されている必要があります。

表 2-4. 外部低速クロックの要件

パラメータ	説明	最小値	標準値	最大値	単位
入力低速クロック周波数	方形波		32768		Hz

表 2-4. 外部低速クロックの要件 (続き)

パラメータ	説明	最小値	標準値	最大値	単位
周波数精度	初期状態 + 温度 + 経年変化			±250	ppm
入力デューティサイクル		30%	50%	70%	
$T_r/T_f$	立ち上がりおよび立ち下がり時間			100	ns
$V_{IL}$	入力 LOW レベル	0		$0.35 \times V_{IO}$	V
$V_{IH}$	入力 HIGH レベル	$0.65 \times V_{IO}$		1.95	V
	入力インピーダンス	1			MΩ
	入力容量			5	pF

## 2.4 無線周波数 (RF)

CC330x デバイスをシングルバンド 2.4GHz 構成で実装する場合、無線周波数 (RF) 機能用に RF\_BG (ピン 2) ピンを配線する必要があります。CC335x デバイスをデュアルバンド 5GHz 構成で実装する場合、無線周波数 (RF) 機能を実現するための追加要件として、RF\_A (ピン 38) を配線する必要があります。

RF\_BG パターンでは、放射成分または導電性成分に達する前に、このパスに沿ってバンドパスフィルタ (BPF) を配置する必要があります。推奨 BPF については、表 2-1 を参照してください。TI では、RF 性能を向上させるため、アンテナの前段にインピーダンス整合ネットワーク (PI 型または L 型など) を実装することも推奨しています。図 2-4 は、シングルバンド 2.4GHz 構成 (CC330x) 用に設計する場合の RF パス回路図の設計例です。このシングルバンド 2.4GHz の使用事例では、ノイズ低減を改善するために RF\_A (ピン 38) ピンをグラウンドに接続します。

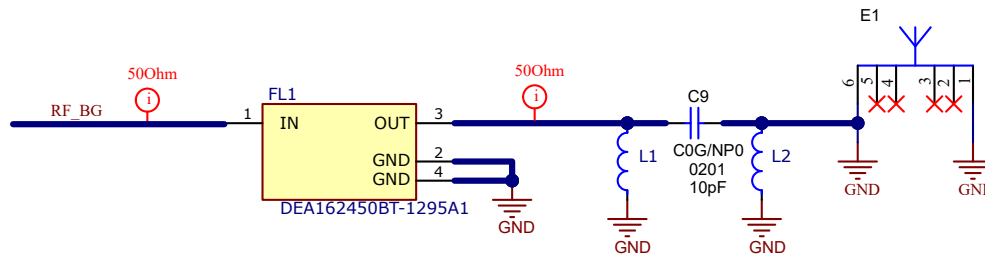


図 2-4. BG バンドのリファレンス回路図

CC335x デバイスを使用して設計する場合、2.4GHz RF 帯域で 5GHz RF を実現するためには、RF\_A (ピン 38) ピンに追加の配線が必要です。両方の RF 帯域を使用するには、ダイプレクサが必要です。RF\_A ピンは、ダイプレクサの高帯域ポートに直接接続する必要があります。RF\_BG ピンは、(前述のように) BPF を介して配線してから、ダイプレクサの Low\_Band ポートに接続する必要があります。推奨のダイプレクサについては、表 2-1 を参照してください。図 2-5 は、デュアルバンド 2.4GHz + 5GHz 構成 (CC335x) 用に設計する場合の RF パス回路図の設計例です。

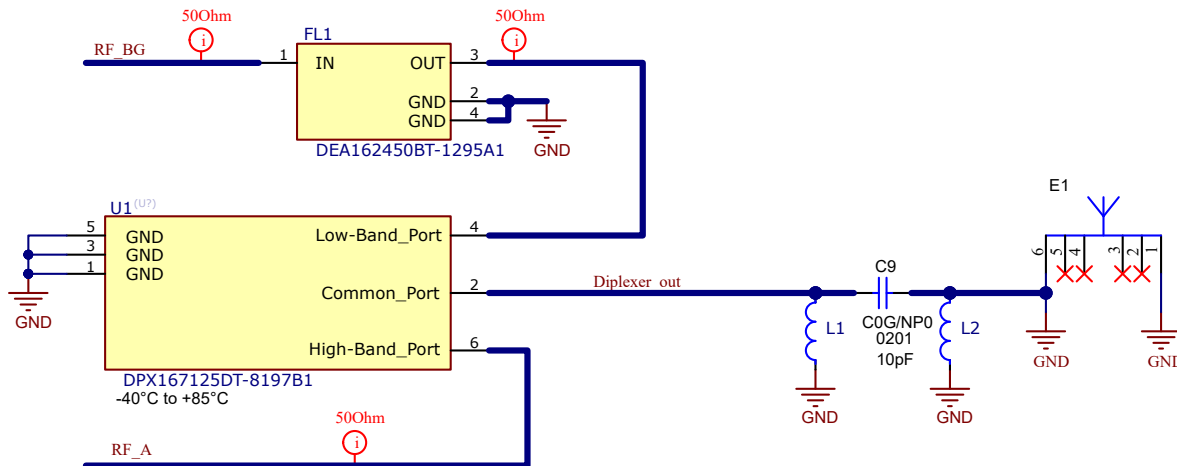


図 2-5. デュアル バンド RF のリファレンス回路図

これらの推奨事項から逸脱すると、性能がデータシートの仕様を満たさなくなる可能性があります。

(アンテナ ダイバーシティを利用するために) RF スイッチを実装する場合は、CC33xx デバイスからの最終的なフィルタ処理された信号を、RF スイッチの入力にします。具体的には、CC335x デバイスを実装したデュアル バンド RF デバイスを設計する場合は、RF スイッチの入力をダイプレクサの共通ポートに配線します。CC330x デバイスを実装するシングルバンド RF デバイスを設計する場合は、RF スイッチの入力を BPF の出力に配線する必要があります。ANT\_SEL (ピン 15) ピンを配線し、スイッチング信号として使用できます。シングル バンド デバイスを設計する場合 (CC330x を使用)、RF\_IN 信号を BPF の出力に接続し、デュアル バンド デバイス (CC335x を使用) を設計する場合は、RF\_IN 信号をダイプレクサの共通ポートに接続する必要があります (図 2-6 を参照)。

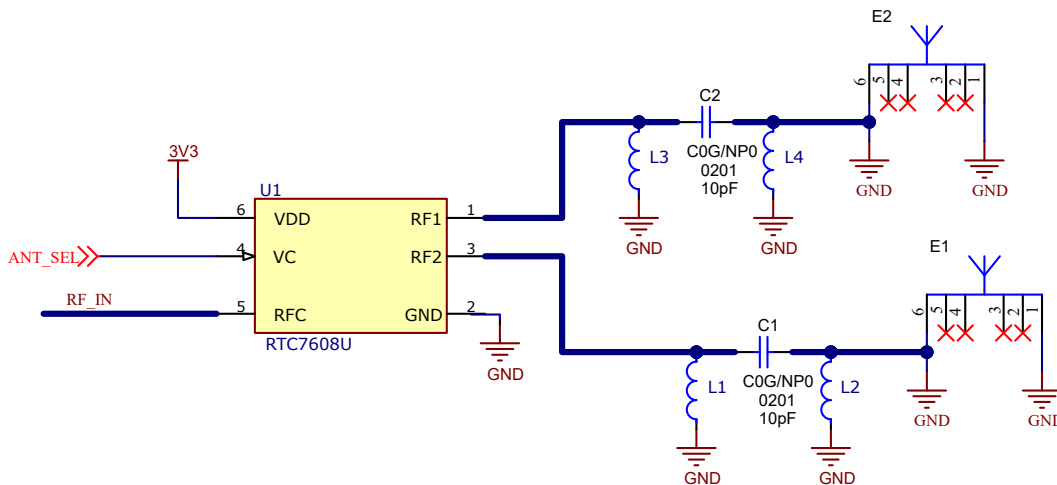


図 2-6. アンテナ ダイバーシティのリファレンス回路図

## 2.5 デジタル インターフェイス

CC33xx デバイスのすべての I/O 信号は、1.8V (標準値) で動作します。これよりも高い電圧をシステムで使用する場合、レベル シフタの使用を考慮して設計する必要があります。

### 2.5.1 リセット

nReset (ピン 33) ピン (アクティブ Low 信号) は、ホストに接続し、ホストから制御する必要があります。ホストなしのセットアップでは、電源が安定した後にリセットを High にします。

リセットが Low になると、デバイスはアクティブ シャットダウン モードに移行します。デバイスの再有効化後は、正しく動作させるためにファームウェアを再ダウンロードする必要があります。

## 2.5.2 セキュア デジタル入出力 (SDIO)

SDIO は、ワイヤレス通信のメイン ホスト インターフェイスです。CC33xx デバイスは、Wi-Fi と Bluetooth Low Energy の両方のプロトコルで共有 SDIO インターフェイスをサポートしています。

SDIO の仕様に従い、ホストはこれらのデータライン (SDIO\_D0、SDIO\_D1、SDIO\_D2、SDIO\_03、および SDIO\_CMD) がプルアップされていることを前提としています。SDIO データライン上の部品 (レベル シフタなど) によって、これらのデータラインの状態が Low ロジックレベルに変更されないよう注意してください。

### 2.5.2.1 SDIO タイミング図: デフォルト速度

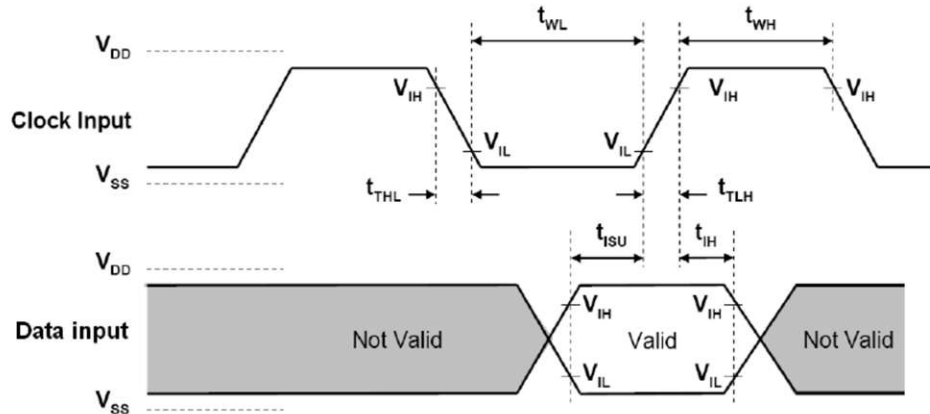


図 2-7. SDIO のデフォルト入力タイミング

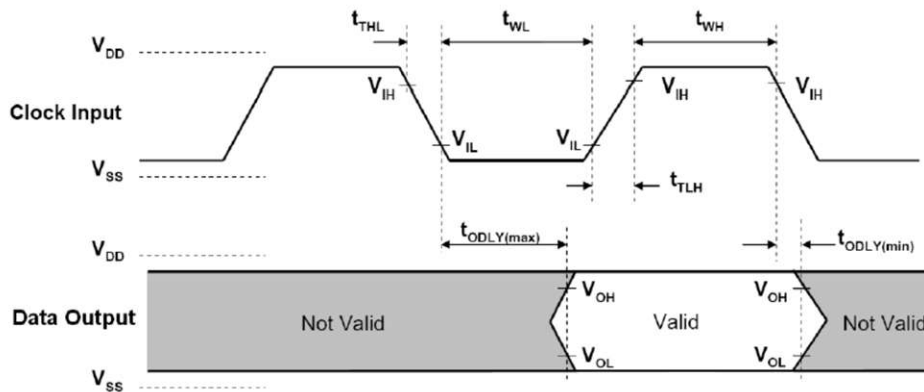


図 2-8. SDIO のデフォルト出力タイミング

表 2-5. SDIO タイミング パラメータ: デフォルト速度

パラメータ	説明	最小値	最大値	単位
$f_{\text{clock}}$	クロック周波数、CLK		26	MHz
$t_{\text{High}}$	High 期間	10		ns
$t_{\text{Low}}$	Low 期間	10		
$t_{\text{TLH}}$	立ち上がり時間、CLK		10	
$t_{\text{THL}}$	立ち下がり時間、CLK		10	
$t_{\text{ISU}}$	セットアップ時間、CLK ↑ 前の入力有効	5		
$t_{\text{IH}}$	ホールド時間、CLK ↑ 後の入力有効	5		
$t_{\text{ODLY}}$	遅延時間、CLK ↓ から出力有効まで	2	14	
$C_L$	出力の容量性負荷	15	40	pF

2.5.2.2 SDIO タイミング図: 高速

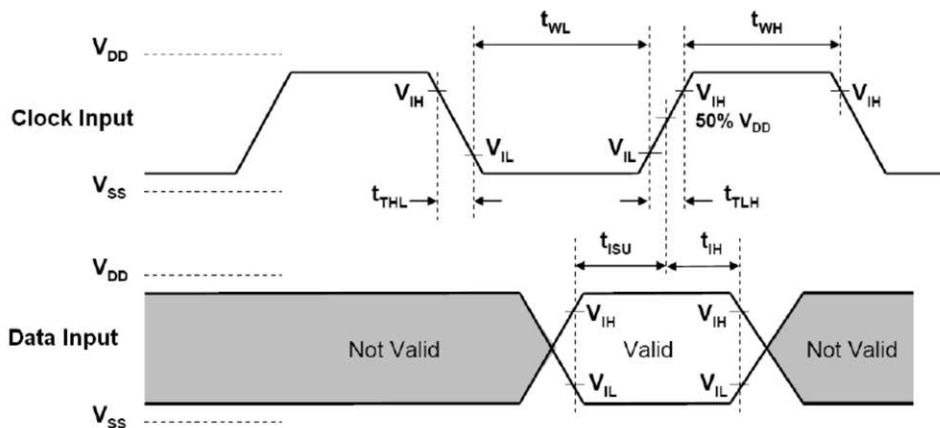


図 2-9. SDIO HS の入力タイミング

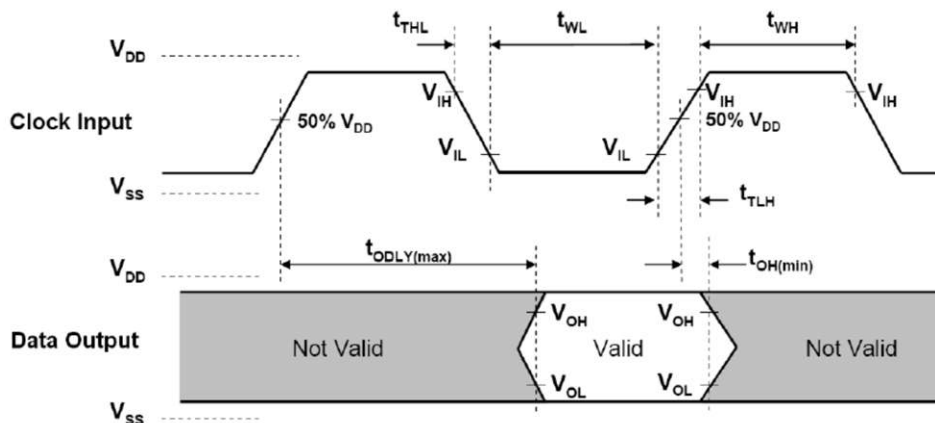


図 2-10. SDIO HS の出力タイミング

表 2-6. SDIO タイミング パラメータ: 高速

パラメータ	説明	最小値	最大値	単位
$f_{\text{clock}}$	クロック周波数、CLK		52	MHz
$t_{\text{High}}$	High 期間	7		ns
$t_{\text{Low}}$	Low 期間	7		
$t_{\text{TLH}}$	立ち上がり時間、CLK		3	
$t_{\text{THL}}$	立ち下がり時間、CLK		3	
$t_{\text{ISU}}$	セットアップ時間、CLK ↑ 前の入力有効	6		
$t_{\text{IH}}$	ホールド時間、CLK ↑ 後の入力有効	2		
$t_{\text{ODLY}}$	遅延時間、CLK ↑ から出力有効まで	2	14	
$C_L$	出力の容量性負荷	15	40	pF

### 2.5.3 シリアル・ペリフェラル・インターフェイス (SPI)

SPI 信号ラインは、ワイヤレス通信用のホスト インターフェイスとして使用できます。CC33xx デバイスは、BLE と WLAN の両方で共有 SPI インターフェイスもサポートしています。CC33xx の SPI ラインには以下が含まれます。

- SDIO\_CMD (SPI PICO)
- SDIO\_CLK (SPI クロック)
- SDIO\_D3 (SPI CS)
- SDIO\_D0 (SPI POCI)

#### 2.5.3.1 SPI タイミング図

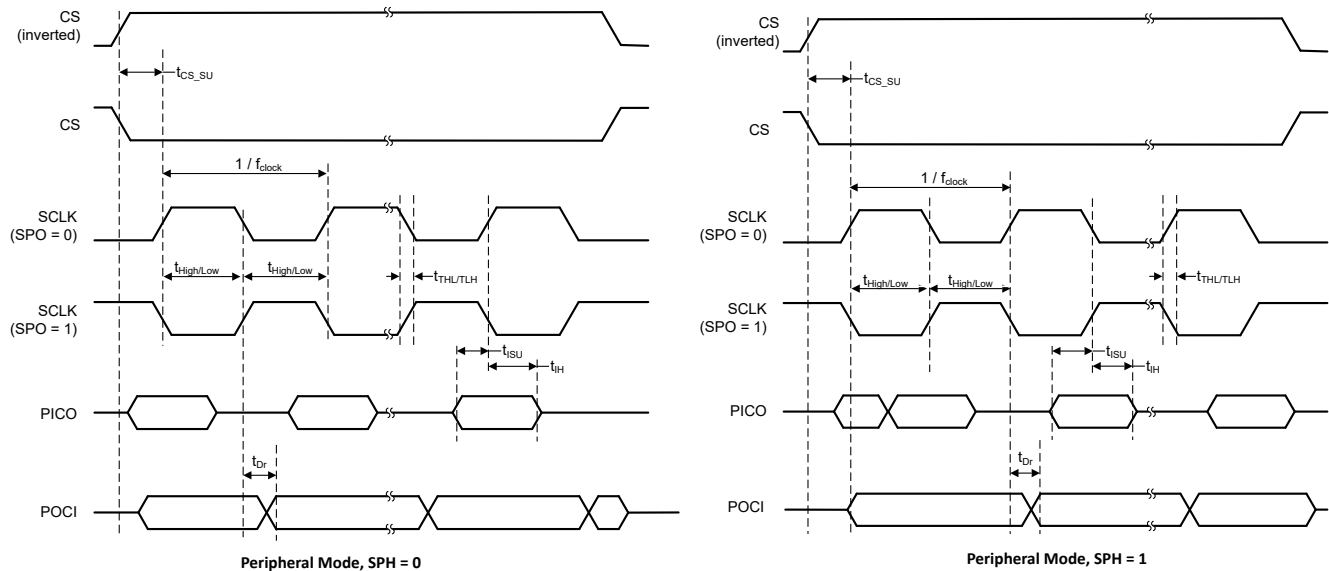


図 2-11. SPI タイミング図

**表 2-7. SPI タイミング パラメータ**

パラメータ	説明	最小値	最大値	単位
$f_{\text{clock}}$	クロック周波数、CLK		26	MHz
$t_{\text{High}}$	High 期間	10		ns
$t_{\text{Low}}$	Low 期間	10		
$t_{\text{TLH}}$	立ち上がり時間、CLK		3	
$t_{\text{THL}}$	立ち下がり時間、CLK		3	
$t_{\text{CSSu}}$	CS セットアップ時間、CS は CLK ↑ の前まで有効	3		
$t_{\text{ISU}}$	PICO、CLK ↑ 前の入力有効	3		
$t_{\text{IH}}$	PICO ホールド時間、CLK ↑ 後の入力が有効	3		
$t_{\text{Dr}}, t_{\text{Df}}$ - アクティブ	遅延時間、CLK ↑/↓ から出力有効まで	2	10	
$t_{\text{Dr}}, t_{\text{Df}}$ - スリープ	遅延時間、CLK ↑/↓ から出力有効まで		12	
$C_{\text{L}}$	出力の容量性負荷	15	40	pF

### 2.5.4 UART (Universal Asynchronous Receiver-Transmitter)

UART は、ホスト コントローラ インターフェイス (HCI) トランスポート層をサポートする BLE のメイン ホスト インターフェイスです。ホストと UART を併用する場合は、UART を正しく接続するよう注意してください。

- ピン 14 はデバイスの UART\_TX であり、RX のホスト側に接続する必要があります。
- ピン 13 はデバイスの UART\_RX であり、TX のホスト側に接続する必要があります。
- ピン 12 はデバイスの UART\_CTS であり、RTS のホスト側に接続する必要があります。
- ピン 13 はデバイスの UART\_RTS で、CTS のホスト側に接続する必要があります。

### 2.5.4.1 UART タイミング図

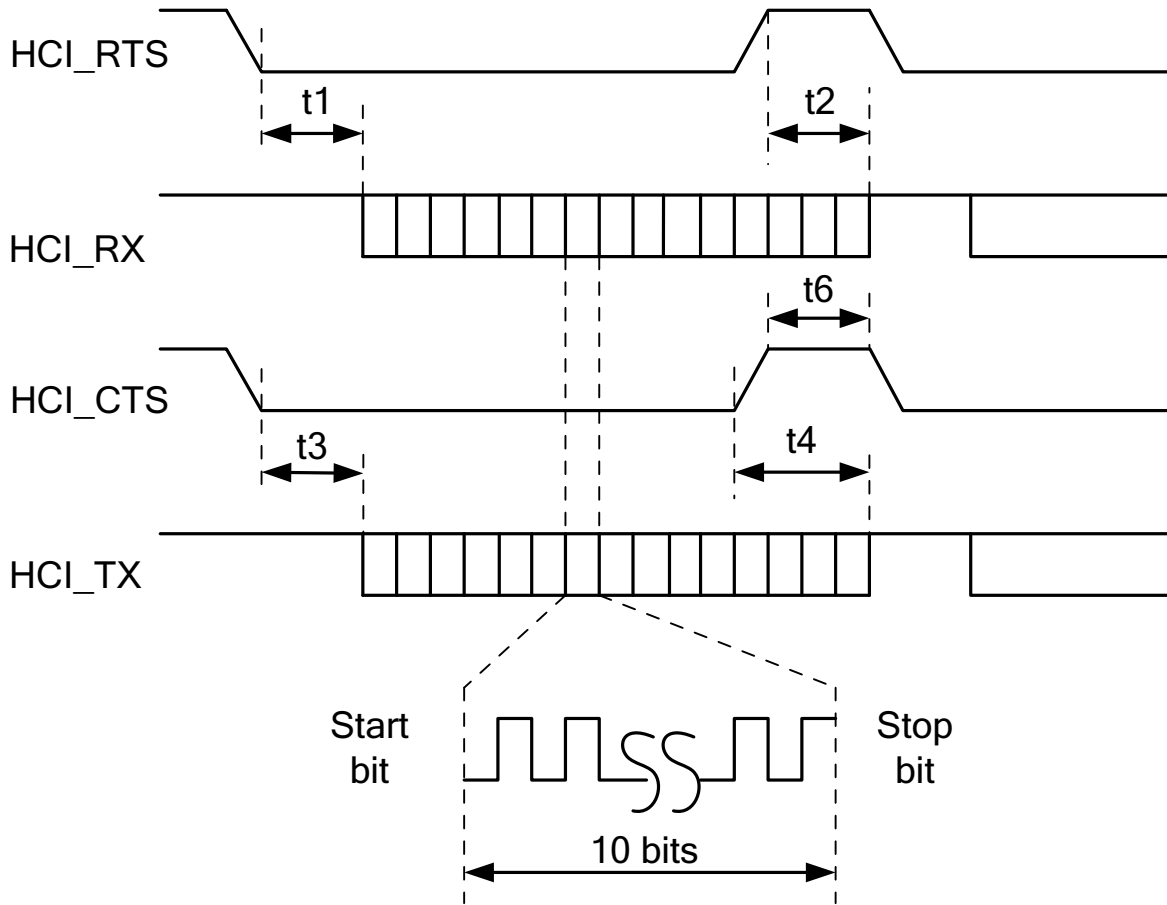


図 2-12. UART タイミング図

表 2-8. UART タイミング パラメータ

パラメータ	条件	最小値	標準値	最大値	単位
ボーレート		37.5		4364	kbps
バイトあたりのボーレート精度	受信   送信	-2.5		+1.5	%
ビットあたりのボーレート精度	受信   送信	-12.5		+12.5	%
CTS Low から TX_DATA オンまで		0	2		ms
CTS High から TX_DATA オフまで	ハードウェア フロー制御			1	バイト
CTS High パルス幅		1			ビット
RTS Low から RX_DATA オンまで		0	2		ms
RTS High から RX_DATA オフまで	割り込みを 1/4 FIFO に設定			16	バイト

### 2.5.5 SWD (Serial Wire Debug)

CC33xx デバイスには、SWCLK (ピン 26) と SWDIO (ピン 27) という 2 本のシリアル ワイヤ デバッグ ピンがあります。これらの信号はさまざまな種類のデバッグ (RF テストなど) に使用され、トラブルシューティングの際にテスト ポイントに配線する必要があります。

### 2.5.6 WLAN 割り込み要求 (HOST\_IRQ\_WL)

CC33xx デバイスでは、シリアル ホスト インターフェイス (SDIO、SPI、または UART) に加えて、個々のデバイスとホスト間に割り込み要求 (IRQ) ラインが必要です。この IRQ ラインは、ホストドライバを正しく機能させる上で重要です。ホスト

はデバイスがホスト インターフェイス上で何かを送信しようとするたびに **CC33xx** デバイスからの信号を受信し、また **CC33xx** はホストからメッセージを受信するとホストへアクノリッジ信号を送信します。

デフォルトでは、この **IRQ** ラインはホストと **CC33xx** デバイスの間にある個別の専用 **GPIO** になっています。**SDIO** のインバンド割り込みを使用するオプションも用意されています。その場合は **SDIO** バス上で割り込みが有効となり、ホスト接続に必要な総ピン数を削減できます。

### 2.5.7 Logger

**CC33xx** デバイスの **Logger** ピン (ピン 28) は、ファームウェア ログ用の出力トレーサです。このピンは、**CC33xx** デバイス上で稼働するファームウェアを詳細にデバッグする際に役立ちます。**TI** は、**CC33xx** ドライバのリリースにおいて、これらのログの読み取り方法に関するパーサおよびドキュメントを提供しています。ファームウェア ログは通常、**TI** と連携して詳細なデバッグを行う場合を除き不要です。また、ドライバの一部として他のデバッグ ツールも用意されています。これらのログが必要となる場合、アクセス手段として **Logger** ピンをテスト ポイントに配線することが有効です。

### 2.5.8 共存

共存機能は、同じ周波数帯域で動作する通信プロトコル用のワイヤレス パケットトラフィックを編成する仕組みです。**CC33xx** デバイスは、共存プライマリ デバイスとして動作し、共存セカンダリ デバイスと通信します。**CC33xx** デバイスは、共存用に 3 線式パケットトラフィック調停 (**PTA**) インターフェイスをサポートしています。**CC33xx** デバイス上の共存信号には、以下のものがあります。

- **COEX\_GRANT** (ピン 8) – 共存プライマリ デバイスが制御する入力信号。PTA 決定の応答を示します。
- **COEX\_PRIORITY** (ピン 9) – 共存セカンダリ デバイスが制御する出力信号。リクエスト信号の優先度を示します。
- **COEX\_REQ** (ピン 10) – 共存セカンダリ デバイスが制御する出力信号。共有周波数帯域を使用するリクエストを示します。

CC33xx デバイス上のこれら 3 つの信号は、共存セカンダリ デバイス上の対応する共存ピンに配線する必要があります。共存機能はデフォルトで有効になっており、INI ファイルで内部または外部のいずれかに設定できます。1 つのアンテナをプライマリ デバイスとセカンダリ デバイスで共有するか、2 つのアンテナを各デバイスに使用して共存機能を実装できます。図 2-13 と 図 2-14 に、Bluetooth Low Energy デバイスで共存機能を使用する際の視覚的な例を示します。

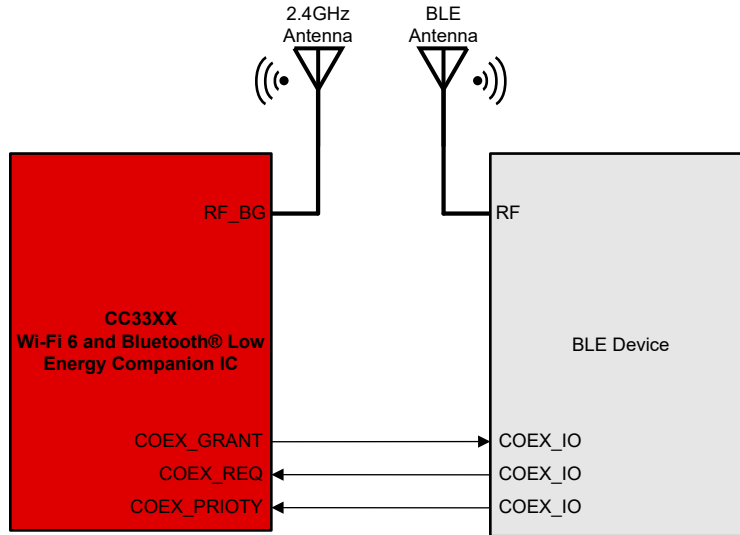


図 2-13. デュアル アンテナ構成における CC33xx の共存機能

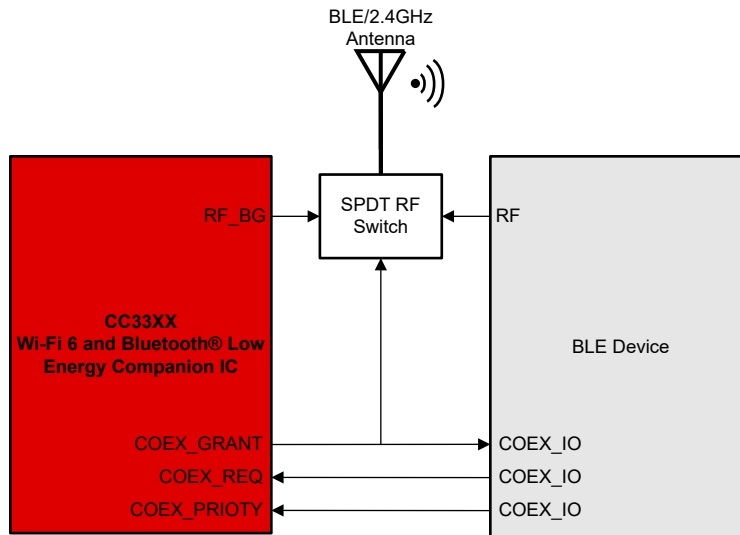


図 2-14. シングル アンテナ構成における CC33xx の共存機能

### 3 レイアウトの検討事項 – CC33xx デバイス

CC33xx デバイスは、任意のシステムに簡単に統合できるよう設計されており、外付け部品をほとんど必要としません。ホストプロセッサ (MPU または MCU) とのデジタル インターフェイスは、最終アプリケーションに応じて柔軟に構成できます。ユーザーは、SDIO、SPI、UART の任意の組み合わせを使用して、共有 Wi-Fi と Bluetooth Low Energy の通信を行うことができます。

このセクションでは、エンジン領域のレイアウトを最適化するための最小要件について説明します。

#### 3.1 レイアウト リファレンス デザイン

CC33xx デバイスの性能を最大限に引き出し (デバイス固有のデータシートに記載)、認証に合格するため、CC33xx デバイスのリファレンス デザインおよびガイドラインにできる限り従うことを推奨します。これらのレイアウト ガイドラインは、感度の高い RF コンポーネントと配線を含むエンジン領域で特に重要です。

以下の設計リストには、このドキュメントで示されたレイアウト ガイドラインが反映されています。参考資料として以下を参照してください。

- [CC330x リファレンス デザイン ファイル](#)
- [CC335x リファレンス デザイン ファイル](#)
- [BP-CC3351](#)
- [M2-CC3351](#)

以下の図は、3 つの設計それぞれについて CC33xx デバイスのエンジン領域を、トップ レイヤ (レイヤ 1) とグラウンド レイヤ (レイヤ 2) で示しています。

---

#### 注

CC33xx デバイスを使用したハードウェア構築に進む前段階として、[CC33x1 設計チェックリスト](#)を確認したうえで、[レビュー](#)を受けることを推奨します。

さらに、エンジン領域 (リファレンス デザインを参照) は、設計要件に応じて回転させることができます。

---

### 3.1.1 リファレンス デザイン – CC330x シングル バンド レイアウト

図 3-1 は CC330x リファレンス デザイン ファイルから抜粋したものです。

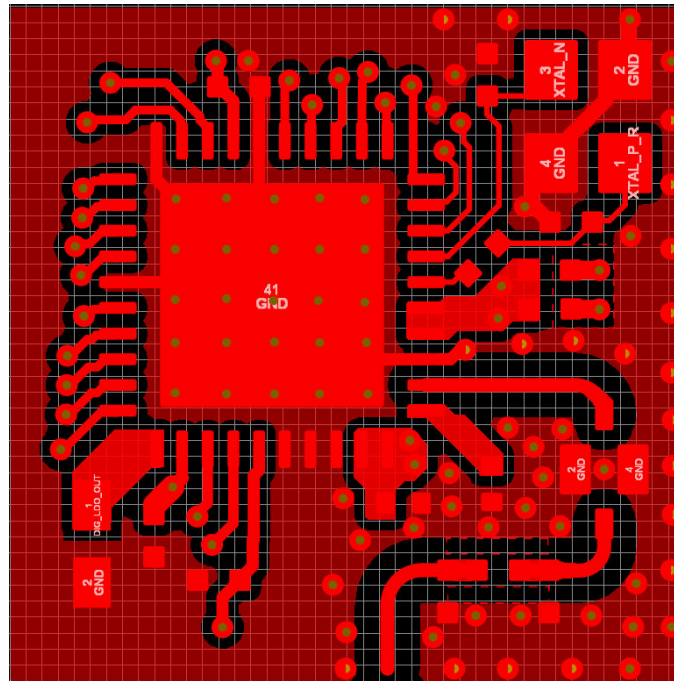


図 3-1. CC330x リファレンス デザイン、トップ (レイヤ 1)

図 3-2 は CC330x リファレンス デザイン ファイルから抜粋したものです。

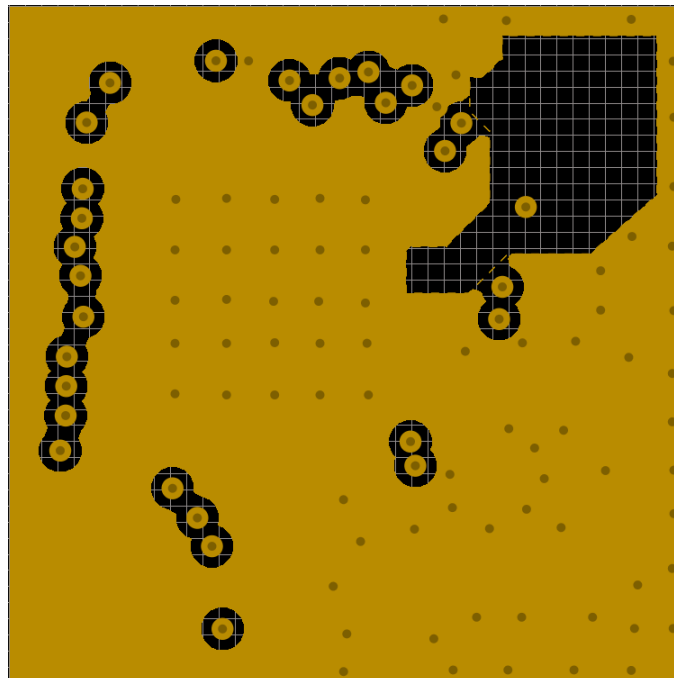


図 3-2. CC330x リファレンス デザイン、グラウンド (レイヤ 2)

### 3.1.2 リファレンス デザイン – CC335x デュアル バンド レイアウト

図 3-3 は CC335x リファレンス デザイン ファイルから抜粋したものです。

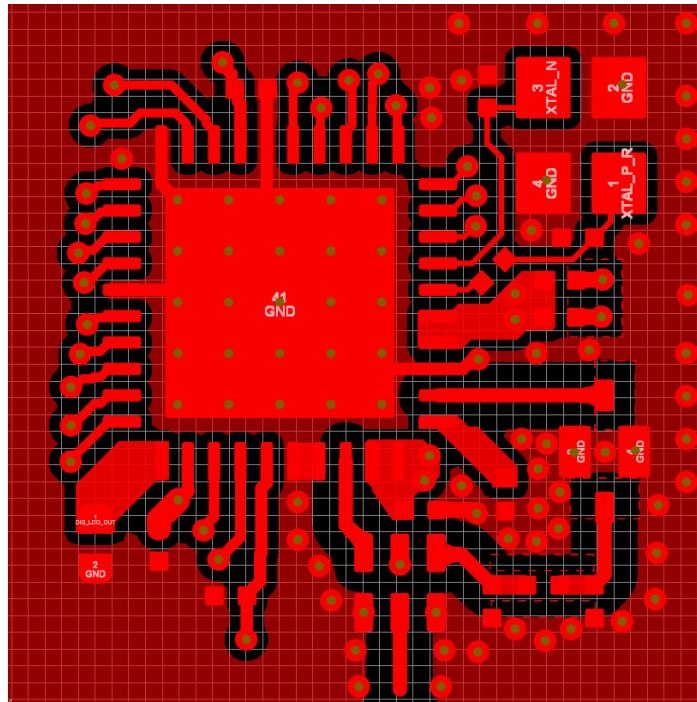


図 3-3. CC335x リファレンス デザイン、トップ (レイヤ 1)

図 3-4 は CC335x リファレンス デザイン ファイルから抜粋したものです。

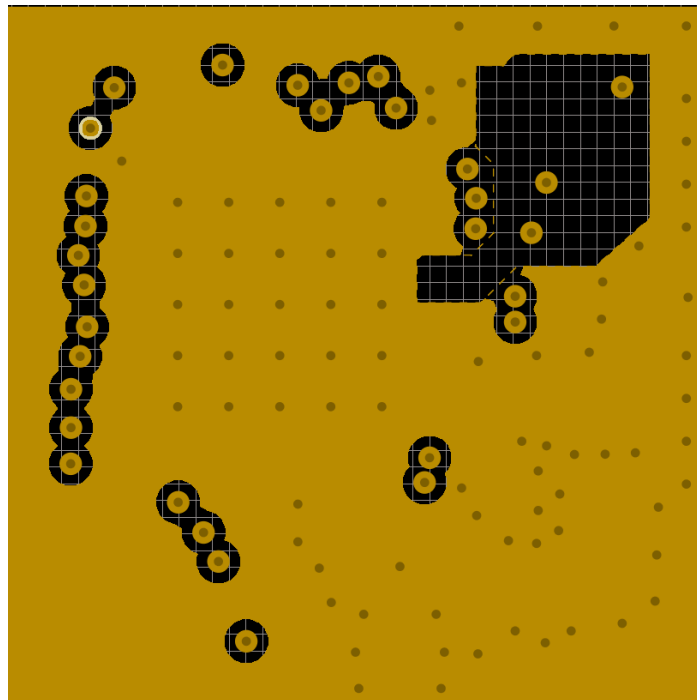


図 3-4. CC335x リファレンス デザイン、グラウンド (レイヤ 2)

### 3.1.3 BP-CC3351 設計レイアウト

図 3-5 は、BP-CC3351 の設計ファイルから抜粋したものです。

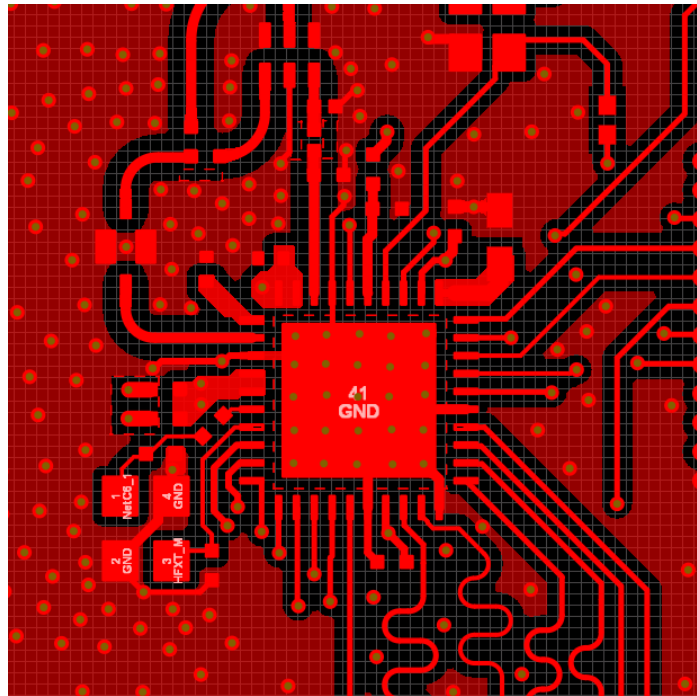


図 3-5. BP-CC3351 レイアウト、トップ (レイヤ 1)

図 3-6 は、BP-CC3351 の設計ファイルから抜粋したものです。

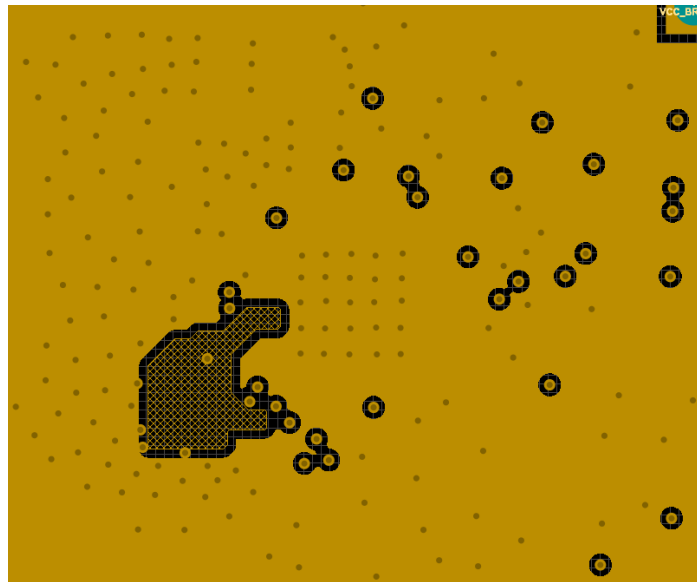


図 3-6. BP-CC3351 レイアウト、グラウンド (レイヤ 2)

### 3.1.4 M2-CC3351 設計レイアウト

図 3-7 は、M2-CC3351 の設計ファイルから抜粋したものです。

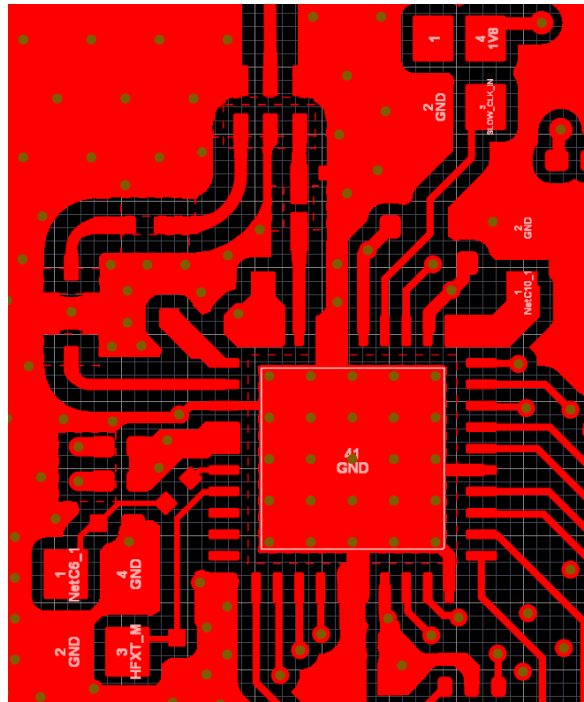


図 3-7. M2-CC3351 レイアウト、トップ (レイヤ 1)

図 3-8 は、M2-CC3351 の設計ファイルから抜粋したものです。

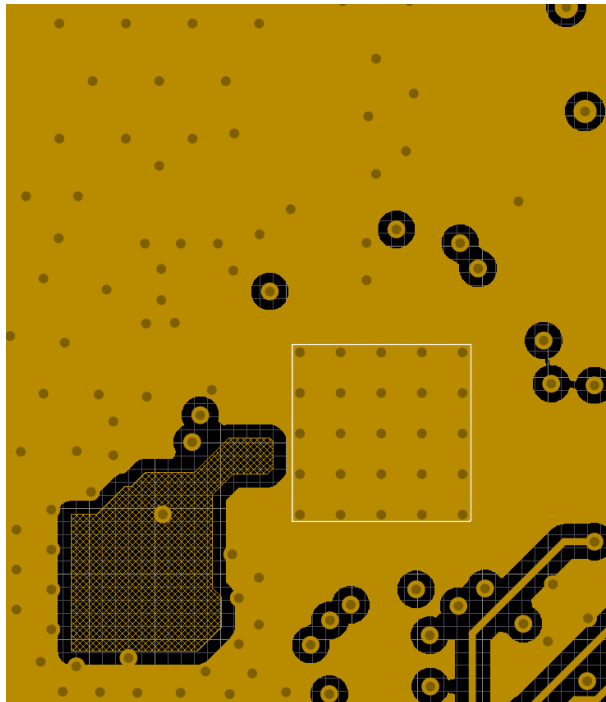


図 3-8. M2-CC3351 レイアウト、グラウンド (レイヤ 2)

### 3.2 IC サーマル パッド

IC の下にはトップレイヤに 1 枚の連続的なグラウンドプレーンがあり、25 個のビアが均等に配置されています (図 3-9 を参照)。この配置が、放熱と RF 性能に重要な意味を持っています。

図 3-9 は CC330x リファレンス デザイン ファイルから抜粋したものです。

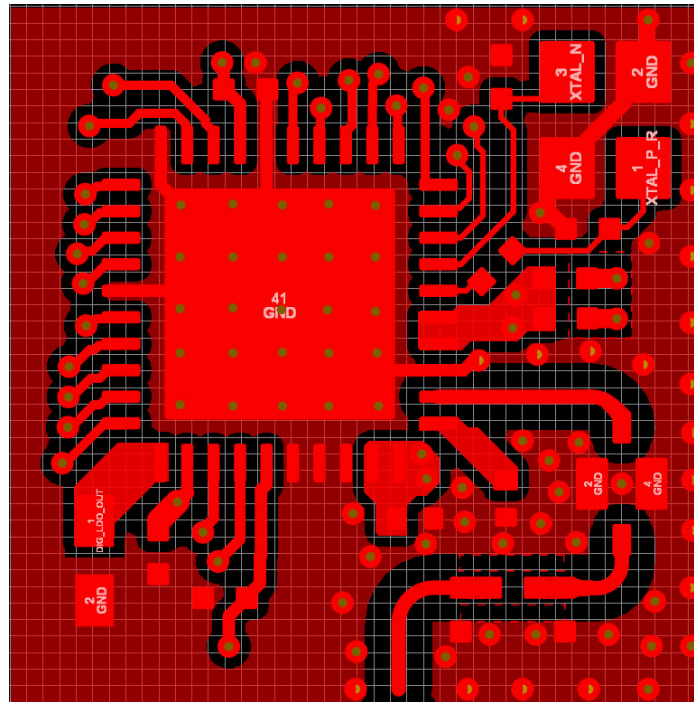


図 3-9. リファレンス デザインのサーマル パッド

### 3.3 無線周波数 (RF)

図 3-10 と図 3-11 に、CC330x および CC335x リファレンス デザインで示す「RF」セクションを示します。最高の性能を実現するには、このレイアウト領域の設計に細心の注意を払う必要があります。レイアウトが不適切な場合、出力電力、評価基板、感度、スペクトル マスクの性能低下が発生する可能性があります。

図 3-10 は CC330x リファレンス デザイン ファイルから抜粋したものです。

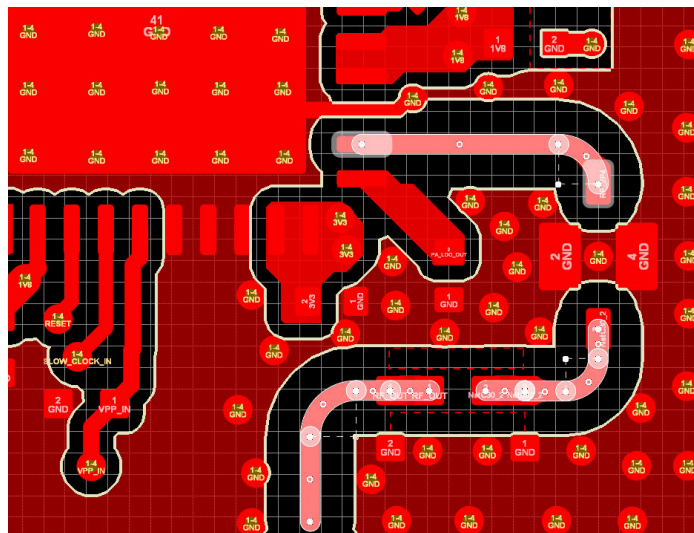


図 3-10. CC330x リファレンス デザイン RF パス

図 3-11 は CC335x リファレンス デザイン ファイルから抜粋したものです。

図 3-11 では、青色の配線パターンは RF\_BG パターン (2.4GHz)、ベージュ色の配線パターンは RF\_A パターン (5GHz)、緑色の配線パターンはダイプレクサの共通ポートに接続された複合 RF パターンで、アンテナに配線されています。

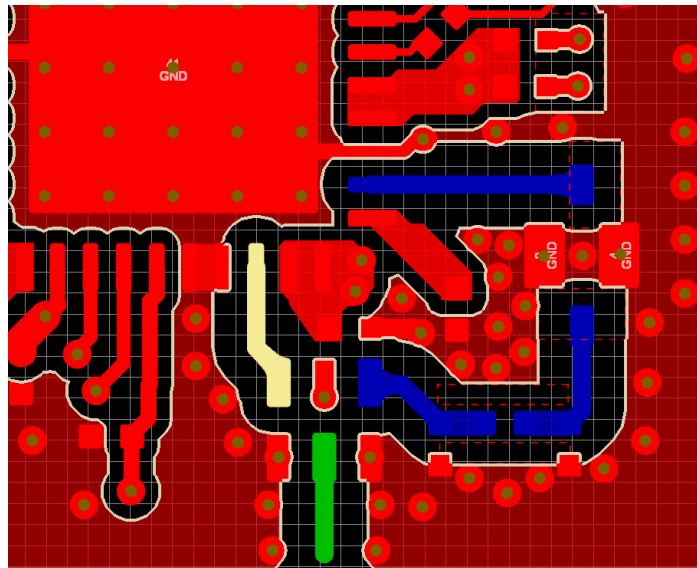


図 3-11. CC335x リファレンス デザイン RF パス

リファレンス デザインにできる限り忠実に従い、以下のガイドラインを順守してください。

注

以下に示す RF レイアウトのガイドラインは、特に記載がない限り、CC330x および CC335x デバイスを使用した設計に適用されます。

- RF パターンの特性インピーダンスは、 $50\Omega$  で一定です。この値は、誘電体、層スタックアップ、グランド プレーン間隔、パターンの厚さに基づいて CPWG をマッチングすることで達成されます。これらのパラメータは、パターン全長にわたって一定に保つ必要があります。
- RF パターン全体は PCB のトップレイヤのみに配置し、その直下のレイヤはパターンの基準となる連続したグランドプレーン (XTAL の切り欠きを除く) としてください。
- RF パターンは可能な限りクリーンかつ直線的にし、アンテナ手前にはバンドパスフィルタおよびマッチングフィルタ以外の部品を配置しないでください。この動作により、コンポーネント間の不要な結合が回避されます。直線的な RF パターンが不可能な場合は、曲線的になっても構いません。
- ノイズを低減するため、RF パターンは他の部品からできるだけ離します。グランドプレーンは RF パターンを囲むように配置し、グランドのステッチングピア間の間隔は最小波長の  $1/8$  未満としてください。
- バンドパスフィルタは、RF\_BG ピン (ピン 2) およびピン 4、5 の VDDA デカップリングコンデンサから、設計スペースの制約内で可能な限り離して配置してください。
- バンドパスフィルタ (BPF) の 2 つのグランドパッドの間にグランドピアを配置します。BPF の両側のグランドプレーンは接続し、領域全体で共通のグランドプレーンとなるようにしてください。BPF と PA\_LDO\_OUT デカップリングコンデンサ (ピン 1) の間のグランドプレーンをステッチングすることで、グランドを増加させています。
- RF パターンの近くには、高周波信号パターンやテストポイントはありません。
- CC335x のみ:**ダイプレクサは、RF\_A パターンが可能な限り短くなるように配置してください (RF\_A ピン (ピン 38) からダイプレクサの High ポートを接続するパターン)。配線する時は、RF\_BG パターンよりも RF\_A パターンを優先してレイアウトしてください。
- CC335x のみ:**ダイプレクサのレイアウトは、最適な性能を得るため、メーカーのリファレンスデザイン (製品データシートに記載) にできる限り忠実に従い、グランドパッド間のグランドピアを含めて設計してください。

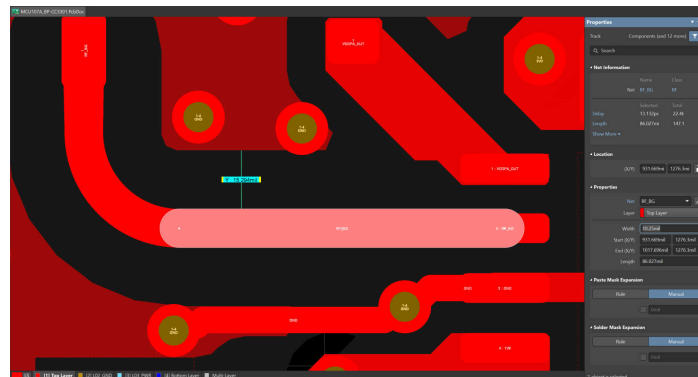
RF 性能に影響を及ぼすもう 1 つの要因はスタックアップです。例として、表 3-1 に BP-CC3351 設計で使用されるスタックアップ (上層から下層まで) を示しています。

**表 3-1. すべての CC33xx 評価基板で使用されるスタックアップ (上層から下層)**

基板面	名称	厚さ	$\epsilon_r$
	上面半田マスク		
	上面半田	1.00mil	3.5
1	上層	1.85mil	
	誘電 1	5.48mil	4.2
2	L02_GND	1.26mil	
	誘電 2	42.82mil	4.2
3	L03_PWR	1.26mil	
	誘電 3	5.48mil	4.2
4	下層	1.85mil	
	底面半田	1.00mil	3.5
	底面半田マスク		

デバイスからの RF 信号は、同一平面導波管 (CPW-G) 構造を使用してアンテナに配線します。この構造により、フィルタギャップ全体と RF ラインへのシールドを最大限に絶縁できます。50 $\Omega$  のインピーダンスを確保するには、スタックアップとパターンの測定値を考慮することが不可欠です。図 3-12 と図 3-13 に、BP-CC3351 を使用してパターン インピーダンスを計算する例を示します。

この画像は、BP-CC3351 設計ファイルから抜粋したものです。



**図 3-12. RF パターン測定の実例**

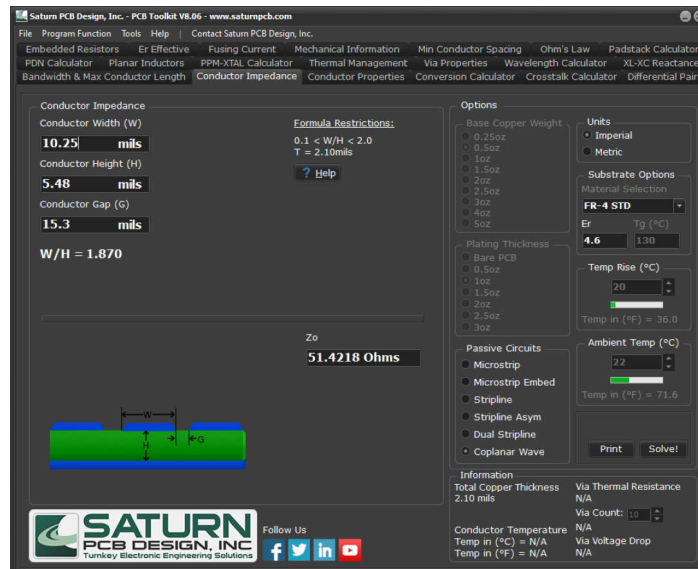


図 3-13. パターン インピーダンスの計算例

### 3.4 XTAL

図 3-14 は、40MHz XTAL 周辺の配置およびレイアウトと、CC33xx デバイスへの接続を示しています。

図 3-14 は、BP-CC3351 の設計ファイルから抜粋したものです。



図 3-14. 40MHz XTAL (BP-CC3351 からの抜粋)

XTAL を統合する際は、ガイドラインのリストに従ってください。

- XTAL から CC3351 デバイス (XTAL\_P および XTAL\_M) に接続するパターンは、できるだけ短くし、パターン長を一致させます。
- XTAL\_P ピンに 150Ω の抵抗を CC33xx デバイスにできるだけ近づけて配置します。
- 2 つの負荷コンデンサは、XTAL のエッジと並列にする必要があります。
- 水晶振動子の下の層 (レイヤ 2) で、XTAL と負荷コンデンサの領域の下に切り欠きを設けます。レイヤ 2 の下の層 (レイヤ 3) で、同じ領域の下に良好なグランドが形成されていることを確認してください。視覚的な表現については、図 3-15 を参照してください。

- 可能な限り、XTAL の周囲にグラウンドのステッチングを増やし、絶縁性を向上させてください。

図 3-15 は、M2-CC3351 の設計ファイルのレイヤ 3 から抜粋したものです。



図 3-15. XTAL カットアウト下層のリファレンス レイアウト

### 3.5 電源

電源、グラウンド パターン、デカップリング コンデンサは、レイアウトの改善に重要な役割を果たします。デカップリング コンデンサはデバイスの RF ピン、RF パターン、電源の近くに配置できるため、デバイスに必要な電流に対応できるようパターン幅を十分に確保する必要があります。

- PA\_LDO\_OUT (ピン 1): TI はデカップリング コンデンサをデバイス ピンの近くに配置し、コンデンサへの低インピーダンス パスを確保するために十分なパターン幅を確保することを推奨します。視覚的な表現については、図 3-16 を参照してください。
- VDDA\_IN1 および VDDA\_IN2 (ピン 4 および 5): デカップリング コンデンサの電源側は、2 つの電源ビア (各デカップリング コンデンサに 1 つずつ) を使用してポリゴン領域で互いに短絡する必要があります。各コンデンサのグラウンド側は、個別のビアを使用してグラウンドに直接接続し、互いに短絡させず、トップレイヤの他のグラウンド プレーンから分離する必要があります。
- 1.8V 電源供給の場合は、VDD\_MAIN\_IN、VIO、VDDA\_IN1、VDDA\_IN2、VPP\_IN ピンに必要な合計消費電流を流せるよう、幅の広いパターンまたは電源プレーンを使用する必要があります。最大消費電流については、表 2-2 を参照してください。
- 1.8V のパスは、デバイス周辺に配置し、トップレイヤおよびグラウンドレイヤ以外 (レイヤ 3 または 4) に配置します。これにより、パワー パスがトップレイヤ (レイヤ 1) または連続グラウンドレイヤ (レイヤ 2) の RF パターンに割り込めなくなります。各 1.8V 電源には 1 つのビアのみを使用します。1.8V の電源電流は、デバイス直下を流れないようにする必要があります。
- 3.3V 電源供給の場合は、PA\_LDO\_IN ピンに必要な消費電流に対応できる、幅の広いパターンまたは電源プレーンを使用する必要があります。詳細については、表 2-2 を参照してください。電力供給は、トップレイヤおよびグラウンドレイヤ以外 (レイヤ 3 または 4) に配置します。
- PA\_LDO\_IN (ピン 39 および 40): これら 2 つのピンは、ソリッド領域で互いに短絡する必要があります。デカップリング コンデンサをデバイスにできるだけ近づけて配置する必要があります。可能であれば 2 つのビアを使用して、3.3V レールを供給します。
- ピン 37 と 38 のグラウンドは、ソリッド領域で互いに短絡する必要があります。このソリッド領域は、デバイスのサーマルグラウンドパッドに接続する必要があります。
- ピン 3 のグラウンドは、デバイス直下のサーマルパッドと、RF パターンに隣接するグラウンドプレーンに短絡する必要があります。

図 3-16 は、BP-CC3351 の設計ファイルから抜粋したものです。

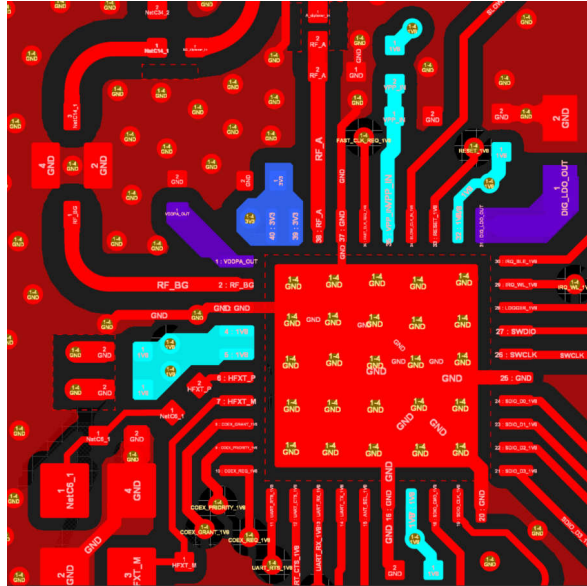


図 3-16. CC33xx 電源のリファレンス レイアウト

図 3-17 は、M2-CC3351 の設計ファイルから抜粋したものです。

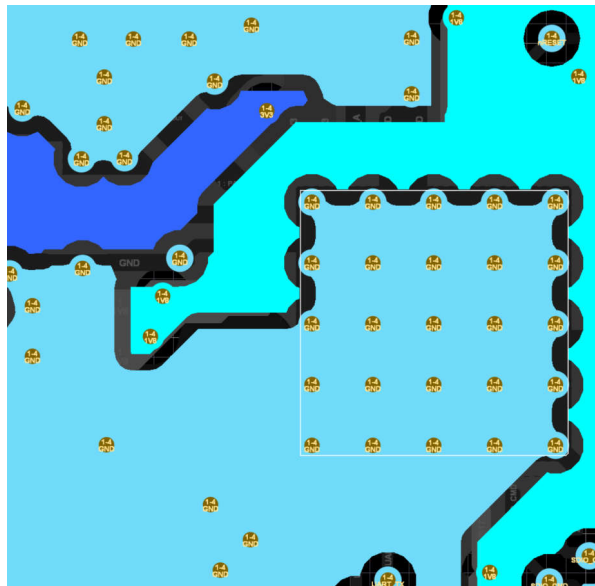


図 3-17. 電源レイヤのリファレンス レイアウト

### 3.6 SDIO

SDIO は、WLAN 機能用ホスト プロセッサとのメイン通信インターフェイスであり、共有 SDIO プロトコルの BLE 機能にも使用できます。これらの信号はクロックに対する感度が特に高いため、それを踏まえた設計が必要です。

SDIO ラインには、SDIO\_CLK、SDIO\_CMD、SDIO\_D0、SDIO\_D1、SDIO\_D2、SDIO\_D3 があります。特に SDIO\_CLK 信号は非常に感度が高いため、そのように扱う必要があります。信頼性の高い SDIO 通信を維持するには、以下のレイアウトの検討事項に注意してください。

- SDIO ラインの幅は 5mil 以上とすることを推奨します。
- SDIO パターンは、他のデジタルまたはアナログ信号のパターンからできるだけ離します。
- SDIO バスの周囲に、グランド シールドを追加することを推奨します。

- SDIO\_CLK は、グランドビア (ステッチング ビア) と隣接するグランドプレーンによって、他のすべての信号から絶縁する必要があります。この信号パターンは、他の SDIO 信号のパターン幅の 2 倍以上のクリアランスを確保します。
- SDIO ラインは互いに平行に配線し、長さはできるだけ短くする (伝搬遅延を低減するため) とともに、パターン幅の 1.5 倍のクリアランスを確保してください。
- すべてのパターンでサンプリング データが同時に到達するよう、SDIO パターンの長さは 100mil 以内の許容差で一致させる必要があります。長さ調整のイメージは、[図 3-18](#) を参照してください。

[図 3-18](#) は、BP-CC3351 の設計ファイルから抜粋したものです。

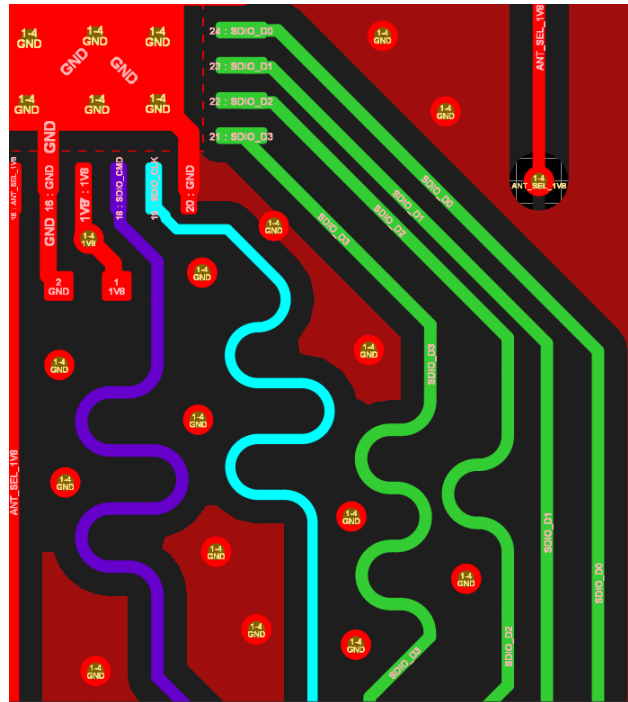


図 3-18. SDIO 信号のリファレンス レイアウト

## 4 回路図に関する検討事項 — CC33xxMOD

CC33xxMOD デバイスは、任意のシステムに簡単に統合できるよう設計されており、外付け部品をほとんど必要としません。ホストプロセッサ (MPU または MCU) とのデジタル インターフェイスは、最終アプリケーションに応じて柔軟に構成できます。ユーザーは、SDIO、SPI、UART の任意の組み合わせを使用して、共有 Wi-Fi と Bluetooth Low Energy の通信を行うことができます。

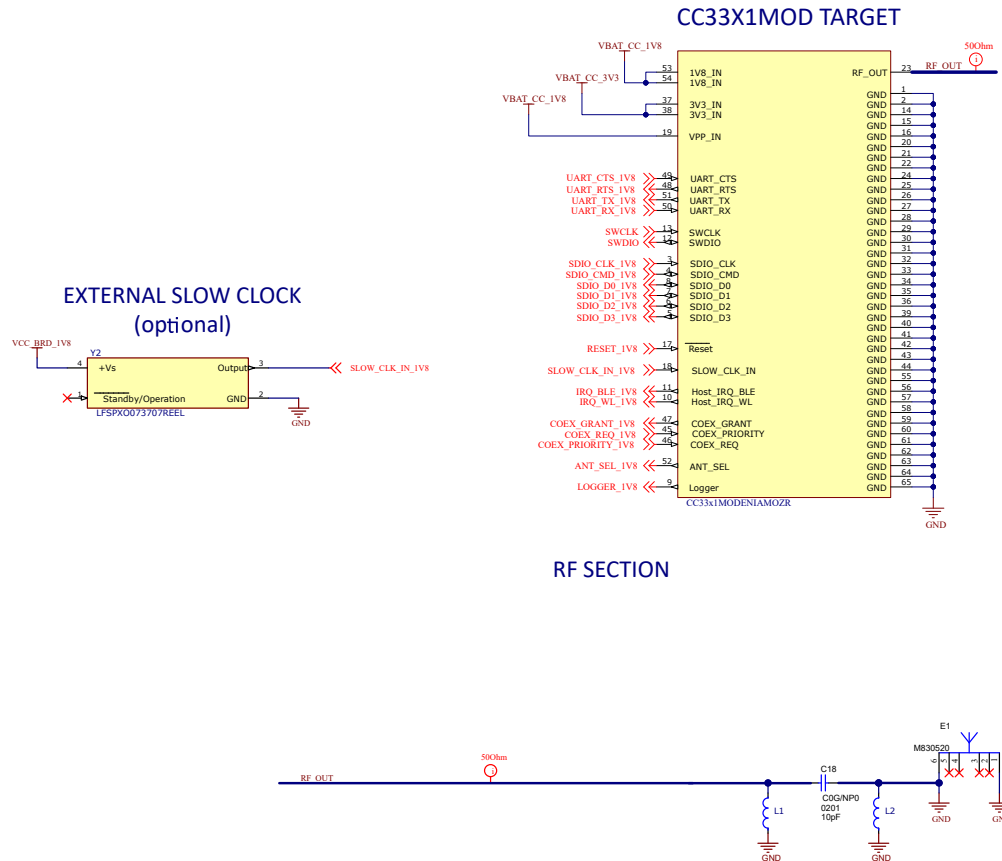
このセクションでは、CC33xx シングル チップと CC33xxMOD 事前認定済みモジュールの回路図要件の違いについて説明します。CC33xxMOD の回路図を対象とする他のすべてのガイダンスは CC33xx デバイスと共通しているため、それに従ってください。

### 4.1 回路図リファレンス デザイン – CC33xxMOD

CC33xxMOD デバイスの性能を最大限に引き出し (デバイス固有のデータシートに記載)、認証に合格するため、CC33xxMOD デバイスのリファレンス デザインおよびガイドラインにできる限り従うことを推奨します。CC33xxMOD デバイス用の推奨回路図設計には、次の場所からアクセスできます。

[CC33xxMOD リファレンス デザイン ファイル](#)

CC33xxMOD デバイスのリファレンス回路図を、[図 4-1](#) に示します。



- A. 低速クロックは内部で生成できます。オプションとして、外部の低速クロックを使用することで、内部で低速クロックを生成する場合よりも消費電力を低減できます。

図 4-1. CC33xxMOD のリファレンス回路図

### 4.2 電源

CC33xxMOD デバイスには、配線する必要がある電源レールが 2 系統あります。

- 1.8V: 1V8\_IN、VPP\_IN
- 3.3V: 3V3\_IN

電源ピンの動作条件の詳細については、[セクション 4.2](#) を参照してください。

**表 4-1. 必要なデバイス電力**

ピン	信号	方向 (I/O)	必要な電圧 (標準値)
19	VPP_IN	I	1.8V
53	1V8_IN	I	1.8V
54	1V8_IN	I	1.8V
37	3V3_IN	I	3.3V
38	3V3_IN	I	3.3V

## 5 レイアウトの検討事項 — CC33xxMOD

CC33xxMOD デバイスは、任意のシステムに簡単に統合できるよう設計されており、外付け部品をほとんど必要としません。ホスト プロセッサ (MPU または MCU) とのデジタル インターフェイスは、最終アプリケーションに応じて柔軟に構成できます。ユーザーは、SDIO、SPI、UART の任意の組み合わせを使用して、共有 Wi-Fi と Bluetooth Low Energy の通信を行うことができます。

このセクションでは、CC33xx シングル チップと CC33xxMOD 事前認定済みモジュールの回路図要件の違いについて説明します。CC33xxMOD のレイアウトを対象とする他のすべてのガイダンスは CC33xx デバイスと共通しているため、それに従ってください。

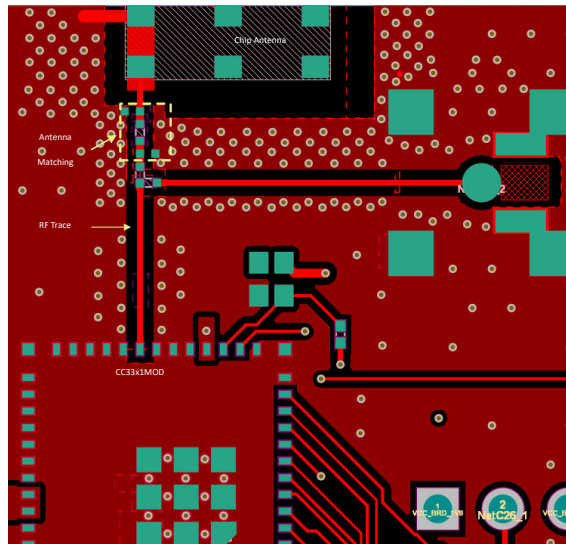
### 注

CC33xxMOD デバイスを使用したハードウェア構築に進む前段階として、[CC33x1 設計チェックリスト](#)を確認したうえで、[レビュー](#)を受けることを推奨します。

### 5.1 CC33xxMOD RF レイアウトに関する推奨事項

このワイヤレス モジュールの RF セクションは、レイアウトの面で最優先されます。モジュールの最適性能を確保するために、RF セクションのレイアウトを正しく行うことが重要です。レイアウトが不適切な場合、低出力電力、評価基板の低下、感度の低下、マスク違反が発生する可能性があります。

[図 5-1](#) に、外部アンテナを使用した CC33xxMOD モジュールの RF 配置と配線を示します。



**図 5-1. RF セクションのレイアウト**

CC33xxMOD デバイスの RF レイアウトについては、以下の推奨事項に従ってください。

- RF パターンは、インピーダンスを 50Ω とし、9.24mm 以上にする必要があります。
- RF 配線の曲げは緩やかな曲線で行い、90° の曲げは避ける必要があります。

- RF 配線に鋭角を使用しないでください。
- アンテナ セクションの下に配線やグラウンドを配置しないでください。
- RF 配線について、グラウンド プレーン上、両側の RF 配線の横にスティッチ ビアを配置する。
- RF 配線はできるだけ短くする。アンテナ、RF 配線、モジュールは、PCB 製品の端に配置し、製品の筐体の材質や、筐体との距離も考慮する。

一般的なレイアウトに関する推奨事項のリストに従います。

- システムの安定と放熱のため、モジュールの下にソリッドのグラウンド プレーンとグラウンド ビアを配置します。
- モジュールが実装されている層では、モジュールの下に信号を配線してはいけません。

## 6 CC33xxMOD 規制準拠

CC33xxMOD ファミリのデバイスは使いやすさを重視して設計されており、顧客の市場投入期間の短縮に貢献します。

次の主要な手順に従って統合作業を進めてください。

- 以下に従ってキャリア PCB を設計します。
  - 設計ガイドライン ([OEM インテグレータへの重要なお知らせ](#) に記載)。
  - [アンテナ取り付けガイドライン](#)に記載されているアンテナを使用。
- 製品を出荷する各地域を確認し、該当する規制当局を特定します。
  - 既存の TI 認証を取得済みの地域の場合
    - TI のモジュールは、認定を容易に再利用できるように設計されています。
    - 統合の詳細なステップは地域によって異なりますが、多くの使用事例では、書類対応またはコンプライアンスの抜き取り確認に限られます。
  - その他の地域の場合:
    - 該当の規制機関と連携して、コンプライアンスの手順を確認します。

CC33xxMOD のレポートは [SIMPLELINK-CC33XX-REPORTS](#) ページにあります。

ID は [表 6-1](#) および [表 6-2](#) に記載されています。

**表 6-1. CC330xMOD 認証**

モデル名	規制機関	ID
CC33MOD	FCC	Z64-CC33SBMOD
	ISED	451I-CC33SBMOD
	CE / ETSI	該当なし
	日本 / TELEC	201-250389 (テスト グレード:01、CC3301MOD)
	日本 / TELEC	201-250390 (テスト グレード:00、CC3300MOD)

**表 6-2. CC335xMOD 認証**

モデル名	規制機関	ID
CC33MOD-DB	FCC	Z64-CC33DBMOD
	ISED	451I-CC33DBMOD
	CE / ETSI	該当なし
	日本 / TELEC	201-250530 (テスト グレード:51、CC3351MOD)
	日本 / TELEC	201-250531 (テスト グレード:50、CC3350MOD)

[表 6-1](#) および [表 6-2](#) に記載された ID を規制試験機関で使用する場合、[モジュール認証リクエスト](#) フォームの提出と FCC および ISED に対する認可レターの取得を推奨します。

## 6.1 CC33xxMOD OEM 統合マニュアル

### OEM インテグレータへの重要なお知らせ

1. 本モジュールは、OEM による実装専用です。
2. 本モジュールは、第 2.1091(b) 項の規定に従い、モバイル機器または固定機器への実装に限定されています。
3. パターン設計の手順については、デバイスのデータシートを参照してください。本モジュールはパターン設計を採用しているため、アンテナ コネクタはホスト製品メーカーが用意する必要があります。ホスト製品で使用する認証済みトランスミッタ (第 15 条に準拠) には、専用のアンテナ コネクタを使用する必要があります。モジュール メーカーは、使用可能な専用コネクタの一覧を提供しています (表 6-4 を参照)。
4. 第 2.1093 項に該当するポータブル構成や異なるアンテナ構成を含むその他すべての動作構成では、個別の認可を取得する必要があります。
5. FCC 第 15.31 (h) 項および (k) 項への準拠ホスト製品メーカーは、複合システムとしての準拠性を検証するための追加テストを実施する義務を負います。ホスト デバイスの 第 15 条 B 項への適合試験を実施する際は、ホスト製品メーカーは、トランスミッタ モジュールを搭載し動作させた状態で、第 15 条 B 項に準拠していることを実証する必要があります。モジュールは送信している状態でなければならず、評価ではモジュールの意図的な放射 (基本波や帯域外放射など) が規格に準拠していることを確認する必要があります。ホスト製品メーカーは、第 15 条 B 項で許容される範囲を超える非意図的な放射がないこと、または放射がトランスミッタの規格に準拠していることを確認する必要があります。

### アンテナの取り付け

- (1) アンテナは、アンテナとユーザーとの間に 20cm のクリアランスが保持されるように取り付ける必要があります。
- (2) トランスミッタ モジュールは、他のトランスミッタまたはアンテナと同じ場所に配置することはできません。
- (3) このモジュールでは、同じタイプでゲインが同等以下のアンテナのみを使用できます (表 6-4 を参照)。他のタイプのアンテナやこれよりも高いゲインのアンテナでは、運用に追加の認可が必要になることがあります。

表 6-3. CC330xMOD 認証済みアンテナのリスト

ブランド	部品番号	アンテナ タイプ
Kyocera AVX	M830520	チップ アンテナ

表 6-4. CC335xMOD 認証済みアンテナのリスト

ブランド	部品番号	アンテナ タイプ
Kyocera AVX	M830520	チップ アンテナ
Kyocera AVX	W4P42X8W04-U100D3B0A	外部 PCB アンテナ
TDK	ANT162442DT-2001A2	チップ アンテナ
Yageo/Pulse	ANT3216A063R2455A	チップ アンテナ
Yageo/Pulse	W5028T	ダイポール (スティック) アンテナ
Yageo/Pulse	W3078T	モノポール (セラミック) アンテナ
Yageo/Pulse	W3917B0100T	ダイポール (フレキシブル PC) アンテナ
Molex	204281-1100	外部 PCB アンテナ
Molex	146153-1100	外部 PCB アンテナ
Molex	204281-0100	外部 PCB アンテナ
Molex	146153-0100	FPC
Unictron	H2B1PD1A1C385L	外部 PCB アンテナ
Unictron	H2B1PC1A1C095L	外部 PCB アンテナ
Laird	WTS2450	ホイップ アンテナ
TEConnectivity	001-0012	ホイップ アンテナ
Chang Hong	DA-2458-02	ホイップ アンテナ
Ezurio	001-0016	フレックス PIFA

注

CC330xMOD は、M830520 アンテナとの組み合わせでのみ認証を取得しています。CC335xMOD は、表 6-4 に記載されているすべてのアンテナをサポートしています。

### 最終製品のラベリング

カナダおよび米国で使用するための CC330xMOD または CC335xMOD モジュールの認証に適合するには、OEM / ホスト製品メーカーは、最終製品およびユーザー マニュアルに、図 6-1 と 図 6-2 に示す以下のラベル例を記載する必要があります。

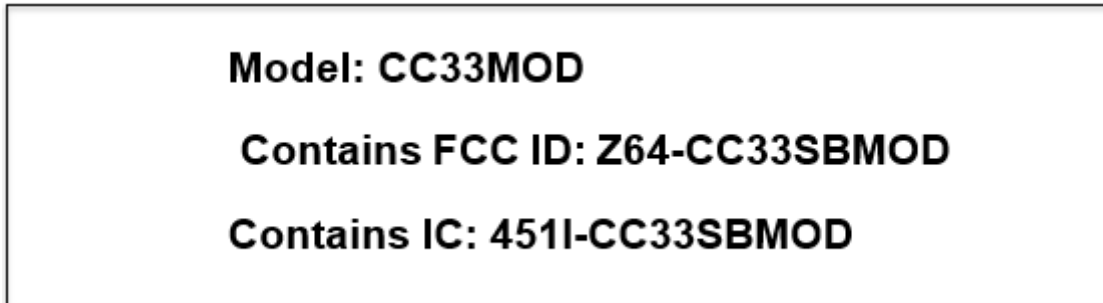


図 6-1. CC330xMOD 最終製品のラベリング

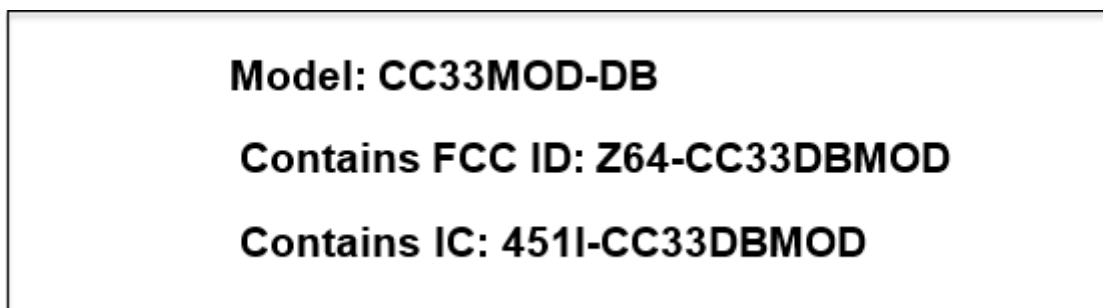


図 6-2. CC335xMOD 最終製品のラベリング

### EMI に関する考慮事項

ホスト デバイスのコンプライアンスに関するガイダンスについては、KDB 996369 D04 および D02 を参照してください。

### 変更を行うための情報

許容変更を行うことができるのは、認証取得者のみです。ホスト インテグレーターが、本モジュールを認証時の条件と異なる方法で使用する予定の場合は、TI までお問い合わせください ([connectivity-wifi-cert@list.ti.com](mailto:connectivity-wifi-cert@list.ti.com))

## 7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

### Changes from JANUARY 9, 2026 to JUNE 17, 2026 (from Revision A (January 2026) to Revision B (June 2026))

	Page
• 回路図の注を追加.....	4
• レイアウトの検討事項を更新.....	19
• CC335x のみの箇条書き項目を追加.....	24
• レイアウトの検討事項を更新.....	32
• ISED ID を 461I-CC33DBMOD から 451I-CC33DBMOD に変更。「規制準拠」セクションを更新。.....	33
• OEM 統合ガイドランスを追加.....	34

### Changes from DECEMBER 14, 2023 to JANUARY 8, 2026 (from Revision \* (December 2023) to Revision A (January 2026))

	Page
• モジュール情報を追加して更新.....	3
• リンクを削除し、表を追加.....	3
• 回路図情報を追加.....	4
• 「パワーアップ シーケンス」セクションを削除.....	7
• 「起動シーケンス」セクションを追加。.....	7
• デュアル バンド構成用の内容を追加.....	10
• 「WLAN 割り込み要求 (HOST_IRQ_WL)」セクションを追加.....	16
• 「Logger」セクションを追加.....	17
• 「回路図に関する検討事項 — CC33xxMOD」セクションおよびサブセクションを追加.....	31
• 「レイアウトの検討事項 — CC33xxMOD」セクションおよびサブセクションを追加.....	32
• 「CC33xxMOD 規制準拠」セクションおよびサブセクションを追加.....	33
• モジュール情報を追加.....	34

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月