

Design Guide: TIPA-050066

TPS6593-Q1 を使用した AM62A 電源のコンセプト検証設計



説明

TPS65931211-Q1 PMIC は、AM62A プロセッサ向けに設計された車載グレードのパワー マネージメント IC です。この設計は、最大 10.5A のマルチフェーズ buck 変換を実現し、ASIL-B の機能安全要件をサポートし、車載アプリケーション向けに RAM へのサスペンドや部分 I/O 動作を含む複数の低消費電力モードを搭載しています。

リソース

TIPA-050066	デザイン フォルダ
TPS6593-Q1	プロダクト フォルダ
AM62A	プロダクト フォルダ
TPS22965-Q1	プロダクト フォルダ
TPS62824	プロダクト フォルダ
LM5141-Q1	プロダクト フォルダ

特長

- マルチフェーズ buck 設定
- 機能安全 ASIL-B のサポート
- 複数の低消費電力モード
- 柔軟な電源オプション
- プログラム可能な GPIO 制御
- 事前設定可能な有限ステート マシン (PFSM)

アプリケーション

- [先進運転支援システム \(ADAS\)](#)
- [車内監視 ECU](#)



テキサス・インスツルメンツの [E2E](#)
™ サポート エキスパートにお問い合わせ
合わせください。

1 システムの説明

このユーザー ガイドでは、TPS65931211-Q1 PMIC を使用して Sitara™ AM62A プロセッサに電力を供給する電源分配ネットワーク (PDN) について説明します。

プラットフォーム システムの動作を明確にするために、次のトピックについて説明します。

1. PDN 電源リソース接続
2. PDN デジタル コントローラの接続
3. PMIC 静的 NVM 設定
4. PMIC 事設定前可能なミッション状態

PMIC およびプロセッサのデータ マニュアルには、推奨動作条件、電気的特性、推奨外部部品、パッケージの詳細、レジスタ マップ、部品全体の機能です。ユーザーズ ガイドやアプリケーション ブリーフ、その他の参考資料の間に矛盾がある場合、データシートの仕様を最終的な情報源としてください。

2 デバイス パージョン

TPS6593-Q1 デバイスには、さまざまなアプリケーションのユース ケースとプロセッサのタイプをサポートするために、独自の NVM 設定を備えたさまざまな注文可能な型番 (OPN) があります。各 PMIC デバイスの独自の NVM 設定は、PDN 設計ごとに最適化されており、さまざまなプロセッサ、処理負荷、SDRAM タイプ、システム機能安全レベル、最終製品機能 (低消費電力モード、プロセッサ電圧、メモリ サブシステムなど) をサポートします。NVM 設定は、NVM_ID および NVM_REV レジスタで識別できます。各 TPS6593 PMIC デバイスは、型番、NVM_ID、および NVM_REV によって識別されます。

表 2-1. AM62A 用の TPS6593-Q1 の注文可能な型番を追加

PDN のユース ケース	注文可能な型番	TI_NVM_ID (TI_NVM_REV)
• ASIL-B レベルまでの機能安全をサポート。 • AM62A の低消費電力モード (部分 IO や RAM へのサスペンドを含む) をサポート。 • 多相 (3 相) 構成で最大 10.5A ⁽¹⁾ を供給し、0.75V または 0.85V を選択可能なプロセッサ コア レールに電力を供給できます。 • VDDSD_DDR への電力供給は最大 4A ⁽¹⁾ (LPDDR4 用に 1.1V を選択可能)。 • 3.3V および 1.8V の I/O レベルをサポート。 • オプションの最終製品機能をサポート: – 規格準拠の高速 SD カード メモリ – eMMC – eFuse ROM プログラミング電源 – USB 2.0 対応インターフェイス – イーサネット PHY – HDMI	TPS65931211 RWERQ1	0x11 (0x05)

(1) TI は、最大予測負荷電流と、各 PMIC 出力レールで許容される最大電流との間に 15% のマージンを設けることを推奨します。

3 プロセッサの接続

このセクションでは、TPS65931211-Q1 の電源リソースと GPIO 信号をプロセッサやその他の周辺部品に接続する方法について詳しく説明します。

3.1 電源マッピング

図 3-1 に、TPS65931211-Q1 PMIC 電源リソースとプロセッサ電圧ドメインの間の電源マッピングを示します。uSD カード、イーサネット PHY、HDMI など一部の外部ペリフェラルはオプションであり、最終製品でペリフェラルが必要ない場合は省略できます。AM62A SK 評価基板には、開発とテストの目的で、これらのオプションのシステム ペリフェラルが付属しています。

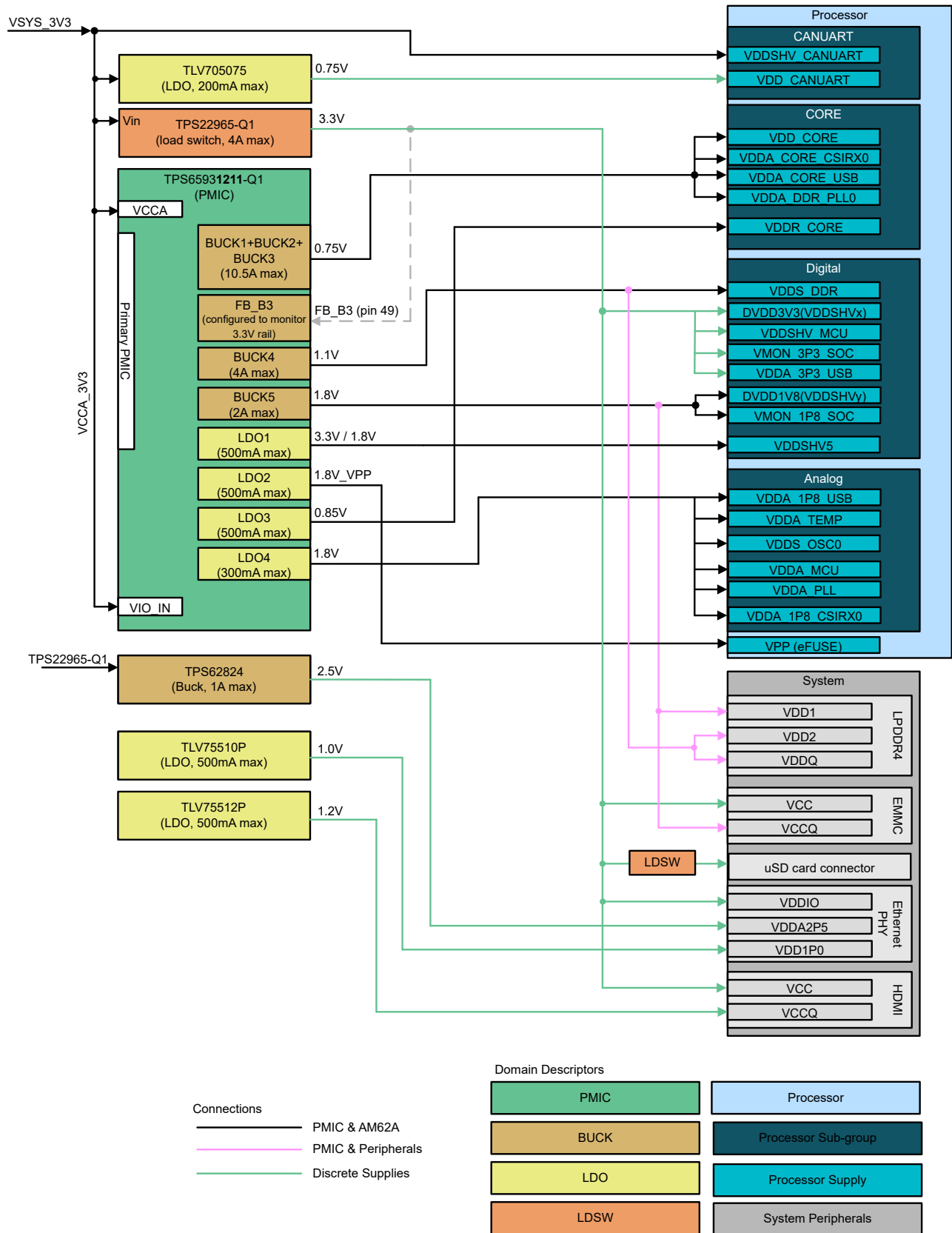
この PDN は、TPS6593-Q1 PMIC とディスクリート電源部品を使用して、プロセッサおよびシステム ペリフェラルの電源 / シーケンス要件を満たすことができます。ディスクリート部品の一部は、最終製品の機能によってはオプションです。この設定では、両方の PMIC デバイスが 3.3V の入力電圧を使用します。TPS22965 負荷スイッチは、3.3V プリレギュレータ (VSYS_3V3) をプロセッサの 3.3V IO ドメインに接続します。TPS65931211-Q1 の未使用のフィードバック ピン FB_B3 は、3.3V IO ドメインの電圧監視を行うために、NVM 設定、表 5-3、ごとに設定されています。この監視機能により、機能安全 ASIL-B システムの必要に応じて、プロセッサ コア、デジタル電源、アナログ電源のすべてに対して適用することが可能になります。

TPS65931211-Q1 PMIC の LDO1 は、SD カードのデュアル電圧 I/O (3.3V および 1.8V) に電源を供給するために、バイパスに設定されています。最初に SD IO を 3.3V に設定するため、ロジックの HIGH のデフォルト値と外部プルアップを持つプロセッサ GPIO 制御信号を使用します。電源オン シーケンスの後、プロセッサは SD 仕様にに基づき高速カード動作に必要な 1.8V レベルを選択するために GPIO 信号を LOW に設定できます。このバイパス構成により、SD カード動作からのブート時に I2C 通信を確立しなくても、LDO1 電圧を 3.3V~1.8V の範囲で制御可能となります。LDO1 のバイパス構成では、その入力電源ピン (PVIN_LDO12) を 3.3V に接続する必要があります。

AM62A プロセッサは、複数の低電力モードにも対応しています。部分 I/O 低消費電力モードでは、ウェークアップ機能を維持するため、CANUART I/O バンクの I/O ピンを除いて、SoC 全体がオフになります。このモードは、PMIC をオフにし、3.3V プリレギュレータをオンに保持して VDDSHV_CANUART (3.3V) に電力を供給することと、VDD_CANUART (0.75V または 0.85V) に電力を供給する外部ディスクリート部品をオンに維持することでサポートされます。

注

FB_B3 の PMIC 電圧モニタは、3.3V に接続する必要があります。モニタがイネーブルのときに 3.3V が FB_B3 に接続されていない場合、デバイスはハードウェア安全回復状態になり、プロセッサ電圧はディセーブルになります。



注

VDD_CANUART に電力を供給する外部ディスクリート部品は、部分 IO にのみ必要です。部分 IO を使用しない場合、VDD_CANUART をマルチフェーズ Buck1/2/3 に接続する必要があります、VDDSHV_CANUART は DVDD3V3 (VDDSHVx) に電力を供給する同じ 3.3V レールに接続できます。

図 3-1. 電源接続の例

表 3-1 は、さまざまなシステム機能をサポートするために必要な電源リソースを特定します。

表 3-1. PDN の電源マッピングとシステム機能

電源マッピング				システム機能:			
デバイス	電源リソース	電圧	プロセッサドメイン	アクティブな SoC	部分 IO (低電力モード)	IO + DDR (低電力モード)	SD カード インターフェイス
3.3V ブリレギュレータ (LM5141-Q1)	降圧	3.3V	VDDSHV_CANUART PMIC 電源	必須	必須	必須	
TLV705075	LDO	0.75V	VDD_CANUART	必須	必須	必須	
TPS65931211-Q1	BUCK123	0.75V または 0.85V ⁽¹⁾	VDD_CORE	必須			
			VDDA_CORE_CSIRX0	必須			
			VDDA_CORE_USB	必須			
			VDDA_DDR_PLL0	必須			
	FB_B3	3.3V	3.3V IO ドメインを監視します	必須		必須	
	BUCK4	1.1V または 1.2V	VDDS_DDR	必須		必須	
	BUCK5	1.8V	DVDD1V8 (VDDSHVy)	必須		必須	
			VMON_1P8_SOC ⁽²⁾	オプション			
	LDO1	3.3V/1.8V	VDDSHV5	オプション			必須
	LDO2	1.8V	VPP (eFUSE)	オプション			
	LDO3	0.85V ⁽¹⁾	VDDR_CORE	必須			
	LDO4	1.8V	VDDA_1P8_USB	必須			
			VDDA_TEMP	必須			
			VDDS_OSC0	必須			
			VDDA_MCU	必須			
			VDDA_PLL	必須			
			VDDA_1P8_CSIRX0	必須			
TPS22965-Q1	ロード スイッチ	3.3V	DVDD3V3 (VDDSHVx)	必須			
			VDDSHV_MCU	必須			
			VMON_3P3_SOC ⁽²⁾	オプション			
			VDDA_3P3_USB	必須			
TPS62824	降圧	2.5V	VDD_2V5_ETHERNET PHY	オプション			
TLV75510P	LDO	1.0V	VDD1P0_ETHERNET PHY	オプション			
TLV75512P	LDO	1.2V	CVCC12_HDMI トランスミッタ	オプション			

- (1) マルチフェーズ Buck1/2/3 が 0.85V を出力するよう設定されている場合、AM62A の両方のコア レール (VDD_CORE と VDDR_CORE) は Buck1/2/3 から電力を供給されます。この場合、LDO3 は空き電力リソースになります。
- (2) VMON_3P3_SOC および VMON_1P8_SOC は電源ピンではなく、1.8V および 3.3V SoC 電源の電圧モニタ入力です。SOC 電源レールの監視に VMON_1P8_SOC および VMON_3P3_SOC を使用しない場合でも、これらのボールをそれぞれの 1.8V および 3.3V 電源レールに接続する必要があります。

3.1.1 VDD_CORE での 0.85V のサポート

この PDN では、VDD_CORE は 0.75V で動作し、マルチフェーズ Buck1/2/3 から電力を供給されます。VDDR_CORE は LDO3 (0.85V) から電力を供給されます。ただし、BUCK1/2/3 が 0.85V を出力するよう設定されている場合、BUCK1/2/3 から両方のコア レール (VDD_CORE と VDDR_CORE) を供給する必要があり、LDO3 はフリー リソースになります。「AM62Ax のデータシート」によると、VDD_CORE と VDDR_CORE は同一の電源から供給されることが想定されており、VDD_CORE が 0.85V で動作する場合、両方のピンは同時に立ち上がります。LDO3 は TPS65931211-Q1 電源オンシーケンスの一部として設定されており、LDO3 のフォルト状態を防止するために入力電源と入出力コンデンサが必要になります。GPIO6 の状態は、マルチフェーズ Buck1/2/3 の出力電圧を設定します。デジタル ピンの極性については、[セクション 3.2](#) を参照してください。

3.1.2 5V 入力電源の使用

このユーザー ガイドで説明されている PDN は、3.3V 入力電源に対応するように設計されています。しかし、TPS65931211-Q1 NVM は 5V 入力電源もサポートしています。TPS65931211-Q1 のデフォルトの NVM 設定では、PMIC が 3.3V または 5V のいずれの電圧でも使用できるよう、VCCA の UV/OV 検出機能がディセーブルになっています。5V 電源を使用する場合は、パワー スイッチではなく 3.3V IO ドメインに 3.3V ディスクリット Buck が必要です。外部 3.3V Buck は GPIO4 によってイネーブルでき、any2active シーケンスで GPIO4 に割り当てられた 10ms の遅延時間内に、0V から 3.3V に上昇する必要があります。

LDO1 は「バイパス」として設定されており、3.3V の電源が必要です。この LDO は、ディスクリット 3.3V レギュレータの出力から供給できます。また、消費電力を低減するため、残りの LDO (LDO3 および LDO4) にディスクリット 3.3V レギュレータを供給することも推奨します。VIO_IN には、3.3V から供給する必要があります。

3.3V ではなく 5V を使用する場合、プリレギュレータからの電圧を VDDSHV_CANUART に直接接続することはできません。この場合、VDDSHV_CANUART には、プロセッサ上の残りの 3.3V 信号に電力を供給するのと同じディスクリット 3.3V Buck から電力を供給できます。

3.2 制御マッピング

図 3-2 に、プロセッサと PMIC 間のデジタル制御信号の割り当てを示します。特定の GPIO ピンは、適切な動作のために主要な信号に割り当てられています。デジタル接続により、部分 IO、I/O + DDR、ASIL-B までの機能安全、SD カードに準拠したデュアル電圧 SD カード動作などのシステム機能を実現できます。GPIO4 は、シーケンスの開始時に外部 3.3V パワースイッチをイネーブルするため、プッシュプル出力として設定されています。

GPIO9 と GPIO11 は、LDO2 (VPP) および LDO1 (SD カード インターフェイス) を有効にするように設定されています。nRSTOUT が解除され、PMIC がアクティブ状態になった後、GPIO11 で立ち上がりエッジが検出されると、TPS65931211-Q1 は LDO1 をイネーブルにします。同様に、nRSTOUT が解放された後、GPIO9 で立ち上がりエッジが検出されると、PMIC は LDO2 をイネーブルにします。

GPIO5、GPIO6、GPIO10 は、一部の PMIC 電源リソースの出力電圧を設定するように設定されており、割り当てられたレールがオンになる前にこれらの GPIO の状態 (High または Low) を設定する必要があります。GPIO5 は、UHS-I SD カード (3.3V または 1.8V) をサポートする LDO1 の出力電圧を設定するように設定されています。GPIO6 は、VDD_CORE 電圧 (0.75V または 0.85V) をサポートするため、マルチフェーズ Buck1/2/3 の電圧を設定するように設定されています。GPIO10 は、LPDDR4 (1.1V) または DDR4 (1.2V) をサポートするように Buck4 の電圧を設定するように設定されています。

AM62A プロセッサの PMIC_LPM_EN0 は、低消費電力モード (アクティブ Low) または PMIC イネーブル (アクティブ High) をトリガするために使用されるデュアル機能制御信号です。この信号は、IO + DDR モード (RAM へのサスペンド) をトリガすると、PMIC GPIO3 (nSLEEP2) を駆動します。または、部分 IO 低消費電力モードをトリガするときに、PMIC_LPM_EN0 信号は PMIC ENABLE ピンを駆動することもできます。

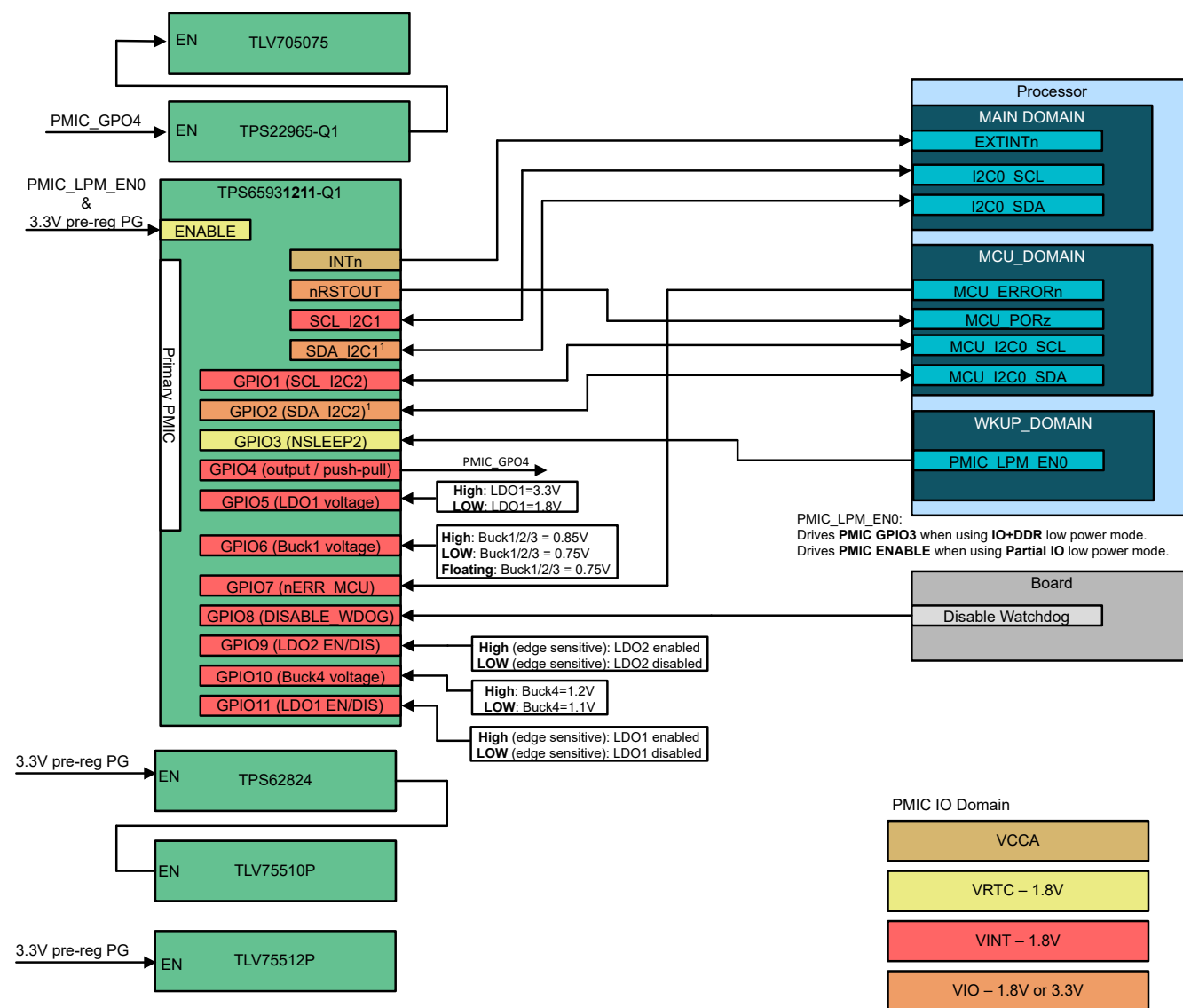


図 3-2. TPS65931211-Q1 のデジタル接続

注

PMIC IO には、入力機能と出力機能のために異なる電源ドメインを設定できます。I2C1 および I2C2 の SDA 機能は、VINT 電圧ドメインを入力として、VIO 電圧ドメインを出力として使用します。入力として設定した場合、GPIO3 は VRTC ドメインにあります。出力として設定した場合、GPIO4 は VINT ドメインにあります。レジスタの詳細な説明については、「データシート」を参照してください。

表 3-2 に、TPS65931211-Q1 のデジタル信号と、それらの信号をプルアップする必要がある AM62A ドメインの信号を示します。これらのデジタル信号はオープンドレインとして設定されました。

表 3-2. オープンドレイン信号と AM62 電源ドメイン

PMIC オープンドレイン信号	AM62A の信号名	AM62A 電源ドメイン
nINT	EXTINTn	VDDSHV0
nRSTOUT	MCU_PORz	VDDS_OSC (1.8V)
SCL_I2C1	I2C0_SCL	VDDSHV0
SDA_I2C1	I2C0_SDA	VDDSHV0
GPIO1 (SCL_I2C2)	MCU_I2C0_SCL	VDDSHV_MCU

表 3-2. オープンドレイン信号と AM62 電源ドメイン (続き)

PMIC オープンドレイン信号	AM62A の信号名	AM62A 電源ドメイン
GPIO2 (SDA_I2C2)	MCU_I2C0_SDA	VDDSHV_MCU

各 PDN システム機能に必要な GPIO の割り当てを理解するには、表 3-3 をガイドとして使用してください。記載されている機能が不要な場合は、デジタル接続を取り除くことができますが、GPIO ピンは、以下に示す NVM で定義されたデフォルト機能に従って設定されます。プロセッサが起動した後、プロセッサは未使用の GPIO を再設定して、新しい機能をサポートできます。GPIO 機能を再設定することは、ブート後にのみ必要であり、デフォルト機能によって通常動作と競合しない限り可能です (たとえば、2 つの出力が同じネットを駆動する場合)。

表 3-3. システム機能別のデジタル接続

デバイス	GPIO へのマッピング		システム機能:			
	PMIC ピン	NVM の機能	アクティブな SoC	機能安全	IO + DDR	SD カード
TPS65931211-Q1	nPWRON/ ENABLE	イネーブル	必須	必須		
	INT	INT	必須	必須		
	nRSTOUT	nRSTOUT	必須			
	SCL_I2C1	SCL_I2C1	必須			
	SDA_I2C1	SDA_I2C1	必須			
	GPIO_1	SCL_I2C2		必須		
	GPIO_2	SDA_I2C2		必須		
	GPIO_3	nSLEEP2			必須	
	GPIO_4	GPO (3.3V パワースイッチをイネーブルにします)	必須			
	GPIO_5	GPI (LDO1 の出力電圧を設定)	オプション ⁽²⁾			必須
	GPIO_6	GPI (BUCK1/2/3 の出力電圧を設定)	必須			
	GPIO_7	nERR_MCU		必須		
	GPIO_8	DISABLE_WDOG		オプション ⁽¹⁾		
	GPIO_9	GPI (LDO2 をイネーブル / ディセーブル)				
	GPIO_10	GPI (BUCK4 の出力電圧を設定)	必須			
	GPIO_11	GPI (LDO1 をイネーブル / ディセーブル)				必須

- (1) ハードウェアによってウォッチドッグをディセーブルにするには GPIO_8 が必要であり、nRSTOUT が High になるまでに High に設定する必要があります。nRSTOUT が High になると、ウォッチドッグ状態はラッチされ、ソフトウェアを使用して他の機能にピンを設定できます。
- (2) LDO1 を uSD カード インターフェイスへの電力供給に使用しない場合、PMIC の GPIO5 をプロセッサに接続する必要はありません。

4 ASIL-B の機能安全要件への対応

ASIL-B のシステム機能安全レベルを実現するため、以下の PDN 機能を利用できます。

- 電力リソース電圧出力の PMIC 過電圧および低電圧監視
- 安全プロセッサのウォッチドッグ監視
- マイコン エラー モニタ
- MCU と MAIN ドメインのコールドリセット
- I²C 通信
- エラー インジケータ EN_DRV、外部回路を駆動するための (オプション)
- EN_DRV ピンの読み戻し

4.1 その他の安全機能

- すべての出力電源レールで PMIC 電流監視
- BUCK レギュレータピン (SW_Bx) でのスイッチのグラウンドへの短絡検出
- nINT および nRSTOUT ロジック出力ピンの読み戻し

PMIC の内部過電圧・低電圧監視と、それぞれの監視スレッショルドレベルはデフォルトでイネーブルになっており、起動後に I²C を介して更新できます。デフォルトでは、プロセッサに直接接続されている PMIC 電源レールを監視します。TPS65931211-Q1 の BUCK3 の未使用のフィードバックピン (FB_B3) は、3.3V の I/O ドメインに電力を供給する負荷スイッチ出力電圧を監視するために割り当てられています。PMIC が 3.3V が供給されることを想定しているため、エラーを防止するため、3.3V の電源をフィードバックピンに接続する必要があります。

内部 Q&A ウォッチドッグは、TPS65931211-Q1 NVM でイネーブルになります。デバイスがアクティブ状態になると、トリガまたは Q&A ウォッチドッグ設定は、デバイスのセカンダリ I2C2 (GPIO1/GPIO2) を介して設定できます。プライマリおよびセカンダリ I2C CRC は、デフォルトでイネーブルされていませんが、[セクション 6.2](#) に記載されている I2C_2 トリガを使用しイネーブルにする必要があります。イネーブルになると、セカンダリ I2C は 2ms の間無効になります。TI は、I2C CRC を有効にし、Q&A ウォッチドッグを開始する前に少なくとも 2ms 待機することを推奨しています。ウォッチドッグの設定と開始の手順については、TPS6593-Q1 データシートを参照してください。DISABLE_WDOG 信号を High に設定すると、初期開発時にこの機能を一時停止する必要がある場合や、システムで不要な場合、ウォッチドッグ タイマはディセーブルになります。

プライマリ TPS65931211-Q1 PMIC の GPIO_7 はマイコン エラー信号モニタとして設定されており、ESM_MCU_EN レジスタビットを使用してイネーブルにする必要があります。マイコンとメインドメインのリセットは、PMIC の nRSTOUT ピンとプロセッサの MCU_PORz ピンとの間の接続によりサポートされています。

EN_DRV を使用してエラーを示し、またシステムが安全状態に移行していることを示すオプションがあります。エラーイベントで駆動する必要のある外部回路がシステムにある場合は、この信号を使用します。この PDN では、EN_DRV は使用されませんが、使用可能です。

電流監視は、すべて BUCK のコンバータと LDO について、デフォルトで有効になっています。

表 4-1. PMIC のシステムレベルの安全機能

ASIL-B				
外部 SW Wdog	INTn	セーフティ マイコン処理 ESM セーフティ マイコンリセット	IO リードバック機能による安全ステータス信号	システム入力電圧監視
PMIC: Q&A ウォッチドッグと I2C2。	PMIC: プロセッサ上の EXTINTn に接続されてる nINT ピン	PMIC: プロセッサ上の MCU_ERRORn に接続されている nERR_MCU	PMIC: ENDRV	VCCA OV/UV はデフォルトでディセーブルになっていますが、I2C によってイネーブルにできます。

表 4-2. PMIC 電源監視安全機能

デバイス	電源リソース	PDN 電源レール	ASIL-B 電源電圧の監視
TPS65931211-Q1 (PMIC)	BUCK1-3	VDD_CORE	PMIC - OV と UV
	BUCK4	VDDS_DDR	PMIC - OV と UV
	BUCK5	DVDD1V8 (VDDSHVy)	PMIC - OV と UV
	LDO1	VDDSHV5	PMIC - OV と UV LDO をバイパスモードに設定した場合、UV/OV を監視するかどうかを mike に確認します
	LDO2	VPP (eFUSE)	PMIC - OV と UV
	LDO3	VDDR_CORE	PMIC - OV と UV
	LDO4	VDDA_MCU	PMIC - OV と UV
TPS22965-Q1	ロード スイッチ	DVDD3V3 (VDDSHVx)	PMIC (FB_B3) - OV と UV

注

PMIC の機能安全機能の詳細な説明と分析については、「TPS6593-Q1 デバイスの安全マニュアル」を参照してください。これらの機能安全機能は、システムで ASIL-B までの定格を達成するのに役立ちます。

5 静的 NVM 設定

TPS6593-Q1 PMIC は、ユーザー レジスタ空間と NVM で構成されています。このセクションでは、INIT から BOOT BIST への遷移中にユーザー レジスタにロードされる NVM の設定を示します。注:スタンバイ モードからアクティブ モードへの移行など、状態遷移中にユーザー レジスタを変更できます。ユーザー レジスタ マップは、「[TPS6593-Q1 のデータシート](#)」に記載されています。

5.1 アプリケーションベースの設定

TPS6593-Q1 データシートには、各 BUCK が内部で動作するように、7 つのアプリケーションベースの設定があります。使用可能なさまざまな設定を以下に示します。

- DDR 終端用の 2.2MHz 単相
- 4.4MHz VOUT: 1.9V 未満、マルチフェーズまたは高 COUT 単相
- 4.4MHz VOUT: 1.9V 未満、低 COUT、単相のみ
- 1.7V を超える 4.4MHz VOUT、単相のみ
- 2.2MHz VOUT: 1.9V 未満のマルチフェーズまたは単相
- 2.2MHz 全 VOUT 範囲と 4.5V を上回る VIN、単相のみ
- 2.2MHz の全 VOUT および全 VIN 範囲、単相のみ

7 つの設定には出力インダクタンス値もあり、これらのさまざまな条件下で各 buck コンバータの性能を最適化します。表 5-1 に、BUCK のデフォルト設定を示します。デバイスの起動後にこれらの設定を変更することはできません。

表 5-1. アプリケーションのユース ケース設定

デバイス	BUCK レール	デフォルトのアプリケーションのユース ケース	インダクタの推奨値
TPS65931211-Q1	BUCK1	2.2MHz VOUT: 1.9V 未満のマルチフェーズまたは単相	470nH
	BUCK2	2.2MHz VOUT: 1.9V 未満のマルチフェーズまたは単相	470nH
	BUCK3	2.2MHz VOUT: 1.9V 未満のマルチフェーズまたは単相	470nH
	BUCK4	2.2MHz VOUT: 1.9V 未満のマルチフェーズまたは単相	470nH
	BUCK5	2.2MHz VOUT: 1.9V 未満のマルチフェーズまたは単相	470nH

5.2 デバイスの識別設定

これらの設定は、システムで検出されるデバイスを識別するために使用されます。デバイスの起動後にこれらの設定を変更することはできません。

表 5-2. デバイス識別 NVM 設定

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
DEV_REV	DEVICE_ID		
NVM_CODE_1	TI_NVM_ID	0x11	
NVM_CODE_2	TI_NVM_REV	0x5	
PHASE_CONFIG	MP_CONFIG	0x3	3 + 1 + 1

5.3 BUCK の設定

これらの設定では、NVM に保存されている BUCK レールの電圧、構成、監視の詳細が示されます。これらの設定はすべて、起動後に I²C を使用して変更できます。[セクション 6.3](#) に示すように、一部の設定 (通常はイネーブル ビット) も PFSM によって変更されます。

表 5-3. BUCK NVM の設定

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
BUCK1_CTRL	BUCK1_EN	0x0	ディセーブル。BUCK1 レギュレータ
	BUCK1_FPWM	0x1	PWM 動作のみ。
	BUCK1_FPWM_MP	0x0	自動的な位相追加と位相減少。
	BUCK1_VMON_EN	0x0	ディセーブル。OV、UV、SC、ILIM コンパレータ。
	BUCK1_VSEL	0x0	BUCK1_VOUT_1
	BUCK1_PLDN	0x1	イネーブル。プルダウン抵抗
	BUCK1_RV_SEL	0x0	ディセーブル
BUCK1_CONF	BUCK1_SLEW_RATE	0x3	5.0mV/μs
	BUCK1_ILIM	0x5	5.5A
BUCK2_CTRL	BUCK2_EN	0x0	ディセーブル。BUCK2 レギュレータ
	BUCK2_FPWM	0x1	PWM 動作のみ。
	BUCK2_VMON_EN	0x0	ディセーブル。OV、UV、SC、ILIM コンパレータ。
	BUCK2_VSEL	0x0	BUCK2_VOUT_1
	BUCK2_PLDN	0x1	イネーブル。プルダウン抵抗
	BUCK2_RV_SEL	0x0	ディセーブル
BUCK2_CONF	BUCK2_SLEW_RATE	0x3	5.0mV/μs
	BUCK2_ILIM	0x5	5.5A
BUCK3_CTRL	BUCK3_EN	0x0	ディセーブル。BUCK3 レギュレータ
	BUCK3_FPWM	0x1	PWM 動作のみ。
	BUCK3_FPWM_MP	0x0	自動的な位相追加と位相減少。
	BUCK3_VMON_EN	0x0	ディセーブル。OV、UV、SC、ILIM コンパレータ。
	BUCK3_VSEL	0x0	BUCK3_VOUT_1
	BUCK3_PLDN	0x1	イネーブル。プルダウン抵抗
	BUCK3_RV_SEL	0x0	ディセーブル
BUCK3_CONF	BUCK3_SLEW_RATE	0x0	33mV/μs
	BUCK3_ILIM	0x5	5.5A

表 5-3. BUCK NVM の設定 (続き)

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
BUCK4_CTRL	BUCK4_EN	0x0	ディセーブル。BUCK4 レギュレータ
	BUCK4_FPWM	0x0	PFM と PWM の動作 (自動モード)。
	BUCK4_VMON_EN	0x0	ディセーブル。OV、UV、SC、ILIM コンパレータ。
	BUCK4_VSEL	0x0	BUCK4_VOUT_1
	BUCK4_PLDN	0x1	イネーブル。プルダウン抵抗
	BUCK4_RV_SEL	0x0	ディセーブル
BUCK4_CONF	BUCK4_SLEW_RATE	0x3	5.0mV/μs
	BUCK4_ILIM	0x5	5.5A
BUCK5_CTRL	BUCK5_EN	0x0	ディセーブル。BUCK5 レギュレータ
	BUCK5_FPWM	0x0	PFM と PWM の動作 (自動モード)。
	BUCK5_VMON_EN	0x0	ディセーブル。OV、UV、SC、ILIM コンパレータ。
	BUCK5_VSEL	0x0	BUCK5_VOUT_1
	BUCK5_PLDN	0x1	イネーブルプルダウン抵抗
	BUCK5_RV_SEL	0x0	ディセーブル
BUCK5_CONF	BUCK5_SLEW_RATE	0x3	5.0mV/μs
	BUCK5_ILIM	0x3	3.5A
BUCK1_VOUT_1	BUCK1_VSET1	0x2d	0.750V
BUCK1_VOUT_2	BUCK1_VSET2	0x2d	0.750V
BUCK2_VOUT_1	BUCK2_VSET1	0x2d	0.750V
BUCK2_VOUT_2	BUCK2_VSET2	0x2d	0.750V
BUCK3_VOUT_1	BUCK3_VSET1	0xfd	3.30V
BUCK3_VOUT_2	BUCK3_VSET2	0xfd	3.30V
BUCK4_VOUT_1	BUCK4_VSET1	0x73	1.10V
BUCK4_VOUT_2	BUCK4_VSET2	0x73	1.10V
BUCK5_VOUT_1	BUCK5_VSET1	0xb2	1.80V
BUCK5_VOUT_2	BUCK5_VSET2	0xb2	1.80V
BUCK1_PG_WINDOW	BUCK1_OV_THR	0x3	+5%/+50mV
	BUCK1_UV_THR	0x3	-5%/-50mV
BUCK2_PG_WINDOW	BUCK2_OV_THR	0x3	+5%/+50mV
	BUCK2_UV_THR	0x3	-5%/-50mV
BUCK3_PG_WINDOW	BUCK3_OV_THR	0x3	+5%/+50mV
	BUCK3_UV_THR	0x3	-5%/-50mV
BUCK4_PG_WINDOW	BUCK4_OV_THR	0x4	+6%/+60mV
	BUCK4_UV_THR	0x4	-6%/-60mV
BUCK5_PG_WINDOW	BUCK5_OV_THR	0x4	+6%/+60mV
	BUCK5_UV_THR	0x4	-6%/-60mV

5.4 LDO の設定

これらの設定では、NVM に保存されている LDO レールの電圧、構成、監視の詳細が示されます。これらの設定はすべて、起動後に I²C を使用して変更できます。[セクション 6.3](#) に示すように、一部の設定 (通常はイネーブルビット) も PFSM によって変更されます。

[セクション 6.3.4](#) シーケンスの完了後、LDOx_EN および LDOx_VMON_EN ビットが設定され、すべての LDO について LDOx_RV_SEL ビットがクリアされます。その他のビットは変更されませんが、I²C 経由でアクセスできます

表 5-4. LDO NVM の設定

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
LDO1_CTRL	LDO1_EN	0x0	ディセーブル、LDO1 レギュレータ。
	LDO1_SLOW_RAMP	0x1	LDO 出力が 0.3V から LDO _n _VSET の 90% に達するまでの最大ランプ アップ スループレート: 3mV/μs
	LDO1_PLDN	0x1	125Ω
	LDO1_VMON_EN	0x0	OV および UV コンパレータを無効にします。
	LDO1_RV_SEL	0x0	ディセーブル
LDO2_CTRL	LDO2_EN	0x0	ディセーブル、LDO2 レギュレータ。
	LDO2_SLOW_RAMP	0x1	LDO 出力が 0.3V から LDO _n _VSET の 90% に達するまでの最大ランプ アップ スループレート: 3mV/μs
	LDO2_PLDN	0x0	50kΩ
	LDO2_VMON_EN	0x0	ディセーブル。OV および UV コンパレータ。
	LDO2_RV_SEL	0x0	ディセーブル
LDO3_CTRL	LDO3_EN	0x0	ディセーブル、LDO3 レギュレータ。
	LDO3_SLOW_RAMP	0x1	LDO 出力が 0.3V から LDO _n _VSET の 90% に達するまでの最大ランプ アップ スループレート: 3mV/μs
	LDO3_PLDN	0x1	125Ω
	LDO3_VMON_EN	0x0	ディセーブル。OV および UV コンパレータ。
	LDO3_RV_SEL	0x0	ディセーブル
LDO4_CTRL	LDO4_EN	0x0	ディセーブル、LDO4 レギュレータ。
	LDO4_SLOW_RAMP	0x1	LDO 出力が 0.3V から LDO _n _VSET の 90% に達するまでの最大ランプ アップ スループレート: 3mV/μs
	LDO4_PLDN	0x1	125Ω
	LDO4_VMON_EN	0x0	ディセーブル。OV および UV コンパレータ。
	LDO4_RV_SEL	0x0	ディセーブル
LDO1_VOUT	LDO1_VSET	0x3a	3.30V
	LDO1_BYPASS	0x1	バイパス モード。
LDO2_VOUT	LDO2_VSET	0x1c	1.80V
	LDO2_BYPASS	0x0	リニア レギュレータ モード。
LDO3_VOUT	LDO3_VSET	0x9	0.85V
	LDO3_BYPASS	0x0	リニア レギュレータ モード。
LDO4_VOUT	LDO4_VSET	0x38	1.800V
LDO1_PG_WINDOW	LDO1_OV_THR	0x4	+6%/+60mV
	LDO1_UV_THR	0x4	-6%/-60mV
LDO2_PG_WINDOW	LDO2_OV_THR	0x4	+6%/+60mV
	LDO2_UV_THR	0x4	-6%/-60mV
LDO3_PG_WINDOW	LDO3_OV_THR	0x4	+6%/+60mV
	LDO3_UV_THR	0x4	-6%/-60mV

表 5-4. LDO NVM の設定 (続き)

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
LDO4_PG_WINDOW	LDO4_OV_THR	0x4	+6%/+60mV
	LDO4_UV_THR	0x4	-6%/-60mV

5.5 VCCA の設定

これらの設定では、VCCA でイネーブルされるデフォルトの監視について詳しく説明します。これらの設定はすべて、起動後に I²C を使用して変更できます。

表 5-5. VCCA NVM の設定

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
VCCA_VMON_CTRL	VMON_DEGLITCH_SEL	0x1	20μs
	VCCA_VMON_EN	0x0	ディセーブル。OV および UV コンパレータ。
VCCA_PG_WINDOW	VCCA_OV_THR	0x7	+10%
	VCCA_UV_THR	0x7	-10%
	VCCA_PG_SET	0x1	5.0V
GENERAL_REG_1	FAST_VCCA_OVP	0x0	低速、4μs グリッチ除去フィルタはイネーブル
GENERAL_REG_3	LPM_EN_DISABLES_VCCA_VMON	0x1	VCCA_VMON_EN = 1 および LPM_EN = 0 の場合、VCCA_VMON をイネーブルにします

5.6 GPIO の設定

これらの設定は、GPIO レールのデフォルト設定について詳しく説明しています。GPIOx_SEL フィールドの内容によって、GPIOx_CONF および GPIO_OUT_x レジスタの他のフィールドが適用可能であることに注意してください。各 GPIOx_SEL オプションに適用される NVM フィールドについては、TPS6593-Q1 データシートの「デジタル信号の説明」セクションを参照してください。

表 5-6. GPIO NVM の設定

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
GPIO1_CONF	GPIO1_OD	0x0	プッシュプル出力
	GPIO1_DIR	0x0	入力
	GPIO1_SEL	0x1	SCL_I2C2/CS_SPI
	GPIO1_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO1_PU_PD_EN	0x0	ディセーブル。プルアップ / プルダウン抵抗。
	GPIO1_DEGLITCH_EN	0x0	グリッチ除去なし、同期のみ。
GPIO2_CONF	GPIO2_OD	0x0	プッシュプル出力
	GPIO2_DIR	0x0	入力
	GPIO2_SEL	0x2	SDA_I2C2/SDO_SPI
	GPIO2_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO2_PU_PD_EN	0x0	ディセーブル。プルアップ / プルダウン抵抗。
	GPIO2_DEGLITCH_EN	0x0	グリッチ除去なし、同期のみ。
GPIO3_CONF	GPIO3_OD	0x1	オープンドレイン出力
	GPIO3_DIR	0x0	入力
	GPIO3_SEL	0x5	NSLEEP2
	GPIO3_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO3_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO3_DEGLITCH_EN	0x1	8μs グリッチ除去時間。

表 5-6. GPIO NVM の設定 (続き)

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
GPIO4_CONF	GPIO4_OD	0x0	プッシュプル出力
	GPIO4_DIR	0x1	出力
	GPIO4_SEL	0x0	GPIO4
	GPIO4_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO4_PU_PD_EN	0x0	ディセーブル。プルアップ / プルダウン抵抗。
	GPIO4_DEGLITCH_EN	0x0	グリッチ除去なし、同期のみ。
GPIO5_CONF	GPIO5_OD	0x1	オープンドレイン出力
	GPIO5_DIR	0x0	入力
	GPIO5_SEL	0x0	GPIO5
	GPIO5_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO5_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO5_DEGLITCH_EN	0x1	8 μ s グリッチ除去時間。
GPIO6_CONF	GPIO6_OD	0x0	プッシュプル出力
	GPIO6_DIR	0x0	入力
	GPIO6_SEL	0x0	GPIO6
	GPIO6_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO6_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO6_DEGLITCH_EN	0x1	8 μ s グリッチ除去時間。
GPIO7_CONF	GPIO7_OD	0x1	オープンドレイン出力
	GPIO7_DIR	0x0	入力
	GPIO7_SEL	0x1	NERR_MCU
	GPIO7_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO7_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO7_DEGLITCH_EN	0x0	グリッチ除去なし、同期のみ。
GPIO8_CONF	GPIO8_OD	0x1	オープンドレイン出力
	GPIO8_DIR	0x0	入力
	GPIO8_SEL	0x3	DISABLE_WDOG
	GPIO8_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO8_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO8_DEGLITCH_EN	0x0	グリッチ除去なし、同期のみ。
GPIO9_CONF	GPIO9_OD	0x1	オープンドレイン出力
	GPIO9_DIR	0x0	入力
	GPIO9_SEL	0x0	GPIO9
	GPIO9_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO9_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO9_DEGLITCH_EN	0x1	8 μ s グリッチ除去時間。
GPIO10_CONF	GPIO10_OD	0x1	オープンドレイン出力
	GPIO10_DIR	0x0	入力
	GPIO10_SEL	0x0	GPIO10
	GPIO10_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO10_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO10_DEGLITCH_EN	0x1	8 μ s グリッチ除去時間。

表 5-6. GPIO NVM の設定 (続き)

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
GPIO11_CONF	GPIO11_OD	0x1	オープンドレイン出力
	GPIO11_DIR	0x0	入力
	GPIO11_SEL	0x0	GPIO11
	GPIO11_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO11_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO11_DEGLITCH_EN	0x1	8 μ s グリッチ除去時間。
NPWRON_CONF	NPWRON_SEL	0x0	イネーブル
	ENABLE_PU_SEL	0x0	プルアップ抵抗が選択されています
	ENABLE_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	ENABLE_DEGLITCH_EN	0x1	ENABLE のときの 8 μ s グリッチ除去時間。 NPWRON のとき 50ms グリッチ除去時間。
	ENABLE_POL	0x0	アクティブ High
	NRSTOUT_OD	0x1	オープンドレイン出力
GPIO_OUT_1	GPIO1_OUT	0x0	低
	GPIO2_OUT	0x0	低
	GPIO3_OUT	0x0	低
	GPIO4_OUT	0x0	低
	GPIO5_OUT	0x0	低
	GPIO6_OUT	0x0	低
	GPIO7_OUT	0x0	低
	GPIO8_OUT	0x0	低
GPIO_OUT_2	GPIO9_OUT	0x0	低
	GPIO10_OUT	0x0	低
	GPIO11_OUT	0x0	低

5.7 有限ステート マシン (FSM) の設定

これらの設定は、PMIC 出力レールが各種システムレベルの状態にどのように割り当てられるかを示します。また、各システムレベル状態のデフォルトのトリガについても説明します。これらの設定はすべて、起動後に I²C を使用して変更できます。

表 5-7. FSM NVM の設定

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
RAIL_SEL_1	BUCK1_GRP_SEL	0x1	マイコン レール グループ
	BUCK2_GRP_SEL	0x1	マイコン レール グループ
	BUCK3_GRP_SEL	0x1	マイコン レール グループ
	BUCK4_GRP_SEL	0x1	マイコン レール グループ
RAIL_SEL_2	BUCK5_GRP_SEL	0x1	マイコン レール グループ
	LDO1_GRP_SEL	0x1	マイコン レール グループ
	LDO2_GRP_SEL	0x3	その他のレール グループ
	LDO3_GRP_SEL	0x1	マイコン レール グループ
RAIL_SEL_3	LDO4_GRP_SEL	0x1	マイコン レール グループ
	VCCA_GRP_SEL	0x0	グループが割り当てられていません
FSM_TRIG_SEL_1	MCU_RAIL_TRIG	0x1	正常なシャットダウン
	SOC_RAIL_TRIG	0x3	SOC 電源エラー
	OTHER_RAIL_TRIG	0x2	マイコン電源エラー
	SEVERE_ERR_TRIG	0x0	即時シャットダウン
FSM_TRIG_SEL_2	MODERATE_ERR_TRIG	0x1	正常なシャットダウン

5.8 割り込み設定

これらの設定は、nINT ピンで監視される機能のデフォルト設定について詳しく説明しています。これらすべての設定は、起動後に I²C を介して変更できます。

表 5-8. 割り込み NVM 設定

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
FSM_TRIG_MASK_1	GPIO1_FSM_MASK	0x1	マスク済み
	GPIO1_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO2_FSM_MASK	0x1	マスク済み
	GPIO2_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO3_FSM_MASK	0x1	マスク済み
	GPIO3_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO4_FSM_MASK	0x1	マスク済み
	GPIO4_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
FSM_TRIG_MASK_2	GPIO5_FSM_MASK	0x0	マスクなし
	GPIO5_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO6_FSM_MASK	0x0	マスクなし
	GPIO6_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO7_FSM_MASK	0x1	マスク済み
	GPIO7_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO8_FSM_MASK	0x1	マスク済み
	GPIO8_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます

表 5-8. 割り込み NVM 設定 (続き)

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
FSM_TRIG_MASK_3	GPIO9_FSM_MASK	0x0	マスクなし
	GPIO9_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO10_FSM_MASK	0x0	マスクなし
	GPIO10_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO11_FSM_MASK	0x0	マスクなし
	GPIO11_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
MASK_BUCK1_2	BUCK1_ILIM_MASK	0x0	割り込みが生成済み
	BUCK1_OV_MASK	0x0	割り込みが生成済み
	BUCK1_UV_MASK	0x0	割り込みが生成済み
	BUCK2_ILIM_MASK	0x0	割り込みが生成済み
	BUCK2_OV_MASK	0x0	割り込みが生成済み
	BUCK2_UV_MASK	0x0	割り込みが生成済み
MASK_BUCK3_4	BUCK3_ILIM_MASK	0x0	割り込みが生成済み
	BUCK3_OV_MASK	0x0	割り込みが生成済み
	BUCK3_UV_MASK	0x0	割り込みが生成済み
	BUCK4_OV_MASK	0x0	割り込みが生成済み
	BUCK4_UV_MASK	0x0	割り込みが生成済み
	BUCK4_ILIM_MASK	0x0	割り込みが生成済み
MASK_BUCK5	BUCK5_ILIM_MASK	0x0	割り込みが生成済み
	BUCK5_OV_MASK	0x0	割り込みが生成済み
	BUCK5_UV_MASK	0x0	割り込みが生成済み
MASK_LDO1_2	LDO1_OV_MASK	0x0	割り込みが生成済み
	LDO1_UV_MASK	0x0	割り込みが生成済み
	LDO2_OV_MASK	0x0	割り込みが生成済み
	LDO2_UV_MASK	0x0	割り込みが生成済み
	LDO1_ILIM_MASK	0x0	割り込みが生成済み
	LDO2_ILIM_MASK	0x0	割り込みが生成済み
MASK_LDO3_4	LDO3_OV_MASK	0x0	割り込みが生成済み
	LDO3_UV_MASK	0x0	割り込みが生成済み
	LDO4_OV_MASK	0x0	割り込みが生成済み
	LDO4_UV_MASK	0x0	割り込みが生成済み
	LDO3_ILIM_MASK	0x0	割り込みが生成済み
	LDO4_ILIM_MASK	0x0	割り込みが生成済み
MASK_VMON	VCCA_OV_MASK	0x0	割り込みが生成済み
	VCCA_UV_MASK	0x0	割り込みが生成済み
MASK_GPIO1_8_FALL	GPIO1_FALL_MASK	0x1	割り込みは生成されません。
	GPIO2_FALL_MASK	0x1	割り込みは生成されません。
	GPIO3_FALL_MASK	0x1	割り込みは生成されません。
	GPIO4_FALL_MASK	0x1	割り込みは生成されません。
	GPIO5_FALL_MASK	0x1	割り込みは生成されません。
	GPIO6_FALL_MASK	0x1	割り込みは生成されません。
	GPIO7_FALL_MASK	0x1	割り込みは生成されません。
	GPIO8_FALL_MASK	0x1	割り込みは生成されません。

表 5-8. 割り込み NVM 設定 (続き)

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
MASK_GPIO1_8_RISE	GPIO1_RISE_MASK	0x1	割り込みは生成されません。
	GPIO2_RISE_MASK	0x1	割り込みは生成されません。
	GPIO3_RISE_MASK	0x1	割り込みは生成されません。
	GPIO4_RISE_MASK	0x1	割り込みは生成されません。
	GPIO5_RISE_MASK	0x1	割り込みは生成されません。
	GPIO6_RISE_MASK	0x1	割り込みは生成されません。
	GPIO7_RISE_MASK	0x1	割り込みは生成されません。
	GPIO8_RISE_MASK	0x1	割り込みは生成されません。
MASK_GPIO9_11 / MASK_GPIO9_10	GPIO9_FALL_MASK	0x1	割り込みは生成されません。
	GPIO9_RISE_MASK	0x1	割り込みは生成されません。
	GPIO10_FALL_MASK	0x1	割り込みは生成されません。
	GPIO11_FALL_MASK	0x1	割り込みは生成されません。
	GPIO10_RISE_MASK	0x1	割り込みは生成されません。
	GPIO11_RISE_MASK	0x1	割り込みは生成されません。
MASK_STARTUP	NPWRON_START_MASK	0x1	割り込みは生成されません。
	ENABLE_MASK	0x0	割り込みが生成済み
	FSD_MASK	0x1	割り込みは生成されません。
	SOFT_REBOOT_MASK	0x0	割り込みが生成済み
MASK_MISC	TWARN_MASK	0x0	割り込みが生成済み
	BIST_PASS_MASK	0x0	割り込みが生成済み
	EXT_CLK_MASK	0x1	割り込みは生成されません。
MASK_MODERATE_ERR	BIST_FAIL_MASK	0x0	割り込みが生成済み
	REG_CRC_ERR_MASK	0x0	割り込みが生成済み
	SPMI_ERR_MASK	0x1	割り込みは生成されません。
	NPWRON_LONG_MASK	0x1	割り込みは生成されません。
	NINT_READBACK_MASK	0x0	割り込みが生成済み
	NRSTOUT_READBACK_MASK	0x0	割り込みが生成済み
MASK_FSM_ERR	IMM_SHUTDOWN_MASK	0x0	割り込みが生成済み
	MCU_PWR_ERR_MASK	0x0	割り込みが生成済み
	SOC_PWR_ERR_MASK	0x0	割り込みが生成済み
	ORD_SHUTDOWN_MASK	0x0	割り込みが生成済み
MASK_COMM_ERR	COMM_FRM_ERR_MASK	0x1	割り込みは生成されません。
	COMM_CRC_ERR_MASK	0x0	割り込みが生成済み
	COMM_ADR_ERR_MASK	0x0	割り込みが生成済み
	I2C2_CRC_ERR_MASK	0x0	割り込みが生成済み
	I2C2_ADR_ERR_MASK	0x0	割り込みが生成済み
MASK_READBACK_ERR	EN_DRV_READBACK_MASK	0x0	割り込みが生成済み
	NRSTOUT_SOC_READBACK_MASK	0x1	割り込みは生成されません。
MASK_ESM	ESM_SOC_PIN_MASK	0x1	割り込みは生成されません。
	ESM_SOC_RST_MASK	0x1	割り込みは生成されません。
	ESM_SOC_FAIL_MASK	0x1	割り込みは生成されません。
	ESM_MCU_PIN_MASK	0x0	割り込みが生成済み
	ESM_MCU_RST_MASK	0x0	割り込みが生成済み
	ESM_MCU_FAIL_MASK	0x0	割り込みが生成済み
GENERAL_REG_1	PFISM_ERR_MASK	0x0	割り込みが生成済み

5.9 POWERGOOD の設定

これらの設定は、PGOOD ピンで監視する動作のデフォルト設定について詳しく説明しています。これらの設定はすべて、起動後に I²C を使用して変更できます。

表 5-9. POWERGOOD NVM の設定

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
PGOOD_SEL_1	PGOOD_SEL_BUCK1	0x1	電圧のみ
	PGOOD_SEL_BUCK2	0x1	電圧のみ
	PGOOD_SEL_BUCK3	0x1	電圧のみ
	PGOOD_SEL_BUCK4	0x1	電圧のみ
PGOOD_SEL_2	PGOOD_SEL_BUCK5	0x1	電圧のみ
PGOOD_SEL_3	PGOOD_SEL_LDO1	0x1	電圧のみ
	PGOOD_SEL_LDO2	0x1	電圧のみ
	PGOOD_SEL_LDO3	0x1	電圧のみ
	PGOOD_SEL_LDO4	0x1	電圧のみ
PGOOD_SEL_4	PGOOD_SEL_VCCA	0x1	PGOOD 信号に影響を及ぼす VCCA OV/UV スレッショルド
	PGOOD_SEL_TDIE_WARN	0x1	PGOOD 信号に影響を及ぼすサーマル警告
	PGOOD_SEL_NIRSTOUT	0x1	nIRSTOUT ピンが Low 状態になると、PGOOD 信号が強制的に Low になります
	PGOOD_SEL_NIRSTOUT_SOC	0x0	マスク済み
	PGOOD_POL	0x0	監視対象の入力が有効なとき、PGOOD 信号は High になります
	PGOOD_WINDOW	0x1	低電圧と過電圧の両方が監視されます

5.10 その他の設定

これらの設定では、スペクトラム拡散、BUCK 周波数、LDO タイムアウトなどの追加設定のデフォルト設定について詳しく説明します。これらの設定はすべて、起動後に I²C を使用して変更できます。

表 5-10. その他の NVM 設定

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
PLL_CTRL	EXT_CLK_FREQ	0x0	1.1MHz
CONFIG_1	TWARN_LEVEL	0x1	140C
	I2C1_HS	0x0	デフォルトでは、標準、高速、または高速 + は、Hs モード プライマリ コードで Hs モードに設定できません。
	I2C2_HS	0x0	デフォルトでは、標準、高速、または高速 + は、Hs モード プライマリ コードで Hs モードに設定できません。
	EN_ILIM_FSM_CTRL	0x0	Buck/LDO レギュレータ ILIM 割り込みは FSM トリガに影響しません。
	NSLEEP1_MASK	0x1	NSLEEP1(B) は、FSM 状態遷移に影響しません。
	NSLEEP2_MASK	0x0	NSLEEP2(B) は、FSM 状態遷移に影響します。
CONFIG_2	BB_CHARGER_EN	0x0	ディセーブル
	BB_VEOC	0x0	2.5V
	BB_ICHR	0x0	100uA
RECOV_CNT_REG_2	RECOV_CNT_THR	0xf	0xf

表 5-10. その他の NVM 設定 (続き)

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
BUCK_RESET_REG	BUCK1_RESET	0x0	0x0
	BUCK2_RESET	0x0	0x0
	BUCK3_RESET	0x0	0x0
	BUCK4_RESET	0x0	0x0
	BUCK5_RESET	0x0	0x0
SPREAD_SPECTRUM_1	SS_EN	0x0	スペクトラム拡散をディセーブル
	SS_MODE	0x1	ミックスドウェル
	SS_DEPTH	0x0	変調なし
SPREAD_SPECTRUM_2	SS_PARAM1	0x7	0x7
	SS_PARAM2	0xc	0xc
FREQ_SEL	BUCK1_FREQ_SEL	0x0	2.2MHz
	BUCK2_FREQ_SEL	0x0	2.2MHz
	BUCK3_FREQ_SEL	0x0	2.2MHz
	BUCK4_FREQ_SEL	0x0	2.2MHz
	BUCK5_FREQ_SEL	0x0	2.2MHz
FSM_STEP_SIZE	PFSM_DELAY_STEP	0xb	0xb
LDO_RV_TIMEOUT_REG_1	LDO1_RV_TIMEOUT	0xf	16ms
	LDO2_RV_TIMEOUT	0xf	16ms
LDO_RV_TIMEOUT_REG_2	LDO3_RV_TIMEOUT	0xf	16ms
	LDO4_RV_TIMEOUT	0xf	16ms
USER_SPARE_REGS	USER_SPARE_1	0x0	0x0
	USER_SPARE_2	0x0	0x0
	USER_SPARE_3	0x0	0x0
	USER_SPARE_4	0x0	0x0
ESM_MCU_MODE_CFG	ESM_MCU_EN	0x0	ESM_MCU はディセーブルです。
ESM_SOC_MODE_CFG	ESM_SOC_EN	0x0	ESM_SoC はディセーブルです。
CUSTOMER_NVM_ID_REG	CUSTOMER_NVM_ID	0x0	0x0
RTC_CTRL_2	XTAL_EN	0x0	水晶発振器は無効になっています。
	LP_STANDBY_SEL	0x0	LDOINT は、スタンバイ状態で有効になります。
	FAST_BIST	0x0	ロジックおよびアナログ BIST は、BOOT BIST で実行されます。
	STARTUP_DEST	0x3	アクティブ
	XTAL_SEL	0x0	6pF
PFSM_DELAY_REG_1	PFSM_DELAY1	0x0	0x0
PFSM_DELAY_REG_2	PFSM_DELAY2	0x0	0x0
PFSM_DELAY_REG_3	PFSM_DELAY3	0x0	0x0
PFSM_DELAY_REG_4	PFSM_DELAY4	0x0	0x0
GENERAL_REG_0	FAST_BOOT_BIST	0x0	LBIST はブート BIST 中に実行されます
GENERAL_REG_1	REG_CRC_EN	0x0	レジスタ CRC はディセーブル

5.11 インターフェイス設定

これらの設定は、デフォルトのインターフェイス、インターフェイス設定、およびデバイス アドレスの詳細を示します。デバイスの起動後にこれらの設定を変更することはできません。

表 5-11. インターフェイス NVM 設定

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
SERIAL_IF_CONFIG	I2C_SPI_SEL	0x0	I2C
	I2C1_SPI_CRC_EN	0x0	CRC ディスエーブル
	I2C2_CRC_EN	0x0	CRC ディスエーブル
I2C1_ID_REG	I2C1_ID	0x48	0x48
I2C2_ID_REG	I2C2_ID	0x12	0x12

5.12 ウォッチドッグの設定

これらの設定は、デフォルトのウォッチドッグアドレスの詳細を示します。これらの設定は、起動後に I²C を使用して変更できます。

表 5-12. ウォッチドッグ NVM の設定

レジスタ名	フィールド名	TPS65931211-Q1	
		値	説明
WD_LONGWIN_CFG	WD_LONGWIN	0xff	0xff
WD_THR_CFG	WD_EN	0x1	ウォッチドッグはイネーブルです。

6 事前設定可能な有限ステートマシン (PFSM) の設定

このセクションでは、TPS65931211-Q1 デバイスのデフォルトの PFSM 設定について説明します。デバイスの起動後にこれらの設定を変更することはできません。

6.1 設定された状態

この PDN では、PMIC は、以下のように設定された電源状態になっています。

- PFSM_START
- wait4Enable
- アクティブ (アクティブ SoC)
- S2R (IO + DDR)
- スタンバイ (部分 IO、PMIC オフ)
- TO_SAFE

図 6-1 に、設定されている PDN の電源状態と、状態間を移動するための遷移条件を示します。さらに、安全回復や LP_STANDBY などのハードウェア状態への遷移を示します。ハードウェア状態は、固定デバイス電源の有限ステートマシン (FSM) の一部であり、「[TPS6593-Q1 のデータシート](#)」に記載されています。

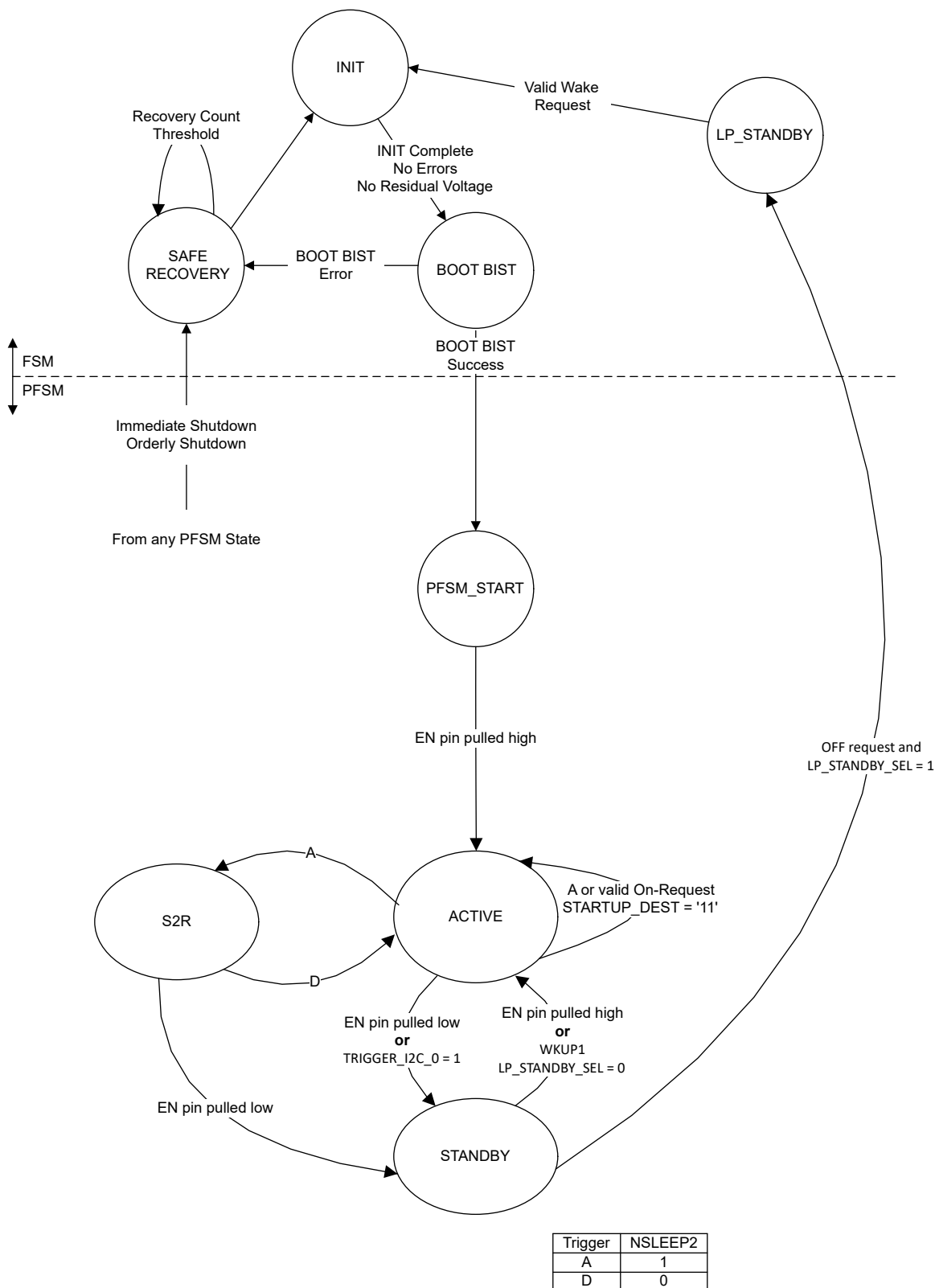


図 6-1. 事前設定可能な有限ステートマシン (PFMSM) のミッションの状態および遷移

PMIC が FSM から PFMSM に遷移すると、PMIC はアクティブ状態に移行する前に有効な ON 要求を待機します。各電源状態の定義を以下に示します。

PFSM_START	PFSM_START は、事前設定可能なミッション状態の最初の状態です。この状態では、有効な電源から PMIC に電力を供給します。この状態には、PMIC が FSM から PFSM に遷移するときに移行します。PMIC が PFSM_START に到着すると、PMIC は有効な ON 要求を待機してから、次の状態に移行します。
アクティブ	PMIC は、有効な電源から電力を供給されます。PMIC は、完全な機能で、すべての PDN 負荷に電力を供給します。プロセッサは、すべての電圧ドメインが通電された状態で、推奨パワー アップ シーケンスを完了しています。 セクション 6.3.4 シーケンスの説明を参照してください。
S2R	PMIC は、有効な電源から電力を供給されます。GPIO3 (nSLEEP2) が Low にプルされると、1.8V IO ドメイン (Buck5) と DDR (Buck4) に割り当てられた電源リソースのみが動作し、他のすべてのドメインがオフになり、システムの総電力が最小化されます。この状態では、EN_DRV が強制的に Low になります。この状態は、AM62A で IO + DDR (RAM へのサスペンド) 低消費電力モードをサポートしています。
STANDBY	PMIC は、システム電源レール上の有効な電源から電力が供給されています ($VCCA \geq VCCA_UV$)。すべてのデバイスリソースは、スタンバイ状態でパワーダウンされます。この状態では、EN_DRV が強制的に Low になります。プロセッサがオフ状態で、電圧ドメインは通電されていません。 セクション 6.3.2 シーケンスの説明を参照してください。
TO_SAFE	前の説明した状態のいずれかから、MODERATE_ERR_INT =「1」または重大なエラーが発生するイベントが発生すると、PMIC は順序どおりまたは即時のシーケンスを実行して、PFSM から FSM に遷移します。マイコンの電源エラーと中程度のエラーが発生すると、シャットダウンが順序どおりにトリガされます。重大なエラーが発生すると、ただちにシャットダウンがトリガされます。

6.2 PFSM トリガ

設定済みの状態間の状態遷移を有効にできる各種トリガがあります。表 6-1 に、各トリガーと、関連する状態が最も高い優先度 (即時シャットダウン) から最も低い優先度に遷移する様子を示します。優先度の高いブロックトリガで低優先度のアクティブトリガおよび関連するシーケンス。

表 6-1. 状態遷移トリガ

トリガ	優先度 (ID)	即時 (IMM)	REENTERANT	PFSM の現在の状態	PFSM のデスティネーションの状態	電源シーケンスまたは実行された機能
即時シャットダウン	0	正しい	誤り	任意	TO_SAFE	immediateOff2Safe_pd
正常なシャットダウン	1	正しい	誤り	任意	TO_SAFE	orderlyOff2safe
1 = High (常に正しい)	2	誤り	誤り	STANDBY	LP スタンバイ	enterLPstandby
FORCE_STANDBY	3	誤り	誤り	アクティブ、スタンバイ、S2R	STANDBY	orderlyOff
WD_ERROR	4	誤り	正しい	アクティブ	アクティブ	warmReset
ESM MCU エラー	5	誤り	正しい	アクティブ	アクティブ	warmReset
I2C_1	6	誤り	正しい	アクティブ	RUNTIME_BIST	RUNTIME BIST を実行します
I2C_2	7	誤り	正しい	アクティブ	アクティブ	I2C1 および I2C2 の I2C CRC をイネーブルにします
SU_ACTIVE	8	誤り	誤り	STANDBY	アクティブ	any2active
WKUP1	9	誤り	誤り	スタンバイ、アクティブ	アクティブ	any2active
I2C_0	10	誤り	誤り	アクティブ	STANDBY	orderlyOff
I2C_3	11	誤り	誤り	アクティブ	アクティブ	デバイスは OTA NVM 更新できます
FORCE_STANDBY = LOW	12	誤り	誤り	PFSM_START	アクティブ	any2active
MCU_POWER_ERROR	13	誤り	誤り	アクティブ	アクティブ	warmReset
GPIO9 (立ち上がり)	14	誤り	正しい	アクティブ	アクティブ	ENVPP
GPIO9 (立ち下がり)	15	誤り	正しい	アクティブ	アクティブ	DISVPP
GPIO5 (立ち下がり)	16	誤り	正しい	アクティブ	アクティブ	SD_1V8
GPIO5 (立ち上がり)	17	誤り	正しい	アクティブ	アクティブ	SD_3V3
GPIO11 (立ち下がり)	18	誤り	正しい	アクティブ	アクティブ	RST_SDCARD
GPIO11 (立ち上がり)	19	誤り	正しい	アクティブ	アクティブ	EN_SDCARD
A	20	誤り	誤り	アクティブ、S2R	アクティブ	any2active
D	21	誤り	誤り	アクティブ、S2R	S2R	any2_s2r
1 = High (常に正しい)	22	正しい	誤り	TO_SAFE	SAFE_RECOVER Y (安全なリカバリ)	該当なし

6.3 電源シーケンス

6.3.1 シーケンス: *immediateOff2Safe_pd*

immediateOff2Safe_pd シーケンスは TO_SAFE 状態に移行するときに発生します。TPS65931211-Q1 PMIC は BUCK スイッチングをすぐに停止し、降圧と LDO のプルダウン抵抗を遅延なしで有効にします。VCCA の過電圧またはサーマル シャットダウンが発生した場合に PMIC の損傷を防止するために、すべてのレールが直ちにシャットダウンされます。タイミングを図 6-2 に示します。

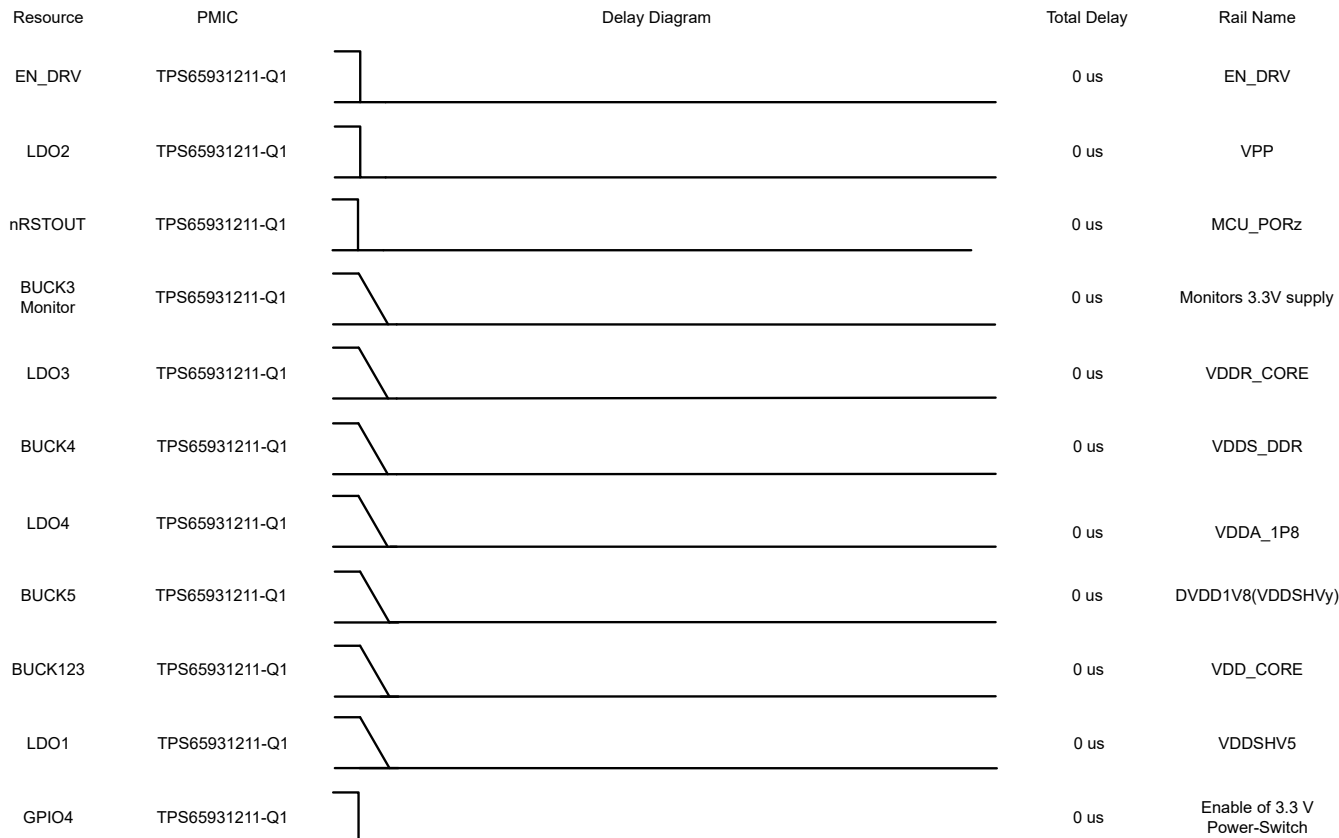


図 6-2. ImmediateOff シーケンス

6.3.2 シーケンス: *orderlyOff2safe*

中程度のエラーが発生した場合は、適切なシャットダウントリガが生成されます。このトリガは、推奨されるパワー ダウン シーケンスを使用して、PMIC の出力を停止し、TO_SAFE 状態へ移行します。

TPS6593-Q1 デバイスの ENABLE ピンが Low にされるなどの OFF 要求が発生した場合、同様のパワー ダウン シーケンスが実行されますが、PMIC は TO_SAFE 状態ではなく、STANDBY (LP_STANDBY_SEL = 0) または LP_STANDBY (LP_STANDBY_SEL = 1) 状態に移行します。これらのイベントの電源シーケンスを図 6-3 に示します。

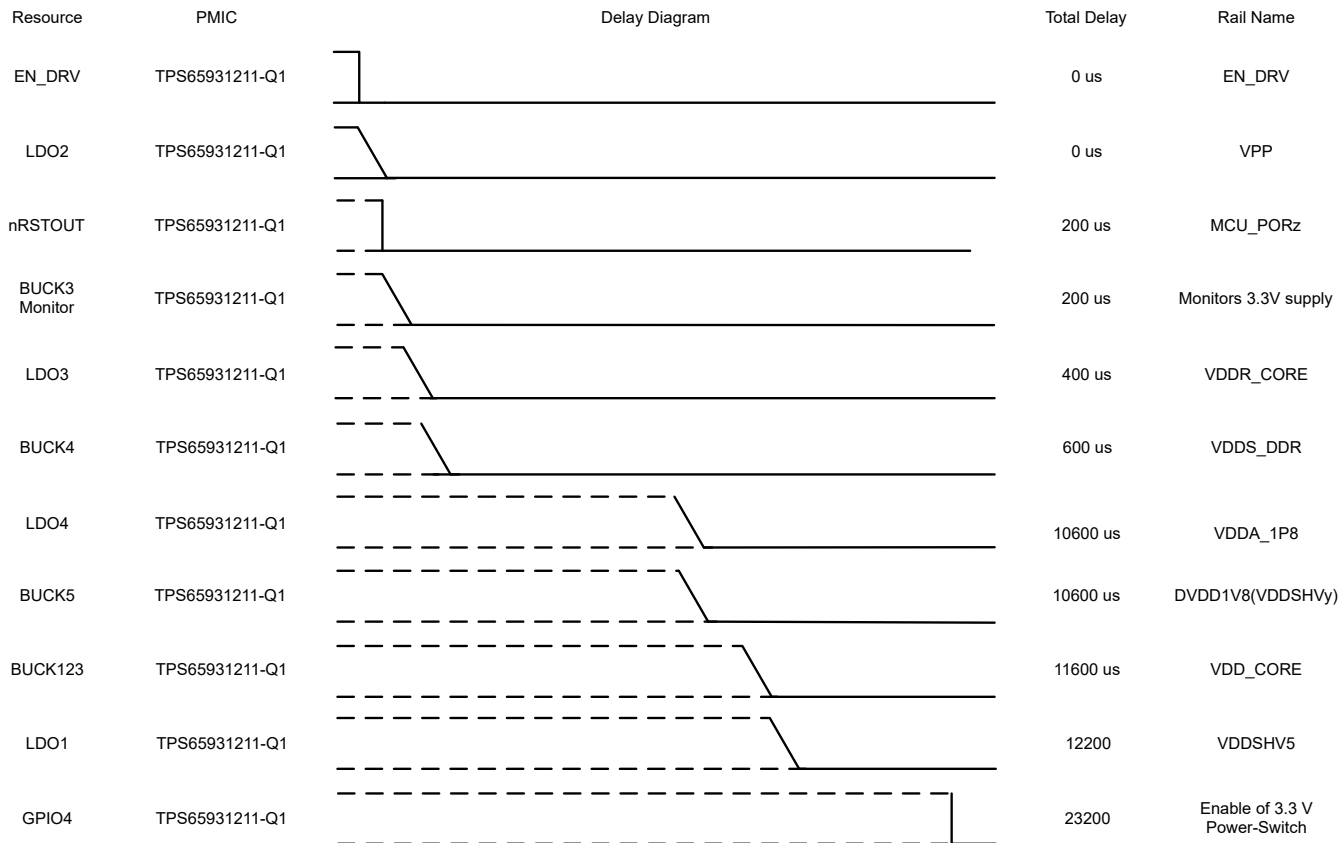


図 6-3. OrderlyOff シーケンス

6.3.3 シーケンス: warmReset

warmReset シーケンスは、ウォッチドッグ、ESM_MCU、または MCU_POWER_ERROR によってトリガできます。LDO2 の出力障害検出は、MCU_POWER_ERROR トリガの有効な条件であり、ウォームリセットを実行します。残りの電源リソース (Buck1/2/3/4/5 および LDO1/3/4) のいずれかで出力障害が発生すると、適切なシャットダウンが実行されます。ウォームリセットトリガが発生すると、nRSTOUT は Low に駆動され、回復カウンタ (レジスタ RECOV_CNT_REG_1) がインクリメントします。その後、すべての BUCK コンバータと LDO はデフォルトの電圧にリセットされます。PMIC はアクティブ状態のままです。

シーケンスの開始時に、以下の命令が実行されます。

```
\\ Mask LDO1 UV/OV
REG_WRITE_MASK_IMM ADDR=0x04C DATA=0x03 MASK=0xFC
\\ Set SPMI_LPM_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x10 MASK=0xEF
\\ Set LPM_EN and AMUXOUT_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xEB
// Increment the recovery counter
REG_WRITE_MASK_IMM ADDR=0xa5 DATA=0x01 MASK=0xFE
```

注

ウォッチドッグまたは ESM エラーとは、PMIC の外部で発生した大きなエラーのことです。PMIC は実際に安全回復を遷移しませんが、整合性を維持するために、すべてのレギュレータが NVM に格納されている値に戻され、回復カウンタがインクリメントされます。回復カウンタが回復カウンタ スレッショルドを超えた場合、PMIC は安全回復状態を維持します。シーケンスの後、マイコンは EN_DRV と回復カウンタの管理を行います。シーケンスの最後に、「FORCE_EN_DRV_LOW」ビットがクリアされ、マイコンが ENABLE_DRV ビットを設定できるようになります。

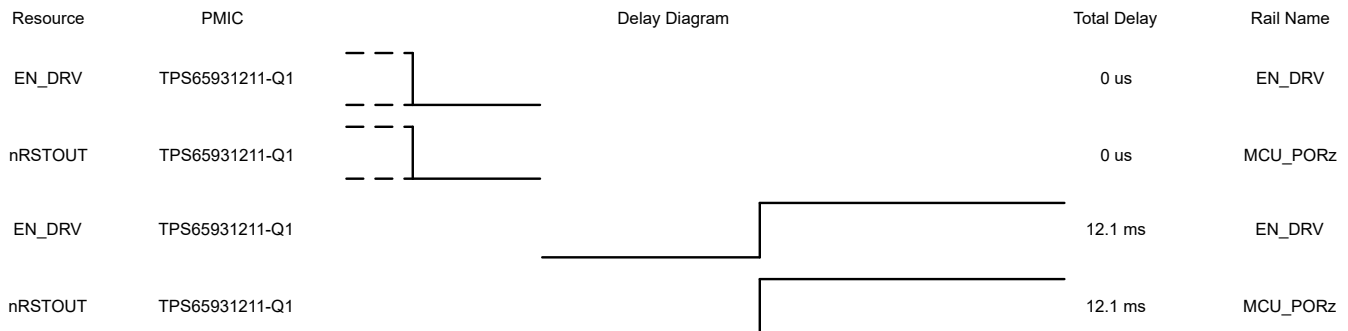


図 6-4. ウォーム リセット シーケンス

6.3.4 シーケンス: any2active

トリガによって any2active シーケンスが実行されると、図 6-5 に示すように、推奨される電源オンシーケンスで、すべての降圧コンバータ、LDO3 および LDO4 の電源オンが行われます。LDO1 は、nRSTOUT が High になった後、GPIO11 の立ち上がりエッジでイネーブルできます。LDO2 は、nRSTOUT が High になった後、GPIO9 の立ち上がりエッジでイネーブルできます。

any2active シーケンスの開始時に、PMIC は SPMI_LP_EN と LPM_EN をクリアし、AMUXOUT_EN と CLKMON_EN を設定します。

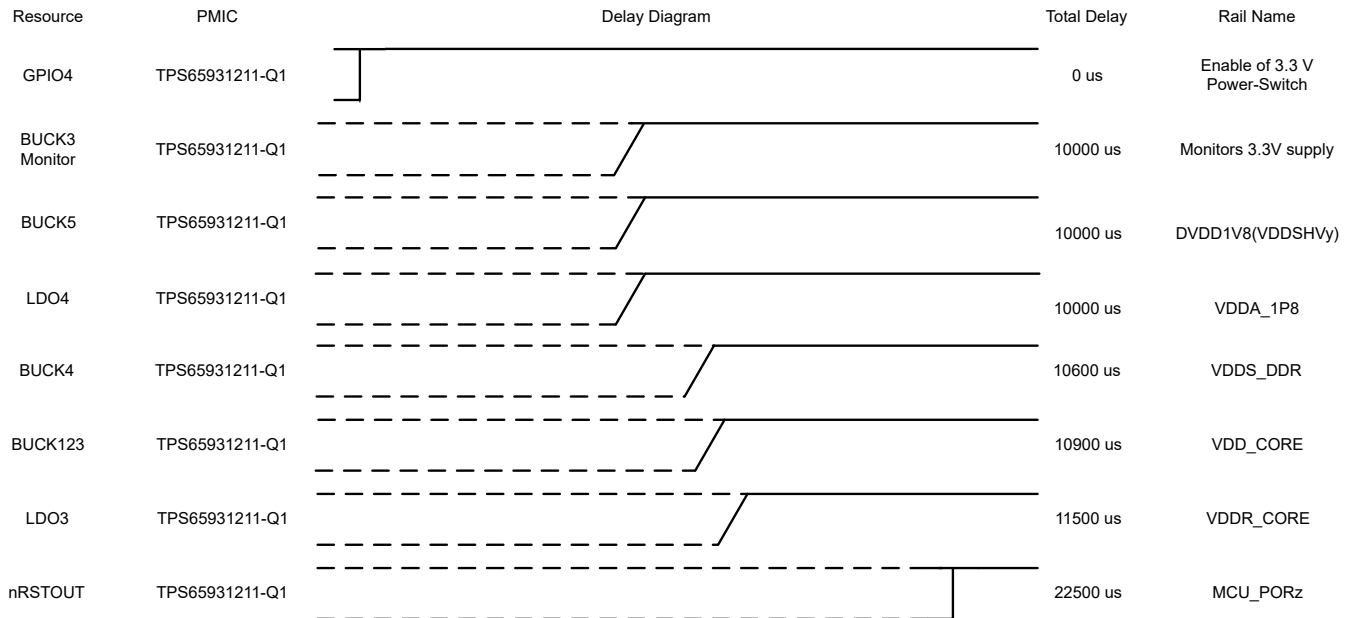


図 6-5. any2active シーケンス

any2active シーケンスの最後に、「FORCE_EN_DRV_LOW」ビットがクリアされます。

注

any2active シーケンスの後、マイコンは、EN_DRV の管理を行います。

6.3.5 シーケンス: any2_s2r

NSLEEP2 ビットまたはピンによって定義される D および A トリガーは、プロセッサの IO + DDR 低消費電力モードをサポートする any2_s2r シーケンスを起動します。このシーケンスにより、1.8V IO ドメインと DDR レールを供給する Buck4 および Buck5 を除くすべての電源レールが無効になります。

以下の PMIC PFSM 命令は、電源シーケンスの開始時と終了時に自動的に実行されます。

```
//Instructions executed at the beginning of the sequence:
//mask NSLEEP2 pin and NSLEEP2B bit
REG_WRITE_MASK_IMM ADDR=0x07D DATA=0x80 MASK=0x7F
```

```
// Instructions executed at the end of the sequence:
// unmask NSLEEP2 pin and NSLEEP2B bit
REG_WRITE_MASK_IMM ADDR=0x07D DATA=0x00 MASK=0x7F
// set SPMI_LPM_EN
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x10 MASK=0xEF
// Clear AMUXOUT_EN, CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xEB
REG_WRITE_MASK_IMM ADDR=0x081 DATA=0x04 MASK=0xE3
```

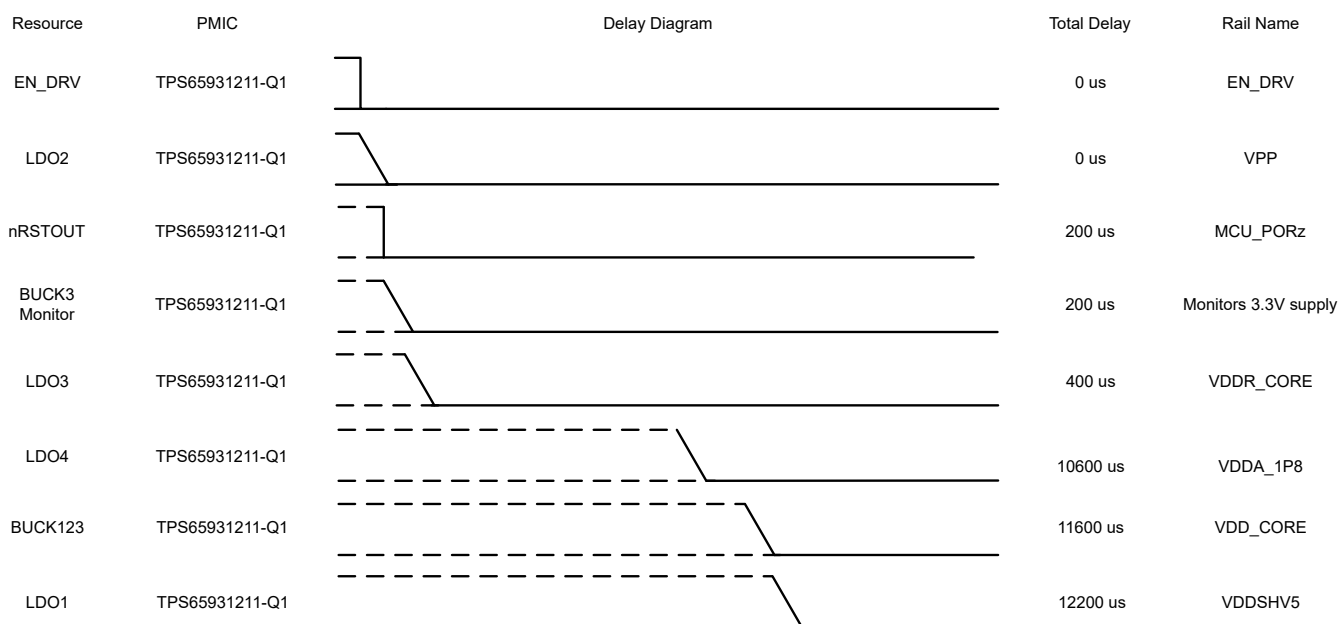


図 6-6. RAM シーケンスへのサスペンド

7 アプリケーションの例

このセクションでは、マイコンの観点および I²C 経由で、PMIC と対話する方法の例を紹介します。表 7-1 に、以下のセクションで、I²C コマンドを説明します。これらの例をデータシートと組み合わせて使用する場合は、一般化し、他のユースケースに適用することができます。

表 7-1. I²C の命令 フォーマット

I ² C アドレス	レジスタ・アドレス	データ	マスク
0x48 または 0x4C	0x00~0xFF	0x00~0xFF	0x00~0xFF

7.1 S2R への移行と復帰 (RAM へのサスペンド)

NVM のデフォルト設定では、TPS65931211 の ENABLE ピンが HIGH になると、PMIC がアクティブ状態に遷移します。nINT ピンが Low になり、PMIC で割り込みが発生したことを示します。通常のパワー アップ シーケンスの後、INT_MISC レジスタの BIST_PASS_INT フィールドが設定されます。この割り込みビットは、BIST が完了したことを示しています。BIST_PASS_INT がクリアされると、nINT ピンは解放され (High になる)、PMIC は S2R やスタンバイなど別の状態に遷移できます。以下のセクションでは、ハードウェア (GPIO3 ピンを使用) またはソフトウェア (NSLEEP2B ビットへの書き込み) ごとに S2R 状態を開始および終了する方法について説明します。

表 7-2. 状態表

NSLEEP2 (GPIO3)	NSLEEP2B (レジスタ フィールド)	NSLEEP1B (レジスタ フィールド)	NSLEEP1_MASK (レジスタ フィールド)	NSLEEP2_MASK (レジスタ フィールド)	状態 / トリガ
高	未使用	未使用	1	0	アクティブ状態 / トリガ A
低	1	未使用	1	0	アクティブ状態 / トリガ A
低	0	未使用	1	0	S2R 状態 / トリガ D

注

レジスタ CONFIG_1 の NSLEEP1_MASK ビットはデフォルトで設定されているため、NSLEEP1 トリガは FSM 状態遷移に影響しません。PMIC がアクティブ状態のとき、マスク設定は I²C で変更できます。

以下のコード ブロックは、I²C コマンドを使用して S2R 状態の開始または終了を行うために A および D をトリガする方法を示しています。この例では、GPIO3 が Low になった後、PMIC はすでに S2R 状態になっています。NSLEEP2B レジスタ フィールドは、GPIO3 (NSLEEP2) が Low の場合にのみ有効です。

```
write 0x48:0x86:0x01:0xFE // Set NSLEEP2B to transition out of the S2R state (Trigger A)
write 0x48:0x86:0x00:0xFE // Clear NSLEEP2B to trigger "any2_s2r" sequence (Trigger D)
```

NSLEEP2B ビットに書き込んでアクティブ状態に戻す代わりに、GPIO3 ピンを使用して PMIC をアクティブ状態に戻すこともできます。

7.2 スタンバイへの移行と復帰

スタンバイは、アクティブ状態または S2R 状態から開始できます。スタンバイのミッション状態を維持し、ハードウェア状態 LP_STANDBY に移行しないようにするには、LP_STANDBY_SEL ビットをクリアする必要があります。

スタンバイ状態では、すべてのレギュレータがオフになります。そのため、スタンバイ状態が復帰する状態を選択する必要があります。ENABLE ピンが Low になると、orderlyOff シーケンスがトリガされます。ENABLE ピンが再び High になると、デスティネーションの状態は STARTUP_DEST ビットによって決まります。orderlyOff シーケンスは、I2C_0 トリガによってもトリガされます。この例では、I2C_0 トリガを使用して、スタンバイ状態に移行します。

```
write 0x48:0xC3:0x00:0xF7 // LP_STANDBY_SEL=0
write 0x48:0x85:0x01:0xFE // set I2C_0 trigger, trigger orderlyOff sequence
```

Once the PMIC is in Standby state, a wakeup request can be triggered with a rising edge on the Enable pin.

7.3 LP_STANDBY への移行と復帰

LP_STANDBY ハードウェア状態に移行すると、スタンバイに移行するのと同じパワーダウンシーケンスに従います。LP_STANDBY を終了することは異なるため、LP_STANDBY に移行する前に異なる初期化が必要です。

LP_STANDBY に移行すると、PFSM は自動的に **SAFE_RECOVERY** というハードウェア FSM 状態に遷移します。SAFE_RECOVERY 状態から、回復カウンタがインクリメントされ、回復カウンタスレッシュホールドと比較されます (表 5-10 の RECOV_CNT_REG_2 を参照)。回復カウンタスレッシュホールドに達すると、PMIC は回復試行を停止し、電源サイクルを必要とします。詳細については、「[TPS6593 のデータシート](#)」を参照してください。

```
Write 0x48:0xC3:0x08:0xF7 // LP_STANDBY_SEL=1
Write 0x48:0xC3:0x60:0x9F // Set the STARTUP_DEST=ACTIVE
Write 0x48:0x85:0x01:0xFE // set I2C_0 trigger
```

8 設計とドキュメントのサポート

8.1 ドキュメントのサポート

PMIC またはプロセッサ デバイスの詳細については、以下を参照してください。

- テキサス インスツルメンツ、「[低消費電力 Sitara プロセッサ向け AM62A スタータ キット](#)」
- テキサス インスツルメンツ、[TPS6593 データシート](#)
- テキサス インスツルメンツ、「[TPS6593-Q1 安全マニュアル](#)」(mySecure 経由での要求)
- テキサス インスツルメンツ、[AM62Ax データシート](#)
- テキサス インスツルメンツ、「[AM62Ax Sitara プロセッサ テクニカル リファレンス マニュアル](#)」

8.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

E2E™, Sitara™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (July 2023) to Revision A (November 2025)	Page
• ドキュメントのタイトルを更新.....	1
• ドキュメントのフォーマットを設計ガイドに更新.....	1
• 「 説明 」、「 機能 」、「 アプリケーション 」のトピックを追加。.....	1

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月