

Design Guide: TIPA-050067

TPS6594-Q1 を使用する、J7200 DRA821 向け電源設計



説明

TPS65941515-Q1 PMIC は、車載用 Jacinto™ 7 DRA821 プロセッサ向けの包括的なパワー マネージメントを提供します。この単一の PMIC は、5 個の BUCK と 4 個の LDO を搭載し、ASIL-D レベルまでの機能安全に対応しています。システムには、負荷スイッチングと LDO 機能用のディスクリート部品が搭載されており、高度なシーケンシング機能を備えたアクティブ、スタンバイ、保持モードなど複数の電力状態を実現できます。

リソース

TIPA-050067	デザイン フォルダ
TPS65941515-Q1、DRA821	プロダクト フォルダ
TPS22965-Q1、TPS74501P-Q1	プロダクト フォルダ
TLV73318P-Q1	プロダクト フォルダ



テキサス・インスツルメンツの E2E™ サポート エキスパートにお問い合わせください。

特長

- 包括的な電源リソース
- 高度な機能安全性
- 複数の電源状態
- 柔軟な I/O 対応
- 包括的なエラー監視
- 高度な保護機能
- 構成可能な GPIO 制御
- デュアル I2C 通信

アプリケーション

- [ドメイン ゲートウェイ](#)
- [ADAS ドメイン コントローラ](#)
- [ボディコントロール モジュール \(BCM\)](#)
- [車車間および路車間通信 \(V2X\)](#)
- [スマート テレマティクス ゲートウェイ](#)

1 システムの説明

この設計ガイドでは、1 つの **TPS6594-Q1 PMIC** と、**DRA821** プロセッサおよびペリフェラルへの電力供給にいくつかのディスクリート部品を使用した電力分配ネットワーク (PDN) **PDN-2A** について説明します。

注

追加の低消費電力モードでマイコンの電源の基板レベルの絶縁を必要としない設計には、**DRA821** 用の **PDN-2A** が推奨されます。

プラットフォーム システムの動作を明確にするために、次のトピックについて説明します。

1. **PDN** 電源リソース接続
2. **PDN** デジタル コントローラの接続
3. プライマリおよびセカンダリ **PMIC** の静的 **NVM** の内容
4. 高度なプロセッサ システムのさまざまな **PDN** 電源状態遷移をサポートするための **PMIC** シーケンシング設定

PMIC およびプロセッサのデータシートには、推奨動作条件、電気的特性、推奨外付け部品、パッケージの詳細、レジスタ マップ、部品全体の機能が記載されています。ユーザーズ ガイドやアプリケーション レポート、その他の参考資料の間に矛盾がある場合、データシートの仕様を最終的な情報源としてください。

2 主な使用製品

2.1 デバイス バージョン

TPS6594-Q1 デバイスには、独自の NVM 設定を持つ複数のバージョンがあり、さまざまなプロセッサ ソリューションをサポートしています。各 PMIC デバイスの独自の NVM 設定は、PDN 設計ごとに最適化されており、さまざまなプロセッサ、処理負荷、SDRAM タイプ、システム機能安全レベル、最終製品機能 (低消費電力モード、プロセッサ電圧、メモリ サブシステムなど) をサポートします。NVM 設定は、TI_NVM_ID および NVM_REV レジスタの両方で識別できます。

表 2-1. TPS6594-Q1 NVM 設定と注文可能な部品番号

PDN のユース ケース	注文可能な型番	TI_NVM_ID	TI_NVM_REV
- CORE レールで最大 5.95A⁽¹⁾ - CPU レールで最大 5.95A⁽¹⁾ - SDRAM で最大 1.7A⁽¹⁾ (LPDDR4 をサポート) - ASIL-D レベルまでの機能安全をサポート - GPIO 保持、DDR 保持状態などの低消費電力モードをサポート 3.3V および 1.8V の I/O レベルをサポート - SD カードの使用をサポート	TPS65941515	0x15	0x03

(1) TI は、最大予測負荷電流と、各 PMIC 出力レールで許容される最大電流との間に 15% のマージンを設けることを推奨します。

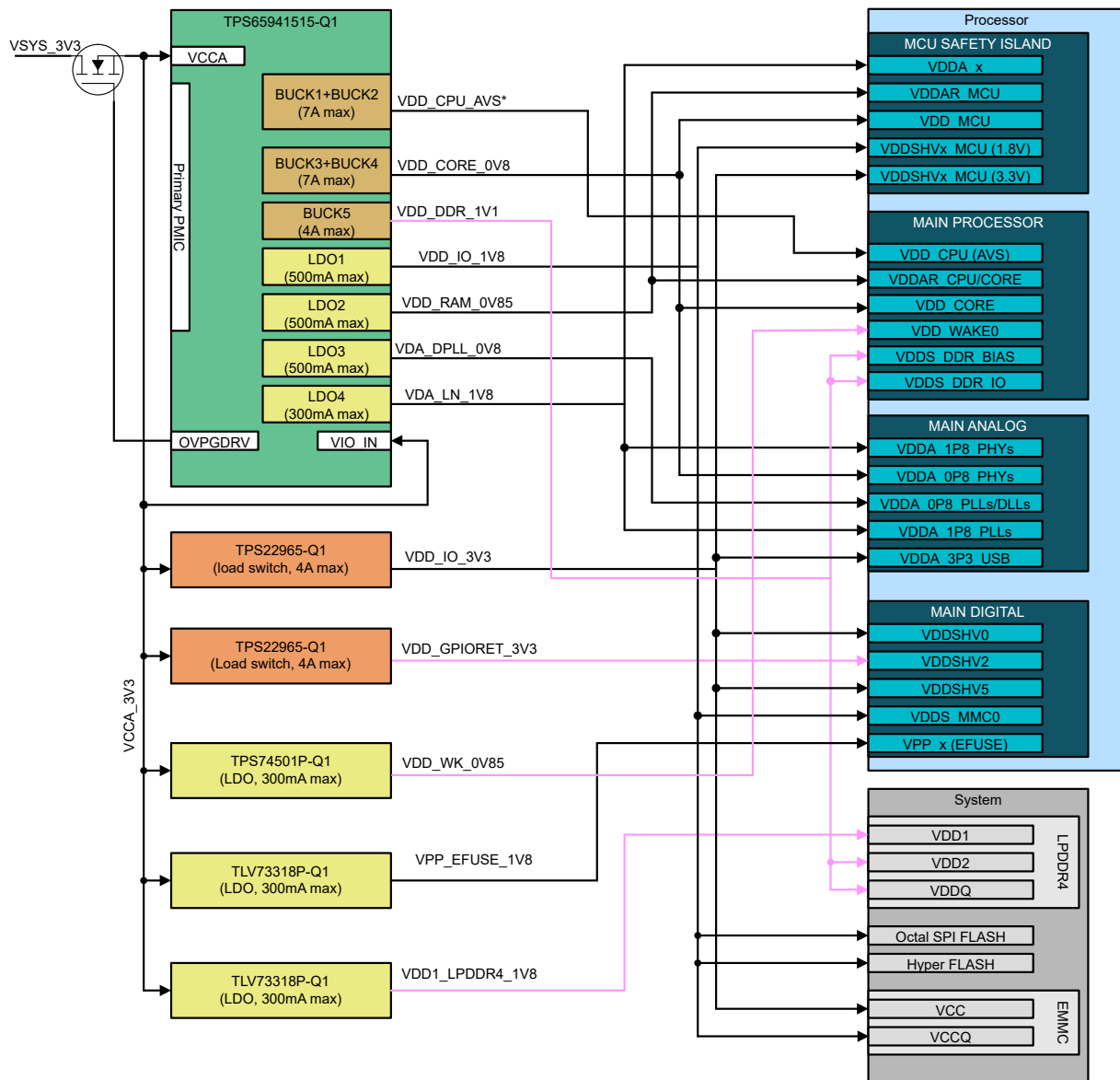
3 プロセッサの接続

このセクションでは、TPS65941515-Q1 の電源リソースと GPIO 信号をプロセッサやその他の周辺部品に接続する方法について詳しく説明します。

3.1 電源マッピング

図 3-1 に、TPS65941515-Q1 PMIC とペリフェラルレギュレータの間の、プロセッサおよび関連アクセサリに電力を供給する電源マッピングを示します。この構成では、PMIC および追加のリソースは 3.3V の入力電圧を使用します。機能安全アプリケーションでは、VCCA より前に保護 FET があり、PMIC の OVPGDRV ピンに接続されるため、システムへの入力電源の電圧監視が可能になります。

この PDN は 5 つのディスクリート電源部品を使用しており、そのうち 4 つは必須、1 つは最終製品の機能に応じてオプションとなります。2 つの TPS22965-Q1 ロードスイッチは、VCCA_3V3 電源レールを接続し、プロセッサの I/O ドメインに 3.3V を供給します。3 番目のディスクリートデバイスは、低消費電力保持モードで電力を供給するために TPS274501-Q1 LDO を使用します。4 番目のディスクリートデバイスは TLV73318-Q1 LDO で、LPDDR4 SDRAM 部品に必要な 1.8V の電源を供給します。最後のディスクリート電源部品はオプションの TLV73318-Q1 LDO であり、最終製品がセキュリティの高いタイプのプロセッサを使用しており、オンボードで EFUSE 値をプログラムする機能が必要とされる場合に使用できます。この機能が不要な場合は、この LDO を省略して、データ マニュアルの推奨事項に従ってプロセッサ ピンを終端できます。



Domain Descriptors

PMIC	Processor Sub-group
BUCK	Processor Supply Group
LDO	System Group
LDSW	System Sub-group
Processor Group	System Rail

PDN Options

—	Base PDN
—	Retention

図 3-1. 電源接続

- * VDD_CPU_AVS、ブート電圧 0.8V、その後ソフトウェアがデバイス固有の AVS を設定します

- ** VPP_EFUSE_1V8 はオプションです

表 3-1 は、さまざまなシステム機能をサポートするために必要な電源リソースを特定します。アクティブ SoC 列には、VPP_x (EFUSE) レールを含めるまたは除外するための追加のオプションがあります。

表 3-1. PDN の電源マッピングとシステム機能

電源マッピング				システム機能 ⁽¹⁾				
デバイス	電源リソース	パワー レール	プロセッサおよびメモリドメイン	アクティブな SoC	GPIO 保持	DDR 保持	SD カード	USB インターフェイス
TPS659415 15-Q1	BUCK12	VDD_CPU_AVS	VDD_CPU	R				
	BUCK34	VDD_COR_E_0V8	VDD_MCU、 VDDA_SERDES	R				
	BUCK5	VDD_DDR_1V1	VDDS_DDR	R		R		
			Mem: LPDDR4_VDD2、VDDQ					
	LDO1	VDD_IO_1 V8	VDDS_MMC0、 VDDSHVx_MCU (1.8V)	R				
			Mem: VCC					
	LDO2	VDD_RAM_0V85	VDDAR_MCU、VDDAR_CPU/ CORE	R				
	LDO3	VDA_DPLL_0V8	VDDA_0P8_PLL/DLL	R				
LDO4	VDA_LN_1 V8	VDDA_x (1.8V)	R					
TPS22965-Q1	ロード スイッチ - A	VDD_IO_3 V3	VDDSHVx_MCU (3.3V)、 VDDSHV0、VDDSHV5	R			R	R
			Mem: EMMC VCC					
TPS22965-Q1	ロード スイッチ - B	VDD_GPIO_RET_3V3	VDDSHV0-4、VDDSHV6 (3.3V)	R	R			
TPS74501 P-Q1	LDO-A	VDD_WK_0V8	VDDSHV2	R	R			
TLV73318P-Q1	LDO-B	VDD1_LPD DR4_1V8	Mem: LPDDR4_VDD1	R				
TLV73318P-Q1	LDO-C	VPP_EFUS_E_1V8	VPP_x (EFUSE)	O				

(1) 「R」は必須で、「O」はオプションです。

3.2 制御マッピング

図 3-2 は、プロセッサ、PMIC、およびディスクリート電源デバイス間のデジタル制御信号マッピングを示しています。TPS65941515 PMIC からプロセッサへの接続により、エラー監視、プロセッサリセット、プロセッサ ウェークアップ、システム低消費電力モードが使用できます。一部の GPIO ピンのみが動作する低消費電力モードにおいても正常な動作を確保できるよう、主要な信号には特定の GPIO ピンが割り当てられています。

図 3-2 に示されているデジタル接続により、GPIO や DDR 保持モード、ASIL-D までの機能安全、および規格に準拠したデュアル電圧 SD カード動作などのシステム機能が実現されます。

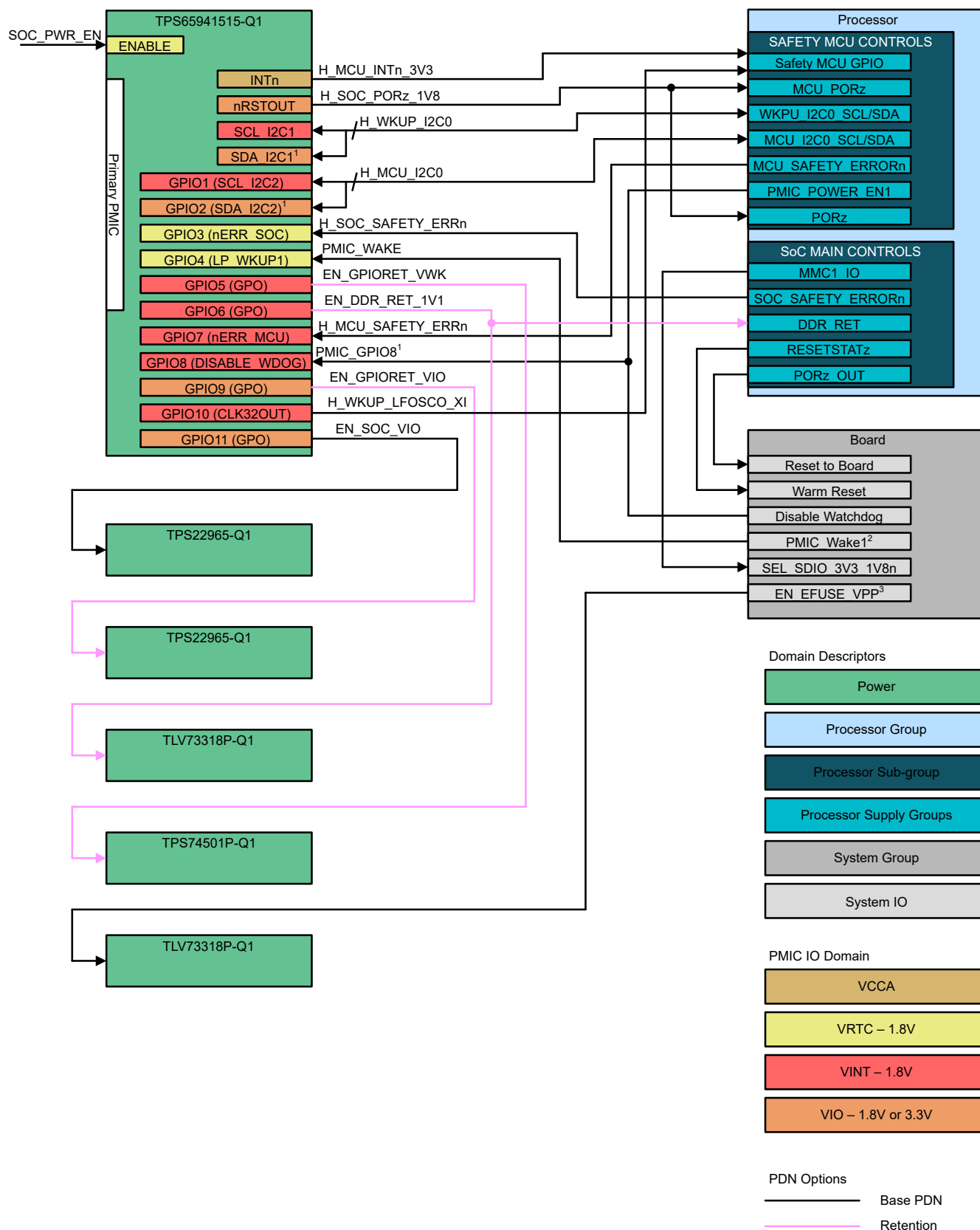


図 3-2. TPS65941515-Q1 のデジタル接続

1. PMIC IO には、入力機能と出力機能のために異なる電源ドメインを設定できます。I2C1 および I2C2 の SDA 機能は、VINT 電圧ドメインを入力として、VIO 電圧ドメインを出力として使用します。詳細な説明については、デバイスの [データシート](#) を参照してください。示されている PMIC 電圧ドメインは、TPS65941515 NVM 構成のものです。
2. PMIC_Wake1 は通常、CAN PHY INH 出力です。
3. EFUSE LDO はオプションの機能であり、システム内の別の信号で有効化する必要があります

注

I²C 信号に加えて 3 つの追加信号はオープンドレイン出力であり、特定の電源レールへのプルアップが必要です。信号と特定の電源レールのリストについては、[表 3-2](#) を参照してください。

表 3-2. オープンドレイン信号と電源レール

PDN 信号	プルアップ電源レール
H_MCU_INTn_3V3	VDD_IO_3V3
H_SOC_PORz_1V8	VDA_LN_1V8
EN_DDR_RET_1V1	VDD_DDR_1V1_REG
H_WKUP_I2C0	VDD_IO_3V3
H_MCU_I2C0_SCL/SDA	VDD_IO_3V3

各 PDN システム機能に必要な GPIO の割り当てを理解するには、[表 3-3](#) をガイドとして使用してください。記載されている機能が不要な場合は、デジタル接続を取り除くことができますが、GPIO ピンは、以下に示す NVM で定義されたデフォルト機能に従って設定されます。プロセッサが起動した後、プロセッサは未使用の GPIO を再設定して、新しい機能をサポートできます。未使用の GPIO 機能を再設定することは、ブート後にはのみ必要であり、デフォルト機能によって通常動作と競合しない限り可能です (たとえば、2 つの出力が同じネットを駆動する場合)。機能安全関連の接続を活用してシステムレベルの機能安全目標を達成する方法の詳細については、[セクション 4](#) を参照してください。

表 3-3. システム機能別のデジタル接続

デバイス	GPIO へのマッピング			システム機能 ⁽¹⁾			
	PMIC ピン	NVM の機能	PDN の信号	アクティブな SoC	機能安全	DDR 保持	GPIO 保持
TPS6594151 5-Q1	nPWRON/ ENABLE	イネーブル	SOC_PWR_ON	R			
	INT	INT	H_MCU_INTn		R		
	nRSTOUT	nRSTOUT	H_SOC_PORz_1V8	R			
	SCL_I2C1	SCL_I2C1	H_WKUP_I2C0	R			
	SDA_I2C1	SDA_I2C1	H_WKUP_I2C0	R			
	GPIO_1	SCL_I2C2	H_MCU_I2C0_SCL		R		
	GPIO_2	SDA_I2C2	H_MCU_I2C0_SDA		R		
	GPIO_3	nERR_SoC	H_SOC_SAFETY_ERRn		O		
	GPIO_4	LP_WKUP1 ⁽²⁾	PMIC_WAKE1			R	R
	GPIO_5	GPO	EN_GPIORET_VWK	R			R
	GPIO_6	GPO	EN_DDR_RET_1V1			R	
	GPIO_7	nERR_MCU	H_MCU_SAFETY_ERRn		R		
	GPIO_8	DISABLE_W DOG	PMICA_GPIO8	⁽³⁾	⁽³⁾		
	GPIO_9	GPO	EN_GPIORET_VIO	R			R
	GPIO_10	CLK32OUT	H_WKUP_LFOSCO_XI	O			
	GPIO_11	GPO	EN_SOC_VIO	R			R

(1) R は必須です。

(2) LP_WKUP1 機能は静的設定でマスクされます。この機能のマスク解除の手順は、RETENTION、スタンバイの開始と終了、および既存の LP_STANDBY の開始と終了に記載されています。

- (3) ハードウェアによってウォッチドッグをディスエーブルにする場合は GPIO_8 が必要であり、nRSTOUT が High になるまでに High に設定する必要があります。nRSTOUT が High になると、ウォッチドッグ状態はラッチされ、ソフトウェアを使用して他の機能にピンを設定できます。GPIO_8 を High に設定していない場合、長いウィンドウが満了する前にプロセッサがウォッチドッグに対応する必要があります。

4 機能安全システムのサポート

TPS65941515-Q1 ソリューションを使用して DRA821 プロセッサに電力を供給することで、システムは以下の PMIC 機能安全機能を活用できます。

- 入力電源監視
- 出力電圧と電流の監視
- Q&A ウォッチドッグ
- 故障通知の割り込み
- システム アクチュエータをディスエーブルにするための独立したパスを提供するイネーブルドライブ ピン
- エラー ピンの監視
- 電圧監視、温度監視および内蔵セルフテストを含む内部診断機能

PMIC の機能安全機能の詳細な説明と分析については、「TPS6594-Q1 デバイスの安全マニュアル」を参照してください。これらの機能安全機能は、システムで ASIL-D までの定格を達成するのに役立ちます。さらに、これらの機能は、プロセッサが利用した機能安全の想定を達成し、最大 ASIL-D までの定格を達成するのに役立ちます。機能安全システムの前提条件の一覧については、Jacinto™ 7 プロセッサの DRA821 安全マニュアルを参照してください。

4.1 ASIL-B システム要件の達成

ASIL-B のシステム機能安全レベルを実現するため、以下の PDN 機能を利用できます。

- 電力リソース電圧出力の PMIC 過電圧および低電圧監視
- PMIC (VCCA) への入力 PMIC 過電圧監視および保護
- 安全プロセッサのウォッチドッグ監視
- マイコン エラー モニタ
- マイコンのリセット
- I²C 通信
- 外部回路を駆動するためのエラー インジケータ (オプション)

PDN には、入力電源と PMIC の間に、[図 3-1](#) に示すようなインライン外部電源 FET があります。FET の前後の電圧は PMIC によって監視され、PMIC は OVPGDRV ピンを通じて FET を制御します。入力電源で 6V を超える過電圧イベントが検出された場合、FET は PMIC を迅速に絶縁し、システムを損傷から保護します。FET より上流に接続された電源は、過電圧イベントから保護されません。[図 3-1](#) において、マイコンおよびメイン I/O ドメインに電力を供給するロードスイッチでは、DDR に電力を供給するディスクリート BUCK、および EFUSE に電力を供給するディスクリート LDO がすべて FET の後に接続され、過電圧保護がこれらのプロセッサドメインおよびディスクリート電源リソースに拡張されます。

PMIC の内部過電圧・低電圧監視と、それぞれの監視スレッショルドレベルはデフォルトでイネーブルになっており、起動後に I²C を介して更新できます。デフォルトでは、プロセッサに直接接続されている PMIC 電源レールを監視します。

ウォッチドッグの設定と開始の手順については、TPS6594-Q1 データシートを参照してください。GPIO_8 の DISABLE_WDOG 信号を High に設定すると、初期開発時にこの機能を一時停止する必要がある場合や、システムで不要な場合、ウォッチドッグ タイマはディスエーブルになります。GPIO_8 を別の用途に転用する例を[セクション 7.4](#) に示します。

GPIO_7 はマイコン エラー信号モニタとして設定されており、ESM_MCU_EN レジスタビットを使用してイネーブルにする必要があります。マイコンのリセットは、プライマリ PMIC の nRSTOUT ピンとプロセッサの MCU_PORz との接続によってサポートされています。最後に、TPS6594-Q1 とプロセッサの間には 2 つの I²C ポートがあります。1 つ目は電圧レベルの制御など、ウォッチドッグ以外のすべての通信に使用され、2 つ目はウォッチドッグ監視を独立した通信チャネル上で行えるようにします。

EN_DRV ピンを使用して、エラーが検出され、システムが SAFE 状態に移行していることを示すオプションがあります。エラー イベントで駆動する必要のある外部回路がシステムにある場合は、この信号を使用できます。この PDN では、EN_DRV は使用されませんが、必要であれば使用可能です。

4.2 ASIL-D までのシステム要件の達成

ASIL-C または ASIL-D システムでは、[セクション 4.1](#) に説明されている機能に加えて以下の機能を使用できます。

- すべての出力電源レールで PMIC 電流監視
- SoC エラーの監視
- 残留電圧の監視
- ロジック出力ピンの読み戻し
 - nINT
 - nRSTOUT
 - EN_DRV (使用時)

電流監視は、PMIC のすべての BUCK と LDO において、デフォルトで有効になっています。さらに、[図 3-1](#) は、プロセッサのマイコンドメインが、プロセッサのメイン電源ドメインとは異なる PMIC の電源リソースによって給電されていることを示しています。

GPIO_3 は、SoC エラー信号モニタとして構成されています。マイコン エラー信号モニタと同様に、この機能は ESM_SOC_EN レジスタビットを使用して I²C 経由で有効化されます。TPS65941515 では、SoC リセットはサポートされていませんが、割り込みが発生し、nINT ピンが Low に駆動されます。

表 4-1. システム レベルの安全機能

ASIL-B					ASIL-D	
外部 SW Wdog	INTn	セーフティ マイコン処理 ESM セーフティ マイコンリセット	安全ステータス信号	システム入力電圧監視	SoC メイン処理 ESM	IO 読み戻し機能
Q&A ウォッチドッグと I2C2	nINT ピン	SOC: MCU_SAFETY_E RRz に接続された nERR_MCU MCU_PORz_1V8 に接続された nRSTOUT	ENDRV	VSYS_SENSE -OV (安全 FET OVPGDRV 付き) VCCA OV と UV および	SOC に接続された nERR_SoC: SOC_SAFETY_E RRz	PMICA: nINT、 nRSTOUT、 EN_DRV

表 4-2. 電源監視安全機能

				ASIL-B	ASIL-D 追加	
デバイス	電源リソース	PDN 電源レール	安全状態電源グループ 1	電源電圧の監視	電源電流の監視	残留電圧の監視
TPS65941515-Q1	BUCK1-2	VDD_CPU_AVS	マイコン	OV および UV	あり	あり
	BUCK3-4	VDD_CORE_0V8	マイコン	OV および UV	あり	あり
	BUCK5	VDD_DDR_1V1	マイコン	OV および UV	あり 2	あり
	LDO1	VDD_IO_1V8	マイコン	OV および UV	あり	あり
	LDO2	VDD_RAM_0V85	マイコン	OV および UV	あり	あり
	LDO3	VDA_DPLL_0v8	マイコン	OV および UV	あり	あり
	LDO4	VDA_LN_1V8	マイコン	OV および UV	あり	あり
TPS22965W-Q1	Ld Sw A	VDD_IO_3V3	なし	なし	なし 3	
TPS22965W-Q1	Ld Sw B	VDD_GPIORET_3V3	なし	なし	なし 4	
TLV73318P-Q1	LDO-A	VDD1_LPDDR4_1V8	なし	なし 2	なし 2	
TPS74501P-Q1	LDO-B	VDD_WK_0V8	なし	なし	なし	
TLV73318P-Q1	LDO-C	VPP_EFUSE_1V8	なし	なし 5	なし 5	

1. TPS65941515-Q1 のレール グループ設定を[表 5-7](#) に示します。
2. 電源レール VDD_DDR_1V1 および VDD1_LPDDR4_1V8 は「セーフティ クリティカル」ですが、電圧や電流を直接監視する必要はありません。これは、他の手段 (たとえば、SoC 内部の「タイムアウト ガスケット」や「ECC チェッカ」) によって、DDR 電圧の障害を検出するための診断範囲が確保されているためです。
3. 電源レール VDD_IO_1V8/3V3 は通常、SoC 信号インターフェイス (CAN、UART、SPI など) の故障を検出するための診断範囲を提供するための他の方法 (「ブラックチャネル チェッカ」など) が利用できるため、「セーフティ クリティカルではありません」。
4. SoC GPIO 制御信号を「セーフティ クリティカル」のインターフェイスで使用する場合、顧客の最終製品設計により、特定の VIO 電源レールに電圧と電流の監視機能を追加する必要が生じることがあります。
5. 電源レール VPP_EFUSE_1V8 は、セーフティ クリティカルな処理中に eFuse プログラミングが発生しないため、「セーフティ クリティカルではありません」。

5 静的 NVM 設定

TPS6594-Q1 デバイスは、ユーザー レジスタ空間と NVM で構成されています。このセクションでは、INIT から BOOT BIST への遷移中にユーザー レジスタにロードされる NVM の設定を示します。注:STANDBY モードから ACTIVE モー

ドへの移行など、状態遷移中にユーザーレジスタを変更できます。ユーザーレジスタマップは、TPS6594-Q1 のデータシートに記載されています。

5.1 アプリケーションベースの設定

TPS6594-Q1 データシートには、各 BUCK が内部で動作するように、7 つのアプリケーションベースの設定があります。使用可能なさまざまな設定を以下に示します。

- DDR 終端用の 2.2MHz 単相
- 4.4MHz VOUT 1.9V 未満、マルチフェーズまたは高 COUT 単相
- 4.4MHz VOUT 1.9V 未満、低 COUT、単相のみ
- 1.7V を超える 4.4MHz VOUT、単相のみ
- 2.2MHz VOUT 1.9V 未満のマルチフェーズまたは単相
- 2.2MHz 全 VOUT 範囲と 4.5V を上回る VIN、単相のみ
- 2.2MHz の全 VOUT および全 VIN 範囲、単相のみ

7 つの設定には出力インダクタンス値もあり、これらのさまざまな条件下で各 buck の性能を最適化します。表 5-1 に、BUCK のデフォルト設定を示します。デバイスの起動後にこれらの設定を変更することはできません。

表 5-1. アプリケーションのユース ケース設定

デバイス	BUCK レール	デフォルトのアプリケーションのユース ケース	インダクタの推奨値
TPS65941515-Q1	BUCK1	4.4MHz VOUT 1.9V 未満の単相	220nH
	BUCK2	4.4MHz VOUT 1.9V 未満の単相	220nH
	BUCK3	4.4MHz VOUT 1.9V 未満の単相	220nH
	BUCK4	4.4MHz VOUT 1.9V 未満の単相	220nH
	BUCK5	4.4MHz VOUT 1.9V 未満の単相	220nH

5.2 デバイスの識別設定

これらの設定は、システムで検出されるデバイスを識別するために使用されます。デバイスの起動後にこれらの設定を変更することはできません。

表 5-2. デバイス識別 NVM 設定

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
DEV_REV	DEVICE_ID	0x82	
NVM_CODE_1	TI_NVM_ID	0x15	
NVM_CODE_2	TI_NVM_REV	0x03	
PHASE_CONFIG	MP_CONFIG	0x4	2 + 2 + 1

5.3 BUCK の設定

これらの設定では、NVM に保存されている BUCK レールの電圧、構成、監視の詳細が示されます。これらの設定はすべて、起動後に I²C を使用して変更できます。セクション 6.3 に示すように、一部の設定 (通常はイネーブルビット) も PFSM によって変更されます。

セクション 6.3.4 シーケンスの完了後、BUCKx_EN ビットと BUCKx_VMON_EN ビットが BUCK1、BUCK3、BUCK5 に設定されます。すべての BUCK の BUCKx_RV_SEL ビットがクリアされます。その他のビットは変更されませんが、I²C 経由でアクセスできます

表 5-3. BUCK NVM の設定

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
BUCK1_CTRL	BUCK1_EN	0x0	ディセーブル。BUCK1 レギュレータ
	BUCK1_FPWM	0x0	PFM と PWM の動作 (自動モード)。
	BUCK1_FPWM_MP	0x0	自動的な位相追加と位相減少。
	BUCK1_VMON_EN	0x0	ディセーブル。OV、UV、SC、ILIM コンパレータ。
	BUCK1_VSEL	0x0	BUCK1_VOUT_1
	BUCK1_PLDN	0x1	イネーブル。プルダウン抵抗
	BUCK1_RV_SEL	0x1	有効
BUCK1_CONF	BUCK1_SLEW_RATE	0x3	5.0mV/μs
	BUCK1_ILIM	0x5	5.5A
BUCK2_CTRL	BUCK2_EN	0x0	ディセーブル。BUCK2 レギュレータ
	BUCK2_FPWM	0x0	PFM と PWM の動作 (自動モード)。
	BUCK2_VMON_EN	0x0	ディセーブル。OV、UV、SC、ILIM コンパレータ。
	BUCK2_VSEL	0x0	BUCK2_VOUT_1
	BUCK2_PLDN	0x1	イネーブル。プルダウン抵抗
	BUCK2_RV_SEL	0x1	有効
BUCK2_CONF	BUCK2_SLEW_RATE	0x3	5.0mV/μs
	BUCK2_ILIM	0x5	5.5A

表 5-3. BUCK NVM の設定 (続き)

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
BUCK3_CTRL	BUCK3_EN	0x0	ディセーブル。BUCK3 レギュレータ
	BUCK3_FPWM	0x0	PFM と PWM の動作 (自動モード)。
	BUCK3_FPWM_MP	0x0	自動的な位相追加と位相減少。
	BUCK3_VMON_EN	0x0	ディセーブル。OV、UV、SC、ILIM コンパレータ。
	BUCK3_VSEL	0x0	BUCK3_VOUT_1
	BUCK3_PLDN	0x1	イネーブル。プルダウン抵抗
	BUCK3_RV_SEL	0x1	有効
BUCK3_CONF	BUCK3_SLEW_RATE	0x3	5.0mV/μs
	BUCK3_ILIM	0x5	5.5A
BUCK4_CTRL	BUCK4_EN	0x0	ディセーブル。BUCK4 レギュレータ
	BUCK4_FPWM	0x0	PFM と PWM の動作 (自動モード)。
	BUCK4_VMON_EN	0x0	ディセーブル。OV、UV、SC、ILIM コンパレータ。
	BUCK4_VSEL	0x0	BUCK4_VOUT_1
	BUCK4_PLDN	0x1	イネーブル。プルダウン抵抗
	BUCK4_RV_SEL	0x1	有効
	BUCK4_SLEW_RATE	0x3	5.0mV/μs
BUCK4_CONF	BUCK4_ILIM	0x5	5.5A
BUCK5_CTRL	BUCK5_EN	0x0	ディセーブル。BUCK5 レギュレータ
	BUCK5_FPWM	0x0	PFM と PWM の動作 (自動モード)。
	BUCK5_VMON_EN	0x0	ディセーブル。OV、UV、SC、ILIM コンパレータ。
	BUCK5_VSEL	0x0	BUCK5_VOUT_1
	BUCK5_PLDN	0x1	イネーブルプルダウン抵抗
	BUCK5_RV_SEL	0x1	有効
	BUCK5_SLEW_RATE	0x3	5.0mV/μs
BUCK5_CONF	BUCK5_ILIM	0x3	3.5A
BUCK1_VOUT_1	BUCK1_VSET1	0x37	0.800V
BUCK1_VOUT_2	BUCK1_VSET2	0x37	0.800V
BUCK2_VOUT_1	BUCK2_VSET1	0x37	0.800V
BUCK2_VOUT_2	BUCK2_VSET2	0x37	0.800V
BUCK3_VOUT_1	BUCK3_VSET1	0x37	0.800V
BUCK3_VOUT_2	BUCK3_VSET2	0x37	0.800V
BUCK4_VOUT_1	BUCK4_VSET1	0x37	0.800V
BUCK4_VOUT_2	BUCK4_VSET2	0x37	0.800V
BUCK5_VOUT_1	BUCK5_VSET1	0x73	1.10V
BUCK5_VOUT_2	BUCK5_VSET2	0x73	1.10V
BUCK1_PG_WINDOW	BUCK1_OV_THR	0x3	+5%/+50mV
	BUCK1_UV_THR	0x3	-5%/-50mV
BUCK2_PG_WINDOW	BUCK2_OV_THR	0x3	+5%/+50mV
	BUCK2_UV_THR	0x3	-5%/-50mV
BUCK3_PG_WINDOW	BUCK3_OV_THR	0x3	+5%/+50mV
	BUCK3_UV_THR	0x3	-5%/-50mV
BUCK4_PG_WINDOW	BUCK4_OV_THR	0x3	+5%/+50mV
	BUCK4_UV_THR	0x3	-5%/-50mV

表 5-3. BUCK NVM の設定 (続き)

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
BUCK5_PG_WINDOW	BUCK5_OV_THR	0x3	+5%/+50mV
	BUCK5_UV_THR	0x3	-5%/-50mV

5.4 LDO の設定

これらの設定では、NVM に保存されている LDO レールの電圧、構成、監視の詳細が示されます。これらの設定はすべて、起動後に I²C を使用して変更できます。セクション 6.3 に示すように、一部の設定 (通常はイネーブルビット) も PFSM によって変更されます。

セクション 6.3.4 シーケンスの完了後、LDOx_EN および LDOx_VMON_EN ビットが設定され、すべての LDO について LDOx_RV_SEL ビットがクリアされます。その他のビットは変更されませんが、I²C 経由でアクセスできます

表 5-4. LDO NVM の設定

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
LDO1_CTRL	LDO1_EN	0x0	ディセーブル、LDO1 レギュレータ。
	LDO1_SLOW_RAMP	0x0	LDO 出力の 0.3V から LDO1_VSET の 90% までの最大ランブアップ スルースレート:25mV/μs
	LDO1_PLDN	0x1	125Ω
	LDO1_VMON_EN	0x0	OV および UV コンパレータを無効にします。
	LDO1_RV_SEL	0x1	有効
LDO2_CTRL	LDO2_EN	0x0	ディセーブル、LDO2 レギュレータ。
	LDO2_SLOW_RAMP	0x0	LDO 出力の 0.3V から LDO2_VSET の 90% までの最大ランブアップ スルースレート:25mV/μs
	LDO2_PLDN	0x1	125Ω
	LDO2_VMON_EN	0x0	ディセーブル。OV および UV コンパレータ。
	LDO2_RV_SEL	0x1	有効
LDO3_CTRL	LDO3_EN	0x0	ディセーブル、LDO3 レギュレータ。
	LDO3_SLOW_RAMP	0x0	LDO 出力の 0.3V から LDO3_VSET の 90% までの最大ランブアップ スルースレート:25mV/μs
	LDO3_PLDN	0x1	125Ω
	LDO3_VMON_EN	0x0	ディセーブル。OV および UV コンパレータ。
	LDO3_RV_SEL	0x1	有効
LDO4_CTRL	LDO4_EN	0x0	ディセーブル、LDO4 レギュレータ。
	LDO4_SLOW_RAMP	0x0	LDO 出力の 0.3V から LDO4_VSET の 90% までの最大ランブアップ スルースレート:25mV/μs
	LDO4_PLDN	0x1	125Ω
	LDO4_VMON_EN	0x0	ディセーブル。OV および UV コンパレータ。
	LDO4_RV_SEL	0x1	有効
LDO1_VOUT	LDO1_VSET	0x1c	1.80V
	LDO1_BYPASS	0x0	リニアレギュレータ モード。
LDO2_VOUT	LDO2_VSET	0x9	0.85V
	LDO2_BYPASS	0x0	リニアレギュレータ モード。
LDO3_VOUT	LDO3_VSET	0x8	0.80V
	LDO3_BYPASS	0x0	リニアレギュレータ モード。
LDO4_VOUT	LDO4_VSET	0x38	1.800V
LDO1_PG_WINDOW	LDO1_OV_THR	0x3	+5%/+50mV
	LDO1_UV_THR	0x3	-5%/-50mV
LDO2_PG_WINDOW	LDO2_OV_THR	0x3	+5%/+50mV
	LDO2_UV_THR	0x3	-5%/-50mV
LDO3_PG_WINDOW	LDO3_OV_THR	0x3	+5%/+50mV
	LDO3_UV_THR	0x3	-5%/-50mV

表 5-4. LDO NVM の設定 (続き)

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
LDO4_PG_WINDOW	LDO4_OV_THR	0x3	+5%/+50mV
	LDO4_UV_THR	0x3	-5%/-50mV

5.5 VCCA の設定

これらの設定では、VCCA でイネーブルされるデフォルトの監視について詳しく説明します。これらの設定はすべて、起動後に I²C を使用して変更できます。

表 5-5. VCCA NVM 設定

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
VCCA_VMON_CTRL	VMON_DEGLITCH_SEL	0x1	20μs
	VCCA_VMON_EN	0x1	イネーブル。OV および UV コンパレータ。
VCCA_PG_WINDOW	VCCA_OV_THR	0x7	+10%
	VCCA_UV_THR	0x7	-10%
	VCCA_PG_SET	0x0	3.3V

5.6 GPIO の設定

これらの設定は、GPIO レールのデフォルト設定について詳しく説明しています。これらの設定はすべて、起動後に I²C を使用して変更できます。GPIOx_SEL フィールドの内容によって、GPIOx_CONF および GPIO_OUT_x レジスタの他のフィールドが適用可能であることに注意してください。各 GPIOx_SEL オプションに適用される NVM フィールドについては、TPS6594-Q1 データシートの「デジタル信号の説明」セクションを参照してください。

表 5-6. GPIO NVM 設定

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
GPIO1_CONF	GPIO1_OD	0x0	プッシュプル出力
	GPIO1_DIR	0x0	入力
	GPIO1_SEL	0x1	SCL_I2C2/CS_SPI
	GPIO1_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO1_PU_PD_EN	0x0	ディセーブル。プルアップ / プルダウン抵抗。
	GPIO1_DEGLITCH_EN	0x0	グリッチ除去なし、同期のみ。
GPIO2_CONF	GPIO2_OD	0x0	プッシュプル出力
	GPIO2_DIR	0x0	入力
	GPIO2_SEL	0x2	SDA_I2C2/SDO_SPI
	GPIO2_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO2_PU_PD_EN	0x0	ディセーブル。プルアップ / プルダウン抵抗。
	GPIO2_DEGLITCH_EN	0x0	グリッチ除去なし、同期のみ。
GPIO3_CONF	GPIO3_OD	0x0	プッシュプル出力
	GPIO3_DIR	0x0	入力
	GPIO3_SEL	0x2	NERR_SOC
	GPIO3_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO3_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO3_DEGLITCH_EN	0x1	8μs グリッチ除去時間。

表 5-6. GPIO NVM 設定 (続き)

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
GPIO4_CONF	GPIO4_OD	0x0	プッシュプル出力
	GPIO4_DIR	0x0	入力
	GPIO4_SEL	0x6	LP_WKUP1
	GPIO4_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO4_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO4_DEGLITCH_EN	0x1	8μs グリッチ除去時間。
GPIO5_CONF	GPIO5_OD	0x0	プッシュプル出力
	GPIO5_DIR	0x1	出力
	GPIO5_SEL	0x0	GPIO5
	GPIO5_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO5_PU_PD_EN	0x0	ディセーブル。プルアップ / プルダウン 抵抗。
	GPIO5_DEGLITCH_EN	0x0	グリッチ除去なし、同期のみ。
GPIO6_CONF	GPIO6_OD	0x1	オープンドレイン出力
	GPIO6_DIR	0x1	出力
	GPIO6_SEL	0x0	GPIO6
	GPIO6_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO6_PU_PD_EN	0x0	ディセーブル。プルアップ / プルダウン 抵抗。
	GPIO6_DEGLITCH_EN	0x0	グリッチ除去なし、同期のみ。
GPIO7_CONF	GPIO7_OD	0x0	プッシュプル出力
	GPIO7_DIR	0x0	入力
	GPIO7_SEL	0x1	NERR_MCU
	GPIO7_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO7_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO7_DEGLITCH_EN	0x1	8μs グリッチ除去時間。
GPIO8_CONF	GPIO8_OD	0x0	プッシュプル出力
	GPIO8_DIR	0x0	入力
	GPIO8_SEL	0x3	DISABLE_WDOG
	GPIO8_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO8_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO8_DEGLITCH_EN	0x1	8μs グリッチ除去時間。
GPIO9_CONF	GPIO9_OD	0x0	プッシュプル出力
	GPIO9_DIR	0x1	出力
	GPIO9_SEL	0x0	GPIO9
	GPIO9_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO9_PU_PD_EN	0x0	ディセーブル。プルアップ / プルダウン 抵抗。
	GPIO9_DEGLITCH_EN	0x0	グリッチ除去なし、同期のみ。
GPIO10_CONF	GPIO10_OD	0x0	プッシュプル出力
	GPIO10_DIR	0x0	入力
	GPIO10_SEL	0x0	GPIO10
	GPIO10_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO10_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	GPIO10_DEGLITCH_EN	0x0	グリッチ除去なし、同期のみ。

表 5-6. GPIO NVM 設定 (続き)

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
GPIO11_CONF	GPIO11_OD	0x0	プッシュプル出力
	GPIO11_DIR	0x1	出力
	GPIO11_SEL	0x0	GPIO11
	GPIO11_PU_SEL	0x0	プルアップ抵抗が選択されています
	GPIO11_PU_PD_EN	0x0	ディセーブル。プルアップ / プルダウン抵抗。
	GPIO11_DEGLITCH_EN	0x0	グリッチ除去なし、同期のみ。
NPWRON_CONF	NPWRON_SEL	0x0	イネーブル
	ENABLE_PU_SEL	0x0	プルアップ抵抗が選択されています
	ENABLE_PU_PD_EN	0x1	イネーブル。プルアップ / プルダウン レジスタ。
	ENABLE_DEGLITCH_EN	0x1	ENABLE のときの 8 μ s グリッチ除去時間。 NPWRON のとき 50ms グリッチ除去時間。
	ENABLE_POL	0x0	アクティブ High
	NRSTOUT_OD	0x0	プッシュプル出力
GPIO_OUT_1	GPIO1_OUT	0x0	低
	GPIO2_OUT	0x0	低
	GPIO3_OUT	0x0	低
	GPIO4_OUT	0x0	低
	GPIO5_OUT	0x0	低
	GPIO6_OUT	0x0	低
	GPIO7_OUT	0x0	低
	GPIO8_OUT	0x0	低
GPIO_OUT_2	GPIO9_OUT	0x0	低
	GPIO10_OUT	0x0	低
	GPIO11_OUT	0x0	低

5.7 有限ステート マシン (FSM) の設定

これらの設定は、PMIC 出力レールが各種システムレベルの状態にどのように割り当てられるかを示します。また、各システムレベル状態のデフォルトのトリガについても説明します。これらの設定はすべて、起動後に I²C を使用して変更できます。

表 5-7. FSM NVM の設定

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
RAIL_SEL_1	BUCK1_GRP_SEL	0x1	マイコン レール グループ
	BUCK2_GRP_SEL	0x1	マイコン レール グループ
	BUCK3_GRP_SEL	0x1	マイコン レール グループ
	BUCK4_GRP_SEL	0x1	マイコン レール グループ
RAIL_SEL_2	BUCK5_GRP_SEL	0x1	マイコン レール グループ
	LDO1_GRP_SEL	0x1	マイコン レール グループ
	LDO2_GRP_SEL	0x1	マイコン レール グループ
	LDO3_GRP_SEL	0x1	マイコン レール グループ
RAIL_SEL_3	LDO4_GRP_SEL	0x1	マイコン レール グループ
	VCCA_GRP_SEL	0x1	マイコン レール グループ

表 5-7. FSM NVM の設定 (続き)

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
FSM_TRIG_SEL_1	MCU_RAIL_TRIG	0x2	マイコン電源エラー
	SOC_RAIL_TRIG	0x3	SOC 電源エラー この NVM 構成では使用しません。
	OTHER_RAIL_TRIG	0x3	SOC 電源エラー この NVM 構成では使用しません。
	SEVERE_ERR_TRIG	0x0	即時シャットダウン
FSM_TRIG_SEL_2	MODERATE_ERR_TRIG	0x1	正常なシャットダウン

5.8 割り込み設定

これらの設定は、nINT ピンで監視される機能のデフォルト設定について詳しく説明しています。これらの設定はすべて、起動後に I²C を使用して変更できます。

表 5-8. 割り込み NVM 設定

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
FSM_TRIG_MASK_1	GPIO1_FSM_MASK	0x1	マスク済み
	GPIO1_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO2_FSM_MASK	0x1	マスク済み
	GPIO2_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO3_FSM_MASK	0x1	マスク済み
	GPIO3_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO4_FSM_MASK	0x1	マスク済み
	GPIO4_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
FSM_TRIG_MASK_2	GPIO5_FSM_MASK	0x1	マスク済み
	GPIO5_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO6_FSM_MASK	0x1	マスク済み
	GPIO6_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO7_FSM_MASK	0x1	マスク済み
	GPIO7_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO8_FSM_MASK	0x1	マスク済み
	GPIO8_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
FSM_TRIG_MASK_3	GPIO9_FSM_MASK	0x1	マスク済み
	GPIO9_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO10_FSM_MASK	0x1	マスク済み
	GPIO10_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます
	GPIO11_FSM_MASK	0x1	マスク済み
	GPIO11_FSM_MASK_POL	0x0	Low。マスキングにより信号値が「0」に設定されます

表 5-8. 割り込み NVM 設定 (続き)

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
MASK_BUCK1_2	BUCK1_ILIM_MASK	0x0	割り込みが生成済み
	BUCK1_OV_MASK	0x0	割り込みが生成済み
	BUCK1_UV_MASK	0x0	割り込みが生成済み
	BUCK2_ILIM_MASK	0x0	割り込みが生成済み
	BUCK2_OV_MASK	0x0	割り込みが生成済み
	BUCK2_UV_MASK	0x0	割り込みが生成済み
MASK_BUCK3_4	BUCK3_ILIM_MASK	0x0	割り込みが生成済み
	BUCK3_OV_MASK	0x0	割り込みが生成済み
	BUCK3_UV_MASK	0x0	割り込みが生成済み
	BUCK4_OV_MASK	0x0	割り込みが生成済み
	BUCK4_UV_MASK	0x0	割り込みが生成済み
	BUCK4_ILIM_MASK	0x0	割り込みが生成済み
MASK_BUCK5	BUCK5_ILIM_MASK	0x0	割り込みが生成済み
	BUCK5_OV_MASK	0x0	割り込みが生成済み
	BUCK5_UV_MASK	0x0	割り込みが生成済み
MASK_LDO1_2	LDO1_OV_MASK	0x0	割り込みが生成済み
	LDO1_UV_MASK	0x0	割り込みが生成済み
	LDO2_OV_MASK	0x0	割り込みが生成済み
	LDO2_UV_MASK	0x0	割り込みが生成済み
	LDO1_ILIM_MASK	0x0	割り込みが生成済み
	LDO2_ILIM_MASK	0x0	割り込みが生成済み
MASK_LDO3_4	LDO3_OV_MASK	0x0	割り込みが生成済み
	LDO3_UV_MASK	0x0	割り込みが生成済み
	LDO4_OV_MASK	0x0	割り込みが生成済み
	LDO4_UV_MASK	0x0	割り込みが生成済み
	LDO3_ILIM_MASK	0x0	割り込みが生成済み
	LDO4_ILIM_MASK	0x0	割り込みが生成済み
MASK_VMON	VCCA_OV_MASK	0x1	割り込みは生成されません。 ACTIVE 状態に移行した後、0x0 に設定されます。
	VCCA_UV_MASK	0x1	割り込みは生成されません。 ACTIVE 状態に移行した後、0x0 に設定されます。
MASK_GPIO1_8_FALL	GPIO1_FALL_MASK	0x1	割り込みは生成されません。
	GPIO2_FALL_MASK	0x1	割り込みは生成されません。
	GPIO3_FALL_MASK	0x1	割り込みは生成されません。
	GPIO4_FALL_MASK	0x1	割り込みは生成されません。
	GPIO5_FALL_MASK	0x1	割り込みは生成されません。
	GPIO6_FALL_MASK	0x1	割り込みは生成されません。
	GPIO7_FALL_MASK	0x1	割り込みは生成されません。
	GPIO8_FALL_MASK	0x1	割り込みは生成されません。

表 5-8. 割り込み NVM 設定 (続き)

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
MASK_GPIO1_8_RISE	GPIO1_RISE_MASK	0x1	割り込みは生成されません。
	GPIO2_RISE_MASK	0x1	割り込みは生成されません。
	GPIO3_RISE_MASK	0x1	割り込みは生成されません。
	GPIO4_RISE_MASK	0x1	割り込みは生成されません。
	GPIO5_RISE_MASK	0x1	割り込みは生成されません。
	GPIO6_RISE_MASK	0x1	割り込みは生成されません。
	GPIO7_RISE_MASK	0x1	割り込みは生成されません。
	GPIO8_RISE_MASK	0x1	割り込みは生成されません。
MASK_GPIO9_11 / MASK_GPIO9_10	GPIO9_FALL_MASK	0x1	割り込みは生成されません。
	GPIO9_RISE_MASK	0x1	割り込みは生成されません。
	GPIO10_FALL_MASK	0x1	割り込みは生成されません。
	GPIO11_FALL_MASK	0x1	割り込みは生成されません。
	GPIO10_RISE_MASK	0x1	割り込みは生成されません。
	GPIO11_RISE_MASK	0x1	割り込みは生成されません。
MASK_STARTUP	NPWRON_START_MASK	0x1	割り込みは生成されません。
	ENABLE_MASK	0x0	割り込みが生成済み
	FSD_MASK	0x1	割り込みは生成されません。
	SOFT_REBOOT_MASK	0x0	割り込みが生成済み
MASK_MISC	TWARN_MASK	0x0	割り込みが生成済み
	BIST_PASS_MASK	0x0	割り込みが生成済み
	EXT_CLK_MASK	0x1	割り込みは生成されません。
MASK_MODERATE_ERR	BIST_FAIL_MASK	0x0	割り込みが生成済み
	REG_CRC_ERR_MASK	0x0	割り込みが生成済み
	SPMI_ERR_MASK	0x1	割り込みは生成されません。
	NINT_READBACK_MASK	0x0	割り込みが生成済み
	NRSTOUT_READBACK_MASK	0x0	割り込みが生成済み
	NPWRON_LONG_MASK	0x1	割り込みは生成されません。
MASK_FSM_ERR	IMM_SHUTDOWN_MASK	0x0	割り込みが生成済み
	MCU_PWR_ERR_MASK	0x0	割り込みが生成済み
	SOC_PWR_ERR_MASK	0x0	割り込みが生成済み
	ORD_SHUTDOWN_MASK	0x0	割り込みが生成済み
MASK_COMM_ERR	COMM_FRM_ERR_MASK	0x0	割り込みが生成済み
	COMM_CRC_ERR_MASK	0x0	割り込みが生成済み
	COMM_ADR_ERR_MASK	0x0	割り込みが生成済み
	I2C2_CRC_ERR_MASK	0x0	割り込みが生成済み
	I2C2_ADR_ERR_MASK	0x0	割り込みが生成済み
MASK_READBACK_ERR	EN_DRV_READBACK_MASK	0x0	割り込みが生成済み
	NRSTOUT_SOC_READBACK_MASK	0x0	割り込みが生成済み
MASK_ESM	ESM_SOC_PIN_MASK	0x1	割り込みは生成されません。
	ESM_SOC_RST_MASK	0x1	割り込みは生成されません。
	ESM_SOC_FAIL_MASK	0x1	割り込みは生成されません。
	ESM_MCU_PIN_MASK	0x1	割り込みは生成されません。
	ESM_MCU_RST_MASK	0x1	割り込みは生成されません。
	ESM_MCU_FAIL_MASK	0x1	割り込みは生成されません。

表 5-8. 割り込み NVM 設定 (続き)

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
GENERAL_REG_1	PFSM_ERR_MASK	0x0	割り込みが生成済み

5.9 POWERGOOD の設定

これらの設定は、PGOOD ピンで監視する動作のデフォルト設定について詳しく説明しています。これらの設定はすべて、起動後に I²C を使用して変更できます。

表 5-9. POWERGOOD NVM の設定

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
PGOOD_SEL_1	PGOOD_SEL_BUCK1	0x0	マスク済み
	PGOOD_SEL_BUCK2	0x0	マスク済み
	PGOOD_SEL_BUCK3	0x0	マスク済み
	PGOOD_SEL_BUCK4	0x0	マスク済み
PGOOD_SEL_2	PGOOD_SEL_BUCK5	0x0	マスク済み
PGOOD_SEL_3	PGOOD_SEL_LDO1	0x0	マスク済み
	PGOOD_SEL_LDO2	0x0	マスク済み
	PGOOD_SEL_LDO3	0x0	マスク済み
	PGOOD_SEL_LDO4	0x0	マスク済み
PGOOD_SEL_4	PGOOD_SEL_VCCA	0x0	マスク済み
	PGOOD_SEL_TDIE_WARN	0x0	マスク済み
	PGOOD_SEL_NRSTOUT	0x0	マスク済み
	PGOOD_SEL_NRSTOUT_SOC	0x0	マスク済み
	PGOOD_POL	0x0	監視対象の入力が有効なとき、PGOOD 信号は High になります
	PGOOD_WINDOW	0x1	低電圧と過電圧の両方が監視されます

5.10 その他の設定

これらの設定では、スペクトラム拡散、PFSM 遅延、LDO タイムアウトなどの追加設定のデフォルト設定について詳しく説明します。これらの設定はすべて、起動後に I²C を使用して変更できます。

表 5-10. その他の NVM 設定

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
PLL_CTRL	EXT_CLK_FREQ	0x0	1.1 MHz

表 5-10. その他の NVM 設定 (続き)

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
CONFIG_1	TWARN_LEVEL	0x0	130C
	I2C1_HS	0x0	デフォルトでは、標準、高速、または高速 + は、Hs モードコントローラコードで Hs モードに設定できます。
	I2C2_HS	0x0	デフォルトでは、標準、高速、または高速 + は、Hs モードコントローラコードで Hs モードに設定できます。
	EN_ILIM_FSM_CTRL	0x0	Buck/LDO レギュレータ ILIM 割り込みは FSM トリガに影響しません。
	NSLEEP1_MASK	0x0	NSLEEP1(B) は、FSM 状態遷移に影響します。
	NSLEEP2_MASK	0x0	NSLEEP2(B) は、FSM 状態遷移に影響します。
CONFIG_2	BB_CHARGER_EN	0x0	ディセーブル
	BB_VEOC	0x0	2.5V
	BB_ICHR	0x0	100uA
RECOV_CNT_REG_2	RECOV_CNT_THR	0xf	0xf
BUCK_RESET_REG	BUCK1_RESET	0x0	0x0
	BUCK2_RESET	0x0	0x0
	BUCK3_RESET	0x0	0x0
	BUCK4_RESET	0x0	0x0
	BUCK5_RESET	0x0	0x0
SPREAD_SPECTRUM_1	SS_EN	0x0	スペクトラム拡散をディセーブル
	SS_DEPTH	0x0	変調なし
FSM_STEP_SIZE	PFSM_DELAY_STEP	0xb	0xb
LDO_RV_TIMEOUT_REG_1	LDO1_RV_TIMEOUT	0xf	16ms
	LDO2_RV_TIMEOUT	0xf	16ms
LDO_RV_TIMEOUT_REG_2	LDO3_RV_TIMEOUT	0xf	16ms
	LDO4_RV_TIMEOUT	0xf	16ms
USER_SPARE_REGS	USER_SPARE_1	0x0	0x0
	USER_SPARE_2	0x0	0x0
	USER_SPARE_3	0x0	0x0
	USER_SPARE_4	0x0	0x0
ESM_MCU_MODE_CFG	ESM_MCU_EN	0x0	ESM_MCU はディセーブルです。
ESM_SOC_MODE_CFG	ESM_SOC_EN	0x0	ESM_SoC はディセーブルです。
RTC_CTRL_2	XTAL_EN	0x1	水晶発振器は有効になっています
	LP_STANDBY_SEL	0x1	低消費電力のスタンバイ状態は STANDBY 状態として使用されます (LDOINT はディセーブル)
	FAST_BIST	0x0	ロジックおよびアナログ BIST は、BOOT BIST で実行されます
	STARTUP_DEST	0x3	アクティブ
	XTAL_SEL	0x1	9pF
PFSM_DELAY_REG_1	PFSM_DELAY1	0x58	0x58
PFSM_DELAY_REG_2	PFSM_DELAY2	0x9d	0x9d
PFSM_DELAY_REG_3	PFSM_DELAY3	0x0	0x0

表 5-10. その他の NVM 設定 (続き)

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
PFSM_DELAY_REG_4	PFSM_DELAY4	0x0	0x0
GENERAL_REG_0	EN_OVP	0x1	OVP イネーブル
	VSYS_DEAD_LOCK_EN	0x1	VCCA OVP の場合は、外付け FET を使用して VCCA をオフにします
	PFSM_ERR_RESET_DIS	0x0	PFSM_ERR により、ロジックへのリセットが発生します
	DIS_UVLO_OVP_RESET	0x0	UVLO/OVP により、ロジックへのリセットが発生します
	FAST_BOOT_BIST	0x0	LBIST はブート BIST 中に実行されます
	VMON_ABIST_EN	0x1	VMON ABIST がイネーブル
	ABIST_ERROR_MASK	0x0	ABIST エラーはマスクされていません
GENERAL_REG_1	REG_CRC_EN	0x1	レジスタ CRC がイネーブルになっています
	FAST_VCCA_OVP	0x0	低速、4 μ s グリッチ除去フィルタがイネーブル

5.11 インターフェイス設定

これらの設定は、デフォルトのインターフェイス、インターフェイス設定、およびデバイス アドレスの詳細を示します。デバイスの起動後にこれらの設定を変更することはできません。

表 5-11. インターフェイス NVM 設定

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
SERIAL_IF_CONFIG	I2C_SPI_SEL	0x0	I2C
	I2C1_SPI_CRC_EN	0x0	CRC ディセーブル
	I2C2_CRC_EN	0x0	CRC ディセーブル
I2C1_ID_REG	I2C1_ID	0x48	0x48
I2C2_ID_REG	I2C2_ID	0x12	0x12

5.12 ウォッチドッグの設定

これらの設定は、デフォルトのウォッチドッグアドレスの詳細を示します。これらの設定は、起動後に I²C を使用して変更できます。

表 5-12. ウォッチドッグ NVM の設定

レジスタ名	フィールド名	TPS65941515-Q1	
		値	説明
WD_LONGWIN_CFG	WD_LONGWIN	0xff	0xff
WD_THR_CFG	WD_EN	0x1	ウォッチドッグはイネーブルです。

6 事前設定可能な有限ステート マシン (PFSM) の設定

このセクションでは、TPS6594-Q1 デバイスのデフォルトの PFSM 設定について説明します。デバイスの起動後にこれらの設定を変更することはできません。

6.1 設定された状態

この PDN では、PMIC は、以下のように設定された電源状態になっています。

- STANDBY
- アクティブ
- 保持 (DDR と GPIO の両方の保持モード)

図 6-1 に、設定されている PDN の電源状態と、状態間を移動するための遷移条件を示します。さらに、安全回復や LP_STANDBY などのハードウェア状態への遷移を示します。ハードウェア状態は、固定デバイス電源の有限ステートマシン (FSM) の一部であり、TPS6594-Q1 のデータシート ([セクション 8](#) を参照) に記載されています。



STANDBY PMIC は、システム電源レール上の有効な電源から電力が供給されています ($V_{CCA} > V_{CCA_UV}$)。すべてのデバイスリソースは、スタンバイ状態でパワーダウンされます。この状態では、EN DRV が強制的に

Low になります。プロセッサがオフ状態で、電圧ドメインは通電されていません。[セクション 6.3.2](#) シーケンスの説明を参照してください。

また、エラーが発生し、PMIC が PFSM のミッション状態から FSM 状態に遷移すると、STANDBY 状態に移行します。デバイスが FSM 状態から PFSM に戻ると、最初の状態は STANDBY で表され、すべてのリソースはパワーダウンし、EN_DRV は強制的に Low になります。このシーケンス[セクション 6.3.1](#) は、PMIC が PFSM から離れ、FSM 状態 SAFE_RECOVERY に入る前に実行されます。

アクティブ PMIC は、有効な電源から電力を供給されます。PMIC は、完全な機能で、すべての PDN 負荷に電力を供給します。プロセッサは、マイコンとメイン プロセッサ セクションの両方のすべての電圧ドメインが通電された状態で、推奨パワー アップ シーケンスを完了しています。これで、マイコンで ENABLE_DRV ビットを High に設定できるようになりました。[セクション 6.3.4](#) シーケンスの説明を参照してください。

保持 PMIC は、有効な電源から電力を供給されます。特定のリソース設定に応じて、保持ルールに割り当てられた電源リソースのみがオンまたは LPM 状態になります。特定のリソースがアクティブのままである場合、リンクされているすべてのサブシステムは自動的にアクティブに維持されます。ENABLE_DRV ビットは、この状態ではデバイスによってクリアされます。I2C_6 ビットが High に設定されている場合、PMIC は GPIO 保持状態に入ります。I2C_7 ビットが High に設定されている場合、PMIC は DDR 保持状態に移行します。これらのビットは、保持状態をトリガする前に設定する必要があります。[セクション 6.3.5](#) シーケンスの説明を参照してください。

6.2 PFSM トリガ

[図 6-1](#) に示したように、設定された状態間での状態遷移を可能にするさまざまなトリガーがあります。[表 6-1](#) に、各トリガと、関連する状態が最も高い優先度 (即時シャットダウン) から最も低い優先度 (I2C_3) に遷移する様子を示します。優先度の高いブロックトリガで低優先度のアクティブ トリガおよび関連するシーケンス。

表 6-1. 状態遷移トリガ

トリガ	優先度 (ID)	即時 (IMM)	REENTERANT	PFSM の現在の状態	PFSM のデステイネーションの状態	電源シーケンスまたは実行された機能
即時シャットダウン	1	正しい	誤り	STANDBY、ACTIVE、RAM へのサスペンド	SAFE ⁽¹⁾	TO_SAFE_SEVERE
マイコン電源エラー	2	正しい	誤り	STANDBY、ACTIVE、RAM へのサスペンド	SAFE ⁽¹⁾	TO_SAFE
正常なシャットダウン	4	正しい	誤り	STANDBY、ACTIVE、RAM へのサスペンド	SAFE ⁽¹⁾	TO_SAFE_ORDERLY
OFF リクエスト	5	誤り	誤り	STANDBY、ACTIVE、RAM へのサスペンド	STANDBY ⁽²⁾	TO_STANDBY
WDOG 誤差	6	誤り	正しい	アクティブ	アクティブ	ACTIVE_TO_WARM
ESM MCU エラー	7	誤り	正しい	アクティブ	アクティブ	
I2C_1 ビットが High です ⁽³⁾	8	誤り	正しい	アクティブ	状態変更なし	RUNTIME BIST を実行します
I2C_2 ビットが High です ⁽³⁾	9	誤り	正しい	アクティブ	状態変更なし	I で I ² C CRC を有効にします 2 C1 および I 2 すべてのデバイスで C2。
ON リクエスト	10	誤り	誤り	STANDBY、ACTIVE、RAM へのサスペンド	アクティブ	TO_ACTIVE
WKUP1 が High になります	11	誤り	誤り	STANDBY、ACTIVE、RAM へのサスペンド	アクティブ	
NSLEEP1 と NSLEEP2 は High です ⁽⁴⁾	12	誤り	誤り	STANDBY、ACTIVE、RAM へのサスペンド	アクティブ	

表 6-1. 状態遷移トリガ (続き)

トリガ	優先度 (ID)	即時 (IMM)	REENTERANT	PFSM の現在の状態	PFSM のデステイネーションの状態	電源シーケンスまたは実行された機能
NSLEEP1 が Low になり、NSLEEP2 が High になります (4)	13	誤り	誤り	ACTIVE、RAM ヘサスペンド	状態変更なし	シーケンスは実行されませんでした
NSLEEP1 が Low になり、NSLEEP2 が Low になります (4)	14	誤り	誤り	アクティブ	RAM ヘサスペンド	TO_RETENTION
NSLEEP1 が High になり、NSLEEP2 が Low になります (4)	15	誤り	誤り	アクティブ	RAM ヘサスペンド	
I2C_0 ビットが High になります (3)	16	誤り	誤り	スタンバイ、アクティブ	LP_STANDBY (2)	TO_STANDBY
I2C_3 ビットが High になります (3)	17	誤り	誤り	アクティブ	状態変更なし	デバイスは OTA NVM 更新できます。 (5)

- (1) SAFE 状態から、PFSM は自動的に SAFE_RECOVERY のハードウェア FSM 状態に遷移します。SAFE_RECOVERY 状態から、回復カウンタがインクリメントされ、回復カウント スレッシュホールドと比較されます (表 5-10 の RECOV_CNT_REG_2 を参照)。回復カウント スレッシュホールドに達すると、PMIC は回復試行を停止し、パワー サイクルを必要とします。詳細については、データシートを参照してください。
- (2) LP_STANDBY_SEL ビットが設定されている場合 (表 5-10 の RTC_CTRL_2 を参照)、PFSM は LP_STANDBY のハードウェア FSM 状態に遷移します。LP_STANDBY に移行した場合、LP_STANDBY に移行して決定されたとおりにデバイスをウェークアップするには、適切なメカニズムを使用してください。詳細については、データシートを参照してください。
- (3) I2C_0、I2C_1、I2C_2、I2C_3 は、セルフクリアトリガです。
- (4) PMIC の NSLEEP1 および NSLEEP2 には、GPIO ピンまたはレジスタビットを介してアクセスできます。レジスタビットまたは GPIO ピンが High にプルされると、NSLEEPx の値は High ロジック レベルとして読み取られます。
- (5) OTA 更新が完了した後、プロセッサは PMIC のリセットを開始し、新しい NVM 設定を適用する必要があります。

6.3 電源シーケンス

6.3.1 TO_SAFE_SEVERE および TO_SAFE

TO_SAFE_SEVERE および TO_SAFE は、SAFE 状態への移行時に発生する個別のシーケンスです。どちらのシーケンスも、遅延なしにすべてのレールをシャットダウンします。VCCA の過電圧またはサーマル シャットダウンが発生した場合に PMIC の損傷を防止するために、TO_SAFE_SEVERE シーケンスは BUCK スイッチングを直ちに停止し、BUCK および LDO のプルダウン抵抗を有効にします。タイミングを図 6-2 に示します。TO_SAFE シーケンスは、レギュレータがオフになるまで BUCK レギュレータをリセットしません。

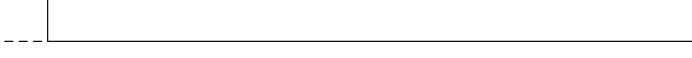
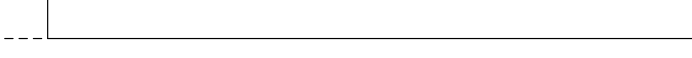
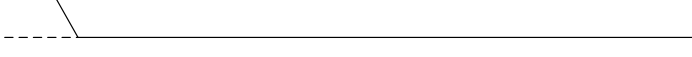
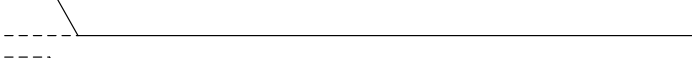
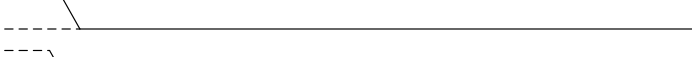
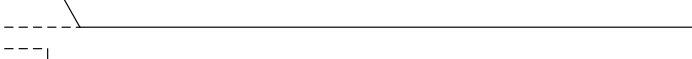
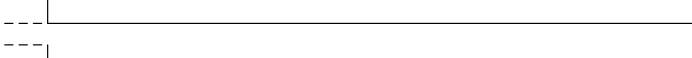
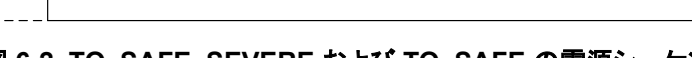
Resource	PMIC	Delay Diagram	Total Delay	Rail Name
EN_DRV	TPS65941515-Q1		0 us	EN_DRV
nRSTOUT	TPS65941515-Q1		0 us	H_SOC_PORz_1V8
BUCK5	TPS65941515-Q1		0 us	VDD_DDR_1V1
LDO2	TPS65941515-Q1		0 us	VDD_RAM_0V85
GPIO5	TPS65941515-Q1		0 us	EN_GPIORET_VWK
GPIO6	TPS65941515-Q1		0 us	EN_DDR_RET_1V1
GPIO7	TPS65941515-Q1		0 us	EN_EFUSE_LDO
BUCK34	TPS65941515-Q1		0 us	VDD_CORE_0V8
LDO3	TPS65941515-Q1		0 us	VDA_DPLL_0V8
BUCK12	TPS65941515-Q1		0 us	VDD_CPU_AVS
LDO4	TPS65941515-Q1		0 us	VDA_LN_1V8
LDO1	TPS65941515-Q1		0 us	VDD_IO_1V8
GPIO9	TPS65941515-Q1		0 us	EN_GPIORET_VIO
GPIO11	TPS65941515-Q1		0 us	EN_SOC_VIO

図 6-2. TO_SAFE_SEVERE および TO_SAFE の電源シーケンス

図 6-2 に示した電源シーケンスの後、TO_SAFE シーケンスは以下の命令を実行します。

```
// Clear AMUXOUT_EN, CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Reset all BUCK regulators
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x1F MASK=0xE0
```

TO_SAFE_SEVERE シーケンスは、電源シーケンスの後に次の命令を実行します。

```
// Clear AMUXOUT_EN, CLKMON_EN, set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
```

TPS65941515 には、TO_SAFE_SEVERE シーケンスの終了時に 500ms の遅延が追加されます。回復は、シーケンスの遅延が完了するまで試行されないことに注意してください。

6.3.2 TO_SAFE_ORDERLY および TO_STANDBY

中程度のエラーが発生した場合は、適切なシャットダウントリガが生成されます。このトリガは、推奨されるパワーダウンシーケンスを使用して、PMIC の出力を停止し、SAFE 状態へ移行します。

TPS65941515 の ENABLE ピンが Low にされるなどの OFF 要求が発生した場合、同様のパワーダウン シーケンスが実行されますが、PMIC は **SAFE** 状態ではなく、**STANDBY** (LP_STANDBY_SEL = 0) または **LP_STANDBY** (LP_STANDBY_SEL = 1) 状態に移行します。これらのイベントの電源シーケンスを図 6-3 に示します。

TO_SAFE_ORDERLY および TO_STANDBY シーケンスの両方が、SPMI_LP_EN ビットと FORCE_EN_DRV_LOW ビットを設定します。

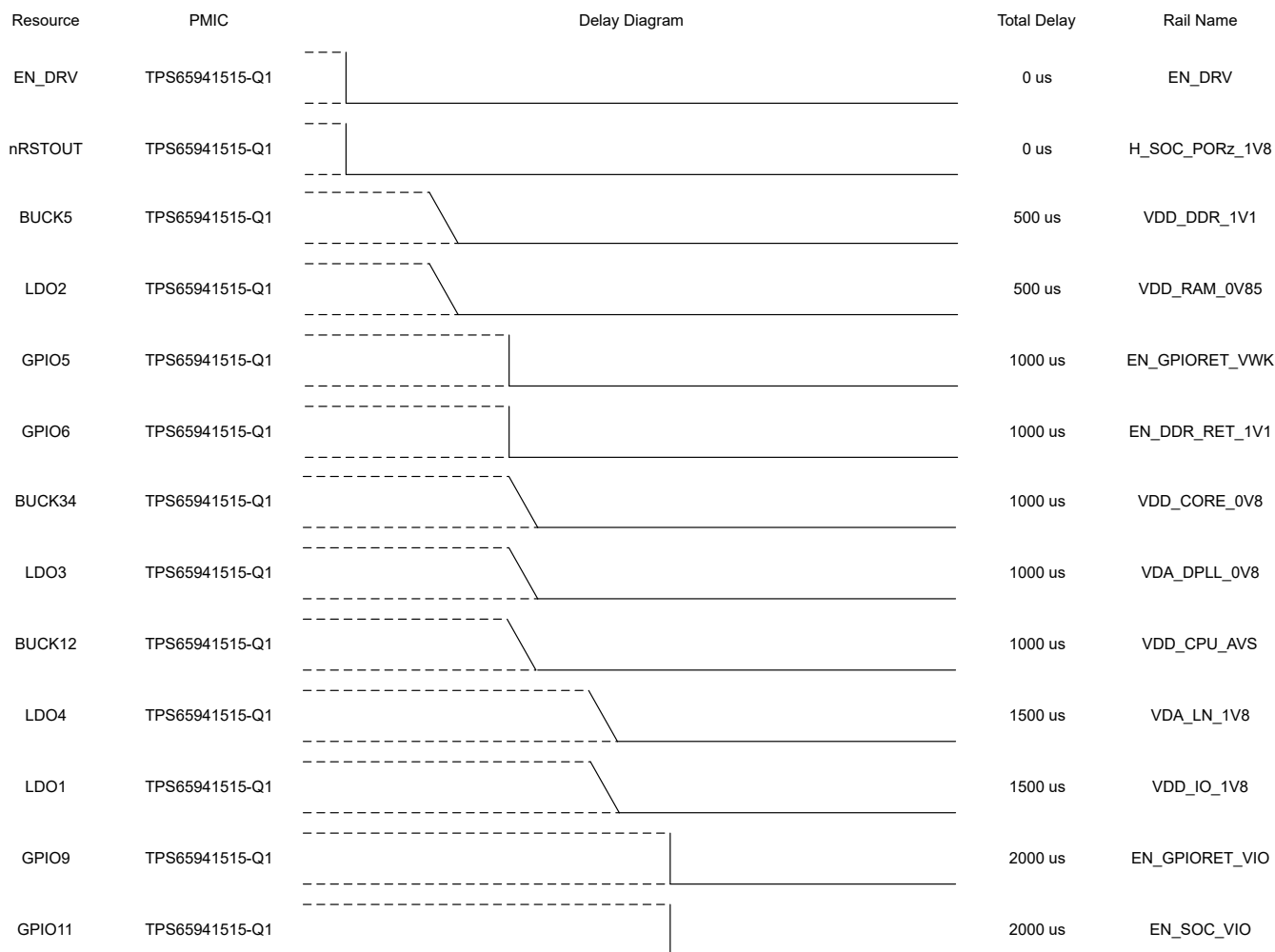


図 6-3. TO_SAFE_ORDERLY および TO_STANDBY の電源シーケンス

TO_SAFE_ORDERLY シーケンスの最後に、PMIC は約 16ms 待機してから、次の命令を実行します。

```
// Clear AMUXOUT_EN and CLKMON_EN and set LPM_EN
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x04 MASK=0xE3
// Reset all BUCKs
REG_WRITE_MASK_IMM ADDR=0x87 DATA=0x1F MASK=0xE0
```

BUCK レギュレータのリセットは、**SAFE_RECOVERY** 状態に移行する準備として行われます。**SAFE_RECOVERY** 状態に遷移すると、PMIC はミッション状態を終了します。**SAFE_RECOVERY** 状態では、回復メカニズムによって回復カウンタがインクリメントされ、回復を試みる前に回復カウント スレッショルド (表 5-10 を参照) が達成されたかどうかが決まります。

TO_STANDBY シーケンスの終了時、TPS65941515 デバイスは約 16ms 待機してから、同じ AMUXOUT_EN、CLKMON_EN、LPM_EN ビット操作を実行します。BUCK はリセットされません。これらの手順の後、PMIC は LP_STANDBY_SEL (表 5-10 を参照) が正しいかどうかを判断するため追加のチェックを実行します。誤りの場合、

PMIC は LP_STANDBY 状態に入り、ミッション状態を終了します。LP_STANDBY_SEL が false の場合、PMIC は設定された状態の STANDBY で定義されたミッション状態のままになります。

6.3.3 ACTIVE_TO_WARM

ACTIVE_TO_WARM シーケンスは、ウォッチドッグまたは ESM_MCU エラーによってトリガできます。トリガが発生すると、nRSTOUT 信号は Low に駆動され、回復カウンタ (レジスタ RECOV_CNT_REG_1) がインクリメントします。その後、すべての BUCK と LDO はデフォルトの電圧にリセットされます。PMIC は ACTIVE 状態のままです。

注

図 6-4 に示すように、シーケンス中は GPIO はリセットされません

シーケンスの開始時に、以下の命令が実行されます。

```
// Set FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x08 MASK=0xF7
// Clear nRSTOUT
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x00 MASK=0xFC
// Increment the recovery counter
REG_WRITE_MASK_IMM ADDR=0xA5 DATA=0x01 MASK=0xFE
```

注

ウォッチドッグまたは ESM エラーとは、PMIC の外部で発生した大きなエラーのことです。

MCU_POWER_ERR 発生時とは異なり、PMIC は実際に安全回復を遷移しませんが、整合性を維持するために、すべてのレギュレータが NVM に格納されている値に戻され、回復カウンタがインクリメントされます。回復カウンタが回復カウンタ スレッシュホールドを超えた場合、PMIC は安全回復状態を維持します。

注

ACTIVE_TO_WARM シーケンスの後、マイコンは EN_DRV と回復カウンタの管理を行います。シーケンスの最後に、「FORCE_EN_DRV_LOW」ビットがクリアされ、マイコンが ENABLE_DRV ビットを設定できるようになります。

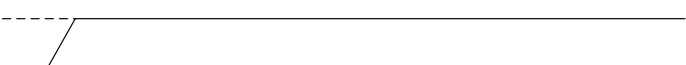
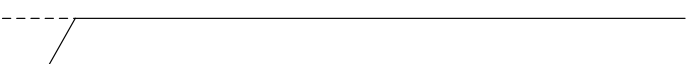
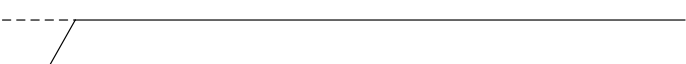
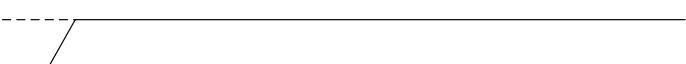
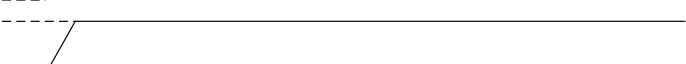
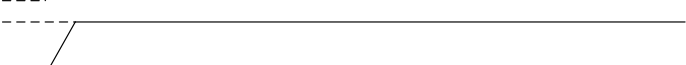
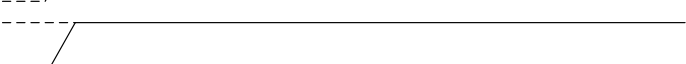
Resource	PMIC	Delay Diagram	Total Delay	Rail Name
EN_DRV	TPS65941515-Q1		0 us	EN_DRV
nRSTOUT	TPS65941515-Q1		0 us	H_SOC_PORz_1V8
LDO1	TPS65941515-Q1		0 us	VDD_IO_1V8
LDO4	TPS65941515-Q1		0 us	VDA_LN_1V8
BUCK12	TPS65941515-Q1		0 us	VDD_CPU_AVS
LDO3	TPS65941515-Q1		0 us	VDA_DLL_0V8
BUCK34	TPS65941515-Q1		0 us	VDD_CORE_0V8
LDO2	TPS65941515-Q1		0 us	VDD_RAM_0V85
BUCK5	TPS65941515-Q1		0 us	VDD_DDR_1V1
nRSTOUT	TPS65941515-Q1		2000 us	H_SOC_PORz_1V8

図 6-4. ACTIVE_TO_WARM の電源シーケンス

注

レギュレータの遷移は、レギュレータのイネーブル状態ではなく、電圧がデフォルト値に復元される時間を表しています。このシーケンスは **ACTIVE** 状態から発生するので、すべてのレギュレータがオンになります。

6.3.4 TO_ACTIVE

トリガによって TO_ACTIVE シーケンスが実行されると、図 6-5 に示すように、推奨されるパワーアップ シーケンスに従ってすべてのレールのパワーアップが行われます。

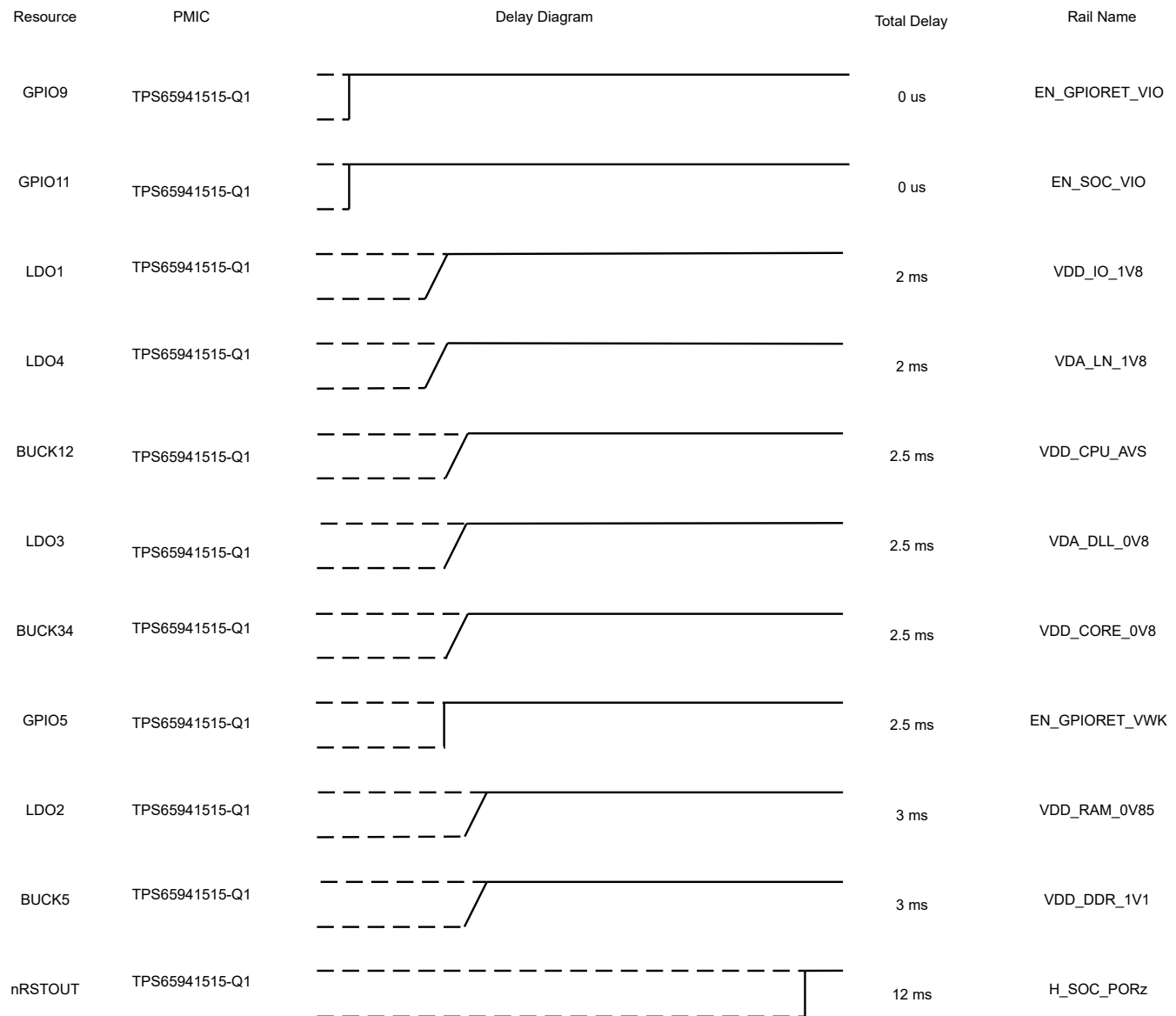


図 6-5. TO_ACTIVE シーケンス

TO_ACTIVE シーケンスの最後に、「FORCE_EN_DRV_LOW」ビットがクリアされます。

注

TO_ACTIVE シーケンスの後、マイコンは、EN_DRV の管理を行います。

6.3.5 TO_RETENTION

NSLEEPx ビットまたはピンによって定義される C および D トリガは、TO_RETENTION シーケンスをトリガします。このシーケンスでは、保持レールに電力を供給していないすべての電源レールと GPIO が無効になります (図 3-1 を参照)。このシーケンスは、レジスタ FSM_I2C_TRIGGERS にある I2C_7 および I2C_6 ビットを使用して変更できます。これらのビットは、保持状態のトリガが発生する前に、I²C で設定する必要があります。I2C_7 ビットが High に設定されている場合、PMIC は DDR 保持状態に入ります。I2C_6 ビットが High に設定されている場合、PMIC は GPIO 保持状態に入ります。図 6-7 に、GPIO および DDR 保持による TO_RETENTION シーケンスを示します。I2C_6 および I2C_7 が Low に設定されている場合、図 6-6 に示すように、DDR および GPIO 保持に関連する部品はアクティブのままになりません。

注

保持状態へのトリガが発生する前に、PMIC では I2C_6 ビットおよび I2C_7 ビットは I²C によって設定またはクリアされる必要があります。トリガは自動でクリアされないため、動作中に維持する必要があります。

I2C_7 に加えて、プロセッサは GPIO6 の EN_DDR_RET_1V1 信号も設定する必要があります。この信号は[セクション 3.2](#)に含まれていますが、電源シーケンスの一部ではありません。

PMIC を構成するために、電源シーケンスの開始時に以下の PMIC PFSM 命令が自動的に実行されます。

```
// Clear NRSTOUT
REG_WRITE_MASK_IMM ADDR=0x81 DATA=0x00 MASK=0xFE
// Set SPMI_LP_EN and FORCE_EN_DRV_LOW
REG_WRITE_MASK_IMM ADDR=0x82 DATA=0x18 MASK=0xE7
```

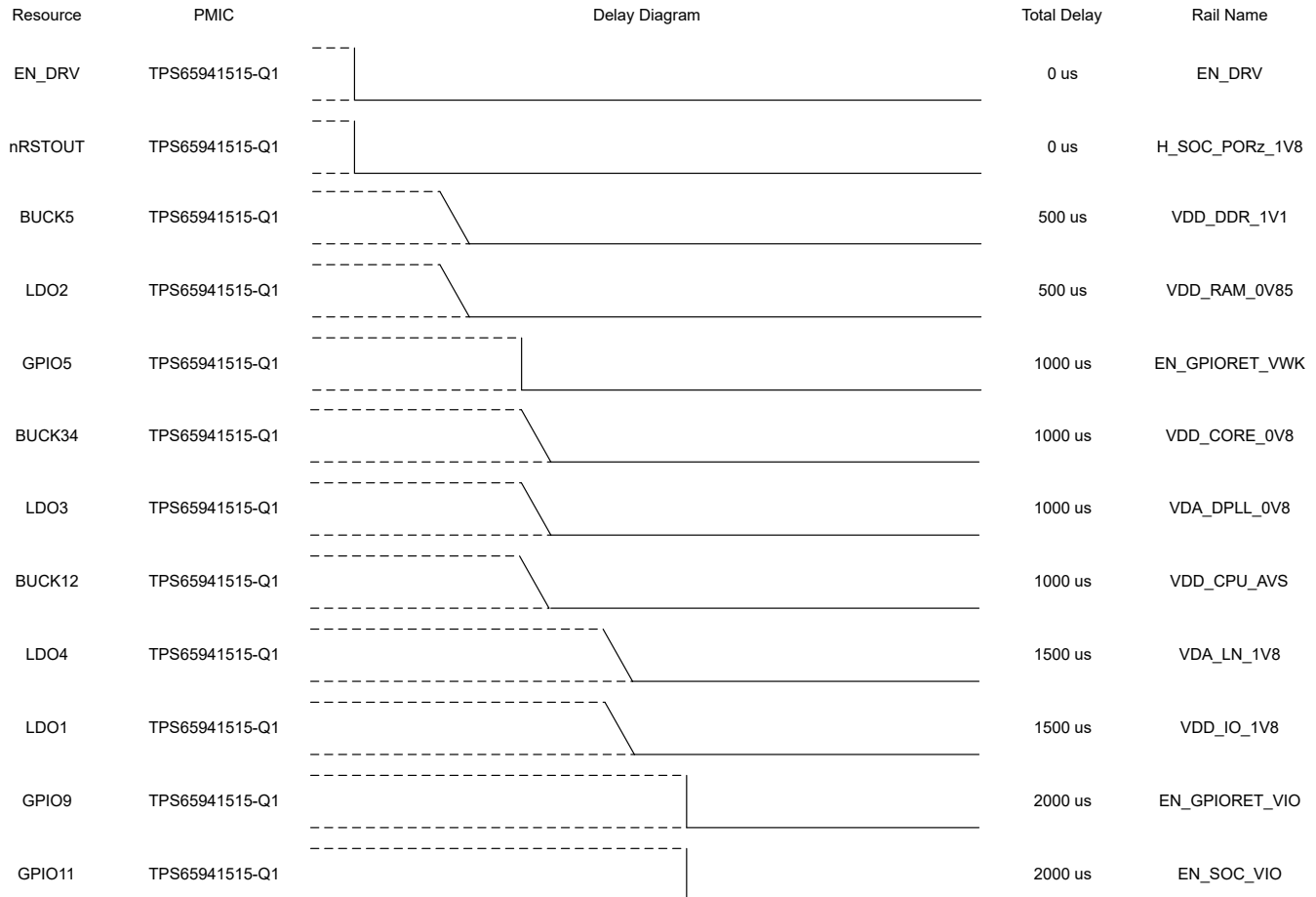


図 6-6. I2C_6 と I2C_7 が Low のときの TO_RETENTION

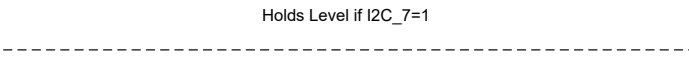
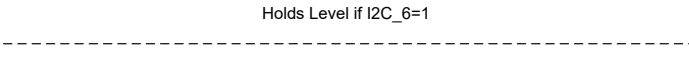
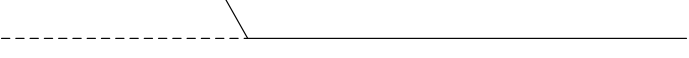
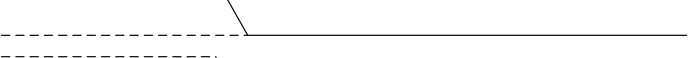
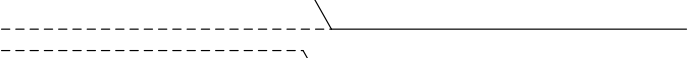
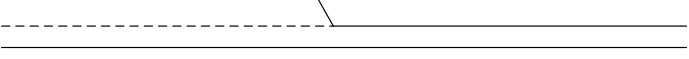
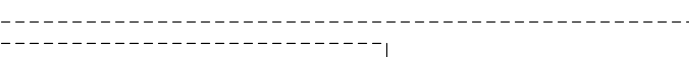
Resource	PMIC	Delay Diagram	Total Delay	Rail Name
EN_DRV	TPS65941515-Q1		0 us	EN_DRV
nRSTOUT	TPS65941515-Q1		0 us	H_SOC_PORz_1V8
BUCK5	TPS65941515-Q1		500 us	VDD_DDR_1V1
LDO2	TPS65941515-Q1		500 us	VDD_RAM_0V85
GPIO5	TPS65941515-Q1		1000 us	EN_GPIORET_VWK
BUCK34	TPS65941515-Q1		1000 us	VDD_CORE_0V8
LDO3	TPS65941515-Q1		1000 us	VDA_DPLL_0V8
BUCK12	TPS65941515-Q1		1000 us	VDD_CPU_AV5
LDO4	TPS65941515-Q1		1500 us	VDA_LN_1V8
LDO1	TPS65941515-Q1		1500 us	VDD_IO_1V8
GPIO9	TPS65941515-Q1		2000 us	EN_GPIORET_VIO
GPIO11	TPS65941515-Q1		2000 us	EN_SOC_VIO

図 6-7. I2C_6 と I2C_7 が High のときの TO_RETENTION

シーケンスの最後に、PMIC は LPM_EN を設定し、CLKMON_EN ビットと AMUXOUT_EN ビットをクリアします。

7 アプリケーションの例

このセクションでは、マイコンの観点および I²C 経由で、PMIC と対話する方法の例を紹介します。I²C の命令フォーマットは、以下のセクションで I²C コマンドがどのように示されているかを表しています。これらの例をデータシートと組み合わせて使用する場合は、一般化し、他のユースケースに適用することができます。

表 7-1. I²C の命令 フォーマット

I ² C アドレス	レジスタ・アドレス	データ	マスク
0x48 または 0x4C	0x00~0xFF	0x00~0xFF	0x00~0xFF

7.1 状態間の移動: ACTIVE と RETENTION

NVM のデフォルト設定では、TPS65941515 の ENABLE ピンが High になる (立ち上がりエッジがトリガされる) と、PMIC が ACTIVE 状態に遷移します。nINT ピンは、PMIC 内で割り込みが発生したことをマイコンに通知するために High になります。通常のパワーアップ シーケンスの後、割り込みは ENABLE_INT と BIST_PASS_INT になります。ENABLE_INT は、状態遷移トリガの「オン要求」以下の優先度の低いトリガを PMIC で処理することを禁止します。ENABLE_INT がクリアされると、状態は表 7-2 によって定義されます。以下のセクションでは、各種の状態間を遷移するための I²C コマンドについて説明します。

表 7-2. 状態表

NSLEEP1	NSLEEP2	I ² C_7	I ² C_6	状態
1	1	該当なし	該当なし	アクティブ
0	1	該当なし	該当なし	状態変更なし
任意	0	1	該当なし	DDR 保持
	0	該当なし	1	GPIO 保持
	0	0	0	保持

7.1.1 アクティブ

この例では、通常のパワーアップ イベントを経て、PMIC はすでに ACTIVE 状態になっています。ENABLE_INT をクリアする前に、NSLEEP1 ビットおよび NSLEEP2 ビットを設定することで、PMIC は ACTIVE 状態を維持します。

```
write 0x48:0x86:0x03:0xFC // Set NSLEEP1 and NSLEEP2 in TPS65941515
write 0x48:0x66:0x01:0xFE // Clear BIST_PASS_INT
write 0x48:0x65:0x26:0xD9 // Clear all potential sources of the On Request
```

7.1.2 保持

TO_RETENTION に示すように、マイコンは電源オフになっているため、RETENTION に移行する前に、RETENTION から ACTIVE 状態への遷移を設定する必要があります。I²C_6 および I²C_7 トリガは、保持モードのタイプに応じて設定する必要があります。以下に、GPIO RETENTION (I²C_6 = 1) に移行し、TPS65941515 GPIO4 を使用して PMIC を ACTIVE 状態にウェークアップする例を示します。

```
write 0x48:0x85:0x40:0x7F //I2C_6 is high
write 0x48:0x34:0xC0:0x3F //Set GPIO4 to WKUP1 (goes to ACTIVE state)
write 0x48:0x64:0x08:0xF7 //clear interrupt for GPIO4 falling edge
write 0x48:0x4F:0x00:0xF7 //unmask interrupt for GPIO4 falling edge
write 0x48:0x86:0x00:0xFC //trigger the TO_RETENTION power sequence
After the GPIO4 has gone low and the PMIC returns to the ACTIVE state
write 0x48:0x86:0x03:0xFC //Set NSLEEPx bits for ACTIVE state
write 0x48:0x64:0x08:0xF7 //clear interrupt of GPIO4
```

以下の例では、DDR RETENTION (I²C_7 = 1) に移行し、TPS65941515 RTC タイマを使用して PMIC を ACTIVE 状態にウェークアップします。

```
write 0x48:0x85:0x80:0x7F // I2C_7 is high
write 0x48:0xC3:0x01:0xFE // Enable Crystal
```

```
write 0x48:0xc5:0x05:0xf8 // minute timer, enable TIMER interrupts
write 0x48:0xc2:0x01:0xfe // start timer, if the timer values are non-zero clear before starting
write 0x48:0x86:0x00:0xfc // trigger the TO_RETENTION power sequence
After the RTC Timer interrupt has occurred and the PMIC returns to the ACTIVE state
write 0x48:0x86:0x03:0xfc // Set NSLEEPx bits for ACTIVE state
write 0x48:0xc5:0x00:0xfb // disable timer interrupt, clear bit 2
write 0x48:0xc4:0x00:0xdf // clear timer interrupt, clear bit 5
```

7.2 スタンバイへの移行と復帰

STANDBY は、ACTIVE 状態または RETENTION 状態から開始できます。STANDBY のミッション状態を維持し、ハードウェア状態 LP_STANDBY に移行しないようにするには、LP_STANDBY_SEL ビットをクリアする必要があります。

ENABLE ピンが Low になると、TO_STANDBY シーケンスがトリガされます。ENABLE ピンが再び High になると、デスティネーションの状態は STARTUP_DEST ビットによって決まります。TPS65941515 の場合、ACTIVE 状態に STARTUP_DEST を設定する必要があります。TO_STANDBY シーケンスは、I2C_0 トリガによってもトリガされます。I2C_0 からトリガされると、GPIO4 または RTC タイマまたはアラームによって ACTIVE 状態に戻るよう PMIC をトリガできます。この例では、I2C_0 トリガを使用して STANDBY 状態に移行し、GPIO4 を使用して ACTIVE 状態に移行します。

```
write 0x48:0xc3:0x00:0xf7 // LP_STANDBY_SEL=0
write 0x48:0x7d:0xc0:0x3f // Mask NSLEEP bits
write 0x48:0x34:0xc0:0x3f // Set GPIO4 to WKUP1 (goes to ACTIVE state)
write 0x48:0x64:0x08:0xf7 // clear interrupt of GPIO4
write 0x48:0x4f:0x00:0xf7 // unmask interrupt for GPIO4 falling edge
write 0x48:0x85:0x01:0xfe // set I2C_0 trigger, trigger TO_STANDBY sequence
After the GPIO4 has gone low and the PMIC has returned to the ACTIVE state
write 0x48:0x7d:0x00:0x3f // unmask NSLEEP bits
write 0x48:0x86:0x03:0xfc // Set NSLEEPx bits for ACTIVE state
write 0x48:0x64:0x08:0xf7 // clear interrupt of GPIO4
```

7.3 LP_STANDBY への移行と復帰

LP_STANDBY ハードウェア状態への移行は、STANDBY への移行と同じです。LP_STANDBY を終了することは異なるため、LP_STANDBY に移行する前に異なる初期化が必要です。また、PMIC が LP_STANDBY から復帰する際、PFSM のトリガは ENABLE_INT によって制御されますが、STANDBY 状態では GPIO 割り込みによって制御されます。

```
write 0x48:0xc3:0x08:0xf7 // LP_STANDBY_SEL=1
write 0x48:0x7d:0xc0:0x3f // Mask NSLEEP bits
write 0x48:0x34:0xc0:0x3f // Set GPIO4 to WKUP1 (goes to ACTIVE state)
write 0x48:0xc3:0x60:0x9f // Set the STARTUP_DEST=ACTIVE
write 0x48:0x64:0x08:0xf7 // clear interrupt of GPIO4
write 0x48:0x4f:0x00:0xf7 // unmask interrupt for GPIO4 falling edge
write 0x48:0x85:0x01:0xfe // set I2C_0 trigger, trigger TO_STANDBY sequence
After the GPIO4 has gone low and the PMIC has returned to the ACTIVE state
write 0x48:0x7d:0x00:0x3f // unmask NSLEEP bits
write 0x48:0x86:0x03:0xfc // Set NSLEEPx bits for ACTIVE state
write 0x48:0x64:0x08:0xf7 // clear interrupt of GPIO4
write 0x48:0x65:0x02:0xfd // clear ENABLE_INT
```

7.4 GPIO8 とウォッチドッグ

TPS65941515 GPIO8 は、ウォッチドッグをディスエーブルにする入力として構成されています。通常、開発時にはこのピンは High に接続されます。そのため、nRSTOUT ビットが設定されると、WD_PWRHOLD も設定されることになります。このピンの構成は、他の機能や用途に利用できますが、そのためにはウォッチドッグが期限切れになる前にウォッチドッグのサービスを行う必要があります。ウォッチドッグ ロング ウィンドウは 772 秒です。

```
write 0x12:0x09:0x00:0xbf // Disable watchdog
write 0x48:0x38:0x01:0x00 // configure GPIO8 as a pushpull output
```

ウォッチドッグをイネーブルにして構成するときは、ウォッチドッグをイネーブルにするのに加えて、WD_PWR_HOLD をクリアする必要があります。

```
write 0x12:0x09:0x00:0xFB // Clear WD_PWRHOLD  
write 0x12:0x09:0x40:0xBF // Enable Watchdog
```


8 参考資料

PMIC またはプロセッサ デバイスの詳細については、以下を参照してください。

- テキサス インストルメンツ、『[DRA821 Jacinto プロセッサ](#)』データシート™
- テキサス インストルメンツ、『[DRA821 安全マニュアル Jacinto™ 7 プロセッサ](#)』(mySecure 経由での要求)
- テキサス インストルメンツ、『[J7200 DRA821 プロセッサ シリコン リビジョン 1.0](#)』テクニカル リファレンス マニュアル
- テキサス インストルメンツ、『[TPS6594-Q1 5 つの BUCK と 4 つの LDO を備えた安全関連車載アプリケーション向けパワー マネージメント IC \(PMIC\)](#)』データシート
- テキサス インストルメンツ、『[TPS6594-Q1 安全マニュアル](#)』(mySecure 経由での要求)
- テキサス インストルメンツ、『[TPS6594-Q1 回路図の PCB チェックリスト](#)』アプリケーション ノート

9 サポート・リソース

[テキサス・インストルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インストルメンツの仕様を構成するものではなく、必ずしもテキサス・インストルメンツの見解を反映したものではありません。テキサス・インストルメンツの[使用条件](#)を参照してください。

10 商標

Jacinto™, E2E™, and テキサス・インストルメンツ E2E™ are trademarks of Texas Instruments.

™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (November 2022) to Revision A (July 2026)	Page
• ドキュメントのタイトルを更新.....	1
• ドキュメントのフォーマットを設計ガイドに更新。.....	1
• 「説明」、「特長」、および「アプリケーション」のトピックを追加。.....	1
• 注文可能な部品番号、および対応する TI_NVM_ID および TI_NVM_REV レジスタの値が更新されました。.....	3

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月