

Errata

**AM263x Sitara™ マイコン
シリコン リビジョン 1.0A、1.1****概要**

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。本文書には、使用上の注意事項も記載されています。使用上の注意は、デバイスの動作が推定または文書化された動作と一致しない可能性がある状況を示しています。これには、デバイスの性能や機能の正確さに影響を与える動作が含まれる場合があります。

目次

1 使用上の注意およびアドバイザリ マトリックス.....	2
2 シリコンの使用上の注意.....	4
3 シリコンのアドバイザリ.....	6
4 改訂履歴.....	27

1 使用上の注意およびアドバイザリ マトリックス

表 1-1 に、すべての使用上の注意と、該当するシリコンのリビジョンを示します。表 1-2 にすべてのアドバイザリ、影響を受けるモジュール、および適用可能なシリコン リビジョンを一覧表示します。

表 1-1. 使用上の注意マトリックス

モジュール	説明	影響を受けるシリコンのリビジョン	
		AM263x	
		1.0A	1.1
クロック	i2324 — GCM と GCD ステータス信号の間にシンクロナイザがありません	あり	あり
QSPI	i2364 — QSPI:8MB を越えるアドレスへのアクセスが、メモリ マップ モードでサポートされない	あり	あり
安全性	i2508 - 安全システムでの RC OSC の使用法	あり	あり
VDDA	i2348 - VDDA1V8 静的電力リーケージ	あり	なし

表 1-2. アドバイザリ マトリックス

モジュール	説明	影響を受けるシリコンのリビジョン	
		AM263x	
		1.0A	1.1
ADC	i2346 - 奇数チャネルと偶数チャネルを切り替えると、ADC 結果にエラーが発生します	あり	なし
ADC	i2347 - 電源投入時に ADC の VREF 消費電流がランダムです	あり	なし
ADC	i2349 - パワーダウン時に ADC VrefHi 負荷が増えます	あり	なし
AES	i2428 — DTHE の AES は、GCM 暗号化の最後に data_in に対する追加の DMA 要求を生成します	あり	あり
BUS SAFETY	i2393 — 検出されたフォルトについて詳細なエラー ステータスが BUS_SAFETY_ERR レジスタに記録されない	あり	あり
クロック	i2488 — クロック: 精密な 50-50 デューティ サイクル クロック用の PLL 回路	あり	あり
CONTROLSS	i2352 — CONTROLSS-SDFM: スレッシュホールド設定 (LLT、HLT)、フィルタタイプ、COSR 設定を動的に変更すると、スプリアス コンパレータ イベントがトリガされます	あり	あり
CONTROLSS	i2353 — CONTROLSS-SDFM: データフィルタ設定 (フィルタタイプや DOSR など) を動的に変更すると、誤ったデータ確認イベントがトリガされます	あり	あり
CONTROLSS	i2354 — CONTROLSS-SDFM: SD 変調器の 3 クロック サイクル以内に SDCPARMx レジスタのビットフィールド CEVT1SEL、CEVT2SEL、および HZEN に連続して 2 回書き込みを行うと、SDFM ステータスマシンが破損し、誤ったコンパレータ イベントが発生する可能性があります	あり	あり
CONTROLSS	i2355 — CONTROLSS-ADC: 結果の DMA 読み取り結果	あり	あり
CONTROLSS	i2356 — CONTROLSS-ADC: INTxCONT (割り込み継続モード) が設定されていない場合、割り込みは停止する可能性があります	あり	あり
CONTROLSS	i2357 — CONTROLSS-ePWM: ePWM グリッチは、ブランキング ウィンドウの終了時にトリップがアクティブのままの場合、発生する可能性があります	あり	あり
CONTROLSS	i2358 — CONTROLSS-ePWM: ブランキング開始後の最初の 3 サイクルの間、トリップ イベントはブランキング ウィンドウによってフィルタされません	あり	あり
CONTROLSS	i2359 — CONTROLSS-CMPSS: DACSOURCE を 0 にしたとき、または 1 に再構成したときのプリスケアラ カウンタの動作が仕様と異なります	あり	あり
CONTROLSS	i2405 — CONTROLSS: 競合状態 OUTPUT_XBAR と PWM_XBAR により、イベントミスが発生します	あり	あり
CPSW	i2345 — CPSW: CPDMA がメモリバンクにまたがるバケットを取得すると、イーサネットバケットの破損が発生します	あり	あり
CPSW	i2401 — CPSW: ホストのタイムスタンプにより、CPSW ポートがロックされます」を追加	あり	あり
CPSW	i2402 — CPSW: イーサネットからホストへのチェックサム オフロードが機能しません	あり	あり
CPSW	i2438 - CPSW - VLAN 追加 / 削除によるホストからイーサネットへのチェックサム生成	あり	あり
CPSW	i2439 — CPSW: ホストからイーサネットへのタイムスタンプの精度の問題	あり	あり
CRC	i2386 — CRC: CAN モジュールでは CRC 8 ビット データ幅と CRC8-SAE-J1850 および CRC8-H2F がサポートされない	あり	あり
DCC	i2395 - DCC モジュールの周波数比較で誤った結果が報告される場合があります	あり	あり
フラッシュ	i2503 - フラッシュ ブート モードでは、フラッシュの冗長ブート ロケーションからのブートが機能しない	あり	あり

表 1-2. アドバイザリ マトリックス (続き)

モジュール	説明	影響を受けるシリコンのリビジョン	
		AM263x	
		1.0A	1.1
ICSS	i2433 — ICSS: LSW が読み取られるとき、64 ビット IEP タイマの読み取りにはロック MSW ロジックがありません	あり	あり
GPMC	i2313 — GPMC:NAND および FPGA/FIFO におけるサブ 32 ビット読み取りの問題	あり	あり
LIN	i2500 - ウェークアップ キーとして 0xF0 を使用すると、LIN モジュールが起動しません	あり	あり
M4 ROM	i2403 - M4 ROM:SBL 冗長ブートイメージ機能が HSSE デバイスでサポートされない	なし	あり
MBOX	i2404 — MBOX:メールボックスレジスタの競合状態により、イベントミスが発生する	あり	あり
McSPI	i2350 -「ABSNC」モードで EDMA を使用した McSPI データ転送が、32 ビット転送後に停止します	あり	あり
MDIO	i2329 - MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)	あり	なし
PBIST	i2374 - R5SS_CORE_CLK のクロック周波数が R5FSS_CLK_SELECTED 周波数と異なると、PBIST は失敗します	あり	あり
PBIST	i2502 - PBIST メモリ グループとターゲット メモリのマッピングが正しくありません	あり	あり
RAM	i2499 - バースト読み取り中の単一エラー検出時に、誤ったデータがマスターに返されました	あり	あり
RAM SEC	i2427 — RAM SEC が誤った RAM 書き込みを引き起こす可能性があり、L2&MBOX のメモリ破損が発生します	あり	あり
SFDM	i2375 - コンパレータ イベントがまだアクティブであり、かつデジタル フィルタ バス (SDCOMPxCTL.CEVTxDIGFILTSEL を使用) が選択されている場合、SFDM モジュール イベントフラグ (SDIFLG.FLTx_FLG_CEVTx) が再設定されません	あり	あり
SOC CONTROL	i2392 - mem-init キャプチャレジスタの競合状態により、イベントミスが発生します	あり	あり
SOC CONTROL	i2394 - 割り込みおよびエラー アグリゲータ キャプチャレジスタの競合状態により、イベントミスが発生します	あり	あり
UART	i2310 — USART:タイムアウト割り込みの誤ったトリガを追加	あり	あり
UART	i2311 — USART:スプリアス DMA 割り込み	あり	あり

2 シリコンの使用上の注意

i2324 **GCM と GCD ステータス信号の間にシンクロナイザがありません**

詳細: GCM と GCD の間にシンクロナイザがないため、クロック構成レジスタの読み取りが一時的に正しくなくなる可能性があります。

重大度: 軽微

回避方法: ステータスレジスタが、プログラムされた SRC_SEL および DIV の値に反映されるまで、ステータスレジスタの変更をポーリングします。

i2348 **VDDA1V8 静的電力リーケージ**

詳細: DACVREF がグラウンドされている場合、デバイスの起動時に VDDA1V8 には静的リーケージがあります。

回避方法: DAC リファレンス電圧と VDDA1p8V は互いに短絡する必要があります。

i2364 **QSPI:8MB を越えるアドレスへのアクセスが、メモリ マップ モードでサポートされない**

詳細: SoC インターコネクトから QSPI コントローラへのアドレスラインは 23 本です。したがって、メモリ マップ モードでは、QSPI フラッシュメモリの使用はチップ セレクトあたり 8MB に制限されます。

回避方法: なし

i2508 **安全システムでの RC OSC の使用法**

詳細: 内部 10MHz RC 発振器は、TRM の「リンプ モード」セクションに記載されているように、XTAL クロックの安全モニタとして機能し、その有無を検出します。XTAL 障害が発生した場合、デバイスは自動的に RC_CLK に切り替わり、CPU とペリフェラルの動作を維持します。RC 発振器の精度は XTAL に匹敵しないため、XTAL クロックが存在する (トグルする) か存在しないかを検出するだけで、XTAL クロックの精度や周波数精度を検証することはできません。

リンプ モードの有効化:

- リンプ モードはデフォルトで無効になっているため、ソフトウェアで明示的に有効にする必要があります
- XTAL クロック損失検出: MSS_TOPRCM_LIMP_MODE_EN レジスタの LIMP_MODE_EN_XTALCLK_LOSS_EN ビットを設定します。

回避方法: XTAL クロックまたは PLL クロックの精度を監視する必要がある場合は、外部高精度リファレンス クロックをマイコンに供給する必要があります。その後、この外部リファレンス クロックを使用して

i2508 (続き)**安全システムでの RC OSC の使用法**

XTAL または PLL クロックの精度を検証するように、DCC (デュアル クロック コンパレータ) モジュールを構成できます。

3 シリコンのアドバイザー

i2310 **USART:「タイムアウト割り込みの誤ったクリア/トリガ」を追加**

詳細:

RHR/MSR/LSR レジスタが読み出されたときに、USART が誤ってクリアしたり、タイムアウト割り込みをトリガしたりすることがあります。

回避方法:

CPU の使用事例の場合。

- タイムアウト割り込みが誤ってクリアされた場合:
 - FIFO 内の保留データがタイムアウト割り込みを再トリガするため、これは有効です
- タイムアウト割り込みが誤って設定され、FIFO が空である場合は、次の SW 回避方法を使用して割り込みをクリアします。
 - TIMEOUTH および TIMEOUTL レジスタでタイムアウト カウンタの High 値を設定します
 - EFR2 ビット 6 を 1 に設定して、タイムアウト モードを周期的に変更します
 - IIR レジスタを読み出して、割り込みをクリアします
 - タイムアウト モードを元のモードに戻すには、EFR2 ビット 6 を 0 に戻します

DMA の使用事例の場合。

- タイムアウト割り込みが誤ってクリアされた場合:
 - 次の周期的なイベントでタイムアウト割り込みが再トリガされるため、これは有効です
 - ユーザーは、EFR2 のビット 6 を 1 に設定して、RX タイムアウト動作を周期的モードにする必要があります
- タイムアウト割り込みが誤って設定されている場合:
 - これにより、DMA は SW ドライバによって破棄されます
 - 次の受信データが有効であるため、SW で DMA が再度設定されます

i2311 **USART スプリアス DMA 割り込み**

詳細:

スプリアス DMA 割り込みは、DMA を使用して TLR レジスタの 2 の非冪乗 (Non power of two) のトリガレベルで TX/RX FIFO にアクセスする場合に発生することがあります。

回避方法:

TX/RX FIFO のトリガレベル (1、2、4、8、16、32) に 2 の冪乗の値を使用します。

i2313 **GPMC:NAND および FPGA/FIFO におけるサブ 32 ビット読み取りの問題**

詳細:

GPMC インターフェイスでのサブ 32 ビット読み取りは、データの一部を見逃し、その結果、正しくない読み取りデータになります。これには、NAND デバイス、または FPGA もしくは FIFO インターフェイスからの 8 ビットまたは 16 ビットの読み取りが含まれます。GPMC インターフェイスでは 3 バイト アクセスは許可されないことに注意してください。

回避方法:

GPMC インターフェイスの読み取りアクセスは、32 ビット読み取りとして実行する必要があります。書き込みはこのエラタの影響を受けません。

i2329

MDIO:MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)

詳細:

CPSW および PRU-ICSS ペリフェラルが存在する場合、そのすべてのインスタンスの MDIO インターフェイスは、MDIO 読み取り時に破壊した読み取りデータを返す (たとえば、古いデータまたは以前のデータを返す) 可能性や、MDIO 書き込み時に誤ったデータを送信する可能性があります。また、次のペリフェラルリセットが (LPSC リセットによるか、CPSW の場合にリセットの分離が無効化されたグローバル デバイスリセットによって) 行われるまで、MDIO インターフェイスが使用できなくなることもあります。

この問題について考えられるシステムレベルの徴候として、(1) イーサネット PHY の誤ったリンク停止ステータス (2) イーサネット PHY を MDIO 上で正しく構成できないこと (3) 誤った PHY 検出 (例: 誤ったアドレス) (4) PHY を MDIO 上で構成しようとしたときの読み取りまたは書き込みタイムアウトが考えられます。

ブート モード (サポートされている場合は CPSW のみ) の場合、プライマリ イーサネット ブートが正常に実行されることを保証する回避方法はありません。プライマリ ブート時にこの例外が発生した場合、ブートは再試行を開始することもできますが、成功するとは限りません。再試行が失敗した場合、最終的にタイムアウトとなり、バックアップ ブート モード (選択されている場合) に移行します。バックアップ ブート モードが選択されていない場合、このような障害によりタイムアウトが発生し、チップ ウォッチドッグでデバイスが強制的にリセットされます。その後、ブート プロセス全体が再起動されます。

バックアップ ブート オプション (サポートされている場合) を選択するには、適切なプル抵抗をブート モード ピンに実装します。特定のデバイス オプションについてはブートのマニュアルを参照してください。ただし、イーサネット経由でのプライマリ ブート試行の標準的なタイムアウトは 60 秒です。

回避方法:

影響を受けるデバイスでは、次の回避方法を使用する必要があります。

MDIO 手動モード:PRU-ICSS と CPSW に適用可能。

MDIO プロトコルは、MDIO ペリフェラルの MDIO_MANUAL_IF_REG レジスタ内の該当ビットを読み書きして、MDIO クロック ピンとデータ ピンを直接操作することによってエミュレートできます。手動モード レジスタ ビットとその機能の詳細については、TRM を参照してください。

この場合、デバイス ピンのマルチプレクシングを設定し、CPSW または PRU-ICSS ペリフェラルによって IO を制御できるようにする必要がありますが (通常の意図した動作の場合と同じ)、MDIO_CONTROL_REG の MDIO_CONTROL_REG の ENABLE ビットを 0 にして MDIO ステート マシンを無効化し、MDIO_POLL_REG.MANUALMODE ビットを 1 に設定して手動モードを有効化する必要があります。

ソフトウェアの回避方法の実装については、TI にお問い合わせください。

注

イーサネット DLR (デバイス レベル リング) (CPSW または PRU-ICSS 上) または EtherCAT プロトコル (PRU-ICSS 上) を使用する場合、リンク ステータス チェックに必要なポーリング間隔に起因するランタイム回避方法 1 を実装するために、CPU または PRU のロードに大きな影響が生じる可能性があります。結果として生じるシステムへの影響を考慮する必要があります。

PRU-ICSS の場合、MDIO の MLINK 機能を使用して MIIx_RXLINK の PRU-ICSS への入力ピンを介してリンク ステータスを自動ポーリングすることによって、ソフトウェア回避方法の負荷を軽減できます。PRU-ICSS は、リンクがアクティブの間にトグルしない外部 PHY からのステータス出力に接続する必要があります。外部 PHY デバイスで規定されている動作に応じて、この PHY ステータス出力は、LED_LINK または LED_SPEED、または LED_LINK と LED_SPEED の論

i2329 (続き)

MDIO:MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)

理和です。MDIO の MLINK 機能の使用の詳細については、TRM の MDIO のセクションを参照してください。この機能は、CPSW ペリフェラルでは利用できません。

PRU-ICSS での EtherCAT 実装では、ソフトウェアの回避方法は RTUx/TX_PRUx コアで実行されます。コアは回避方法専用にする必要があります。つまり、これを他の目的に使用することはできません。この実装は、MDIO アクセスのために 2 つのユーザー アクセス チャンネルをサポートします。これによって、R5f コアおよび PRU コアが独立したアクセスチャンネルを持つオプションが可能になります。API は、RTOS Workaround 実装で使用するものと同様です。

EtherCAT は、MDIO MLINK を介した PHY 高速リンク検出を引き続き使用し、リンクステータスのステート マシンをバイパスします (このパスはエラーの影響を受けないため)。これにより、ケーブルの冗長性に関連するレイテンシ要件を引き続き満たすことができます。

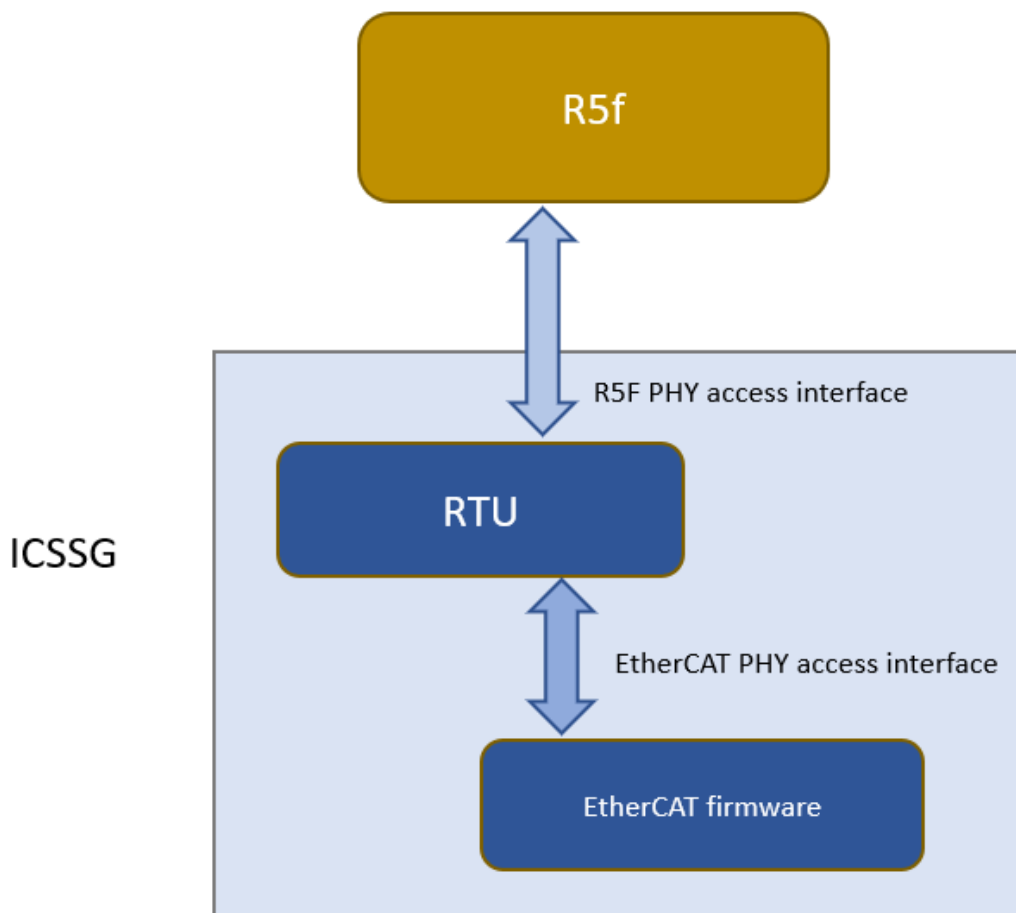


図 3-1. PRU コアを使用する手動モードによる MDIO エミュレーション

i2345

CPSW:CPDMA がメモリバンクにまたがるパケットを取得すると、イーサネットパケットの破損が発生します

詳細:

SoC の各メモリバンクは、個別のメモリコントローラを備えています。メモリアドレスは連続していても、各バンクは独立したコントローラを持つ独立したエンティティです。

i2345 (続き)

CPSW:CPDMA がメモリバンクにまたがるパケットを取得すると、イーサネットパケットの破損が発生します

メモリバンクが 32 バイト、メモリ要求のアドレスが 16 バイトでメモリバンク終了前のメモリ要求を受信した場合、メモリコントローラの動作は次のようになります。

メモリコントローラが 16 バイト後にメモリバンクの終了に遭遇すると、そのメモリバンクの先頭から 16 バイトを返します。

これにより、パケットが破損します。

回避方法:

アプリケーション側からのシングルイーサネットパケットが、メモリバンクにまたがっていないことを確認してください。

i2346

奇数チャンネルと偶数チャンネルを切り替えると、ADC の結果にエラーが発生します

詳細:

ADC 変換シーケンスに奇数チャンネルと偶数チャンネルのサンプリングが含まれる場合、奇数チャンネルから偶数チャンネルへ、およびその逆へ切り替えると、変換結果にエラーが発生します。

変換に偶数チャンネルのみまたは奇数チャンネルのみの切り替えが含まれる場合、エラーは確認されません。

回避方法:

奇数から偶数、または偶数から奇数へのチャンネル切り替え後の最初のサンプルは、最小のアクイジションウィンドウが必要となり、その結果は無視する必要があります。

i2347

電源投入時に ADC の VREF 消費電流がランダムです

詳細:

VREF 消費電流は、PORZ 後は高く (1.6mA)、MMR を介して ADC をイネーブルにした後で Low になります。

初期消費電流は、各 PORZ サイクルにおいてランダムです。

回避方法:

DTC をリセットせずに ADC を無効にしないでください。

i2349

パワーダウン時に ADC VrefHi 負荷が増えます

詳細:

変換後に ADC が無効化されると、リファレンスの負荷は 2mA 増加します。

回避方法:

DTC をリセットせずに ADC を無効にしないでください。

i2350

McSPI:「ABS SYNC」モードで EDMA を使用した McSPI データ転送が、32 ビット転送後に停止します

詳細:

EDMA が 32 ビットを超えるデータを McSPI Tx FIFO (32 バイト) に転送するようにプログラムされている場合、EDMA は最初の 32 ビットのデータのみを FIFO に転送した後で動作を停止します。

i2350 (続き)**McSPI:「ABSYNC」モードでEDMAを使用したMcSPIデータ転送が、32ビット転送後に停止します**

この問題は、転送サイズが32ビットを超えるようにEDMAが構成されているEDMAの「ABSYNC」モードでのみ発生します。

問題が発生した場合、EDMAはデータを転送して完了したり、エラーを発生させたりせず、McSPIがEDMAからのトランザクション用にvbusp_sdone信号を生成しません。

SPI RXモードは、この問題には影響しません。

回避方法:

Option1:McSPI TX動作にはEDMAのASYNCモードを使用します

Option2:ABSYNCモードをMcSPI TX動作に使用する場合、acnt = 4、bcnt = 1、ccnt = 1を使用します

i2352**CONTROLSS-SDFM:スレッショルド設定(LLT、HLT)、フィルタタイプ、COSR設定を動的に変更すると、スプリアスコンパレータイベントがトリガされます****詳細:**

SDFMコンパレータ設定(フィルタタイプ、下限/上限スレッショルド、コンパレータOSR(COSR)設定など)が実行中に動的に変更されると、誤ったコンパレータイベントがトリガされてしまいます。スプリアスコンパレータイベントは、適切に設定されている場合、対応するCPU割り込み、CLAタスク、ePWMクロスバーイベント、GPIO出力クロスバーイベントをトリガします。

回避方法:

コンパレータ設定を動的に変更する必要がある場合は、以下の手順に従って、誤ったコンパレータイベントによってCPU割り込み、CLAイベント、またはX-BARイベント(ePWM X-BAR/GPIO出力X-BARイベント)が生成されないようにしてください。

1. コンパレータフィルタを無効にします。
2. コンパレータフィルタの少なくともレイテンシ + 3 SD-Cx クロックサイクルの遅延。
3. フィルタタイプ、COSR、下限/上限スレッショルドなどのコンパレータフィルタ設定を変更します。
4. コンパレータフィルタの少なくともレイテンシ + 5 SD-Cx クロックサイクルの遅延。
5. コンパレータフィルタを有効にします。

i2353**CONTROLSS-SDFM:データフィルタ設定(フィルタタイプやDOSRなど)を動的に変更すると、誤ったデータ確認イベントがトリガされます****詳細:**

実行時にSDFMデータ設定(フィルタタイプやDOSR設定など)が動的に変更されると、誤ったデータフィルタ準備完了イベントがトリガされます。スプリアスデータ準備完了イベントは、適切に構成されている場合、対応するCPU割り込み、CLAタスク、DMAトリガをトリガします。

回避方法:

SDFMデータフィルタ設定を動的に変更する必要がある場合は、以下の手順に従って、スプリアスデータフィルタ準備完了イベントが生成されないようにします。

1. データフィルタを無効にします。
2. データフィルタの少なくともレイテンシー + 3 SD-Cx クロックサイクルの遅延。
3. フィルタタイプやDOSRなどのデータフィルタ設定を変更します。
4. データフィルタの少なくともレイテンシー + 5 SD-Cx クロックサイクルの遅延。
5. データフィルタを有効にします。

i2354

CONTROLSS-SDFM:SD 変調器の 3 クロック サイクル以内に SDCPARMx レジスタのビット フィールド CEVT1SEL、CEVT2SEL、および HZEN に連続して 2 回書き込みを行うと、SDFM ステートマシンが破損し、誤ったコンパレータ イベントが発生する可能性があります

詳細:

3 つの SD モジュレータ クロック サイクル内で SDCPARMx レジスタ ビット フィールド CEVT1SEL、CEVT2SEL、および HZEN に連続書き込みをすると、SDFM ステート マシンが破損する可能性があります、誤ったコンパレータ イベントが発生する可能性があります。これにより、適切に構成されている場合は、CPU 割り込み、CLA タスク、ePWM XBAR イベント、および GPIO 出力 X-BAR イベントがトリガされる可能性があります。

回避方法:

3 つの SD モジュレータ クロック サイクル内での連続書き込みを避けるか、SDCPARMx レジスタ ビット フィールドを 1 回のレジスタ書き込みで構成します。

i2355

CONTROLSS-ADC:結果の DMA 読み取り結果

詳細:

ADCINT フラグは、ADCRESULT の値がラッチされる前に設定できます (『AM263x テクニカル リファレンス マニュアル』、「ADC タイミング」表の tLAT 列および tINT(LATE) 列を参照)。

DMA は、ADCINT トリガが設定されてから 3 サイクル後にすぐに ADCRESULT 値を読み取れます。その結果、以下の条件がすべて満たされると、ユーザーが最新の結果を期待しているにもかかわらず、DMA が 1 つ前の ADCRESULT 値を読み取る可能性があります。

- ADC は後期割り込みモードです。
- ADC は、tLAT (12 ビット モードの場合は ADCCTL2 [PRESCALE] > 2) の 3 サイクル前に tINT (LATE) が発生したモードで動作します。
- DMA は ADCINT 信号からトリガされます。
- DMA は、最初に他の値を読み取らずに、その ADCINT 信号に関連付けられている ADCRESULT 値を直ちに読み取ります。
- ADCINT トリガを受信したとき、DMA はアイドル状態でした。

上述の DMA のみが古いデータを読み取る可能性があります。次の DMA 以外の方法では常に、期待されるデータを読み取ります。

- ADCINT フラグが CLA タスクをトリガする。
- ADCINT フラグが CPU ISR をトリガする。
- CPU は ADCINT フラグをポーリングする。

回避方法:

ADCINT フラグから 2 つの DMA チャンネルをトリガします。最初のチャンネルがダミー トランザクションとして機能するため、2 番目のチャンネルは常に新しい ADC 結果を読み取るための十分な遅延が得られます。

i2356

CONTROLSS-ADC:INTxCONT (割り込み継続モード) が設定されていない場合、割り込みは停止する可能性があります

詳細:

ADCINTSELxNx[INTxCONT] = 0 の場合、ADCINTFLG が設定されると割り込みは停止し、追加の ADC 割り込みは発生しません。ADCINTFLGCLR レジスタのソフトウェア書き込みとともに ADC 割り込みが同時に発生すると、ADCINTFLG が予期せず設定されたままになり、将来の ADC 割り込みをブロックします。

i2356 (続き)

CONTROLSS-ADC:INTxCONT (割り込み継続モード) が設定されていない場合、割り込みは停止する可能性があります

回避方法:

1. ADCINTFLG が追加の ADC 割り込みをブロックしないように、Continue-to-Interrupt モードを使用します。

```
ADCINTSEL1N2[INT1CONT] = 1;
ADCINTSEL1N2[INT2CONT] = 1;
ADCINTSEL3N4[INT3CONT] = 1;
ADCINTSEL3N4[INT4CONT] = 1;
```

2. この状態を回避するために、次の ADC 割り込みが発生する前に、ADC ISR をサービスし、ADCINTFLG をクリアするのに十分な時間を常に確保してください。
3. ADCINTFLG をクリアするとき、ISR のオーバーフロー状態を確認します。ADCINTFLGCLR への書き込み直後に ADCINTOVF をチェックし、これが設定されている場合は、ADCINTFLGCLR をもう一度書き込んで ADCINTFLG がクリアされていることを確認します。ADCINTOVF レジスタが設定され、ADC 変換割り込みが失われたことを示します。

```
AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //clear INT1 flag
if(1 == AdcaRegs.ADCINTOVF.bit.ADCINT1) //ADCINT overflow
{
    AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1; //clear INT1 again
    // If the ADCINTOVF condition will be ignored by the application
    // then clear the flag here by writing 1 to ADCINTOVFCLR.
    // If there is a ADCINTOVF handling routine, then either insert
    // that code and clear the ADCINTOVF flag here or do not clear
    // the ADCINTOVF here so the external routine will detect the
    // condition.
    // AdcaRegs.ADCINTOVFCLR.bit.ADCINT1 = 1; // clear OVF
```

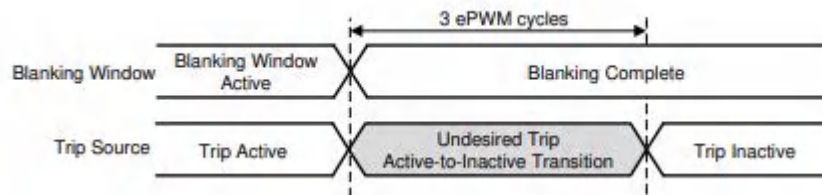
i2357

CONTROLSS-ePWM:ePWM グリッチは、ブランキング ウィンドウの終了時にトリップがアクティブのままの場合、発生する可能性があります

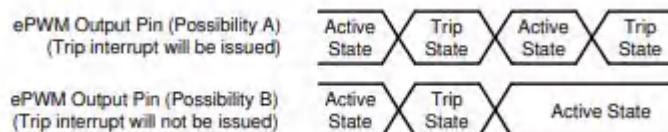
詳細:

ブランキング ウィンドウは通常、システムへの誤ったトリップを引き起こす可能性のある遷移中の PWM トリップ イベントをマスクするために使用されます。ブランキング ウィンドウ サイクルの終了後、3 未満の ePWM クロックの間 ePWM トリップ イベントがアクティブのまま維持されている場合、ePWM 出力に望ましくないグリッチが発生する可能性があります。

以下の画像に、不要な ePWM 出力が発生する可能性のある時間を示します。



以下の画像に、ブランキング ウィンドウが閉じる前または 3 サイクル後にトリップイベントが 1 サイクル以内に終了した場合に可能性のある 2 つの ePWM 出力を示します。



- i2357 (続き)** **CONTROLSS-ePWM:ePWM** グリッチは、ブランキング ウィンドウの終了時にトリップがアクティブのままの場合、発生する可能性があります
-
- 回避方法:** トリップ入力がこの範囲(ブランキング ウィンドウの閉じる 1 サイクル前および 3 サイクル後)に入るようなブランキング ウィンドウの構成は避けてください。
- i2358** **CONTROLSS-ePWM**:ブランキング開始後の最初の 3 サイクルの間、トリップ イベントはブランキング ウィンドウによってフィルタされません
-
- 詳細:** ブランキング ウィンドウは、ブランキング ウィンドウの開始後の最初の 3 サイクルのトリップ イベントをブランクにしません。DCEVTFILT は、DCxEVTy 信号の変更を継続的に反映することができます。DCEVTFILT が有効化されている場合、設定されている後続のサブシステム (たとえば、トリップゾーン サブモジュール、TZ 割り込み、ADC SOC、PWM 出力) に影響を及ぼす可能性があります。
- 回避方法:** ブランキングが必要な前に、ブランキング ウィンドウを 3 サイクル開始します。周期境界でブランキング ウィンドウが必要な場合、次の周期の開始 3 サイクル前にブランキング ウィンドウを開始します。これは、ブランキング ウィンドウが期間の境界を越えて持続するため、機能します。
- i2359** **CONTROLSS-CMPSS:DACSOURCE** を 0 にしたとき、または 1 に再構成したときのプリスケールカウンタの動作が仕様と異なります
-
- 詳細:** プリスケールカウンタの動作中に DACSOURCE = 0 にした場合、プリスケールカウンタはリセットされません。イネーブル条件が LOW の場合、値は維持され、DACSOURCE が再度 1 として構成された場合、カウンタは以前に保持された値から開始します。このバグは、PRESCALE カウンタの実行中に DACSOURCE が設定されている場合にのみ存在します。
- 回避方法:** 動的構成ではない DACSOURCE 構成間にソフトリセットを発行します。
- i2374** **R5SS_CORE_CLK** のクロック周波数が **R5FSS_CLK_SELECTED** 周波数と異なると、**PBIST** は失敗します
-
- 詳細** R5SS メモリは、プログラマブル分周器を使用して R5SS_CLOCK_SELECTED ルートクロックから派生する R5SS_CORE_CLK (R5SS CPU クロック)を受信します。PBIST コントローラを使用して R5SS メモリをテストすると、PBIST コントローラは R5SS_CLOCK_SELECTED ルートクロックを受信します。2 つのクロックに対して異なる周波数を選択すると、PBIST 動作が失敗します。
- 回避方法** PBIST を R5SS メモリと組み合わせて使用するには、両方のクロックの周波数を同じにする必要があります。アプリケーションの使用で R5SS_CORE_CLK を R5SS_CLOCK_SELECTED の分周周波数にする必要がある場合、R5SS メモリの PBIST 動作中に、アプリケーションによって R5SS_CORE_CLK が R5SS_CLOCK_SELECTED と同じ周波数に構成されるようにする必要があります。

i2375

コンパレータ イベントがまだアクティブであり、かつデジタル フィルタ パス (SDCOMPxCTL.CEVTxDIGFILTSEL を使用) が選択されている場合、SDFM モジュール イベント フラグ (SDIFLG.FLTx_FLG_CEVTx) が再設定されません

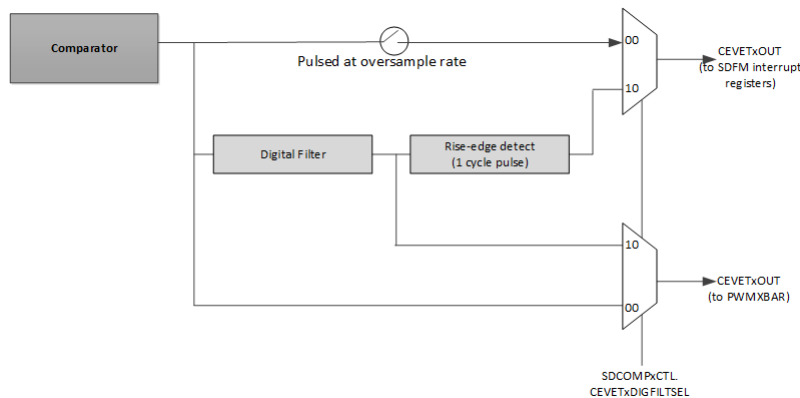
詳細

SDFM モジュールは SDFM COMP 出力で構成可能なデジタル フィルタをサポートしています。このフィルタは、グリッチをフィルタリングするために、アプリケーションで選択して使用できます。アプリケーションは、図に示すように、イベント フラグ レジスタ (SDIFLG.FLTx_FLG_CEVTx) および SDFM モジュールの CEVETxOUT イベント出力に達するために、フィルタ処理された出力もしくは未加工出力を選択できます。デジタル フィルタからイベント フラグ レジスタへの経路には、図に示すように立ち上がりエッジ検出ロジックがあります。

デジタル フィルタ パスを選択すると、イベント フラグ レジスタは、デジタル フィルタ出力の立ち上がりエッジで 1 回のみ設定されます。イベント フラグ レジスタがクリアされた場合、コンパレータ出力が High に維持されていても、再度設定されません。

この問題は、XBAR に送られる CEVETxOUT イベントには発生しません。

また、raw 出力パスが選択されている場合 (CEVTxDIGFILTSEL=0)、この問題は発生しません。

**回避方法**

アプリケーションで SDFM デジタル フィルタを使用する場合、以下の回避方法のオプションが考えられます。

- **オプション 1**
 - イベント フラグ レジスタの代わりに、XBAR ステータスを確認できます。
- **オプション 2**
 1. デジタル フィルタを選択した後、割り込み / トリップを待機します。
 2. 割り込みが発生すると、イベント フラグを読み取り、コンパレータトリップの原因を整流するために適切なアプリケーション アクションを実行します。
 3. イベント フラグ レジスタをクリアする前に、フィルタされていないパスをプログラムします。
 4. イベント フラグをクリアします。
 5. イベント フラグを読み取り、1 回以上のオーバーサンプリング期間にわたってクリアされたまま維持される場合は、デジタル フィルタ パスを再度プログラムします。

注

ステップ 2 ~ 4 の間では、PWM トリップ ロジックもフィルタなしの SDFM コンパレータ出力に対して動作します。

i2386

CRC:CAN モジュールでは **CRC 8 ビット データ幅と CRC8-SAE-J1850 および CRC8-H2F** がサポートされない

詳細:

CRC8-SAE-J1850 および CRC8-H2F の CRC タイプは、8 ビットのデータ幅ではサポートされません。サポートされている最小データ幅は 16 ビットです。

回避方法:

回避方法はありません。上記のようなサポートされていない多項式は使用しないことをお勧めします。

i2392

mem-init キャプチャレジスタの競合状態により、イベント ミスが発生する

詳細:

キャプチャレジスタで競合状態が発生する可能性があり、同じレジスタの他のイベントがレジスタへの書き込みによってクリアされている間にイベントが失われる可能性があります。この問題の影響を受けるレジスタは、以下のとおりです。

MSS_CTRL:*MEMINIT_DONE レジスタ

回避方法:

次のいずれかの回避方法を使用できます:

mem-init を順番にトリガし、新しい mem-init をトリガする前にステータスをクリアします。これは、両方のステータスが同じレジスタにある場合に必要です。

(または)

並列トリガが必要な場合は、トリガされたすべてのステータスビットが 1'b1 であることをポーリングしてから、DONE ステータスレジスタをクリアします

(または)

mem-init を開始した後、MEM_INIT_STATUS レジスタを確認し、一定の間隔でチェックしてステータスがローになるのを待ち、最終的に、ステータスがローになったら DONE ステータスレジスタをクリアします

i2393

検出された障害の詳細なエラー ステータスが BUS_SAFETY_ERR レジスタに記録されない

詳細:

MSS_CTRL:*_BUS_SAFETY_ERR レジスタの COMP_CHECK および COMP_ERR フィールドで検出された障害の詳細なエラー ステータスが正しく記録されません。

エラー信号 err_comp および err_comp_signals は、診断回路の障害を検出するために使用されます。これら 2 つの信号の AND 出力は、障害の通知に使用されます。ただし、これらはクロックの異なるエッジでサンプリングされるため、エラー信号が生成されなくなります。したがって、MSS_CTRL MMR に記録されません。

次の 2 つのシナリオが考えられます:

ケース 1: ログレジスタの値は 0 以外です

ここでは、粒度ログが正しくキャプチャされ、特定の障害に対して適切なアクションを実行できます。

ケース 2: ログレジスタはすべて 0 です

ここでは、詳細ログは正しくキャプチャされず、影響を受ける可能性のあるエンティティは R5F および L2 メモリです。

i2393 (続き)

検出された障害の詳細なエラー ステータスが **BUS_SAFETY_ERR** レジスタに記録されない

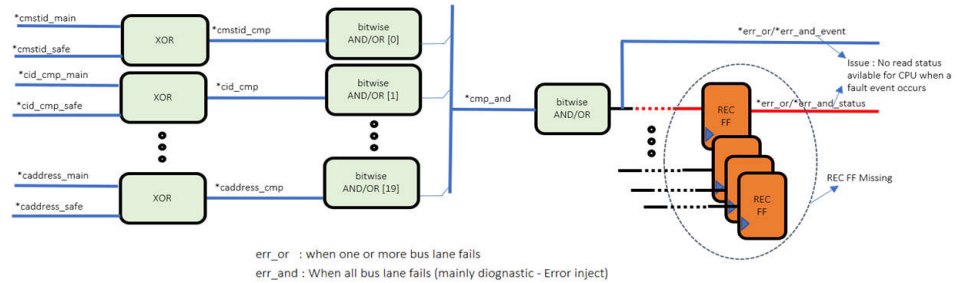


図 3-2.

回避方法:

回避策はありません。

詳細なエラー ステータスがログに記録されないため、バス安全フォルトは集約されたエラーイベントとしてのみ検出され、診断情報の粒度は正しくキャプチャされません。

ケース 1: ログが正しくキャプチャされた場合、ログの結果を使用して適切なアクションを実行できます。

ケース 2: ログが正しくキャプチャされない場合は、a) 診断の場合はアクションは不要であり、b) アプリケーションで実際の障害が発生した場合は WarmResetrn を使用する必要があります。

i2394

割り込みおよびエラー アグリゲータ キャプチャレジスタの競合状態により、イベント ミスが発生します

詳細:

キャプチャレジスタで競合状態が発生する可能性があり、同じレジスタの他のイベントがレジスタへの書き込みによってクリアされている間にイベントが失われる可能性があります。この問題の影響を受けるレジスタは、以下のとおりです。

MSS_CTRL: *INTAGG_STATUS_REG, *TPCC_ERR/INTAGG_STATUS_RAW

回避方法:

ISR で次の手順に従います。

- 1) ISR を終了する前に、*_ERRAGG_RAW を読み取り、*_ERRAGG_MASK を使用して論理積をとってビット有効性をチェックします。
- 2) いずれかのビットがセットされている場合、割り込み/エラーが発生し、*_ERRAGG_STATUS をクリアしている間にこれが失われたことを意味します。
- 3) ISR 内の対応するビットを処理してから、ISR を終了します。そのため、STATUS と「RAW&MASK」の両方が 0 になった後で ISR を終了する必要があります

i2395

DCC モジュールの周波数比較で誤った結果が報告される場合があります

詳細:

デュアル クロック コンパレータ モジュールは、既知のクロック基準と比較しながらクロック周波数を監視するために使用されます。想定より早く停止する可能性があり、これは、測定されたクロック周波数が低いことを示します。これは、クロックドメインの交差の問題が原因で、エラー検出ロジックがプリセットされトリガされます。

回避方法:

i2395 (続き)

DCC モジュールの周波数比較で誤った結果が報告される場合があります

回避方法 (1): アプリケーション コードで、可能な場合は、代替の EDCC モジュール (MSS に存在) を使用してクロックを比較できます

回避方法 (2): 同じクロック ペアに対して複数の測定を実行でき、報告された異常周波数は無視できます。

i2401

CPSW: ホストのタイムスタンプにより、CPSW ポートがロックされます

詳細:

CPSW は、パケット入力タイムスタンプ情報をホストに通信するための 2 つのメカニズムを提供します。

1 つ目のメカニズムは、特定のイベントによってトリガされたときにタイムスタンプを記録する CPTS イベント FIFO を経由します。そのようなイベントの 1 つは、指定された EtherType フィールドを持つイーサネット パケットの受信です。最も一般的に、これは PTP パケットの入力タイムスタンプをキャプチャするために使用されます。このメカニズムでは、ホストは DMA 経由で配信されるパケット ペイロードとは別に、(CPTS FIFO から) タイムスタンプを読み取る必要があります。このモードはサポートされており、このエラッタの影響を受けません。

2 つ目のメカニズムは、PTP パケットだけでなく、すべてのパケットの受信タイムスタンプを有効化することです。このメカニズムでは、タイムスタンプは DMA を介してパケット ペイロードと一緒に配信されます。この 2 番目のメカニズムは、このエラッタの主題です。

CPTS ホストタイムスタンプがイネーブルの場合、内部 CPSW ポート FIFO へのすべてのパケットには、CPTS からのタイムスタンプが必要です。EMI やその他の破損メカニズムによってパケット プリアンプルが破損した場合、タイムスタンプ要求が CPTS に送信されない可能性があります。この場合、CPTS は CPSW ポート FIFO でロックアップ状態を引き起こすタイムスタンプを生成しません。CPTS_CONTROL レジスタの tstamp_en ビットをクリアして CPTS ホストのタイムスタンプを無効化すると、ロックアップ状態が発生しなくなります。

回避方法:

イーサネットからホストへのタイムスタンプを無効化する必要があります。

CPTS ホストのタイムスタンプの代わりに、イベント FIFO のタイムスタンプを使用できます。

i2402

CPSW: イーサネットからホストへのチェックサム オフロードが機能しません

詳細:

イーサネットからホストへのチェックサム イネーブルには、CPSW を回復不能なエラー状態に送信する問題があります。ホストからイーサネットへのチェックサムは、問題の影響を受けません。

回避方法:

なし。P0_TX_CHKSUM_EN を有効にしないでください。

i2403

M4 ROM: SBL 冗長ブートイメージ機能が HSSE デバイスでサポートされない

詳細:

SBL 冗長ブートイメージ機能が HSSE デバイスでサポートされない

次の場所でプライマリ イメージが破損している場合、SBL ブートは冗長フラッシュ領域からのブートに失敗します

- 証明書の途中でイメージが破損しています
- 証明書の最後にイメージが破損しています
- SBL バイナリの開始時のイメージ破損

i2403 (続き)**M4 ROM:SBL 冗長ブートイメージ機能が HSSE デバイスでサポートされない**

- SBL バイナリの途中でのイメージ破損
- SBL バイナリの末尾でのイメージの破損

回避方法:

なし。

i2404**MBOX:メールボックスレジスタの競合状態により、イベントミスが発生する****詳細:**

キャプチャレジスタで競合状態が発生する可能性があり、同じレジスタの他のイベントがレジスタへの書き込みによってクリアされている間にイベントが失われる可能性があります。この問題の影響を受けるレジスタは、以下のとおりです。

MSS_CTRL: *_MBOX_READ_REQ

MSS_CTRL: *_MBOX_READ_DONE

回避方法:

トリガ (WRITE DONE / READ ACK) イベントを設定する前に、他のプロセッサのステータス (READ DONE / READ_DONE_REQ) を読み取り、何らかの割り込みが実行中であることを確認します。

(または)

一定の時間内にステータス (READ DONE / READ_DONE_REQ) を受信しない場合、(WRITE DONE / READ ACK) イベントを再トリガします。

i2405**CONTROLSS: 競合状態 OUTPUT_XBAR と PWM_XBAR により、イベントミスが発生します****詳細:**

キャプチャレジスタで競合状態が発生する可能性があり、同じレジスタの他のイベントがレジスタへの書き込みによってクリアされている間にイベントが失われる可能性があります。この問題の影響を受けるレジスタは、以下のとおりです。

C2K_PWMXBAR:PWMXBAR_STATUS

C2K_OUTPUTXBAR:OUTPUTXBAR_STATUS

回避方法:

WA -1 (イベント幅が 50ns を超える場合):

デフォルトでは、レベル イベント (幅 > 50ns) は「STATUS」レジスタでキャプチャされます。「Clr Flag」の実行中に、ハードウェアからの新しいイベントが同時にアサートされた場合、FLAG レジスタで見逃されます。ただし、STATUS レジスタは、FLAG レジスタで見逃されたイベントをキャプチャします。「Clr FLAG」が完了した後、「STATUS」レジスタを読み出すと、「STATUS」での読み取りに基づいて、見逃したイベントのキャプチャ/処理が可能になります。

WA-1:ISR シーケンス:

Read FLAG Event[x]

Read STATUS、すべてのイベント

Clr FLAG、Event[x]

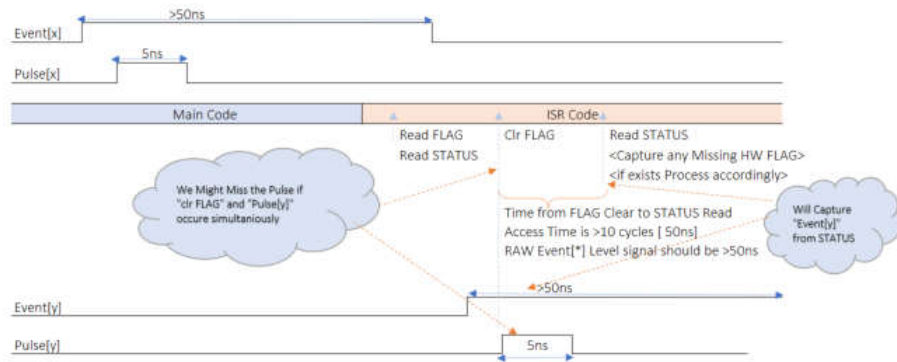
Read STATUS、すべてのイベント

欠けている HW イベント FLAG をキャプチャ

存在する場合はそれに応じて処理

i2405 (続き)

CONTROLSS: 競合状態 OUTPUT_XBAR と PWM_XBAR により、イベントミスが発生します



WA -2 (任意のイベント幅):

ISR で、同じイベントで OUTPUTXBAR を有効化してから、「Clr PWMXBAR FLAG」を有効化します。

同じウィンドウ中に見逃されたハードウェア イベントは、「OUTPUTXBAR FLAG」でキャプチャされます。OUTPUTXBAR FLAG を読み取り、それに応じて処理します

「Clr OUTPUTXBAR FLAG」に続き、ISR で OUTPUTXBAR を無効にします。

WA-2: ISR シーケンス:

Read FLAG Event[x]

Read STATUS、すべてのイベント

Enable OutPutxBAR

- 同じイベントをマップ

Clr FLAG、Event[x] PWMXBAR

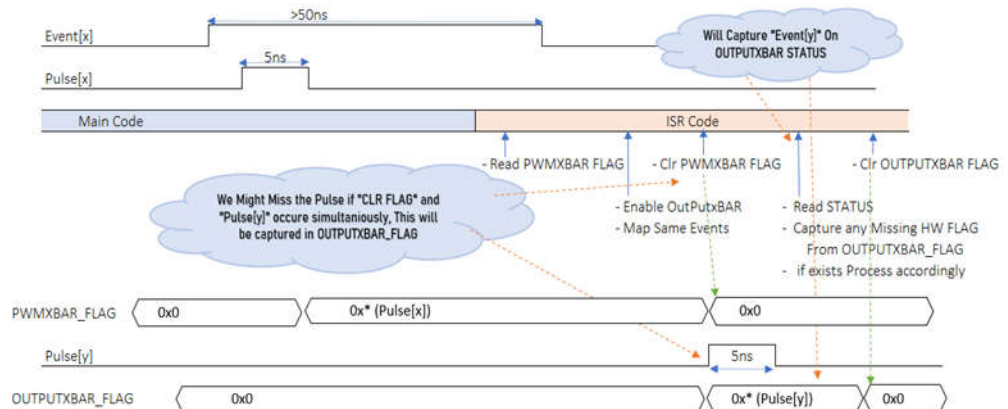
Read STATUS

- 不足している HW イベント FLAG をキャプチャ

OUTPUTXBAR_FLAG からトリガ

(プロセスが存在する場合)

- Clr FLAG、Event[y] OutputXBAR



i2427
RAM SEC が誤った RAM 書き込みを引き起こす可能性があり、L2&MBOX のメモリ破損が発生します
詳細:

RAM の読み取りデータ中に、読み取りまたは部分的な書き込みトランザクションにより 1 ビットのエラーが発生した場合、RAM は、次の「メモリ読み取り」がその後の部分的な書き込みトランザクションによるものであると、RAM への後続の誤った書き込みにつながる可能性のある状態になります。「メモリ読み取り」が実際のメモリ読み出しトランザクションによるものであるならば、内部状態の残存は消去され、後にスプリアス書き込みが行われる可能性はありません。スプリアス書き込みは、部分的な書き込みトランザクションより前に書き込まれた最後のメモリアドレスに行われ、スプリアス書き込みがトリガされます。この問題は MBOX と L2 にのみ適用されます。

図 3-3 には、問題が該当するシナリオ (例 1、2、3) と該当しないシナリオ (例 4、5、6) を明確に示します。トランザクション番号は説明のためのものであり、各操作が発生する正確なサイクルを必ずしも表しているわけではありません。[SEC-シングルビットエラー訂正、DED-ダブルビットエラー検出]

Ex #	Transaction 1	Transaction 2+N N=0,1,2,3..	Transaction 2+N+1	Transaction 2+N+2
1	Read or Partial Write Addr A (SEC) ← read with SEC	Full Write Addr X ← last write prior to partial write Note: N=0	Partial Write ← Triggers spurious write	Spurious write to Addr X with Transaction 1 corrected read data of Addr A
2	Read or Partial Write Addr A (SEC) ← read with SEC	Full Write Addr B Full Write Addr C Full Write Addr D ← last write prior to partial write Note: N=2	Partial Write ← Triggers spurious write	Spurious write to Addr D with Transaction 1 corrected read data of Addr A
3	Read or Partial Write Addr A (SEC)	Partial Write Addr B Note: N=0	Spurious write to Addr A with Transaction 1 corrected read data of Addr A (Addr A is overwritten with the RAM content prior to the Transaction 1 Partial write)	
4	Read Addr A (SEC)	Partial Write Addr B Note: N=0	No Spurious write to Addr A with Transaction 1 corrected read data of address A (no data corruption)	
5	Read or Partial Write Addr A (SEC)	Read ← Clears bad internal state Note: N=0	No spurious writes with all command combinations in subsequent cycles	
6	Read or Partial Write Addr A (SEC)	Full Write Addr B Note: N=0	Read ← Clears bad internal state	No spurious writes will all command combinations in subsequent cycles

図 3-3.
回避方法:

以下のオプションのいずれかを回避方法として使用できます。

オプション 1:

ECC を無効にします。安全でないアプリケーションにのみ適用されます。

オプション 2:

メモリへの部分的な書き込みを禁止します (行全体の書き込みのみを実行)

L2 の場合、L2 スペースがキャッシュ可能な場合、コアは行全体の書き込みのみを実行し、この問題は該当しません。

オプション 3:

アプリケーションは、読み取りまたは部分的な書き込みトランザクションで 1 ビットエラーが発生した場合に、アプリケーションがトランザクションを直ちに制御できないと RAM データが破損する可能性があるため、すべての SEC エラーを DED (単一ビットエラーの場合も修正はせず、検出のみ) として処理できます。

注

ECC CTRL-SEC カウンタを通常の SEC 問題とスプリアス書き込みのインジケータとして使用するというこれまでの記述は無効です。スプリアス書き込みが行われた後も、ECC CTRL SEC カウンタは 1 のままになる場合があります。

i2428

DTHE の AES は、GCM 暗号化の最後に data_in に対する追加の DMA 要求を生成します

詳細:

AES エンジンには、暗号化の GCM 暗号化モードの終了時にデータ入力用の追加の DMA 要求を生成します。この問題は、AES-GCM モードを使用した暗号化にのみ適用され、AES-GCM 復号化またはその他のブロック暗号モード (CBC など) には適用されません。

余分な DMA 要求は、数サイクル後に、データが書き込まれることなく、自動的に消失 (デアサート) されます。

システム内の DMA が AES-GCM モード用にどのように設定されているかによっては、パケット転送の最後に追加の DMA 要求があると、次のパケットで意図しないデータ転送が発生する可能性があります。

回避方法:

なし

i2433

ICSS :LSW が読み取られるとき、64 ビット IEP タイマの読み取りにはロック MSW ロジックがありません

詳細:

下位 32 ビットデータが 0xFFFFFFF0C 以上の場合、IEPx 64 ビットのタイムスタンプが不正確になる可能性があります (250MHz の場合)。この場合、上位 32 ビットの値は更新されますが、下位の値は古い値です。この問題は、ICSS PRU コアから IEP カウンタ (IEP_COUNT_REG1: IEP_COUNT_REG0) を連続的に読み取ったときに見られます。

事例 1:

1st 読み取り値: 0x000000D0 (上位) : 0xFFFFFFF0C (下位)

2nd 読み取り値: 0x000000D0 (上位) : 0x00000028 (下位)

事例 2:

1st 読み取り値: 0x000000D7 (上位) : 0xFFFFFFF0C (下位)

2nd 読み取り値: 0x000000D7 (上位) : 0x0000002C (下位)

事例 3:

1st 読み取り値: 0x000000D6 (上位) : 0xFFFFFFF00 (下位)

2nd 読み取り値: 0x000000D7 (上位) : 0xFFFFFFF0C (下位)

上に示したように、これにより、例 3 のように非単調またはタイマの差であるタイマ インクリメント動作が異常に大きくなります。これは、IEPx カウンタから 64 ビット値をロードするときの 1 サイクル競合状態によるものです。

回避方法:

注: これらの回避方法は SDK9.2 以降で存在します

PRU の C での回避方法:

```
uint64_t timestamp = (uint64_t) (0x2E0010);
```

*/*回避方法ここから開始*/*

```
if ((timestamp & 0xFFFFFFFF) >= 0xFFFFFFFF)
{
    timestamp = *(uint64_t*) (0x2E0010); }

```

i2433 (続き)

ICSS:LSW が読み取られるとき、64 ビット IEP タイマの読み取りにはロック MSW ロジックがありません

*/*回避方法ここで終了*/*

PRU のアセンブリでの回避方法:

```
ldi32 r4, 0xFFFFFFFF ; 0-4 for 250MHz clock
;load 64-bit timestamp to r2:r3
lbc0 &r2, c26, 0x10, 8
qbgt skip_iep_read_errata. r2, r4
;re-read IEP if IEP_COUNTER_LOW >= 0xFFFF_FFFC
lbc0 &r2, c26, 0x10, 8
skip_iep_read_errata:
```

R5F、A53 の C での回避方法:

```
uint64_t getIepTimeStamp64 (void)
{
    uint64_t u64Timestamp1 = (volatile uint64_t)(0x300AE010);
    uint64_t u64Timestamp2 = (volatile uint64_t)(0x300AE010);
    if (u64Timestamp2 > u64Timestamp1)
    {
#ifdef __DEBUG
        if (((u64Timestamp2 >> 32)-(u64Timestamp1 >> 32)) == 1)
        {
            /* HW errata fixed due to picking u64Timestamp1*/
            if ((u64Timestamp2 & 0xFFFFFFFF) >= (u64Timestamp1 & 0xFFFFFFFF))

                DebugP_log ("Errata fixed (1): %llx : %llx\r\n",
                    u64Timestamp1, u64Timestamp2);
        }
    }
    #endif
    return u64Timestamp1;
    }
    else
    {
#ifdef __DEBUG
        if ((u64Timestamp2 & 0xFFFFFFFF) < (u64Timestamp1 & 0xFFFFFFFF))

            /* Adjust the IEP MSW in the case running into HW errata
            */
            DebugP_log ("Errata fixed (2): %llx : %llx\r\n", u64Timestamp1,
                u64Timestamp2);
        }
    }
    #endif
    /* HW errata fixed due to picking u64Timestamp2*/
    return u64Timestamp2;
    }
}
```

i2438

CPSW:VLAN 追加/削除によるホストからイーサネットへのチェックサム生成

詳細:

ハードウェアで CPSW ホストからイーサネットへのチェックサム生成がイネーブルになっており、イーサネット出力で VLAN タグが追加または削除されると、ホストからイーサネットへのパケットが破損し、良好な CRC を持つガベージとして送信されます。これは許容されません。

回避方法:

チェックサムが生成されたパケットのイーサネット出力で VLAN タグを追加または削除しないでください。

i2439

CPSW: ホストからイーサネットへのタイムスタンプの精度の問題

詳細:

イーサネット出力で生成されるタイムスタンプを使用してホストからイーサネットにパケットが送信されると、下位 8 ビットの 0xD5 の パケット長はタイムスタンプ エラーになります。

PTP メッセージのタイムスタンプの使用は、通常 0xD5 パケット長よりもはるかに短いため、影響を受けません。

回避方法:

イーサネット タイムスタンプを Host Tx 上の PTP メッセージに対してのみ有効にします。

i2488

クロック: 精密な 50-50 デューティ サイクル クロック用の PLL 回路

詳細:

PLL 内の VCO は、さまざまなデューティ サイクルで出力波形を生成できますが、これはシステムおよびペリフェラルに必要な正確な 50-50 デューティ サイクルの要件を満たすことができません。

重大度:

軽微

回避方法:

PLL が目標周波数の 2 倍 (2x) で動作するよう構成します。PLL 出力を 2 分周するように、クロック分周器 (HSDIVIDER) レジスタを構成します。

i2499

バースト読み取り中の単一エラー検出時に、誤ったデータがマスターに返されました

詳細:

実行中のマルチ ビート バースト読み取り動作中にシングル ビット エラーが検出された場合、RAM コントローラでタイミングの問題が発生します。RAM コントローラの ECC モジュールがメモリのエラーを正しく修正していますが、ECC モジュールと RAM コントローラ バス プロトコル ロジックの間のハンドシェイクのタイミングに問題があると、データのアライメントがずれて、その後の読み取りビートで誤ったデータが要求マスタ (R5F's, DMA, PRU-ICSS, CPDMA, HSM-M4) に返されます。

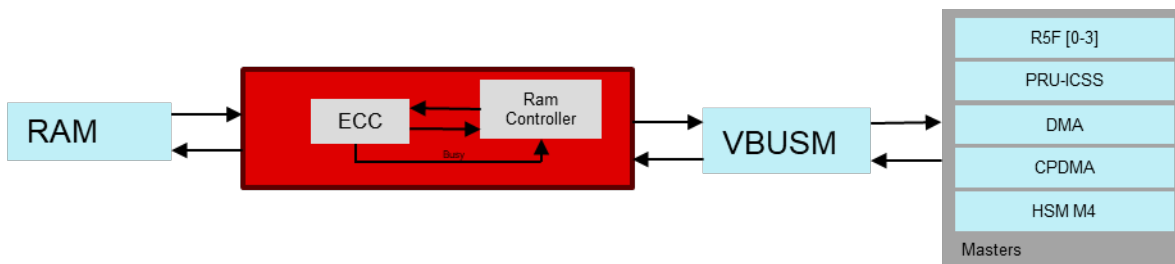
- バースト読み取り中にシングル ビット エラーが検出されると、ECC モジュールは BUSY サイクルを挿入します。
- この BUSY サイクルでは、次のメモリからの読み取りが停止され、訂正された書き込みバックが実行されて、RAM のエラーを修正します。
- このプロセス中に生成された BUSY シグナルは、バス プロトコル ロジックによって不適切に処理されます。
- バーストの読み取りが再開されると、データ パイプラインがミスアライメントになります。

この理由は次のとおりです。

- 誤り訂正後の読み取りのため、正しくないデータがマスタに返されます。
- プログラムの実行に失敗し、例外が中止される可能性があります。

この問題は、L2 および MBOX RAM の読み取り動作のみに影響します。

物理 RAM の内容は正しく訂正されたままで (メモリの破損はありません)、書き込み動作は正常に機能します。以下に、概略ブロック図を示します。

i2499 (続き)**バースト読み取り中の単一エラー検出時に、誤ったデータがマスターに返されました****回避方法:**

システム要件と安全性に関するニーズに基づき、以下のソリューションを検討してください。

オプション 1: ECC ディスエーブル

安全ではないアプリケーションのみ: 誤り訂正コード (ECC) 機能を完全にオフにします。

オプション 2: 保守的なエラー処理

すべてのシングルビット誤り訂正 (SEC) イベントをダブルビットエラー検出 (DED) イベントとして扱うようにシステムを構成します。

つまり、修正可能なシングルビットエラーでも、修正を試行せずに検出のみの動作を実装します。

オプション 3: 予防的メモリスクラビング

上述のオプションを実行できない場合は、定期的メモリスクラビングを実装して、潜在的なエラーをプロアクティブに管理します。

システムチェックにメモリ位置を読み取り、アプリケーションがシングルビットエラーにアクセスする前にシングルビットエラーを検出して訂正します。

実装方法:

- DMA (ダイレクトメモリアクセス) を介した SRAM スクラビング
DMA スクラバについては、SDK リファレンス例を参照してください
- ICSS (産業用通信サブシステム) を介した SRAM スクラビング
PRU スクラバについては、SDK リファレンス例を参照してください

重要な制限: 通常の操作中にエラーが発生する可能性を低減しますが、エラーが発生する可能性を完全に排除することはできません。

i2500**ウェークアップキーとして 0xF0 を使用すると、LIN モジュールが起動しません****詳細:**

ウェークアップキー 0xF0 を使用して LIN モジュールを起動すると、LIN ステートマシンがデッドロック状態に移行します。これにより、0xF0 はこのモジュールのウェークアップキーとして使用できなくなります。

回避方法:

0xF0 ウェークアップ信号を送信する代わりに次を実行:

未使用の識別子 (予約済み識別子 0x3E または LIN ネットワークで使用されていないその他の識別子など) を使用して LIN ヘッダーを送信する

このヘッダーに含まれるブレークフィールドは次のようになります。

- ネットワーク上の他の LIN ノードに対して有効なウェークアップコマンドとして機能します

i2500 (続き)

ウェークアップキーとして 0xF0 を使用すると、LIN モジュールが起動しません

- モジュールの内部 LIN パワーダウンビットが正常にクリアされます

i2502

PBIST メモリグループとターゲット メモリのマッピングが正しくありません。

詳細:

PBIST ROM 構成は、同じコアの両方のバンクをグループ化するのではなく、コア間のバンク番号でグループ化することにより、TCM メモリを誤ってマッピングします。これにより、PBIST がシングルコアの TCMB を独立してテストするのを防ぎます。これは、常に両方のコアから同じバンクを同時にテストするためです。

回避方法:

MMR (メモリ マップレジスタ) 書き込みにより PBIST アルゴリズムを直接プログラムすることにより、PBIST ROM を誤って構成しないようにします。この手法により、コアごとのバンクグループ化が適切に可能になり、クロス コア メモリ破損の問題を回避できます。PBIST モジュールを正しいメモリ マッピング パラメータで構成する TCMA と TCMB の両方のメモリ テストには、以下に共有されている特定のソフトウェア シーケンスを使用してください。

TCMA のメモリ テスト シーケンス:

1. PBIST モジュールを初期化:
 - MSS_CTRL_TOP_PBIST_KEY_RST に 0x05 を、その後 0xA5 を書き込んで、PBIST をリセットから復帰させ、クロックをイネーブルします。
2. PBIST アクティブ化を構成:
 - PBIST_PACT レジスタに 0x1 を書き込みます。
3. ループ レジスタ初期化:
 - すべてのループ レジスタ (L0、L1、L2、L3) に 0x0 を書き込みます。
4. オーバーライド モードを設定:
 - アルゴリズムと RINFO オーバーライドをイネーブルにするには、PBIST_OVR に 0x9 を書き込みます。
5. 構成アクセスを有効化:
 - PBIST_DLR に 0x10 を書き込みます。
6. PBIST アルゴリズム (マーチ妨害インクリメント) をプログラム:
 - RF レジスタにアルゴリズム コードを書き込みます (RF0L ~ RF15L - 下位 16 レジスタ)。
 - RF レジスタにアルゴリズム コードを書き込みます (RF0U ~ RF15U - 上位 16 レジスタ)。
7. テスト対象のメモリを構成:
 - PBIST_CMS (チップ セレクト マスク) に 0x0 を書き込みます。
 - 特定の RAMT 値を書き込みます (たとえば、R5SS0 Core0 TCMA の場合は 0x3691271C)。
 - CA3、CA2、CA1、CA0 (列アドレス レジスタ) を使用してアドレス範囲を構成します。
 - CL3、CL2、CL1、CL0 (列制限レジスタ) を構成します。
 - CI3、CI2、CI1、CI0 (列インクリメントレジスタ) を構成します。
 - チップ セレクト値を PBIST_CS に書き込みます。
 - PBIST_PC に 0x1 を書き込んで、構成を開始します。

TCMB のメモリ テスト シーケンス (ステップ 1 ~ 7 は TCMA と同じ初期化手順):

1. PBIST モジュールを初期化します。
2. PBIST アクティブ化を構成します。
3. ループ レジスタを初期化します。
4. オーバーライド モードを設定します。

i2502 (続き)**PBIST メモリグループとターゲットメモリのマッピングが正しくありません。**

5. 設定アクセスを有効にします。
6. PBIST アルゴリズム (マーチ妨害インクリメント) をプログラムします。
7. テスト対象のメモリを構成します。
8. VIM 割り込みを有効化:
 - VIM0_INTR_EN_SET_2 に 0x80 を書き込みます。
9. 最初のメモリ インスタンスを構成してテスト:
 - 特定の RAMT 値 (0x3400271C など) で構成します。
 - CA、CL、CI レジスタを使用してアドレス範囲を設定します。
 - チップ セレクト (CS = 0x00000027) を設定します。
 - PBIST_PC に 0x1 を書き込んでテストを開始します。
10. 最初のインスタンスの完了を待機:
 - VIM0_STS_2 レジスタをポーリングし、ビット 0x80 が設定されるのを待機します。
 - VIM0_STS_2 に 0x80 を書き込んで、割り込みをクリアします。
11. 残りの 7 つのメモリ インスタンスを構成してテスト:
 - 残りの各インスタンスに:
 - RAMT レジスタを次のメモリ インスタンス値で更新する。
 - CS レジスタを対応する値に更新する。
 - PBIST_PC に 0x1 を書き込んでテストを開始します。
 - VIM0_STS_2 をポーリングして完了 (ビット 0x80) する。
 - VIM0_STS_2 に 0x80 を書き込んで、割り込みをクリアします。

i2503**フラッシュ ブート モードでは、フラッシュの冗長ブート ロケーションからのブートが機能しません****詳細:**

各フラッシュブート モードで、AM263Px ROM はフラッシュ内の次のオフセットからブートローダー イメージをブートしようとします。

- 0x0000_0000
- 0x00002_000
- 0x00004_000
- 0x00006_000

このシナリオでは、0x0000_0000 以外の任意の場所からのブートは失敗します。

SFDP に障害が発生した場合、1s モードへのフォールバック中の読み取りデータ キャプチャ遅延レジスタでの誤った処理が、根本原因であることが特定されました。

回避方法:

なし。

商標

すべての商標は、それぞれの所有者に帰属します。

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from MAY 30, 2024 to MAY 30, 2026 (from Revision E (May 2024) to Revision F (May 2026))

	Page
• アドバイザリ i2488 を追加。CLOCKS: 精密な 50-50 デューティ サイクル クロック用の PLL 回路.....	2
• アドバイザリ i2508 を追加。安全システムでの RC OSC の使用法.....	4
• アドバイザリ i2499: バースト読み取り中の単一エラー検出時に、誤ったデータがマスターに返されました.....	23
• アドバイザリ i2500 を追加。ウェークアップ キーとして 0xF0 を使用すると、LIN モジュールが起動しません.....	24
• アドバイザリ i2502 を追加。PBIST メモリ グループとターゲット メモリのマッピングが正しくありません。.....	25
• アドバイザリ i2503 を追加。フラッシュ ブート モードでは、フラッシュの冗長ブート ロケーションからのブートが機能しません.....	26

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月