

Errata

J7200 DRA821 プロセッサ シリコン リビジョン 1.0、2.0**概要**

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。本文書には、使用上の注意事項も記載されています。使用上の注意は、デバイスの動作が推定または文書化された動作と一致しない可能性がある状況を示しています。これには、デバイスの性能や機能の正確さに影響を与える動作が含まれる場合があります。

目次

1 影響を受けるモジュール	2
2 命名法、パッケージのマーキングとリビジョンの識別	5
3 シリコン リビジョン 1.0、2.0 の使用上の注意およびアドバイザリ	7
改訂履歴	54

1 影響を受けるモジュール

表 1-1 に、それぞれの使用上の注意によって影響を受けるモジュールを示します。

表 1-1. モジュール別の使用上の注意

モジュール	使用上の注意
DDR	i2330 — DDRSS レジスタ構成ツールの更新

表 1-2 に、それぞれのアドバイザリの影響を受けるモジュールを示します。

表 1-2. モジュール別のアドバイザリ

モジュール	アドバイザリ	影響を受けるシリコンのリビジョン	
		SR 1.0	SR 2.0
ADC	i2151 — ADC: デバウンス タイム制御レジスタ	あり	あり
ブート	i2307 — ブート: ROM が BOOTMODE に基づいて OSPI クロック モードを適切に選択しません	あり	あり
	i2360 — ブート: イーサネット RMII ブート モードはサポートされていません	あり	あり
	i2361 — ブート: SR2.0 に対する SPI および xSPI BOOTMODE ピン マッピングの変更	なし	あり
	i2366 — ブート: ROM は 8D-8D-8D 動作の特定の JEDEC SFDP 機能を認識しません」を削除	あり	あり
	i2371 — ブート: ROM コードは、UART ブートモードでデータ転送中にハングする可能性があります	あり	あり
	i2372 — ブート: ROM は、シリアル NAND ブートで選択されたマルチプレーン アドレッシング方式をサポートしていません」の使用上の注意を削除	なし	あり
	i2459 — ブート: PCIe ブート モードはサポートされていません	あり	あり
	i2413 — ブート: HS-FS ROM が破損した ROM ブート イメージを起動してしまうことがあります	あり	あり
	i2414 — ブート: イーサネット PHY のスキャンおよび起動フローは、オート ネゴシエーション機能をサポートしていない PHY では動作しません	あり	あり
	i2418 — ブート: 証明書情報が存在しないため、セキュア ROM パニックが発生します	あり	あり
	i2419 — ブート: デスキュー キャリブレーションを無効化すると、ROM はデスキュー キャリブレーションがイネーブルかどうかをチェックしません	あり	あり
	i2422 — ブート: MMCSDF ファイル システム ブート時の ROM タイムアウトが長すぎます	あり	あり
	i2435 — ブート: eMMC ブートの ROM タイムアウトが長すぎる	あり	あり
i2482 — ブート: SD カードの初期化中、ROM から十分なクロックが供給されません	あり	あり	
CBASS	i2207 — CBASS: コマンド調停ブロック	あり	あり
	i2235 — イネーブル レジスタで CBASS ヌル エラー割り込みがマスクされません	あり	あり
CC	i2221 — CC: 侵襲的および非侵襲的デバッグイネーブル設定は、MCU_RESETz によってリセットされます	あり	あり
	i2222 — コンピュート クラスタ: A72 Corepac をパワーダウンすることができません	あり	あり
CP	i2283 — CP トレーサ デバッグ プローブの使用法の制限	あり	あり
CPSW	i2184 — CPSW: IET エクスプレストラフィック ポリシングの問題	あり	あり
	i2185 — CPSW: ポリサー カラー マーキングの問題	あり	あり
	i2208 — CPSW: ALE IET エクスプレス パケットドロップ	あり	あり
	i2401 — CPSW: ホストのタイムスタンプにより、CPSW ポートがロックされます」を追加	あり	あり
DCC	i2209 — DCC: クロックの選択が正しくありません	あり	なし
DDR	i2157 — DDR: 低消費電力状態のウェークアップ時間設定でのコントローラ異常	あり	あり
	i2159 — DDR: LPDDR4 CBT 中は VRCG 大電流モードを使用する必要があります	あり	あり
	i2160 — DDR: LPDDR4 コマンド バスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加	あり	あり
	i2166 — DDR: ディープ スリープ低消費電力状態の開始と終了により、PHY 内部クロックのずれが発生する可能性があります	あり	あり
	i2182 — DDR: row-cs-bank-col アドレス マッピングでは、デュアルランクの非 2 進数容量はサポートされていません	あり	あり

表 1-2. モジュール別のアドバイザリ (続き)

モジュール	アドバイザリ	影響を受けるシリコンのリビジョン	
		SR 1.0	SR 2.0
	i2186:DDR レートは 2666MT/s 1333MHz クロックに制限されます	あり	なし
	i2232 — DDR:周波数変化の後、コントローラが許可されたリフレッシュ数を超えて延期します	あり	あり
	i2244 — DDR:書き込み DQ VREF トレーニングには、有効な停止値を定義する必要があります	あり	あり
	i2274 — DDR:BSCAN に DDR を含めると、DDR 電源で電流アラームが発生します	あり	なし
DMADVR	i2233 — DMADVR:MAIN と MCU の間の Link/link_safer 同期の問題	あり	あり
DMSC	i2245 — DMSC:ファイアウォール リージョンには特定の設定が必要	あり	あり
	i2275 — DMSC セキュア ブート ROM:X.509 証明書の明示的な EC 曲線パラメータを使用した場合の潜在的なセキュア ブートの脆弱性	あり	なし
ECC AGGR	i2049 — ECC AGGR:保留中の ECC アグリゲータ割り込みのため、IP クロック ストップ /リセット シーケンスがハングアップする可能性があります	あり	あり
I3C	i2197 — I3C:スレーブ モードはサポートされていません	あり	あり
	i2205 — 保留中の IBI 中にフェッチされた I3C コマンドが、場合によっては適切に処理されないことがあります	あり	あり
	i2216 — I3C:スレーブ 起点の IBI アドレス バイト受信、コマンド実行が失敗することがあります	あり	あり
IA	i2196 — IA:IA でデッドロック シナリオが発生する可能性があります	あり	あり
JTAG	i2228 — JTAG:TRSTn デバイス ピンがアサートされないと、デバッグが使用する TAP にアクセスできない場合があります	あり	なし
MCAN	i2278 — MCAN:同じメッセージ ID で構成された専用 Tx バッファからのメッセージ送信順序が保証されません」を追加	あり	あり
	i2279 — MCAN:同じメッセージ ID で構成された専用 Tx バッファと Tx キューの仕様の更新	あり	あり
MCU	i2217 — 推奨される MCU_BOOTMODE[09:08] による POST 選択	あり	なし
MDIO	i2329 — MDIO:MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)	あり	あり
MMCSD	i2312 — MMCSD:HS200 および SDR104 コマンド タイムアウト ウィンドウが小さすぎます」を追加	あり	あり
MSMC	i2116 — MSMC:セットハザードリング ロジックが NRT アクセスの完了を待っている RT アクセスを保留します	あり	あり
	i2187 — MSMC:キャッシュ サイズを 0 に変更すると、タグがアップデートされずにリフレッシュされます	あり	あり
	i2201 — MSMC:バイトカウントの不正なバリエーション検出	あり	なし
OSPI	i2189 — OSPI:コントローラ PHY のチューニング アルゴリズムを追加	あり	あり
	i2249 — OSPI:DDR タイミングが動作不能の内部 PHY ループバックおよび内部パッド ループバック クロック モード」を追加	あり	あり
	i2351 — OSPI:コントローラは、NAND フラッシュを使用した連続読み取りモードをサポートしていません」の使用上の注意を更新	あり	あり
	i2383 — OSPI:2 バイト アドレスは、PHY DDR モードではサポートされていません	あり	あり
PCIe	i2183 — PCIe:未使用のレーンが PCIe コントローラに割り当てられていない場合のリンク アップ エラー	あり	あり
	i2237 — PCIe:SerDes 基準クロック出力は、Vcross、立ち上がり / 立ち下がりマッチング、エッジレート制限に準拠していません	あり	なし
	i2241 — PCIe:SerDes PCIe 基準クロック出力は、5.0GT/s のデータレート RMS ジッタ制限を超過する場合があります	あり	なし
	i2242 — PCIe:データレートの変更中は、4-L SerDes PCIe 基準クロック出力が一時的に無効化します」を追加	あり	あり
	i2243 — PCIe:L1.2 サブステート時に出力 refclk を無効化するタイミング要件は満たされません」を追加	あり	あり
	i2246 — PCIe:未使用の SERDES レーンが PCIe コントローラに割り当てられていない場合、自動コンプライアンス エントリは失敗します	あり	あり
	i2326 — PCIe:SSC を有効化するために必要となるフラクショナル モードで動作する MAIN_PLLx は、PCIe Refclk ジッタ制限に準拠していません」の回避方法を更新	あり	あり

表 1-2. モジュール別のアドバイザリ (続き)

モジュール	アドバイザリ	影響を受けるシリコンのリビジョン	
		SR 1.0	SR 2.0
PLL	i2424 — PLL:PLL プログラミング シーケンスにより、PLL が不安定になる場合があります	あり	あり
POK	i2277 — POK:デグリッチ (フィルタ) は、2 つのサンプルのみに基づくものです	あり	なし
PRG	i2253 — PRG:CTRL_MMR STAT レジスタは、POK スレッショルド障害の信頼性が低いインジケータです」を追加	あり	あり
PSIL	i2137 — クロック停止動作により、未定義の動作が発生する可能性があります	あり	あり
R5FSS	i2161 — R5FSS:デバッグは VIM モジュールがアクティブな間はアクセスできません	あり	なし
	i2227 — R5FSS:エラー 割り込み CCM_COMPARE_STAT_PULSE_INTR が正しく駆動されません	あり	あり
RAT	i2062 — RAT:エラー ログ ディスエーブルが設定されている場合でも、エラー 割り込みが発生します」を追加	あり	あり
	i2449— R5FSS RAT MMR がパリティ保護されていません	あり	あり
RINGACC	i2177 — RINGACC:リング アクセラレータのデバッグ トランザクションのトレース ストリームは、特定のリング アクセス シーケンスによって破損する可能性があります	あり	あり
ROM コード	i2306— ROM コード:SERDES の内部終端抵抗をオフにする必要があります	あり	なし
安全	i2103 — 安全モジュール:機能安全エラーの ECC_GRP、ECC_BIT、ECC_TYPE 情報が誤って報告されます	あり	あり
SGMII	i2362 — 10-100M SGMII:Marvell PHY はプリアンブル バイトを無視しないため、リンク障害が発生します」を追加	あり	あり
STOG	i2123 — STOG:スレーブ ガスケットからのタイムアウト エミュレーション デバッグ書き込み応答で、常に成功が返されます	あり	あり
	i2126 — STOG:2 つの同時タイムアウトまたは 2 つの予期しない応答が同時に発生した場合に、カウントミス エラーが発生します	あり	あり
	i2127 — STOG:書き込みコマンドのタイムアウトが DST 側の最後の受け入れと同じサイクルで発生すると、SRC 側の書き込みデータバスがハングアップします	あり	あり
UDMA	i2146 — UDMA:リアルタイム TX/RX レジスタで、ティアダウン ビットフィールドの読み戻しが強制的にマスクされます	あり	あり
	i2320 — UDMA、UDMAP:記述子と TR は、フラグメント化せずに返す必要があります	あり	あり
UDMAP	i2163 — UDMAP:「イベントトリガ」モードで使用すると、UDMA は ICNT や src /dst アドレスを 64B に揃えずに転送します。	あり	あり
	i2234 — UDMA:ICNT0 が 64 バイト未満の場合、TR15 はハングアップします	あり	あり
USART	i2310 — USART:「タイムアウト割り込みの誤ったクリア /トリガ」を追加	あり	あり
	i2311 — USART:スプリアス DMA 割り込み	あり	あり
USB	i2091 — 受信信号振幅が同じパケット内でスケルチ スレッショルドを複数回超えると、2.0 PHY がハングアップします	あり	あり
	i2134 — USB:2.0 コンプライアンス受信感度テストの制限	あり	あり
	i2409 — 短時間のサスペンドが原因で USB2 PHY がロックアップします	あり	あり
xSPI	i2257 — xSPI ブート モード冗長イメージ ブート障害	あり	なし

2 命名法、パッケージのマーキングとリビジョンの識別

2.1 デバイスおよび開発ツールの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポートツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります: X、P、空白 (接頭辞なし) (たとえば、DRA821U4TCBALMRQ1

)。テキサス・インスツルメンツでは、サポートツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (TMDX) から、完全認定済みの量産デバイス/ツール (TMDS) まであります。

デバイスの開発進展フロー:

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリフローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポートツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

DRA821 デバイスの完全なデバイス名を読み取る方法の詳細については、特定のデバイス データシート (SRPSP57) を参照してください。

2.2 サポート対象デバイス

本文書は、以下のデバイスをサポートしています。

- DRA821

サポート対象デバイスのリファレンス文書:

- Jacinto™ DRA821 車載用プロセッサ データシート (SPRSP57)

2.3 パッケージの記号表記およびリビジョンの識別

図 2-1 に、パッケージの記号表記の例を示します。

表 2-1 に、デバイスリビジョンコードを一覧します。

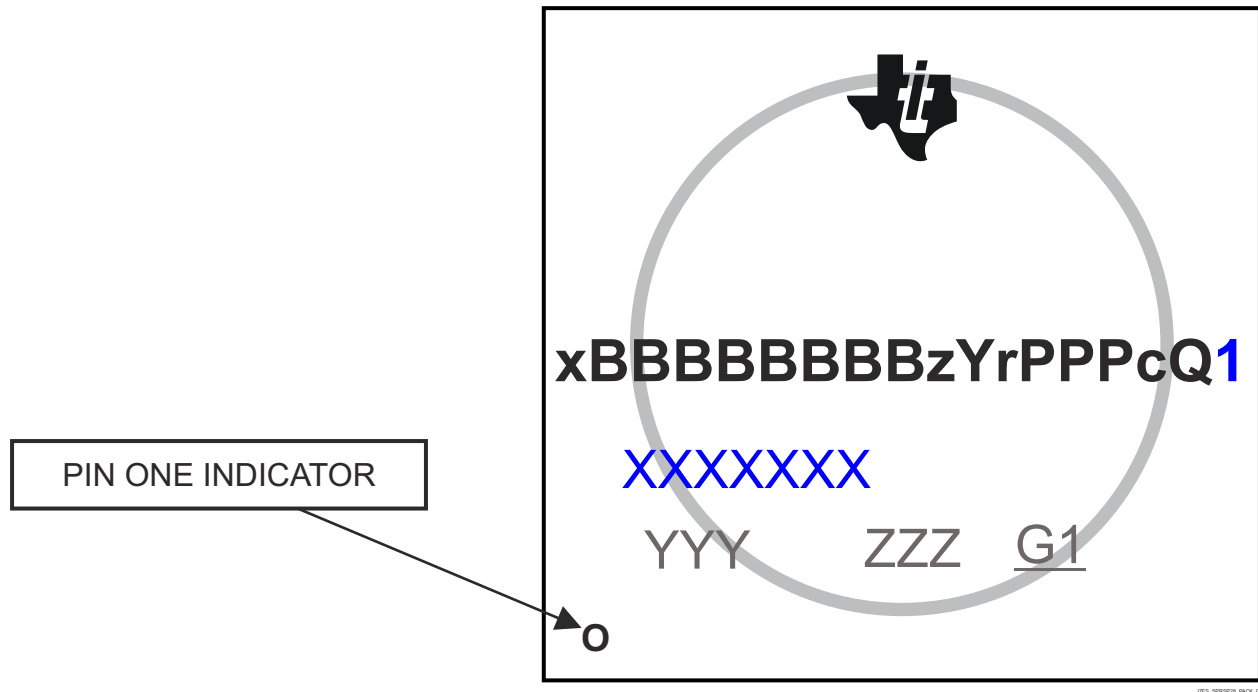


図 2-1. パッケージの記号表記

表 2-1. リビジョンの識別

デバイスリビジョンコード	シリコンのリビジョン	コメント
A または 空白	1.0	
B	2.0	

3 シリコン リビジョン 1.0、2.0 の使用上の注意およびアドバイザー

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザーが記載されています。

3.1 シリコン リビジョン 1.0、2.0 の使用上の注記

このシリコン リビジョンについて、既知の使用上の注記はありません。

i2330 『DDRSS レジスタ構成ツールの更新』の使用上の注意を追加

詳細:

DDR レジスタ構成ツールは、DDR デバイスのアーキテクチャ (密度、データ幅、ランク)、動作周波数、ボード シミュレーションで決定される IO 設定など、システム レベルの詳細に基づいて、カスタム レジスタ設定を提供します。新しいデバイスや機能のサポート、ツールで特定された問題の修正、そして最も重要な点として、性能、信号の整合性、信号間のタイミング関係を改善する計算を実現するために特定されたエラーや最近の更新の回避方法を捕捉するために、このツールは経時的に更新される可能性があります。

回避方法:

得られた教訓に基づいてパラメータを適切に設定できるようにし、機能的な障害のリスクを低減できるように、常に最新の DDR レジスタ構成ツールを使用してレジスタ値を生成する必要があります。DDR レジスタ構成ツールは定期的に更新される可能性があるため、ツールの改訂履歴を確認し、ツールの変更が既存のシステムに適用されるかどうかを評価する必要があります。必要に応じて、既存のシステムの設定を適切に更新する必要があります。このツールの最新バージョンは、<http://dev.ti.com/sysconfig> で入手できます。また、使用中の該当デバイスの「ソフトウェア製品」ドロップダウンから「DDR 構成」を選択することができます。

3.2 シリコン リビジョン 1.0、2.0 のアドバイザー

i2049 ECC_AGGR: 保留中の ECC アグリゲータ割り込みのため、IP クロック ストップ / リセット シーケンスがハングアップする可能性があります」の詳細を更新

詳細:

ECC アグリゲータ モジュールは、安全エラーの発生 (発生は稀) を集約し、ソフトウェアへの通知用の割り込みを生成するために使用されます。ECC アグリゲータにより、安全エラー割り込みのイネーブル / ディスエーブルおよびクリアをソフトウェア制御できます。

ソフトウェアが IP 上でクロック ストップ / リセット シーケンスを実行している場合、IP に関連付けられている ECC アグリゲータ インスタンスがアイドル ステータスでないため、シーケンスが完了しない可能性があります。ECC アグリゲータのアイドル ステータスは、イネーブルまたはディスエーブルのいずれかの保留中の安全エラー割り込みに依存します。これらは、ソフトウェアでクリアされていないものです。その結果、未処理の安全エラー割り込みが発生していても、IP のクロック ストップ / リセット シーケンスが完了しないこと (ハングアップ) があります。

影響を受ける ECC_AGGR は、テクニカル リファレンス マニュアル (TRM) に記載されているレジスタ オフセット 0h の REV レジスタ値で決定できます。REV レジスタは、そのフィールド内の ECC_AGGR バージョンを次のようにエンコードします。

v[REVM AJ].[REVM IN].[REVRTL]

v2.1.1 以前の ECC_AGGR バージョンが影響を受けます。ECC_AGGR バージョン 2.1.1 以降は影響を受けません。

影響が発生する例:

REVM AJ = 2

REVM IN = 1

i2049 (続き)**ECC_AGGR:保留中の ECC アグリゲータ割り込みのため、IP クロック ストップ / リセット シーケンスがハングアップする可能性があります」の詳細を更新**

REVRTL = 0

上記の値は ECC_AGGR バージョン v2.1.0 にデコードされますが、これは影響を受けます。

影響が発生しない例:

REVMAJ = 2

REVMIN = 1

REVRTL = 1

上記の値は ECC_AGGR バージョン v2.1.1 をデコードしますが、これは影響を受けません。

回避方法:

一般的な注意事項:

ECC アグリゲータのクロック停止は、機能安全使用事例ではサポートされていません。

ソフトウェアは、機能安全以外の使用事例において、次の回避方法を使用する必要があります。

1. IP のすべての ECC アグリゲータ割り込みを無効化します
2. 保留中の割り込みをすべて処理してクリアします
3. ステップ 3:
 - a. ECC アグリゲータへのすべての割り込みソースを無効化してから、クロック ストップ / リセット シーケンスを実行します。
 - b. クロック ストップ / リセット シーケンスを実行しながら、保留中の割り込みの処理 / クリアを続けます。

ソフトウェアでは、割り込みが外部刺激であるため、ステップ 3 で次の 2 つのオプションを利用できます。

1. クロック ストップ / リセット シーケンスを実行する前に、保留中の ECC_AGGR 割り込みを生成できるすべての割り込みソース (EDC CTRL チェッカー) を無効化します
2. クロック ストップ / リセット シーケンスの実行中に発生する保留中の割り込みの処理 / クリアを続行します。すべての割り込みがクリアされると、シーケンスが続行されます。

一般に、ソフトウェアは、このシーケンス全体の間連続的に起動する保留中の割り込みを検出し (縮退故障シナリオなど)、関連する EDC CTRL 安全チェッカーを無効化して、クロック ストップ / リセット シーケンスを完了に向かって進行できるようにする必要があります。

i2062**RAT:エラー ログ ディスエーブルが設定されている場合でも、エラー割り込みが発生します****詳細:**

RAT エラー ログがログを無効化して割り込みを有効化するようにプログラムされている場合、エラーによって割り込みが誤ってトリガされますが、エラー ログ レジスタは正しく更新されません。エラー割り込みは生成されてはなりません。

回避方法:

RAT エラー ログがディスエーブルの場合、エラー割り込みもソフトウェアで無効化する必要があります。

i2091

USB:受信信号振幅が同じパケット内のスケルチ スレッシュホールドを複数回超えると 2.0 PHY がハングアップします

詳細:

USB 2.0 PHY はレシーバにスケルチ検出回路を実装しており、バスがアイドル状態のときにノイズが有効なデータとして解釈されないようにしています。スケルチ回路は、DP/DM 差動信号の振幅がスケルチ スレッシュホールドよりも小さい間、レシーバ出力をディスエーブルにすることで、無効なデータをブロックします。

DP/DM 差動信号の振幅がスケルチ スレッシュホールドを一定期間下回り、同じパケット内のスケルチ スレッシュホールドを超えて戻ると、PHY がハングアップすることがあります。DP/DM 差動信号の振幅が、2 つのパケット間のアイドル時間中にスケルチ スレッシュホールドを超える場合、この問題は発生しません。

回避方法:

この問題は、有効なデータ転送中に、レシーバ入力に印加される DP/DM 差動信号の振幅がスケルチ スレッシュホールドを上回るようにすることで回避できます。

i2103

安全モジュール:機能安全エラーの ECC_GRP、ECC_BIT、ECC_TYPE 情報が誤って報告されます

詳細:

機能安全エラーについて、特定の安全性チェッカでは、エラー ステータス レジスタに記録される ECC_GRP、ECC_BIT、ECC_TYPE の情報が不正確である可能性があります。これは、ECC_GRP = 0、15、31、47、63...(N*16-1) にマッピングされている安全チェッカにのみ適用されます。DDR ブリッジ/コントローラの場合、この問題は ECC_GRP = 0、31、63...(N*32-1) の安全チェッカにのみ適用されます。

この問題は、すべての安全モジュール インスタンスとそのサブバンクに影響します。デバイスのテクニカルリファレンス マニュアルの「安全モジュール」セクションを参照してください。

注:これらの安全エラーの検出および割り込み信号は影響を受けません。エラー ステータス レジスタの前述のフィールドのロギングのみが影響を受けます。

回避方法:

なし。これらの特定の安全チェッカについて、ソフトウェアは、修正可能なエラーまたは修正不可能なエラーが発生したかどうか、およびどの安全モジュール インスタンスにエラーが発生したかを知る(つまり IP モジュールを認識している)に限定され、どの安全チェッカがエラーに遭遇したかは知ることはできません。

i2116

MSMC:セットハザードリング ロジックが NRT アクセスの完了を待っている RT アクセスを保留します

詳細:

DDR コントローラは、同じページへの読み取りよりも書き込みを優先します。さらに、MSMC は、リアルタイム属性に関係なく、同じセット上のトランザクションでハザードを発生させます。これら 2 つの事実により、同じページへの書き込みストリームと、その後の同じページへの非リアルタイム読み取りによって、リアルタイム アクセス コマンドが無期限にブロックされる可能性があります。

シーケンスの例:

1. MSMC から DDR コントローラに送信されたページ A への書き込みストリーム
2. MSMC から DDR コントローラに送信されたページ A への非リアルタイム読み取り
 - このコマンドは、1) 書き込みストリームの完了の背後で DDR コントローラ内で停止します
3. 2) 非リアルタイム読み取りと同じセットへのリアルタイム アクセスは、セット ハザードリングによって MSMC 内で停止されます

i2116 (続き)**MSMC: セットハザードリング ロジックが NRT アクセスの完了を待っている RT アクセスを保留します****回避方法:**

ソフトウェアは、SW に最も影響の少ない順で以下の回避方法を試みる必要があります。

1. Cadence DDR コントローラは、別のページからの読み取りよりも同じページへの書き込みを優先し、読み取りを返すときに遅延が発生します。コマンドの経過時間を 16 DDR リフレッシュ サイクル (62 μ s) から 1 リフレッシュ サイクル (3.9 μ s) に減らすために、DDR コントローラの `command_age_count` を 0x から 0xF に減らしてみてください。ほとんどの場合、この設定で問題は解決されますが、場合によってはまだアンダーフローがあります。その場合、SW には 2 つまたは 3 つの回避方法が必要になる場合があります。
2. 可能であれば、ARM MMU 属性を設定して、DDR を「Device メモリ」ではなく「Normal メモリ」タイプとして設定します。これにより、ARM から DDR へのアクセスがより効率的になり、問題の軽減に役立ちます。これは、これまでの試験結果に基づく観測ですが、より多くの解析とさらなるシステム テストが必要な場合があります。この回避方法がシステムで不可能な場合は、SW で回避方法 3) が必要になることがあります。
3. 可能であれば、リアルタイム アクセスは非 IO コヒーレントにします。仮想化されていないケースでは RT アクセス `ATYPE = 3` を設定し、PVU 固有のケースでは `ATYPE = 1` および `MEMTYPE = 0` を設定します。これにより、RT トラフィックは MSMC セットハザードリング ロジックを強制的にバイパスします。SW はキャッシュ操作を行う必要があります。

i2123

STOG:スレーブ ガスケットからのタイムアウト エミュレーション デバッグ書き込み応答で、常に成功が返されます

詳細:

ガスケットがトランザクションをフラッシュすると、すべての応答はタイムアウト エラーによって返される必要がありますが、エミュレーション デバッグ書き込みの場合、応答は誤って成功として返されます。

回避方法:

システム タイムアウト発生 / 割り込みが発生した場合、SW はエミュレーション デバッグの書き込みが成功すると想定してはなりません。

i2126 **STOG:2 つの同時タイムアウトまたは 2 つの予期しない応答が同時に発生した場合に、カウントミス エラーが発生します****詳細:**

同じサイクルでタイムアウトする読み出しコマンドおよび書き込みコマンドが存在する場合、この状況ではタイムアウト カウンタは 2 ではなく 1 だけ増分されます。同様に、予期しない読み取り応答と予期しない書き込み応答の両方が同じサイクルに到着した場合、予期しない応答カウンタは 2 ではなく 1 だけ増分されます。

回避方法:

エラー カウンタは、主にソフトウェア デバッグ用の補足情報です。タイムアウト エラー コマンド/トランザクション情報が 1 つだけ記録されます。カウンタは 3 カウントで飽和するため、ソフトウェアは正確なカウンタ値ではなく主にエラー カウンタ値がゼロでないことに注目する必要があります。予期しない応答カウンタにも同じアプローチを適用する必要があります。注意: 予期しない応答はフラッシュ ガスケットによってドロップされます。

i2127 **STOG:書き込みコマンドのタイムアウトが DST 側の最後の受け入れと同じサイクルで発生すると、SRC 側の書き込みデータバスがハングアップします**

詳細:

書き込みコマンドが同じサイクルでタイムアウトした場合、ガスケットの宛先側で最後の書き込みデータフレーズが受け入れられ、ガスケットのソース側は書き込みデータの受け入れを永久的に停止し、適切にフラッシュ / 自動応答できなくなります。

タイムアウト時間が短いガスケットをプログラムすると、タイムアウト ガスケットが書き込みデータの受け入れを停止するために、システムがハングアップする可能性があります。

回避方法:

ソフトウェアは、可能な限り最長の書き込みコマンド バースト送信期間を大幅に超える十分に大きなタイムアウト期間を設定する必要があります。ガスケットのデフォルトのタイムアウト時間は、 $3 \times 2^{\wedge}30$ サイクルで十分です。

i2134 **USB:2.0 コンプライアンス受信感度テストの制限**

詳細:

USB-IF USB 2.0 電気コンプライアンス テスト仕様で定義されている受信感度テスト (EL_16 および EL_17) を実行すると、Advisory i2091 で説明されている問題が発生する場合があります。

この問題は元々、パケットの送信中に USB 信号の振幅を増加させる自動化ソフトウェアを使用してこれらのテストを実行しているときに発見されました。ソフトウェアは、振幅を 100mV 未満の値から 150mV 以上の値までスイープし、テスト対象デバイス (DUT) NAK で 100mV 未満のパケット、150mV を超えるパケットがないことを検証しています。しかし、有効なパケットを送信している間にスケルチ スレッショルドの両端で振幅を増やすと、Advisory i2091 に説明されているように、PHY がロックされる場合があります。

回避方法:

以下のハードウェア回避方法の両方を有効にします。

USB*_PHY2 領域に存在する UTMI_REG28 レジスタで、cdr_eb_wr_reset ビット (ビット 7) を 1'b1 に設定します。

USB*_MMR_MMRVBP_USBSS_CMN 領域に存在する PHYRST_CFG レジスタで、phyrst_a_enable ビット (ビット 0) を 1'b1 に設定します。PHYRST_CFG レジスタの phyrst_a_value (ビット 12:8) はデフォルト値 0xE に保持する必要があることに注意してください。

i2137 **PSIL:クロック停止動作により、未定義の動作が発生する可能性があります」を追加**

詳細:

クロック停止インターフェイスは、モジュールへのメイン クロックを適切に停止するハンドシェイクを調整するために使用される要求 / ACK インターフェイスです。最初にチャネル ティアダウンを実行したり、グローバル イネーブル ビットをクリアしたりせずにモジュール上でクロック停止を試みると、モジュール固有の動作が未定義になる可能性があります。

影響を受けるモジュールは、PDMA、SA2UL、Ethernet SW、CSI、UDMAP、ICSS、および CAL です。

回避方法:

クロック停止動作を実行する前に、ソフトウェアはすべてのアクティブ チャネルを解除する必要があります (UDMAP の「リアルタイム」レジスタ、または PSIL ベースのモジュールの PSIL レジスタ 0x408 を介して)。これが完了したら、すべてのチャネルのグローバル イネーブル ビットもクリアします (UDMAP および PSIL ベースのモジュールの両方の PSIL レジスタ 0x2 を使用)。

i2146

UDMA :リアルタイム TX/RX レジスタで、ティアダウン ビットフィールドの読み戻しが強制的にマスクされます

詳細:

強制ティアダウンが開始された後、強制ティアダウン ビット フィールドは、リアルタイム TX/RX レジスタの読み戻しで設定されたままになりません。

回避方法:

強制ティアダウン操作は、致命的なシステム状態に対処するためにソフトウェアが介入するためだけにのみ使用されます。そのため、通常のティアダウンと強制ティアダウンを開始するタイミングをソフトウェアは個別に追跡する必要があります。この情報を取得するための強制ティアダウン ビットフィールドの読み戻し値に依存しないようにします。

i2151

ADC: デバウンス タイム制御レジスタ

詳細:

CTRLMMR_WKUP_PADCONFIG76.DEBOUNCE_SEL は、MCU_ADC0_AIN0:7、CTRLMMR_WKUP_PADCONFIG84.DEBOUNCE_SEL は、MCU_ADC1_AIN0:7 のデバウンス時間を制御します。これらのレジスタは、特定の入力 (MCU0_ADC0_AIN0 または MCU_ADC1_AIN0 など) が使用されているかどうかにかかわらず、それぞれの ADC のすべての入力チャネルのデバウンス期間を設定します。

回避方法:

なし

i2157

DDR: 低消費電力状態のウェークアップ時間設定でのコントローラ異常

詳細:

DDR コントローラは、次のより深い電力状態のウェークアップ時間がディスエーブルまたはより小さい値に設定されている場合、現在の低消費電力状態のウェークアップ時間を誤って短縮することがあります。

回避方法:

DDRSS_CTL_139[29-24] LPI_WAKEUP_EN ビット フィールドのビットを設定して特定の低消費電力状態が有効化されている場合、より深い電力状態のビットもすべて有効化する必要があります。ビット 0 ~ 4 では、ビット数が増加するにつれて低消費電力状態はより深くなります。たとえば、ビット 0 がセットされている場合、1 から 4 までのすべてのビットもセットする必要があります。同様に、ビット 2 がセットされている場合は、ビット 3 とビット 4 もセットする必要があります。

さらに、以下のウェークアップ値を昇順にプログラムする必要があります。

1. LPI_WAKEUP_EN[0] に関連する LPI_CTRL_IDLE_WAKEUP_FN -> 値は以下のすべてのフィールドより小さい必要があります
2. LPI_WAKEUP_EN[1] に関連する LPI_PD_WAKEUP_FN -> 値は、以下のすべてのフィールドより小さい必要があります
3. LPI_WAKEUP_EN[2] に関連する LPI_SR_SHORT_WAKEUP_FN、LPI_SR_LONG_WAKEUP_FN、LPI_SRPD_SHORT_WAKEUP_FN、LPI_SRPD_LONG_WAKEUP_FN -> 値は、以下のすべてのフィールドより小さい必要があります
4. LPI_WAKEUP_EN[3] に関連する LPI_SR_LONG_MCCLK_GATE_WAKEUP_FN、LPI_SRPD_LONG_MCCLK_GATE_WAKEUP_FN -> 値は、以下のすべてのフィールドより小さい必要があります
5. LPI_WAKEUP_EN[4] に関連する LPI_TIMER_WAKEUP_FN -> 最大値、

ここで、FN = F0、F1、F2 は異なる周波数設定点用です。

i2159

DDR: LPDDR4 CBT 中は VRCG 大電流モードを使用する必要があります

詳細:

DDR PHY は、LPDDR4 コマンド バストレーニング (CBT) 時に、コマンド / アドレス バスの VREFca を更新します。LPDDR4 モード レジスタ 13 (MR13) のビット 3 は、LPDDR4 デバイスの内部の VRef 電流ジェネレータ (VRCG) モードを定義します。このビットが 0 に設定されている場合、VREFca のセトリング タイムは、後続の動作が正常に動作するには長すぎます。CBT が正常に動作するようにするには、CBT 中、MR13 のビット 3 を 1 (VRef 高速応答大電流モード) に設定する必要があります。

i2159 (続き)
DDR:LPDDR4 CBT 中は VRCG 大電流モードを使用する必要があります
回避方法:

正常な動作を確保するためには、コマンド バストレーニング (CBT) および書き込み DQ Vref トレーニング中に VRef 高速応答大電流モードを有効化する必要があります。これは、次のフィールドを 1 に設定することで実行できます。

チップ セレクト 0: DDRSS_PI_259 レジスタの PI_MR13_DATA_0[3]

チップ セレクト 1: DDRSS_PI_261 レジスタの PI_MR13_DATA_1[3]

チップ セレクト 2: DDRSS_PI_263 レジスタの PI_MR13_DATA_2[3]

チップ セレクト 3: DDRSS_PI_265 レジスタの PI_MR13_DATA_3[3]

i2160
DDR:LPDDR4 コマンド バスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加
詳細:

DDR PHY は、LPDDR4 コマンド バストレーニング (CBT) 時に、コマンド / アドレス バスの VREF (ca) を更新します。VREF (ca) 検索範囲が無効な値に設定されている場合 (CBT 中に作業設定が見つからないなど)、トレーニング プロセスが失敗したり、ハングアップしたりする可能性があります。

回避方法:

CBT を有効化する前に、次のフィールドを既知の有効な作業値に設定します。

周波数設定 0 の場合: PI_CALVL_VREF_INITIAL_START_POINT_F0、
PI_CALVL_VREF_INITIAL_STOP_POINT_F0

周波数設定 1 の場合: PI_CALVL_VREF_INITIAL_START_POINT_F1、
PI_CALVL_VREF_INITIAL_STOP_POINT_F1

周波数設定 2 の場合: PI_CALVL_VREF_INITIAL_START_POINT_F2、
PI_CALVL_VREF_INITIAL_STOP_POINT_F2

公称 VRef 値 (プロセッサでの駆動強度のデバイス プログラミングおよびメモリの終端に基づく) $\pm 4\%$ を使用することを推奨します。 <http://dev.ti.com/sysconfig> のオンライン DDR Register Configuration Tool を使用して、これらのレジスタをプログラムし、リビジョン履歴を確認して、この回避策が使用するツールのバージョンで対応されていることを確認してください。

i2161
R5FSS: デバッグは VIM モジュールがアクティブな間はアクセスできません
詳細:

この問題は、R5FSS 内のベクタ割り込みモジュール (VIM) に影響します。VIM 内には、読み取られたときに IP の状態を変更するレジスタ (VIM_IRQVEC など) があります。期待される動作は、機能的な読み取りのみが状態変更を引き起こすことです。これらのレジスタに対するデバッグ読み取り (CCS などの TI デバッグ ツールによって生成) は、状態をそのままにする必要があります。現在、VIM がデバッグレジスタの読み出しを機能レジスタ読み出しと同じように扱う問題があります。この場合、デバッグ動作 (CCS で VIM レジスタ メモリ ウィンドウを開くなど) によって VIM IP の状態が誤って変更され、デバッグが無効になる可能性があります。

回避方法:

この問題の回避方法はあります。ユーザーはデバッグ中に VIM レジスタへのアクセスを避ける必要があります。

i2163

UDMAP:「イベントトリガ」モードで使用すると、UDMA は ICNT や src /dst アドレスを 64B に揃えずに転送します。

詳細:

注

以下の説明では、C7x DSP コアの例を使用していますが、UDMA をプログラム可能な他のプロセッシング コアにも適用されます。

C6x/C7x での DSP アルゴリズム処理では、ソフトウェアは多くの場合、NavSS の UDMA または MSMC の DRU を使用します。多くの場合、C7x/MMA ディープ ラーニング動作のために DRU チャンネルが多くのユースケースで予約済みになっているため、DRU の代わりに UDMA が使用されます。標準的な DSP アルゴリズム処理では、データはブロック単位で DSP の L2 メモリに送られ、DSP は (キャッシュを介して) DDR で動作するのではなく L2 メモリ内のデータで動作します。この動作の一般的な DMA セットアップおよびイベントトリガは以下のとおりです。次の例ではこれを「2D トリガと待機」と呼びます。

各「フレーム」について:

1. TR を設定します。通常は 3 次元または 4 次元 TR です。
 - a. TYPE = 4D_BLOCK_MOVE_REPACKING_INDIRECTION に設定します
 - b. EVENT_SIZE = ICNT2_DEC に設定します
 - c. TRIGGER0 = GLOBAL0 に設定します
 - d. TRIGGER0_TYPE = ICNT2_DEC に設定します
 - e. TRIGGER1 = NONE に設定します
 - f. ICNT0 x ICNT1 は、ブロック幅 x ブロック高さです
 - g. ICNT2 = ブロック数
 - h. ICNT3 = 1
 - i. src addr = DDR
 - j. dst addr = C6x L2 メモリ
2. この TR を送信します
 - a. この TR は、GLOBAL TRIGGER0 での転送を開始し、ICNT0xICNT1 バイトを転送してから、イベントを発生させます
3. 各ブロックに対して次の操作を行います。
 - a. GLOBAL TRIGGER0 を設定して DMA をトリガします
 - b. ブロックが転送されたことを示すイベントを待ちます
 - c. DSP 処理を実行します

このシーケンスは単純化されたシーケンスです。実際のアルゴリズムでは、DSP 処理と DMA が並列に動作するような、DDR から L2 または L2 DDR 転送をピンポン方式で実行する複数のチャンネルが存在する可能性があります。イベント自体はチャンネル OES レジスタで適切にプログラムされ、イベント ステータス チェックは UDMA 用 IA の Free ビットを使用して実行されます。

次の条件が発生した場合、ステップ 3.2 のイベントは最初のトリガで受信されません。

- 条件 1: ICNT0xICNT1 は 64 の倍数ではありません。
- 条件 2: src または dst は 64 の倍数ではありません。
- 条件 3: ICNT0xICNT1 は 64 の倍数ではなく、src/dst アドレスは 64 の倍数ではありません

ICNT0xICNT1 と src/dst addr の 16B または 32B の倍数にも同じ問題があり、イベントが受信されません。64B のアライメントのみが機能します。

動作する条件:

- ICNT0xICNT1 を 64 の倍数にし、src/dst アドレスが 64 の倍数になると、テスト ケースは成功します。

i2163 (続き)

UDMAP: 「イベントトリガ」モードで使用すると、UDMA は ICNT や src /dst アドレスを 64B に揃えずに転送します。

- UDMA の代わりに DRU を使用すると、テストは成功します。UDMA DRU 外部チャンネルを介して TR を DRU に送信する必要があります。DRU と ICNT と src /dst addr が一致していない場合、ユーザーは、フレーム内のイベント数とトリガ数が 1 (上記の場合は ICNT2 = 1、または EVENT_SIZE = COMPLETION および TRIGGER が NONE) になるように、TR がプログラムされたときに、期待どおりにイベントをトリガおよび取得できます。その後、完了イベントは期待どおりに発生します。これは、問題のユースケースで使用することは不可能です。

上記は、「2D トリガと待機」の例です。「1D トリガと待機」と「3D トリガと待機」に同じ制約が適用されます。

- 「1D トリガと待機」の場合、ICNT0 は 64 の倍数である必要があります
- 「3D トリガと待機」の場合、ICNT0xICNT1xICNT2 は 64 の倍数である必要があります

回避方法:

次の例に示すように、UDMAP の TR で EOL フラグを設定します。

- 1D トリガと待機
 - TR.FLAGS |= CSL_FMK(UDMAP_TR_FLAGS_EOL, CSL_UDMAP_TR_FLAGS_EOL_ICNT0);
- 2D トリガと待機
 - TR.FLAGS |= CSL_FMK(UDMAP_TR_FLAGS_EOL, CSL_UDMAP_TR_FLAGS_EOL_ICNT0_ICNT1);
- 3D トリガと待機
 - TR.FLAGS |= CSL_FMK(UDMAP_TR_FLAGS_EOL, CSL_UDMAP_TR_FLAGS_EOL_ICNT0_ICNT1_ICNT2);

この回避方法による性能への影響はありません。

i2166

DDR: ディープスリープ低消費電力状態の開始と終了により、PHY 内部クロックのずれが発生する可能性があります

詳細:

DDR PHY がディープスリープ低消費電力状態に移行すると、PHY PLL が無効化されてゲートオフするまでに、遅延が生じます。PHY PLL が無効化される前にディープスリープの終了が発生すると、PHY 内部クロックが互いにずれて、PHY 内部のタイミング障害が発生する可能性があります。

回避方法:

DENALI_CTL_132 レジスタの LP_CMD に書き込むことでソフトウェアが開始した低消費電力モードを使用する場合、低消費電力モードへの移行がアクリッジされたときに、低消費電力モードの終了を要求する前に、最小 160 DDR クロック サイクルの間待機します。他のオプションとして、以下の回避方法を使用します。

PSC を使用して DDR インターフェイスをディスエーブルする場合は、DDR インターフェイスのディスエーブルがアクリッジされた後、最小 160 DDR クロック サイクルの間待機してから、インエーブルにする要求を送信します。他のオプションとして、以下の回避方法を使用します。

DENALI_CTL_141 レジスタの LP_AUTO_ENTRY_EN を使って低消費電力の開始 / 終了にコントローラの自動機能を使用する場合、以下の回避方法を使用します。

回避方法: DDR PHY がディープスリープ低消費電力状態に移行しないことを確認します。

i2166 (続き)

DDR: ディープスリープ低消費電力状態の開始と終了により、PHY 内部クロックのずれが発生する可能性があります

これは、DENALI_PHY_1318 レジスタの PHY_LP_WAKEUP[3:0] の値を、以下に示す DDR コントローラ レジスタのすべてのスレッショルドの値より大きい値に設定することで保証できます。

LPI_CTRL_IDLE_WAKEUP_FN、LPI_PD_WAKEUP_FN、
LPI_SR_SHORT_WAKEUP_FN、LPI_SR_LONG_WAKEUP_FN、
LPI_SRPD_SHORT_WAKEUP_FN、LPI_SRPD_LONG_WAKEUP_FN、
LPI_SR_LONG_MCCLK_GATE_WAKEUP_FN、
LPI_SRPD_LONG_MCCLK_GATE_WAKEUP_FN、LPI_TIMER_WAKEUP_FN

ここで、FN = F0、F1、F2 は異なる周波数設定点用です。

i2177

RINGACC: リング アクセラレータのデバッグ トランザクションのトレース ストリームは、特定のリング アクセス シーケンスによって破損する可能性があります

詳細:

リング アクセラレータを使用すると、デバッグからそのメモリ空間への直接アクセスが可能になるほか、そのトランザクションのトレース ストリームを cptracer ネットワークにエクスポートする機能によってハードウェア支援デバッグを実行できます。通常、このデバッグ情報は、SOC デバッグ ファブリック経由でリング アクセラレータとインターフェイス接続する JTAG ベースのデバッグを使用してイネーブル、収集、分析されます。リング デバッグ トレース情報が破損したり、ハングアップしたりする原因となるエラーが存在します。この障害は、通常のリング ピーク操作によって発生するか、デバッグを使用してリング ポップ操作を開始した場合に発生します。このエラーの破損のサインは、ピークが誤ってトレースのポップとして報告されている場合です。さらに、非リング モード (メッセージまたはクレデンシヤル) では、通常のリング ポップ操作によってトレースの空のフィールドに誤った情報が表示されたり、デバッグ ポップ操作で宛先アドレスが正しくなくなる場合があります。

回避方法:

リング アクセラレータのハードウェア トレース機能を開発に使用するには、コードはリング ピーク操作とデバッグ起点のポップ操作の使用を避ける必要があります。

i2182

DDR:row-cs-bank-col アドレス マッピングでは、デュアルランクの非 2 進数容量はサポートされていません

詳細:

DDR コントローラは、row-cs-bank-col アドレス マッピング機能を備えたデュアルランク非 2 進数容量 LPDDR4 デバイスはサポートしていません。

上記は、シングルランク非 2 進数容量デバイスや、すべての 2 進数容量デバイスには適用されないことに注意してください。

回避方法:

デュアルランク非 2 進数容量 LPDDR4 デバイスで、cs-row-bank-col アドレス マッピングを使用します。cs-row-bank-col アドレス マッピングが確実に選択されるようにするには、Cadence コントローラ レジスタの cs_lower_addr_en フィールドを 0 に設定する必要があります。

i2183

PCIe: 未使用のレーンが PCIe コントローラに割り当てられていない場合のリンク アップ エラー

詳細:

PCIe で使用されていない SERDES レーンが別のプロトコルに割り当てられている場合、PCIe はリンク アップに失敗します。たとえば、レーン 2 とレーン 3 が別のプロトコルに割り当てられ、レ

i2183 (続き)**PCIe: 未使用のレーンが PCIe コントローラに割り当てられていない場合のリンク アップ エラー**

レーン 0 と 1 が PCIe に使用されて 2 レーン リンクを形成すると、リンク トレーニング は失敗します。このエラーは、電気的アイドルを示す内部ステータス信号の不適切なタイオフによるものです。

レーンが PCIe に割り当てられていない場合、SERDES から PCIe コントローラに送られるステータス信号はタイオフになります。電気的アイドルを示す信号が、非アイドルを示す状態に誤ってタイオフされます。その結果、PCIe は未使用のレーンが電気的アイドル状態から外れていることを認識し、これにより LTSSM は 12ms のタイムアウトが発生するのを待たずに、Detect.Quiet 状態を終了します。Detect.Active 状態の最初のレシーバ検出試行でレシーバが検出されない場合、LTSSM は Detect.Quiet に戻り、PCIe ベース仕様で要求されている 12ms を待機せずに再度 Detect.Active 状態に進みます。Detect.Quiet での待機時間はスキップされるため、複数のレシーバ検出動作が連続で実行され、送信ラインの静電容量が放電される時間はありません。これにより、最終的にレシーバが接続されたとしても、後続のレシーバ検出は常に失敗します。

回避方法:

PCIE_CORE_LM_I_PL_CONFIG_2_REG レジスタの DQMDC フィールドを使用して、Detect.Quiet 状態の最小待機時間 2ms を有効にします。これにより、LTSSM は Detect.Quiet 状態で 2ms 以上待機します。これにより、連続するレシーバ検出動作の間に、送信ラインの静電容量を放電するために十分な時間が確保されます。

i2184**CPSW:IET エクスプレストラフィック ポリシングの問題****詳細:**

これは、9 ポート CPSW、5 ポート CPSW、3 ポート CPSW、および 2 ポート CPSW IET トラフィックに適用されます。

IET (割り込みエクスプレストラフィック) では、プリエンプトされたパケットがエクスプレス パケットによって中断された場合、次の 2 つの事象が発生する可能性があります。

1. エクスプレストラフィックがポリシングされている場合、プリエンプト パケットのフレーム サイズがエクスプレストラフィック ポリサーに適用されます。ポリサーが高速トラフィック ストリームのレート スケジューリングを行うように設定されていると仮定すると、割り込みされたプリエンプト パケット サイズの悪影響を受けます。プリエンプトされたパケットは、エクスプレストラフィック ポリサーのステータスも引き受けします。その結果、プリエンプトされたパケットは、エクスプレストラフィック ポリサーによって他のエクスプレストラフィックとともにドロップされる可能性があります。
2. エクスプレストラフィックがポリシングされていない場合、割り込まれたプリエンプト パケットの パケット サイズはプリエンプトされたポリサーに適用されません。

回避方法:

IET エクスプレストラフィックをポリシングしないでください。

i2185**CPSW:ポリサー カラー マーキングの問題****詳細:**

CPSW9G および CPSW5G にのみ適用されます。

2 つの異なるポートからのパケットが同じポリサーに到達し、一方のポートから大きいパケット、もう一方のポートからショートパケットが到達した場合、大きいパケットが開始された直後にショートパケットが到着すると、ショートパケットはバックログ カウントを停止します。その結果、このポリサーの次のフレームには、グリーンであるはずなのにイエローのフラグが付けられる可能性があります。ポリサーは通常、イエローをドロップしないように設定されているため、問題は発生しません。

i2185 (続き)

CPSW: ポリサー カラー マーキングの問題

これは、同じポリサー インデックスを共有する異なるポートに着信するパケットにのみ当てはまりません。

回避方法:

ポリサーがポートに固有であることを確認します。

i2186

DDR: LPDDR4 は 2666MT/S に構成する必要があります

詳細:

LP4-3200 は、量産開始前ユニットではサポートされていません。サポートされている LPDDR4 の最大データレートを決定するための特性評価が進行中です。

回避方法:

SW 開発には LP4-2666 を推奨します。

i2187

MSMC: キャッシュ サイズを 0 に変更すると、タグがアップデートされずにリフレッシュされます

詳細:

データ破損 (MSMC がすべて 0 を返す) は、MSMC の L3\$ (DDR) にダーティ データをキャッシュしていた行の MSMC L3\$Size をゼロ以外からゼロに変更し、その後ゼロ以外に戻したときに発生します。MSMC リセットのリリース直後の 0 -> N 構成は、この問題の影響を受けません。

MSMC の内部キャッシュ サイズ変更トランザクションは、常に非割り当てミスとしてマークされます。タグは、割り当てミスとヒット時の新しい値でのみ更新されます。その結果、キャッシュのサイズ変更操作ではタグを変更せずに元のデータをゼロに設定します。

L3 キャッシュ サイズを変更すると、既存のタグはすべて MSMC に残りますが、データはゼロに設定されるため、以前にキャッシュされたこれらの行への後続の読み取りでは、データに対して返されるすべての 0 が認識されます。

回避方法:

L3 キャッシュのサイズが N から 0 に変更された後、L3 を 0 から X に変更する前に、MSMC をリセットします。この回避方法では、L3 キャッシュのサイズの N -> 0 の遷移によってデータが DDR に強制的に入れられ、DDR (セルフリフレッシュ) に有効なデータが含まれるため、データが保持されます。

i2189

OSPI: コントローラ PHY のチューニング アルゴリズムを追加

詳細:

PHY モジュールがイネーブルのとき、OSPI コントローラは DQS 信号を使用してデータをサンプリングします。しかし、モジュールに問題が存在する必要があります。これは、このサンプルは内部クロックで定義されたウィンドウ内で発生する必要があります。読み取り動作は外部遅延の影響を受け、温度によって変化します。任意の温度で読み取りが有効になるようにするには、最も堅牢な TX、RX、読み取り遅延の値を選択する特別なチューニング アルゴリズムを実装する必要があります。

回避方法:

このバグの回避方法については、[SPRACT2](#) に詳細が記載されています。一部の PVT 条件でデータをサンプリングするには、ユーザーは読み取り遅延フィールドをインクリメントして、内部クロックのサンプリング ウィンドウをシフトする必要があります。これにより、データアイ内の任意の場所でデータのサンプリングが可能になります。しかし、これには次の副作用があります。

i2189 (続き)
OSPI:コントローラPHY のチューニング アルゴリズムを追加

1. すべての読み取り動作に対して PHY パイプライン モードを有効化する必要があります。書き込みのために PHY パイプライン モードを無効化する必要があるため、読み出しと書き込みは個別に処理する必要があります。
2. 回避方法が実行されると、ビジー ビットのハードウェア ポーリングが壊れます。そのため、代わりに SW ポーリングを使用する必要があります。ホストとフラッシュ デバイスのどちらからも割り込みが発生しないように、DMA アクセスにより、ページ境界内で書き込みを行う必要があります。ソフトウェアは、ページ書き込みの間でビジー ビットをポーリングする必要があります。または、ハードウェア ポーリングを有効化した状態で、PHY 以外のモードで書き込みを実行することもできます。
3. STIG 読み取りは余分なバイトでパディングされ、受信データは右シフトされなければなりません。

i2196
IA:IA でデッドロック シナリオが発生する可能性があります
詳細:

割り込みアグリゲータ (IA) には、イベントトランスポートレーン (ETL) パスに到着したイベントを割り込みステータス ビットに変換するというメイン機能が 1 つあります。これは、レベル割り込みの生成に使用されます。IA バージョン 1.0 でこの関数を実行したブロックはステータス イベント ブロックと呼ばれていました。

ステータス イベント ブロックに加えて、マルチキャスト イベント ブロックとカウント イベント ブロックという 2 つの主要な処理ブロックがあります。マルチキャスト ブロックは、実際にはイベント スプリッタとして機能します。イベントが発生するたびに、2 つの出力イベントを生成できます。カウント イベント ブロックは、高周波イベントを読み取り可能なカウントに変換するために使用されます。入力イベントをカウントし、0 以外のカウント値との間のカウント遷移時に出力イベントを生成します。ステータス イベント ブロックとは異なり、マルチキャストおよびカウント イベント ブロックは出力 ETL イベントを生成し、他の処理ブロックにマッピングします。

設計後に、IA のデッドロックを引き起こす可能性のある問題が発見されました。この問題は、これら 3 つの処理ブロック間でイベント「ループ」が発生した場合に発生します。パスがブロックされているために処理ブロックがイベントを出力できず、イベントを出力できないために、新しい入力イベントを取得できない状況が発生する場合があります。この入力イベントを受信できないため、出力パスがアンワインドできなくなり、両方のパスがブロックされたままになります。

回避方法:

図 3-1 に、IA 1.0 の概念ブロック図を示します。潜在的なループは、カウント イベント ブロックがマルチキャスト ブロックにイベントを送信しないようにするポリシーを採用することで回避できます。最初にイベントを分割してから、他の場所に送信する間に 1 を数えるのが一般的であるために、この方法が選択されました。このパスが慣例によってブロックされている場合、1 つのイベントが複数回ブロックにアクセスすることはできず、出力がブロックされない限り、パスがブロックされることはありません。

i2196 (続き)

IA:IA でデッドロック シナリオが発生する可能性があります

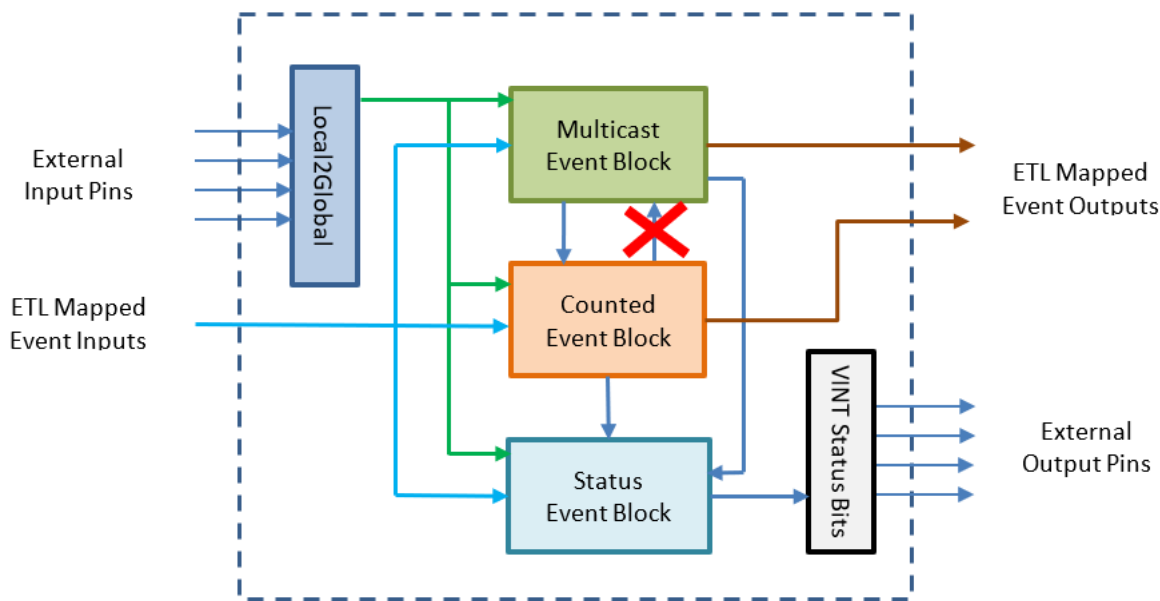


図 3-1. 割り込みアグリゲータ バージョン 1.0

ここに概説されているルールに従うと、システムは、デッドロック シナリオを発生させる可能性のあるループ危険性を回避して安全に動作できます。

i2197

I3C:スレーブ モードはサポートされていません

詳細:

I3C スレーブ モードは使用できません。シングルマスタ バスではマスタ ロールのみを使用する必要があります。

回避方法:

なし。シングルマスタ バスではマスタ ロールのみを使用する必要があります。

i2201

MSMC:バイトカウントの不正なパリティ検出

詳細:

バイトのパリティをチェックするための信号接続では、ナビゲータ サブシステムから MSMC へのトランザクション イネーブルが正しくありません。これにより、MSMC の境界および DDR へのパス全体でパリティ エラーが誤って表示されます。このような誤ったエラー表示を回避するには、ECC アグリゲータ全体をディスエーブルにする必要があります。これにより、他の多くの (有効な可能性がある) エラーの検出もディスエーブルになり、安全範囲が失われます。

回避方法:

COMPUTE_CLUSTER0_MSMC_ECC_AGGR0 をディスエーブルにする必要があります。これらのメカニズムによって提供される診断範囲を再現する直接的な方法はありません。対象範囲の損失を緩和するために、高レベルのシステム診断機能を実装することができますが、これはアプリケーション固有のものです。

i2205 **I3C: 保留中の IBI 中にフェッチされたコマンドが、場合によっては適切に処理されないことがあります**

詳細: ターゲット起点の IBI アドレス バイト受信中にホストがコマンドを書き込むと、誤ったフレーム生成など、コントローラによる不適切なコマンド実行が発生する可能性があります。

回避方法: ホストは、コントローラにコマンドを送信する前に、ブロードキャスト DISEC CCC を送信して IBI を無効化する必要があります。

i2207 **CBASS: コマンド調停ブロック**

詳細: インターコネクが複数のソースからのコマンドを調停する場合、優先度の高い要求が常に優先されます。同じ優先度レベルの要求はラウンドロビン方式で調停されます。問題は、優先度の高い要求がアイドル状態になった後で、同じ優先度レベルにある 2 つ以上の保留中の要求がある場合、ハードウェアはそれらのうちの 1 つを任意に選択します。ソフトウェアが複数のソースから同じエンドポイントにポーリングすると、潜在的な問題が発生する可能性があります。優先度の高いソースにサービスを提供した後、ハードウェアは同じ優先度の低いソースを繰り返しアクセス用に選択することがあります。つまり、他の同じ優先度の低い要求が長時間ブロックされる可能性があり、最悪の場合、ポーリング シーケンス間に依存関係があると、ソフトウェアはライブロック状態になる可能性があります。

この問題は、1 つのスイッチ モジュール内に、同じターゲットに同時にアクセスできる少なくとも 3 つのソースがある特定のインターコネクにのみ影響します。また、すべての要求の優先度が同じ場合、問題は適用されません。

回避方法: 複数のソースが同じエンドポイントから同時にポーリングされ、読み取りデータに基づいて依存性が予想される場合は、すべてのソースが同じ優先度で読み取りコマンドを送信していることを確認します。依存関係を破るソースは、他の依存関係のあるソースと同等かそれ以上の優先度にする必要があります。

i2208 **CPSW: ALE IET エクスプレス パケットドロップ**

詳細: この問題は、次のモジュールに影響を与えます。

[J7VCL] 5 ポート CPSW (ポート 2 ~ 4 で 2.5G 時)

ALE の問題は、短い高速トラフィックでの CPSW 周波数と IET 動作、および非 10G 対応ポートで 60 ~ 69 バイトのプリエンプトされたパケットが原因です。

プリエンプト可能な IET パケットが 60 ~ 69 バイトで中断された場合、次のチャックが到着したときにルックアップが行われます。CPSW は、プリエンプト可能な MAC から ALE 64 バイトのみを提供します。

その結果、短い高速トラフィック ルックアップは 64 バイトの高速トラフィックの最後から開始されますが、プリエンプト キューが続行されると、プリエンプトされたトラフィックは 64 バイトを完了し、プリエンプト パケットのルックアップを試行します。しかし、このルックアップは、エクスプレス ルックアップの開始から 64 クロックよりも少ないため、エクスプレス ルックアップは中止され (エクスプレス トラフィックドロップが行われる)、プリエンプトされたトラフィックの新しいルックアップが開始されません。

問題を引き起こすルール:

1. 5/10G 動作ができないポートで IET (Interspered Express Traffic) モードになっていること

i2208 (続き)

CPSW:ALE IET エクスプレス パケットドロップ

2. リモート エクスプレス パケットが 60 バイトまでのパケットをプリエンプトできること
3. 128 バイト以上のプリエンプト パケットトラフィック
4. プリエンプトトラフィックを 60 ~ 69 バイトの範囲で中断するエクスプレストラフィック
5. プリエンプトトラフィックの継続が直ちに続く短い高速トラフィック
 - a. エクスプレス フレームとプリエンプト フレーム間のギャップが最小
6. CPSW 周波数が必要な速度の最小能力であること

回避方法:

IET ネゴシエーション中に、リモートに 128 バイトのフラグメントを指定します。

i2209

DCC:クロックの選択が正しくありません

詳細:

MCU DCC でのクロック接続が誤っている場合は、比較のために HFOSC1 クロックを選択できないことを意味します。MCU アイランドの DCC (HFOSC0 から動作) の主な目的は、HFOSC1 から供給される独立したクロック ソースと比較することです。

回避方法:

比較用に、より低い精度で他のクロック ソース (内部発振器を含む) を利用できます。利用可能性の喪失をチェックすることで、クロックが期待どおりに動作していることを間接的にチェックするために、外部ウォッチドッグ メカニズムにもさらに注意を払う必要があります。

i2216

I3C:スレープ起点の IBI アドレス バイト受信中、コマンド実行が失敗することがあります

詳細:

I3C コントローラへの SoC ホスト コマンドは、スレープ起点の IBI アドレス バイト受信が進行中にコマンドが書き込まれた場合、誤ったフレーム生成など、コントローラによる不適切なコマンド実行を引き起こす可能性があります。

このような場合、コマンド応答キューに誤って応答が格納されます。さらに、受信した IBI にペイロードがなく、マスタからアクノリッジされた場合、スレープにフェッチされたコマンドによってバス経由で誤ったフレームが発行されます。

回避方法:

ホストは、コントローラにコマンドを送信する前に、ブロードキャスト DISEC CCC を送信して IBI を無効化する必要があります。

i2217

推奨される MCU_BOOTMODE[09:08] による POST 選択

詳細:

MCU_BOOTMODE[09:08] ピンを使用して、パワーオンセルフテスト (POST) の動作モードを設定できます。MCU_BOOTMODE[09:08] の影響は、内部 eFuse オーバーライド制御に対する TI の工場出荷時の設定によって異なります。TRM で定義されているオプションは次のとおりです。

Table 4-6. POST Selection

POST Config Pins		POST Sequence
MCU 9	MCU 8	
0	0	DMSC LBIST followed by MCU LBIST followed by PBIST ⁽²⁾
0	1	DMSC LBIST and MCU LBIST in parallel followed by PBIST ⁽²⁾
1	0	Reserved ⁽²⁾
1	1	POST bypass ⁽¹⁾

i2217 (続き)**推奨される MCU_BOOTMODE[09:08] による POST 選択**

推奨される MCU_BOOTMODE[09:08] 設定は、「回避方法」セクションで要約されているように、デバイス タイプによって異なります。

デバイス タイプは、SoC データ マニュアルの第 10 章に記載されている型番 Y / デバイス タイプ 指定子で識別されます。これについては、次の図で示されています。

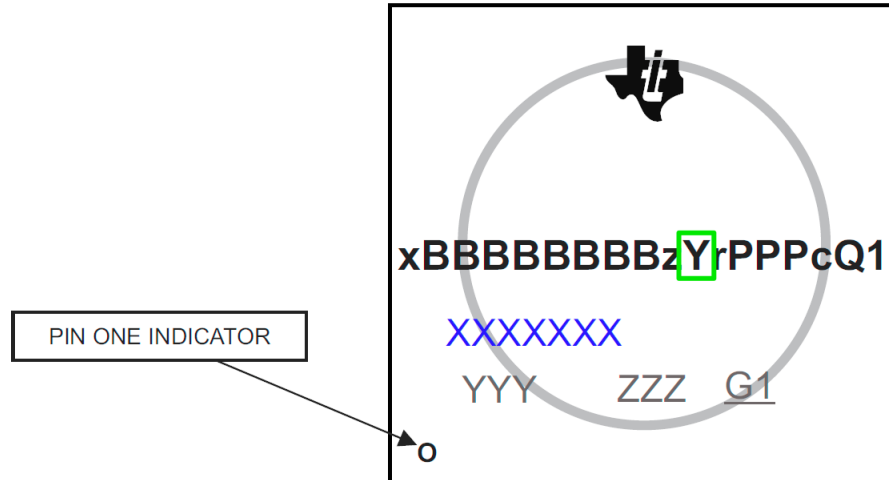


Figure 10-1. Printed Device Reference

回避方法:

デバイス タイプ = C、5、D の場合

- MCU_BOOTMODE[09:08] ピンは「don't care」であり、eFuse によってオーバーライドされます
- 工場出荷時 eFuse post_enable = 1
 - SoC は、「DMSC LBIST と MCU LBIST を並列に、その後 PBIST」に対して約 20ms のランタイムで POST シーケンスを実行します。
- TI は、将来のデバイスとの互換性を確保するため、MCU_BOOTMODE[09:08] を「01」に設定することを推奨します。

デバイス タイプ = G、0 の場合

- 「POST バイパス」のため、MCU_BOOTMODE[09:08] を「11」に設定する必要があります。

i2221

CC: 侵襲的および非侵襲的デバッグイネーブル設定は、MCU_RESEZt によってリセットされません

詳細:

MCU_RESEZt をアサートした後、CTRLMMR_MCUSEC_CLSTR0_CORE[1:0]_DBG_CFG レジスタが誤ってデフォルト値にリセットされます。これらは、PORz がアサートされたときにのみリセットされる必要があります。したがって、侵襲的および非侵襲的なデバッグ動作に影響を与えるようにソフトウェアによってこのレジスタに加えられた変更は、MCU_RESEZt のアサート時に上書きされます。

回避方法:

MCU_RESEZt がアサートされた後に、ソフトウェアは CTRLMMR_MCUSEC_CLSTR0_CORE[1:0]_DBG_CFG レジスタを再プログラムする必要があります。

i2222

コンピュータ クラスタ: A72 Corepac をパワーダウンすることができません

詳細:

DebugSS LPSC がオフのときにソフトウェアから A72 Corepac パワーダウンが要求された場合、パワーダウン ハンドシェイクがハングアップする可能性があります。DebugSS LPSC がオフの場合、クロックから MSMC へのラップのデバッグ ブロックがゲートされ、このデバッグブロック内の A72 関連デバッグ コンポーネントの初期状態によっては、A72 の LPSC はまったく `disable_ack` を受信しないことがあります。

回避方法:

A72 Corepac のパワーダウン シーケンス ソフトウェアを開始する前に、DebugSS LPSC がオンになっていることを確認する必要があります。これにより、MSMC ラップ デバッグ ブロックへのクロックがイネーブルになり、A72 のパワーダウン ハンドシェイクが確実に完了するようになります。

i2227**R5FSS: エラー割り込み CCM_COMPARE_STAT_PULSE_INTR が正しく駆動されません****詳細**

電力を節約するためにデバイス上のモジュールが機能的に無効または分離されている場合、ダウンストリームのシステムに関する問題を回避するため、デバイスからのすべての出力を固定値に保持する必要があります。

R5FSS が分離 / デイスエーブルのときに、R5FSS からのエラー割り込み CCM_COMPARE_STAT_PULSE_INTR がアクティブ High 値に正しく駆動されません。エラー信号モジュール (ESM) で検出ロジックが有効な場合、これはデバイスのエラー発生として記録されます。デフォルトでは、検出ロジックは無効になっています。

回避方法

R5FSS モジュールが機能的にアクティブになるまで、このエラーの ESM 検出を有効にしないでください。R5FSS モジュールを無効にする前に、このエラーの ESM 検出を無効にします。

i2228**JTAG:TRSTn デバイス ピンがアサートされないと、デバッガが使用する TAP にアクセスできない場合があります****詳細**

TRSTn でまったく LOW が観測されない場合、初期化されていないロジックによって組込みデバッガ スキャン チェーンへのアクセスがブロックされる可能性があります。JTAG バイパスおよびバウンダリ スキャン機能は影響を受けません。

回避方法

デバッガを接続する前に、TRSTn ピンが 100ns の間 LOW にアサートされ、その後、デバイスの電源投入後、少なくとも 1 回 HIGH にアサート解除されていることを確認してください。

i2232

DDR: 周波数変化の後、コントローラが許可されたリフレッシュ数を超えて延期します

詳細

より高いクロック周波数から低いクロック周波数に動的に切り替える場合、リフレッシュ コマンドの延期を制御するローリング ウィンドウ カウンタは、低いクロック周波数にスケールリングするために正しくロードされません。これにより、コントローラは **DRAM** 仕様で許容されるよりも多くのリフレッシュ コマンドを延期し、**DRAM** のリフレッシュ要件に違反します。

回避方法

回避方法 1: `DFS_ENABLE = 0` をプログラムすることで、動的な周波数変更を無効化します

回避方法 2: スイッチング周波数の場合、以下に示す疑似コードに基づいてレジスタ フィールドの値をプログラムします。コントローラでは、初期化をトリガする前に、`AREF*_THRESHOLD` の値をプログラムする必要があります。これらの値は、初期化後にミッション モード中に変更することはできません。したがって、これらのパラメータの値は、使用する予定のすべての周波数変化遷移に必要なすべての値のうちの最小値でなければなりません。

```

if (old_freq/new_freq >= 7){
    if (PBR_EN==1) { // Per-bank refresh is enabled
        AREF_HIGH_THRESHOLD = 19
        AREF_NORM_THRESHOLD = 18
        AREF_PBR_CONT_EN_THRESHOLD = 17
        AREF_CMD_MAX_PER_TREF = 8
    }
    else { // Per-bank refresh is disabled
        AREF_HIGH_THRESHOLD = 18
        AREF_NORM_THRESHOLD = 17
        // AREF_PBR_CONT_EN_THRESHOLD <=== don't care, PBR not enabled
        AREF_CMD_MAX_PER_TREF = 8
    }
}
else {
    AREF_HIGH_THRESHOLD = 21
    AREF_NORM_THRESHOLD //<=== keep AREF_NORM_THRESHOLD < AREF_HIGH_THRESHOLD
    AREF_CMD_MAX_PER_TREF = 8
    if (PBR_EN==1) { // Per-bank refresh is enabled
        //keep AREF_PBR_CONT_EN_THRESHOLD<AREF_NORM_THRESHOLD<AREF_HIGH_THRESHOLD
        AREF_PBR_CONT_EN_THRESHOLD
    }
}

```

i2233**DMADVR:MAIN と MCU の間の Link/link_safer 同期の問題**

詳細

異なる DMA ストリーミングドメイン (メインドメインと MCU ドメイン) 間の PSIL Link 信号のパリティチェックを行う場合、フックアップにエラーがあります。リンク状態遷移中 (エンドポイントがリセットされるためリンクがダウンするなど)、関連するパリティ チェッカは誤パリティ エラーをフラグ付けする可能性があります。指定されたチェッカは、通常動作中は無効化できません。さもないと、追加のエラーが検出されない可能性があります。

回避方法

アプリケーションは、チェッカを無効にして、エラーが検出されないリスクを負うか、既知のドメイン電力遷移中に報告されたエラーをチェックし、エラーの原因が PSIL Link 信号である場合は無視する必要があります。

i2234**UDMA:ICNT0 が 64 バイト未満の場合、TR15 はハングアップします**

詳細

UDMA は常にトランザクションのバースト サイズの送信を試みます。実際の ICNT0 が最小バースト サイズ 64 より小さい場合、UDMA は、到達しないデータを待ち、ハングアップします。TR で EOL が設定されている場合、UDMA は転送が可能なサイズに関係なく、常に最後のデータのデータを送信します。

回避方法

これは、TR で EOL を 1 に設定することで回避できます

i2235

イネーブルレジスタで **CBASS** ヌル エラー 割り込みがマスクされません

詳細

CBASS には、ヌル エラー 報告 MMR と割り込みソースを追加するオプションの機能があります。この機能が存在し、割り込みがイネーブルのとき、これら 2 つの出力ポート: "err_intr_intr" (レベル割り込みソース) と "err_intr_pls_intr" (パルス割り込みソース) がヌル領域へのアクセスが発生するとアサートされます。割り込みのイネーブルは、ERR_INTR_ENABLE_SET レジスタ (アドレス オフセット 0x58) にあります。

問題は、CBASS がこのイネーブルビットを無視し、その結果、ヌル アクセスによって常に割り込みのソース / イベントが生成されることです。

回避方法

プロセッサ イベントのデフォルトのディスエーブル ステータスのため、このバグによるスプリアス イベントはありません。システム レベルでは、関連する GIC/VIM 割り込みコントローラでイネーブルになっていない場合、プロセッサはイベントを受信しません。

割り込みが有効化され、割り込みが発生するときは、cbass レベルで次のレジスタに書き込んでクリアします。

err_intr_enabled_stat レジスタに 0x1 を書き込み、err_eoi レジスタに 0x1 を書き込みます。

i2237

**PCIe :SerDes 基準クロック出力は、Vcross、立ち上がり/立ち下がりマッチング、エッジレート
の制限に準拠していません**

詳細

SerDes の PCIe 基準クロック出力は、VCROSS およびエッジレート制限に関する PCI-SIG 仕様
に準拠していません。したがって、一部の外部 PCIe コンポーネントでは、基準クロックの受信
と使用に問題がある場合があります。ただし、このデバイス ファミリの SerDes は、この非準拠の
基準クロックを受け入れる際に問題は発生しません。つまり、1 つのデバイスの SerDes を別のデ
バイスの SerDes に接続するリンクでは、1 つのデバイスが基準クロックを生成し、もう 1 つのデ
バイスが基準クロックを受信しても、問題は発生しません。

回避方法

オプション 1:

PCIe 基準クロック SERDES0_REFCLK_P/N 出力に外部回路を追加して、信号を電氣的規格
に準拠させます。

パッシブ再バイアス回路を使用して、規格に準拠した Vcross レベルを実現できます。

- SerDes の内部 50Ω 終端を使用します
- SERDES0_REFCLK_P/N 出力の各レグでは、100nF AC カップリング コンデンサを使用
し、その後段に、1kΩ のプルダウン抵抗と VDDA_1P8_SERDES0 に対する 3.5kΩ のプル
アップ抵抗で形成されたバイアス ネットワークを使用します
- 部品の許容差は、抵抗の場合は $\pm 5\%$ 、コンデンサの場合は $\pm 30\%$ である必要がありま
す

準拠したエッジレートを実現するには、次の 2 つのオプションがあります。

- 出力 SERDES0_REFCLK_P/N 信号に外部バッファを追加することができます。選択したバ
ッファによっては、外部バッファ入力要件を満たすために再バイアス回路も必要になる場合が
あります。
- -4dB@4MHz というチャネル損失の仕様を低減した結果、規格に準拠したエッジレートを実
現できます。

オプション 2:

外部クロック ソースを使用して、PCIe 基準クロックをリンクのルート コンプレックス デバイスとエン
ドポイント デバイスの両方に供給します。

i2241

PCIe :SerDes PCIe 基準クロック出力は、5.0GT/s のデータレート RMS ジッタ制限を超過する場合があります

詳細

SerDes PCIe 基準クロックを出力モードで動作させる場合、クロックの RMS ジッタは、5.0GT /s データレートの PCIe 仕様の制限を超える場合があります。

回避方法

オプション 1:

基準クロック出力を (受信 Refclk モードではなく) 派生 Refclk モードに構成し、PLL 構成レジスタを次のようにプログラムします。

- より低いジッタ動作を可能にするため、CMN_PDIAG_PLL0_CP_PADJ_M0 = 0x0128 に設定します

(8.0GT/s 動作をサポートするデバイスに関する注記: 派生 Refclk モードには、シングル PLL SerDes 構成でデータレートを 8.0GT/s に変更したときの Refclk の一時的なディスエーブルに関連するエラー i2242 があります。

オプション 2:

PCIe インターフェイスを 5.0GT/s データレートで動作させないでください

オプション 3:

外部クロックソースを使用して、PCIe 基準クロックをリンクのルート コンプレックス デバイスとエンドポイント デバイスの両方に供給します。

i2242
PCIe: データレートの変更中は、SerDes PCIe 基準クロック出力が一時的に無効化します
詳細

SerDes PCIe 基準クロック出力は、派生 Refclk モードでデータレートを 8.0GT/s に変更し (受信 Refclk モードではなく)、1 つの SerDes PLL を使用して PCIe TX および RX クロックを生成するときに一時的に無効化されます。これは、このモードでデータレートを 2.5GT/s または 5.0GT/s から 8.0GT/s に変更するときに実行する必要がある PLL の再プログラミングによるものです。

PCIe 基準クロックを使用している一部の外部 PCIe コンポーネントでは、データレートを変更するときにクロックを無効化できない場合があります。しかし、このデバイスファミリの SerDes は、この基準クロック動作を受け入れる際に問題は発生しません。つまり、1 つのデバイスの SerDes を別のデバイスの SerDes に接続するリンクでは、1 つのデバイスが基準クロックを生成し、もう 1 つのデバイスが基準クロックを受信しても、問題は発生しません。

回避方法
オプション 1:

1 つの PLL を使用して 2.5GT および 5.0GT データレートのクロックを生成し、2 番目の PLL を使用して 8.0GT/s データレートのクロックを生成するように SerDes を構成します。このオプションには、次のような制限があります。

A) 内部 SSC モードを使用する場合、2 つの PLL は互いに同期して拡散しません。これにより、2 つの PLL の周波数間、つまりリンク パートナーの TX と RX の間に最大 5,000ppm の差が生じる可能性があります。このため、内部 SSC モードは推奨されません。

B) SerDes の異なるレーン上で PCIe と同時に使用するプロトコルは、PCIe に使用される 2 つの PLL のうち少なくとも 1 つの PLL 構成を共有することで互換性がある必要があります。

オプション 2:

受信した Refclk モードを使用します。このモードは、個別の出力 Refclk ジッタのエラッタ アドバイザリ (i2241) の影響を受けることに注意してください。

オプション 3:

PCIe インターフェイスを 8.0GT/s データレートで動作させないでください

オプション 4:

外部クロック ソースを使用して、PCIe 基準クロックをリンクのルート コンプレックス デバイスとエンドポイント デバイスの両方に供給します。

i2243

PCIe:L1.2 サブステート時に出力 refclk を無効化するタイミング要件は満たされません

詳細

PCIe の基本仕様では、L1.2 サブステートに移行するとき、CLKREQ# デアサートから 100ns 以内に Refclk が電氣的にアイドル状態に達する必要があります (「TL10_REFCLK_OFF パラメータ」を参照)。

ハードウェアが Refclk を自動的にゲートしないため、デバイスから Refclk をソースする場合は、このタイミング要件を満たすことはできません。REFCLK ゲーティングは、SERDES_RST レジスタの PHY_EN_REFCLK フィールドに書き込むことで、ソフトウェアによって実行される必要があります。

その結果、Refclk は L1.2 サブステートではゲートできません。通常、Refclk を L1.2 サブステートで実行できるようにすると、機能上の問題は発生しません。しかし、100ns 以内のゲーティング Refclk がシステムで必要な場合は、L1.2 サブステートはサポートされません。

回避方法

PCIe 基準クロックには、外部 Refclk ジェネレータを使用します

i2244 **DDR:書き込み DQ VREF トレーニングには、有効な停止値を定義する必要があります**
詳細

DDR PHY は、書き込み DQ VREF トレーニングのために、開始、停止、ステップサイズ値を使用します。停止値が開始値 + ステップサイズの倍数と等しくない場合、最終的な VREF 設定が最大 VREF 範囲を超えて、トレーニングがハングアップする可能性があります。

回避方法

停止値を次のようにプログラムします。

$$PI_WDQLVL_VREF_INITIAL_STOP = (PI_WDQLVL_VREF_INITIAL_STEP_SIZE \text{ の倍数}) + PI_WDQLVL_VREF_INITIAL_START$$
i2245 **DMSC:ファイアウォール リージョンには特定の設定が必要**
詳細

DMSC 内の ECC アグリゲータ (DMSC0_ECC_AGGR) には、この領域を保護するために使用されるエンドポイントファイアウォールがあります。デフォルトでは、このファイアウォールは DMSC 内の M3 コアを除くすべてのトランザクションをブロックします。

回避方法

別のプロセッサまたはエンドポイントが DMSC0_ECC_AGGR 領域にアクセスする必要がある場合、ソフトウェアは、DMSC0_ECC_AGGR 領域に関連付けられた

CBASS_FW_REGION_i_START_ADDRESS および END_ADDRESS レジスタを使用して、開始アドレス 0x0 と終了アドレス 0xFFFF_FFFF を構成する必要があります。これは、この領域で使用できる唯一のアドレス構成です。

i2246 **PCIe:未使用の SERDES レーンが PCIe コントローラに割り当てられていない場合、自動コンプライアンス エントリは失敗します**
詳細

PCIe は、パッシブ負荷に接続されているとコンプライアンス状態に移行できません。これは、未使用の SERDES レーンが PCIe コントローラに割り当てられていない場合に発生します。たとえば、PCIe が 1 レーン モードに構成されている場合、SERDES のレーン 0 のみが PCIe コントローラに割り当てられ、レーン 1、2、3 が PCIe コントローラに割り当てられていない場合、コンプライアンス エントリは失敗します。

レーンが PCIe に割り当てられていない場合、SERDES から PCIe コントローラに送られるステータス信号はタイオフになります。電気的アイドルを示す信号が、非アイドルを示す状態に誤ってタイオフされます。そのため、コントローラが未使用のレーンを電気的アイドル状態 (レーンがパッシブ負荷に接続されていないことを示します) ではないと認識することで、コンプライアンス エントリが防止されます。

この問題は、パッシブ負荷に接続されている場合の自動コンプライアンス エントリ メカニズムのみ影響することに注意してください (たとえば、受信ラインに終端が存在するが、送信ラインが電気的アイドル状態から外れないスコープなど)。この問題は、PCIe 仕様で定義されている Enter Compliance または Compliance Receive メカニズムには影響しません。

回避方法

唯一使用可能な回避方法は、コンプライアンス検証中にすべての SERDES レーンを PCIe に割り当てることのみです。

i2249

OSPI:DDR タイミングが動作不能の内部 PHY ループバックおよび内部パッド ループバッククロック モード

詳細

OSPI 内部 PHY ループバック モードと内部パッドループバック モードは、「立ち上げエッジをキャプチャ エッジとして」(同じエッジ キャプチャまたは 0 サイクル タイミング)を使用します。

プログラマブル受信遅延ライン (Rx PDL) は、往復遅延 (Tx クロックからフラッシュ デバイス、フラッシュ クロックから出力、フラッシュ データからコントローラ)を補償するために使用されます。

内部ループバック モードと IO ループバック モードの場合、Rx PDL の合計遅延は往復遅延を補償するのに十分ではないため、これらのモードは使用できません。

次の表に、OSPI コントローラで推奨されるクロック トポロジを示します。ここで説明されていない他のモードはすべて、DDR モードのアドバイザーの影響を受け、クロック トポロジは推奨されません。

表 3-1. OSPI クロッキング トポロジ

クロック モードの用語	CONFIG_REG.PHY_MODE_ENABLE	READ_DATA_CAPTURE.BYPASS	READ_DATA_CAPTURE.DQS_EN	ボードの実装
ループバックなし、PHY なし	0 (PHY ディスエーブル)	1 (適応ループバッククロックを無効化)	X	なし。内部クロックに依存。最大周波数 50MHz。
PHY による外部ボードループバック	1 (PHY イネーブル)	0 (適応ループバッククロックを有効化)	0 (DQS ディスエーブル)	外部ボード ループバック (OSPI_LOOPBACK_CLK_SEL = 0)
PHY を搭載した DQS	1 (PHY イネーブル)	x (DQS イネーブルが優先)	1 (DQS イネーブル)	メモリ ストロープは SOC DQS ピンに接続

回避方法

なし。説明の表に基づいて、影響を受けないクロック モードのいずれかを使用してください

i2253

PRG:CTRL_MMR_STAT レジスタは、POK スレッシュホールド障害の信頼性が低いインジケータです

詳細

CTRL_MMR PRG STAT レジスタの POK 過電圧および低電圧フラグは、POK が障害を認識したかどうかを示す信頼性が低いインジケータです。その結果、デバイス テクニカル リファレンス マニュアル (TRM) では、これらのビットが「予約済み」とマークされています。

回避方法

フィルタ処理された POK 出力は ESM フラグを更新します。

POK の初期化 (イネーブル) 時に、ESM フラグをクリアする必要があります (バンドギャップ中または POK のセトリング タイム中に実行される比較のため)。この最初のクリアの後、ESM フラグは、POK からの信頼できる障害 (または障害なし) インジケータとして使用できます。

i2257

ブート:xSPI ブート モード冗長イメージブート障害

詳細

オフセット 0x0 のイメージが破損した場合、xSPI ブートは 0x400000 の冗長イメージ オフセットからブートできません。ROM 内の xSPI ブート障害 API は、xSPI のヘッダ チェックを正しく処理しません。

i2257 (続き)
ブート:xSPI ブート モード冗長イメージブート障害
回避方法

xSPI 1S モード動作の場合、バックアップ ブートモードとして SPI を有効にします。この回避方法は、xSPI SFDP および 8D モードには適用されないことに注意してください。SFDP および 8D モードでは、回避方法はありませぬ。

i2274
DDR:BSCAN に DDR を含めると、DDR 電源で電流アラームが発生します
詳細

BSCAN により、DDR が含まれているときに電流アラームトリップが発生します。BSCAN を使用しているお客様に対し、バウンダリ スキャン中にスキャン チェーン内の DDR を排除するように、この問題を警告する必要があります。これは、DDR インターフェイスがピン接続されているデバイス パッケージにのみ影響します。

回避方法

バウンダリ スキャンを実行するときは、スキャン チェーンから DDR を除外します。DDR インターフェイスがピンアウトされていない場合、このエラーは適用されませぬ。

i2275
DMSC セキュア ブート ROM:X.509 証明書の明示的な EC 曲線パラメータを使用した場合の潜在的なセキュア ブートの脆弱性
詳細

ブート ROM は、EC Root-of-Trust キーの使用をサポートしています。ただし、ROM 実装では、X.509 証明書で指定されている明示的な曲線パラメータを使用して ROM メモリを節約していました。

- 問題は、曲線パラメータが明示的に定義されている場合、明示的に定義された EC パラメータが既知の公開キーを複製 (正当な秘密キーではあるが異なる秘密キーを使用) できることです。
- NIAP (米コモン クライテリア スキーム) は最近、多数の保護プロファイルを横断する ECDSA X.509 証明書の使用に関する一連の技術的決定 (TD) を発表しました。
- RFC 5480 のセクション 2.1.1 によれば、明示的に定義された EC パラメータの使用は X.509 証明書では許可されていません。

名前付き曲線拡張を使用すると、公開キーと曲線タイプがバインドされ、これが防がれます。

参考文献:

1. 概要 <https://lightshipsec.com/explicitly-parameterized-ecdsa-x-509-certificates/>
2. Microsoft 脆弱性 <https://msrc.microsoft.com/update-guide/vulnerability/CVE-2020-0601>
3. セクション 2.1.1 では PKI の明示的な曲線パラメータは非推奨 <https://tools.ietf.org/html/rfc5480>

回避方法

影響を受けるデバイス バリエーションには、RSA ルートキーを使用します。明示的な形式が必要な EC 秘密ルート キーは使用しないでください。

i2277
POK:デグリッチ (フィルタ) は、2 つのサンプルのみに基づくものです
詳細

POK は約 1.25µs の周期でサンプリングされます。「近接」のサンプル履歴はサーキュラー バッファに保存されます。デグリッチ (フィルタ) は、(ESM への) 出力を生成するために、サンプル履歴の最後の n 個のエントリに対して AND 処理を行う設計です。

i2277 (続き)

POK: デグリッチ (フィルタ) は、2 つのサンプルのみに基づくものです

デグリッチ フィルタは、{4、8、12、16} サンプルにプログラム可能です。デグリッチ出力は、最後のエントリ (0 番目) とプログラムされた個数前のサンプル (3 番目、7 番目、11 番目、15 番目) のみのチェックに基づきます。フィルタは、ESM への FAIL 出力を生成するために、これら 2 つの結果 (4、8、12、16 ではなく) の AND 処理を行います。

固定スレッシュホールド (UV または OV だがピンポンに設定されていない) を監視するように POK が設定されている場合、チェックされていないサンプルが使用されることに注意してください。

POK がピンポン方式で制御されると、スキップされたサンプルは破棄されます。

回避方法

回避方法はありません。

ただし、デグリッチ (フィルタリング) の意図は、ディスクリート電圧の低下や立ち上がりが FAIL をトリガしないようにすることです。時間的に大幅に分離された 2 点のサンプリングは、電圧の低下 / 上昇が単一の孤立イベントではなかったことを意味します。

フィルタは、ESM への FAIL 信号を生成する前に、N 個すべてのサンプルが失敗する必要があるため、N 個ではなく 2 つのポイントを含めることで、この回路の感度が向上します。

i2278

MCAN: 同じメッセージ ID で構成された専用 Tx バッファからのメッセージ送信順序が保証されません

詳細

このエラッタは、複数の Tx バッファが同じメッセージ ID (TXBC.NDTB > 1) で構成されている場合に制限されます。

次の状況では、メッセージは順序が正しくない状態で送信されることがあります。

- 同じメッセージ ID で構成された複数の Tx バッファ
- これらの Tx バッファに対する Tx 要求が、それぞれの間で遅延が発生して順次送信される場合

回避方法

回避方法 1:

メッセージ RAM に同じメッセージ ID を持つ Tx メッセージを書き込んだ後、TXBAR への 1 回の書き込みアクセスにより、これらすべてのメッセージの同時送信を要求します。同時要求を実行する前に、これらのメッセージに保留中の Tx 要求がないことを確認してください。

回避方法 2:

特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します (Tx FIFO を使用するには、ビット MCAN_TXBC[30] TFQM = 0 を設定)。

i2279

MCAN: 同じメッセージ ID で構成された専用 Tx バッファと Tx キューの仕様の更新

詳細

同じメッセージ ID で構成された複数の専用 Tx バッファからのメッセージ送信に関する M_CAN ユーザー マニュアルのセクション 3.5.2「専用送信バッファ」とセクション 3.5.4「送信キュー」の説明がエラッタで更新されています。

回避方法

回避方法 1:

i2279 (続き)
MCAN: 同じメッセージ ID で構成された専用 Tx バッファと Tx キューの仕様の更新

メッセージ RAM に同じメッセージ ID を持つ Tx メッセージを書き込んだ後、TXBAR への 1 回の書き込みアクセスにより、これらすべてのメッセージの同時送信を要求します。同時要求を実行する前に、これらのメッセージに保留中の Tx 要求がないことを確認してください。

回避方法 2:

特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します (Tx FIFO を使用するには、ビット MCAN_TXBC[30] TFQM = 0 を設定)。

i2283
CP Tracer デバッグプローブの使用方法に関する制限
詳細

一部の CP Tracer バス プローブは、完全な SoC 物理アドレスを受信せず、監視対象のエンドポイントに関連する最小限のセットだけを受信します。これにより、CCS の SoC 分析 > トラフィックプロファイリング機能でのプローブの有用性が制限されます。

- 1) アドレスのフィルタリング / マッチング: ユーザーは通常、アドレス認定のバス プローブ ジョブに対して、36b / 40b (デバイスによって異なる) のアドレス全体を入力します。
- 2) トランザクショントレースのデコード: ユーザーは、デコードされたストリームで提供されたアドレスが、トランザクションの完全な 36b / 40b 物理アドレスであると予想します。

影響を受けるプローブ:

J7VCL

回避方法

なし

i2306
ROM コード: SERDES の内部終端抵抗をオフにする必要があります
詳細

このデバイスの SERDES 実装では、内部終端抵抗がデフォルトでイネーブルになっています。PCIe ブート中、ROM コードではこれらの終端抵抗がディスエーブルされないため、PCIe 基準クロックの電圧スイングが低減され、PCIe 基準クロックで定義されている最小制限を下回る可能性があります。これにより、PCIe ブートが失敗する可能性があります。

回避方法

なし

i2307
ブート: ROM が BOOTMODE に基づいて OSPI クロック モードを適切に選択しません
詳細

ROM ブートローダーは、ユーザーが内部または外部のクロッキング方法を選択できるようにするための、BOOTMODE ピンで選択された Iclk フィールド値に関係なく、SPI/QSPI/OSPI/xSPI ブートの内部ループバック モードを選択します (BOOTMODE ピンのマッピングについては、デバイス固有の TRM を参照)。その結果、お客様の設計のボードトポロジのフレキシビリティが低下します。外部ボード ループバック モードを使用する場合、外部ループバック クロックが使用されていないため、ROM ブートのタイミング問題が発生する可能性があります。

回避方法

OSPI をブートソースとして使用することを計画する場合、OSPI 設計のトポロジでは「外部ボードループバック」を使用してはなりません。他のすべてのクロックトポロジ (内部ループバックまたは

i2307 (続き)

ブート:ROM が BOOTMODE に基づいて OSPI クロック モードを適切に選択しません

DQS を含む) を使用できます。OSPI を使用するサポートされているクロックトポロジについては、デバイス固有のデータシートの「アプリケーション、実装、レイアウト」セクションを参照してください。

i2310

USART:「タイムアウト割り込みの誤ったクリア/トリガ」を追加

詳細:

RHR/MSR/LSR レジスタが読み出されたときに、USART が誤ってクリアしたり、タイムアウト割り込みをトリガしたりすることがあります。

回避方法:

CPU の使用事例の場合。

- タイムアウト割り込みが誤ってクリアされた場合:
 - FIFO 内の保留データがタイムアウト割り込みを再トリガするため、これは有効です
- タイムアウト割り込みが誤って設定され、FIFO が空である場合は、次の SW 回避方法を使用して割り込みをクリアします。
 - TIMEOUTH および TIMEOUTL レジスタでタイムアウト カウンタの High 値を設定します
 - EFR2 ビット 6 を 1 に設定して、タイムアウト モードを周期的に変更します
 - IIR レジスタを読み出して、割り込みをクリアします
 - タイムアウト モードを元のモードに戻すには、EFR2 ビット 6 を 0 に戻します

DMA の使用事例の場合。

- タイムアウト割り込みが誤ってクリアされた場合:
 - 次の周期的なイベントでタイムアウト割り込みが再トリガされるため、これは有効です
 - ユーザーは、EFR2 のビット 6 を 1 に設定して、RX タイムアウト動作を周期的モードにする必要があります
- タイムアウト割り込みが誤って設定されている場合:
 - これにより、DMA は SW ドライバによって破棄されます
 - 次の受信データが有効であるため、SW で DMA が再度設定されます

i2311

USART スプリアス DMA 割り込み

詳細:

スプリアス DMA 割り込みは、DMA を使用して TLR レジスタの 2 の非冪乗 (Non power of two) のトリガレベルで TX/RX FIFO にアクセスする場合に発生することがあります。

回避方法:

TX/RX FIFO のトリガレベル (1、2、4、8、16、32) に 2 の冪乗の値を使用します。

i2312

MMCSDB:HS200 および SDR104 コマンド タイムアウト ウィンドウが小さすぎます

詳細:

高速 HS200 および SDR104 モードでは、MMC モジュールの機能クロックは最大 192MHz に達します。この周波数では、MMCSDB_SYSCTL[19:16] DTO = 0xE を使用した MMC ホストコントローラからの最大取得可能タイムアウトは、 $(1/192\text{MHz}) * 2^{27} = 700\text{ms}$ です。700ms を超えるコマンドは、この小さなウィンドウ フレームによって影響される場合があります。

i2312 (続き)
MMCSDBS200 および SDR104 コマンド タイムアウト ウィンドウが小さすぎます
回避方法:

このコマンドで 700ms より長いタイムアウトが必要な場合は、MMC ホスト コントローラのコマンドのタイムアウトを無効化し (MMCSDBCON[6] MIT=0x1)、その代わりにソフトウェア実装を使用できます。詳細な手順は次の通りです (Linux の場合)。

1. MMC ホスト コントローラのプローブ機 (omap_hsmmc.c:omap_hsmmc_probe()) 中、ホスト コントローラが必要なすべてのタイムアウトをサポートできないことをプロセッサに通知します。
2. 基盤となる MMC ホスト コントローラが必要なタイムアウトをサポートできない場合、コアが自動的にタイムアウトするように、MMC コア ソフトウェア層の機能を変更します。

i2320
UDMA および UDMAP :記述子と TR は、フラグメント化せずに返す必要があります
詳細

UDMA および UDMAP では、ディスクリプタと TR を、ディスクリプタをフラグメンテーションなしで返すメモリ サブシステムに配置する必要があります。ただし、フラグメンテーション ブリッジを含むメモリがあるため、ディスクリプタと TR を保持することができません。

このデバイスの場合、R5 TCM メモリには、UDMA または UDMAP のディスクリプタまたは TR を保持できません

回避方法

なし

i2326
PCle:SSC を有効化するために必要となるフラクショナル モードで動作する MAIN_PLLx は、PCle Refclk ジッタ制限に準拠していません
詳細:

MAIN_PLLx はオプションで SERDES および外部コンポーネント用に 100MHz PCle Refclk を供給するために使用され、フラクショナル モードで構成されている場合、PCle Refclk ジッタ制限に準拠しません。SSC を有効化するにはフラクショナル モードが必要なため、SSC モードは PCle Refclk ジッタ制限に準拠しません。

回避方法:

MAIN_PLLx から 100MHz PCle Refclk を供給する場合、MAIN_PLLx は整数モードのみ (DACEN = 0、DSMEN = 0) に構成する必要があります。これにより、PLL がフラクショナル モードで動作する必要のある PCle Refclk に SSC を使用することを防止できます。PCle インターフェイスで SSC が必要な場合は、SSC 付きの外部 Refclk ジェネレータを使用して、SERDES 100MHz Refclk を提供する必要があります。

i2329
MDIO:MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)
詳細:

CPSW および PRU-ICSS ペリフェラルが存在する場合、そのすべてのインスタンスの MDIO インターフェイスは、MDIO 読み取り時に破壊した読み取りデータを返す (たとえば、古いデータまたは以前のデータを返す) 可能性や、MDIO 書き込み時に誤ったデータを送信する可能性があります。また、次のペリフェラルリセットが (LPSC リセットによるか、CPSW の場合にリセットの分離が無効化されたグローバル デバイスリセットによって) 行われるまで、MDIO インターフェイスが使用できなくなることもあります。

この問題について考えられるシステム レベルの徴候として、(1) イーサネット PHY の誤ったリンク 停止ステータス (2) イーサネット PHY を MDIO 上で正しく構成できないこと (3) 誤った PHY 検

i2329 (続き)

MDIO:MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)

出 (例: 誤ったアドレス) (4) PHY を MDIO 上で構成しようとしたときの読み取りまたは書き込みタイムアウトが考えられます。

ブート モード (サポートされている場合は CPSW のみ) の場合、プライマリ イーサネット ブートが正常に実行されることを保証する回避方法はありません。プライマリ ブート時にこの例外が発生した場合、ブートは再試行を開始することもできますが、成功するとは限りません。再試行が失敗した場合、最終的にタイムアウトとなり、バックアップ ブート モード (選択されている場合) に移行します。バックアップ ブート モードが選択されていない場合、このような障害によりタイムアウトが発生し、チップ ウォッチドッグでデバイスが強制的にリセットされます。その後、ブート プロセス全体が再起動されます。

バックアップ ブート オプション (サポートされている場合) を選択するには、適切なプル抵抗をブート モード ピンに実装します。特定のデバイス オプションについてはブートのマニュアルを参照してください。ただし、イーサネット経由でのプライマリ ブート試行の標準的なタイムアウトは 60 秒です。

回避方法:

影響を受けるデバイスでは、次の回避方法を使用する必要があります。

MDIO 手動モード:PRU-ICSS と CPSW に適用可能。

MDIO プロトコルは、MDIO ペリフェラルの MDIO_MANUAL_IF_REG レジスタ内の該当ビットを読み書きして、MDIO クロック ピンとデータ ピンを直接操作することによってエミュレートできます。手動モード レジスタ ビットとその機能の詳細については、TRM を参照してください。

この場合、デバイス ピンのマルチプレクシングを設定し、CPSW または PRU-ICSS ペリフェラルによって IO を制御できるようにする必要があります (通常の意図した動作の場合と同じ)、MDIO_CONTROL_REG の MDIO_CONTROL_REG の ENABLE ビットを 0 にして MDIO ステート マシンを無効化し、MDIO_POLL_REG.MANUALMODE ビットを 1 に設定して手動モードを有効化する必要があります。

ソフトウェアの回避方法の実装については、TI にお問い合わせください。

注

イーサネット DLR (デバイス レベル リング) (CPSW または PRU-ICSS 上) または EtherCAT プロトコル (PRU-ICSS 上) を使用する場合、リンク ステータス チェックに必要なポーリング間隔に起因するランタイム回避方法 1 を実装するために、CPU または PRU のロードに大きな影響が生じる可能性があります。結果として生じるシステムへの影響を考慮する必要があります。

PRU-ICSS の場合、MDIO の MLINK 機能を使用して MIIx_RXLINK の PRU-ICSS への入力ピンを介してリンク ステータスを自動ポーリングすることによって、ソフトウェア回避方法の負荷を軽減できます。PRU-ICSS は、リンクがアクティブの間にトグルしない外部 PHY からのステータス出力に接続する必要があります。外部 PHY デバイスで規定されている動作に応じて、この PHY ステータス出力は、LED_LINK または LED_SPEED、または LED_LINK と LED SPEED の論理和です。MDIO の MLINK 機能の使用の詳細については、TRM の MDIO のセクションを参照してください。この機能は、CPSW ペリフェラルでは利用できません。

PRU-ICSS での EtherCAT 実装では、ソフトウェアの回避方法は RTUx/TX_PRUx コアで実行されます。コアは回避方法専用にする必要があります。つまり、これを他の目的に使用することはできません。この実装は、MDIO アクセスのために 2 つのユーザー アクセス チャンネルをサポートします。これによって、R5f コアおよび PRU コアが独立したアクセスチャンネルを持つオプションが可能になります。API は、RTOS Workaround 実装で使用するものと同様です。

i2329 (続き)

MDIO:MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)

EtherCAT は、MDIO MLINK を介した PHY 高速リンク検出を引き続き使用し、リンクステータスのステート マシンをバイパスします (このパスはエラーの影響を受けないため)。これにより、ケーブルの冗長性に関連するレイテンシ要件を引き続き満たすことができます。

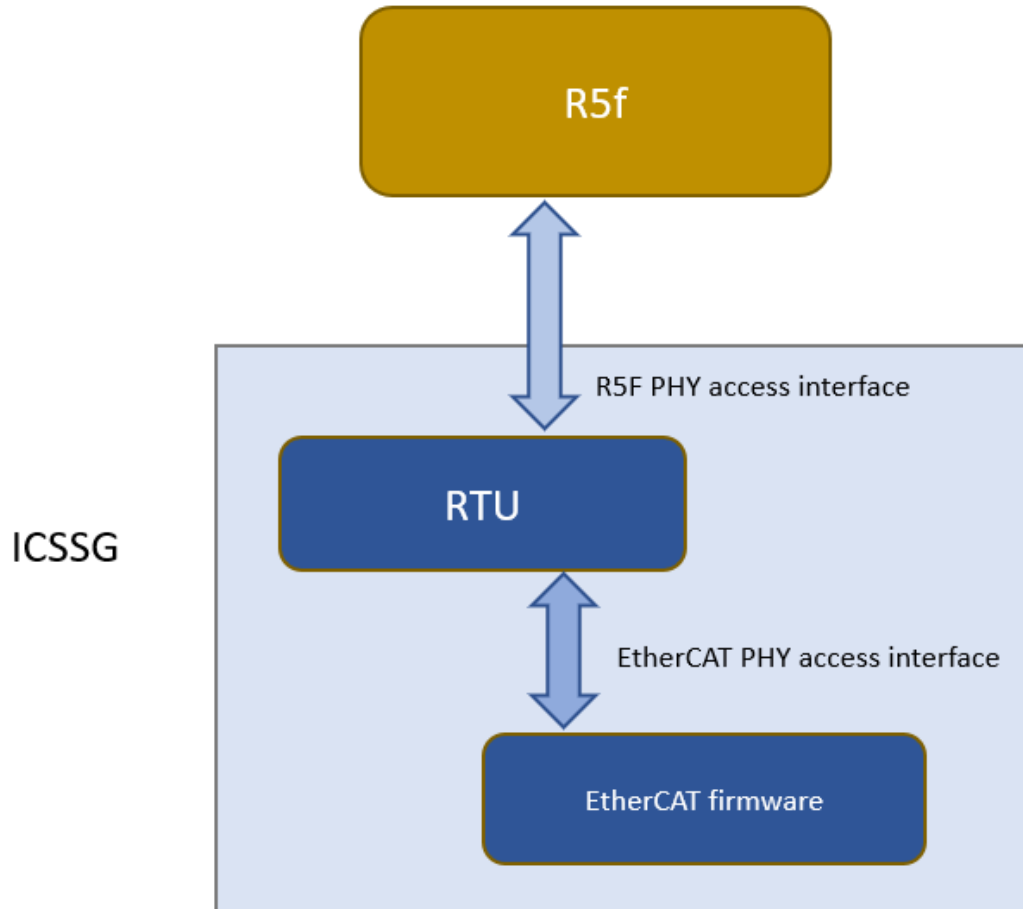


図 3-2. PRU コアを使用する手動モードによる MDIO エミュレーション

i2351

OSPI:ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません

詳細:

OSPI コントローラは、OSPI コントローラへの内部 DMA バス要求の間に、フラッシュ メモリへの CSn 信号を (設計意図によって) デアサートできるため、OSPI ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません。

この問題が発生するのは、一部の OSPI/QSPI NAND フラッシュ メモリで提供される「連続読み取り」モードでは、バーストランザクション全体にわたってチップ セレクト入力がアサートされたままにならなければならないためです。

SoC 内部 DMA コントローラと他のイニシエータは 1023B 以下のランザクションに制限されており、アービトレーション / キューイングは、さまざまな DMA コントローラの内部、または任意の DMA コントローラと OSPI ペリフェラルの間の相互接続の両方で実行できます。その結果、OSPI コントローラへのバス要求が遅延し、外部 CSn 信号がデアサートされます。

i2351 (続き)

OSPI:ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません

NOR フラッシュ メモリは CSn デアサートの影響を受けません。連続読み取りモードは想定通りに動作します。

回避方法:

ソフトウェアは、ページ/バッファ付き読み取りモードを使用して NAND フラッシュにアクセスできます。

i2360

ブート:イーサネット RMII ブート モードはサポートされていません

詳細:

イーサネット RMII ブートモードはサポートされていないため、使用しないでください。TRM の今後の改訂では、予約済みとしてマークされます。

回避方法:

なし。代替のブート モードを選択する必要があります。

i2361

ブート:SR2.0 に対する SPI および xSPI BOOTMODE ピン マッピングの変更

詳細:

次の表に従って、SPI および xSPI BOOTMODE ピンのマッピングは、シリコンリビジョンの SR1.0 と SR2.0 の間で変更されます (他の J7 ファミリデバイスのブートモード定義と整合するため)。

プライマリブート モード B ピン	プライマリブート モード A ピン	(左にマージ)	(左にマージ)	SR1.0 用に選択されたブートモード	SR2.0 用に選択されたブートモード
	MCU 5	MCU 4	MCU 3		
0	0	1	1	SPI	xSPI
1	1	1	0	xSPI	SPI

回避方法:

各シリコンリビジョンで目的のブートモードを選択するために、上記の表に従って BOOTMODE ピンを構成します。

i2362

10-100M SGMII:Marvell PHY はプリアンブル バイトを無視しないため、リンク障害が発生しません

詳細:

10/100 モードでは、パケット間のクロック数が奇数である場合、CPSW SGMII モジュールは最大 5 バイトの 0x50 プリアンブル データを出力します。すべてのバイトを 0x55 にする必要があります。1000Mbps モードでは問題が発生しませんが、SFD の前のプリアンブルには 7 つの 0x55 があります。100Mbps モードでは、SFD の前に 70 バイトのプリアンブルがあります (データは 1000Mbps モードから 10 回複製されるため)。問題が発生すると、70 のうち最初の 5 バイトが 0x50 になります。プリアンブルの劣化を許可し、最初のバイト数の実際のデータを考慮に入れない PHY でのみテストされていたため、この問題はこれまで検出されていませんでした。しかし、最近、プリアンブル データを調べ、0x50 のプリアンブル データに基づいてパケットの保持/破棄の決定を行う Marvel PHY (88Q1111 または類似製品) でこの問題が検出されました。

回避方法:

回避方法のオプションは次の通りです。
1.問題のない 1000M モードを使用します。

i2362 (続き) **10-100M SGMII:Marvell PHY はプリアンブル バイトを無視しないため、リンク障害が発生し
ます**

または

2.TI の PHY (DP83869 または類似製品) または他の PHY を使用します。PHY では、10/100/1000M モードでプリアンブル データの読み取り/無視が可能です。

i2366 **ブート:ROM は 8D-8D-8D 動作の特定の JEDEC SFDP 機能を認識しません**

詳細:

『JEDEC 仕様 JESD216 - シリアル フラッシュ検出可能パラメータ (SFDP) 』には、特定のシリアル フラッシュ デバイスで使用されるパラメータ表の詳細、およびデバイスの通信 / 構成方法が説明されています。ROM は、デバイスの機能 (1S-1S-1S を 8D-8D-8D モードに変更する方法など) について SFDP の関連部分は認識しますが、以下を必要とするフラッシュ デバイスは適切に認識しません。

- 1S-1S-1S モードと比較した 8D-8D-8D モードでのバイト順序の入れ替え
- 8D-8D-8D モードで最初に送信されたバイトとは異なるコマンドを必要とするコマンド拡張子 (オペコードの反転または別の一意のバイト)

回避方法:

JEDEC JESD216 に準拠している候補フラッシュ メモリの SFDP 表を確認します。ほとんどの場合、ベンダはこの表を公開しておらず、代わりにフラッシュ ベンダから要求できます。JEDEC 基本フラッシュパラメータ テーブルの 18 番目の DWORD に、値が「1b」のビット 31 がある場合、メモリは工場からスワップされたバイト順序でプログラムされているか、または SoC でプログラムされているはずですが、ビット[30:29] の値が「00b」以外の場合、これは 8D-8D-8D モードのブートモードでは動作しません。そのため、そのフラッシュ デバイスで 8D-8D-8D ブート モードを使用しないでください。

i2371 **ブート:ROM コードは、UART ブートモードでデータ転送中にハングする可能性があります**

詳細:

アドバイザー i2310 により、UART ブート中に ROM コードの実行がハングする可能性があります。i2310 に搭載されているソフトウェア回避方法は ROM には実装されていないため、予期しない状態で誤ったタイムアウト割り込みがトリガされる可能性があります。これにより、ROM がこの割り込みをクリアできなくなり、その結果ハングする可能性があります。

これは、UART ブート モードが使用されるときや、UART をブート インターフェイスとして使用して、UniFlash や OTP Keywriter による eFuse のプログラミングなどの量産フローを実現する場合に発生する可能性があります。

回避方法:

なし。別のブート インターフェイスを使用する必要があります。

i2372 **ブート:ROM は、シリアル NAND ブートで選択されたマルチプレーン アドレス方式をサポートしていません**

詳細:

ROM ブートローダーは、キャッシュ / バッファ / プレーンの番号の変更を理解して正しいデータにアクセスするためのキャッシュ / バッファからの読み出しコマンドを必要とする特定のマルチプレーン シリアル SPI NAND フラッシュ メモリをサポートしていません。

i2372 (続き)

ブート:ROM は、シリアル NAND ブートで選択されたマルチプレーン アドレッシング方式をサポートしていません

回避方法:

read from cache/buffer コマンドでプレーン / バッファ / キャッシュを選択するための特別なビットへの参照について、候補フラッシュ メモリのアドレッシング要件を慎重に確認します。こうした要件を持つメモリを使用しないでください。

i2383**OSPI:2 バイト アドレスは、PHY DDR モードではサポートされていません****詳細:**

PHY DDR モードで OSPI コントローラが 2 バイト アドレッシングに構成されていると、内部ステートマシンが送信されたアドレス バイト数を誤って (2 ではなく) 1 と比較します。これにより、ステートマシンがアドレス位相でロックアップし、PHY DDR モードが動作不能になります。

この問題は、タップ モードまたは PHY SDR モードを使用する場合は発生しません。PHY DDR モードで 4 バイト アドレッシングを使用する場合も、この問題は発生しません。

回避方法:

互換性のある OSPI メモリにプログラマブル アドレス バイト設定がある場合は、フラッシュの 2 ~ 4 に必要なアドレス バイト数を設定します。これには、アドレス バイトを変更するための特定のコマンドの送信やフラッシュ上の構成レジスタへの書き込みが含まれる場合があります。完了したら、コントローラ設定で送信されたアドレス バイト数を 2 から 4 に更新します。

2 バイト アドレッシングのみをサポートし、再プログラムできない互換 OSPI メモリについては、PHY DDR モードはそのメモリと互換性がありません。代替モード:

- PHY SDR モード
- TAP (非 PHY) DDR モード
- TAP (非 PHY) SDR モード

i2401**CPSW:ホストのタイムスタンプにより、CPSW ポートがロックされます****詳細:**

CPSW は、パケット入力タイムスタンプ情報をホストに通信するための 2 つのメカニズムを提供します。

1 つ目のメカニズムは、特定のイベントによってトリガされたときにタイムスタンプを記録する CPTS イベント FIFO を経由します。そのようなイベントの 1 つは、指定された EtherType フィールドを持つイーサネット パケットの受信です。最も一般的に、これは PTP パケットの入力タイムスタンプをキャプチャするために使用されます。このメカニズムでは、ホストは DMA 経由で配信されるパケット ペイロードとは別に、(CPTS FIFO から) タイムスタンプを読み取る必要があります。このモードはサポートされており、このエラッタの影響を受けません。

2 つ目のメカニズムは、PTP パケットだけでなく、すべてのパケットの受信タイムスタンプを有効化することです。このメカニズムでは、タイムスタンプは DMA を介してパケット ペイロードと一緒に配信されます。この 2 番目のメカニズムは、このエラッタの主題です。

CPTS ホストタイムスタンプがイネーブルの場合、内部 CPSW ポート FIFO へのすべてのパケットには、CPTS からのタイムスタンプが必要です。EMI やその他の破損メカニズムによってパケットプリアンブルが破損した場合、タイムスタンプ要求が CPTS に送信されない可能性があります。この場合、CPTS は CPSW ポート FIFO でロックアップ状態を引き起こすタイムスタンプを生成しません。CPTS_CONTROL レジスタの `tstamp_en` ビットをクリアして CPTS ホストのタイムスタンプを無効化すると、ロックアップ状態が発生しなくなります。

回避方法:

イーサネットからホストへのタイムスタンプを無効化する必要があります。

CPTS ホストのタイムスタンプの代わりに、イベント FIFO のタイムスタンプを使用できます。

i2409

USB:短時間のサスペンドが原因で USB2 PHY がロックアップします

詳細:

USB コントローラがサスペンドに移行してから 3 マイクロ秒以内に発生する USB ウェークアップ イベントに応答して、USB 2.0 PHY がハングアップする場合があります。この PHY ハングは、ウォームリセットがディスエーブルであるため、パワー サイクルを介してのみ回復できます。

回避方法:

注:この回避方法は、USB がプライマリ ブート モードではない場合にのみ適用されます。USB がプライマリ ブート モードの場合は、回避方法はありません。

この問題が発生しないようにするには、USB コントローラの初期化プロセス中に特定の順序の動作を観察する必要があります。

1. LPSC を介して USB コントローラをリセットします。
2. SUSP_CTRL の USB コントローラ suspend_residency_enable フィールドを「1」に設定します。
3. 通常の USB コントローラの初期化を続行します

i2413

ブート:HS-FS ROM が破損した ROM ブートイメージを起動してしまうことがあります

詳細:

ROM は、ブート ロードと TIFS 画像の両方が存在する画像形式をサポートしています。これを合成画像といいます。

HS-FS デバイスでは、合成画像が RSA キーで署名されると、ROM は次のことを実行する必要があります。

- ブートローダ コンポーネントの整合性チェックをスキップします。
- TIFS コンポーネントの整合性チェックと署名検証を実行します。

ROM のバグのため、RSA 非縮退鍵が使用されるとき、ROM は HS-FS デバイス上の TIFS コンポーネントの整合性チェックをスキップします。

回避方法:

RSA 縮退鍵を使用して X509 証明書に署名すると、すべてのコンポーネント (ブートローダーおよび TIFS) の整合性チェックを有効にします。

i2414

ブート:イーサネット PHY のスキャンおよび起動フローは、オート ネゴシエーション機能をサポートしていない PHY では動作しません

詳細:

ROM イーサネット (RGMII と RMII のどちらか) のブート モードは、リンク ステータスをチェックする前に完了するまでの PHY 自動ネゴシエーションに依存しています。このため、自動ネゴシエーションをサポートしていない PHY は、このブート モードでは動作できません。

回避方法:

どちらでも、自動ネゴシエーションをサポートする PHY は必要ありません。

i2418**ブート: 証明書情報が存在しないため、セキュア ROM パニックが発生します****詳細:**

通常のブートフロー (フル コンバインド イメージ フローを除く) では、証明書情報 (拡張情報またはレガシ情報) が存在しない場合、セキュア ROM は無限ループに入ります。この条件は、証明書情報が存在しない SOC に証明書が与えられた場合に観察されます。以下のその他の条件で、セキュア ROM がパニックになります (無限ループでスタックします)。

1. 証明書情報がない
2. アドレス変換の失敗
3. ハッシュ計算の失敗

回避方法:

証明書情報が存在することを確認します (拡張情報またはレガシ情報)。

i2419**ブート: デスキュー キャリブレーションを無効化すると、ROM はデスキュー キャリブレーションがイネーブルかどうかをチェックしません****詳細:**

PLL デスキュー キャリブレーションがディスエーブルの場合、ROM ドライバコードは、デスキュー キャリブレーションがイネーブルかどうか、およびロックが失敗しているかどうかをチェックするはずですが、現在のコードには、if 条件に代入があります。そのため、config ビットをクリアする前にデスキュー キャリブレーションがイネーブルかどうかはチェックされません。機能的な問題はありません。

回避方法:

なし

i2422**ブート: MMCSD ファイル システム ブート時の ROM タイムアウトが長すぎます****詳細:**

空または消去された (または工場出荷時の) eMMC デバイスから SD/MMC のブート (ファイルシステム モード) を試行した場合、ROM のバグが原因で、バックアップ ブート モードに切り替える通常のブート タイムアウトは発生しません。ウォッチドッグ タイマのリセットが作動するまで、ブートが無限ループに陥るためです。

回避方法:

eMMC フラッシュをプログラムするには、別のプライマリ ブート モードから起動する必要があります。

i2424**PLL: PLL プログラミング シーケンスにより、PLL が不安定になる場合があります****詳細:**

PLL プログラミング シーケンスが変更され、PLL キャリブレーションを使用する場合、PLL キャリブレーションをイネーブルにする前にすべてのキャリブレーション フィールドが確実に構成されるようになりました。キャリブレーション ロジックの制御に対する変更に加えて、PLL が有効化されている間に PLL パラメータが変更されないように、他の変更も実装されています。

整数モードの場合、ソフトウェアはキャリブレーション対応 PLL の PLL キャリブレーション機能を有効化します。以前のソフトウェアは、CAL_LOCK のアサート後にキャリブレーション モードを調

i2424 (続き)

PLL:PLL プログラミング シーケンスにより、PLL が不安定になる場合があります

整しました。これらの書き込みにより、一部のデバイスでは PLL ロックが失われることが確認されています。また、影響を受けやすいデバイスでも、ロックの喪失は断続的に発生しますが、喪失が発生すると、依存する回路が誤った周波数で動作します。この誤った周波数は、アルゴリズムの実行速度の低下や通信障害として現れることがあります。

影響の制限:PLL がフラクショナル モードの場合、キャリブレーション ロジックは使用できません。したがって、フラクショナル モードを使用するようにプログラムされている PLL では、キャリブレーションのプログラミングに関連して障害が発生しないようにする必要があります。しかし、全 PLL シーケンスに変更があるため、新しいソフトウェアはすべてのユーザーに推奨されます。

回避方法:

SYSPFW で `clk_pll_16fft_cal_option4()` を使用しないでください。PLL 構成を変更するときは、SDK v10.0 以降で更新された PLL プログラミング シーケンスを使用してください。

i2435

ブート:eMMC ブートの ROM タイムアウトが長すぎる

詳細:

ROM のバグにより、空または消去された (または工場出荷時の状態) eMMC デバイスから eMMC ブート モード (eMMC ブートパーティションから起動するモード、eMMC 代替モードとも呼ばれる) で起動を試みると、バックアップ ブート モードに切り替わるまでの通常のブートタイムアウトが 10 秒になります。

回避方法:

このタイムアウトがシステム内で長すぎると判断される場合、別のブート モードからブートする必要があります。

i2449

RAT:R5FSS RAT MMR はパリティ保護されていません

詳細:

R5FSS RAT MMR に格納されている値は、格納中にパリティ保護されません。これは、パリティ保護が有効でも MMR のビット反転が検出されないことを意味するため、永続的または一時的なエラーからの保護はありません。イニシエータパリティチェック (パリティは読み取り時に MMR に格納された値から動的に計算されます) は、インターコネク上で発生したエラーだけを対象としています。保存されている MMR 値自体に存在する可能性のあるエラーはカバーされません。

回避方法:

ユーザーは、実行時に MMR 値のソフトウェアリードバックを実行する必要があります。

i2459

ブート:PCIe ブート モードはサポートされていません

詳細:

PCIe ブート モードはサポートされていないため、使用すべきではありません。TRM の今後の改訂では、予約済みとしてマークされます。

回避方法:

なし。代替のブート モードを選択する必要があります。

i2482 **ブート:SD カードの初期化中、ROM から十分なクロックが供給されません**

詳細: SD カード物理層仕様バージョンで指定されているように、ROM コードは 74 クロックを供給していません。2.00.これにより、SD カードの起動に失敗する可能性があります、影響を受けるデバイスのこのエラーに起因する障害は発生していません。

回避方法: なし

商標

すべての商標は、それぞれの所有者に帰属します。

改訂履歴

Changes from DECEMBER 31, 2024 to JUNE 30, 2026 (from Revision E (December 2024) to Revision F (June 2026))

Page

• i2330「DDRSS レジスタ構成ツールの更新」の使用上の注意を追加.....	7
• アドバイザリ i2160 を更新、DDR:LPDDR4 コマンド バスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加.....	16
• アドバイザリ i2449; RAT :R5FSS RAT MMR はパリティ保護されていません.....	51
• アドバイザリ i2482「ブート:SD カードの初期化中、ROM から十分なクロックが供給されません.....	52

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月