

Errata

J721E DRA829/TDA4VM プロセッサ シリコン リビジョン 2.0/1.1/1.0



概要

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。本文書には、使用上の注意事項も記載されています。使用上の注意は、デバイスの動作が推定または文書化された動作と一致しない可能性がある状況を示しています。これには、デバイスの性能や機能の正確さに影響を与える動作が含まれる場合があります。

目次

1 影響を受けるモジュール.....	2
2 命名法、パッケージのマーキングとリビジョンの識別.....	8
3 シリコン リビジョン 2.0/1.1/1.0 の使用上の注意およびアドバイザリ.....	10
改訂履歴.....	95

1 影響を受けるモジュール

表 1-1 に、それぞれの使用上の注意によって影響を受けるモジュールを示します。

表 1-1. モジュール別の使用上の注意

モジュール	使用上の注意
C7x	i2453 — C7x:SR2.0 で LBIST MISR が変更されました
DDR	i2330 — DDRSS レジスタ構成ツールの更新
USB	i2134 — USB:2.0 コンプライアンス受信感度テストの制限

表 1-2 に、それぞれのアドバイザーの影響を受けるモジュールを示します。

表 1-2. モジュール別のアドバイザー

モジュール	アドバイザー	影響を受けるシリコンのリビジョン		
		SR 1.0	SR 1.1	SR 2.0
AASRC	i2229 — AASRC:AASRC には非対応	あり	あり	あり
ADC	i2151 - ADC: デバウンス タイム制御レジスタ	なし	あり	あり
ブート	i2038 — ブート: ルート ブロックが複数のクラスタに存在する場合、FAT16 は失敗します	あり	あり	あり
	i2081 — ブート: ブート モードごとの ROM の最大タイムアウト値が TRM に記載された元の値の半分になる	あり	なし	なし
	i2307 — ブート: ROM が BOOTMODE に基づいて OSPI クロック モードを適切に選択しません	あり	あり	あり
	i2366 — ブート: ROM は 8D-8D-8D 動作の特定の JEDEC SFDP 機能を認識しません」を削除	なし	あり	あり
	i2371 — ブート: ROM コードは、UART ブートモードでデータ転送中にハングする可能性があります	あり	あり	あり
	i2414 — ブート: イーサネット PHY のスキャンおよび起動フローは、オート ネゴシエーション機能をサポートしていない PHY では動作しません	あり	あり	あり
	i2418 — ブート: 証明書情報が存在しないため、セキュア ROM パニックが発生します	あり	あり	あり
	i2422 — ブート: MMCSD ファイル システム ブート時の ROM タイムアウトが長すぎます	あり	あり	あり
	i2435 — ブート: eMMC ブートの ROM タイムアウトが長すぎる	あり	あり	あり
	i2482 — ブート: SD カードの初期化中、ROM から十分なクロックが供給されません	あり	あり	あり
C66x	i2214 — C66x: フェンスが設定されていない場合、異なるエンドポイントへの書き込みの順序が入れ替わる可能性があります。	あり	あり	あり
C71x	i2063 — C71x: IBUF バッファの最後の行に整列されていないアクセスで、CPU のロードとストアのための VCOP エイリアシングはサポートされていません	あり	あり	あり
	i2064 — C71x: 特定の条件下においてキャッシュ モードの変更またはグローバル ライトバックが存在する場合、L1D SRAM への DMA アクセスが永続的にストールする可能性がある	あり	あり	あり
	i2065 — C71x: L1D スヌープが存在する場合、C71x メモリ システムおよび CPU が永続的にストールする可能性がある	あり	あり	あり
	i2079 — C71x: 特定の条件下において CPU トラフィックが存在する場合、L1D SRAM への DMA アクセスが永続的にストールする可能性がある	あり	あり	あり
	i2087 — C71x: MMA HWA_STATUS は、アプリケーションが起動する前にエラーを報告します	あり	あり	あり
	i2117 — C71x: uTLB ミスを伴うロードまたはストアと並行して MMA HWARCV が実行された時のレジスタ破損	あり	なし	なし
	i2131 — C71x: L2 スクラバが有効な場合、L2 ライトバック無効化動作中にメモリ システムがハングアップする可能性があります	あり	あり	あり
	i2199 — C71x: 非アライメントの転置されたストリームが AM1 循環バッファ境界を越えた場合に、SE が誤ったデータを返します	あり	あり	あり
	i2213 - C7x SE: 2 つのデータフェーズ トランザクションが異なる rstatus を伴って返ってきた場合、SE がハングアップする可能性がある	あり	あり	あり

表 1-2. モジュール別のアドバイザリ (続き)

モジュール	アドバイザリ	影響を受けるシリコンのリビジョン		
		SR 1.0	SR 1.1	SR 2.0
	i2219 - C7x SE:SE が uTLB 障害に対して不正な rstatus を返します	あり	あり	あり
	i2271 - C7x SE:SEBRK 中に発生するページ障害 / UMC エラーで SE がハングする可能性があります	あり	あり	あり
	i2399 — C7x:CPU NLC モジュールは、割り込み時に状態をクリアしません	あり	あり	あり
	i2454 — C7x:リセット強制は許可されていません	あり	あり	なし
CBASS	i2207 — CBASS:コマンド調停ブロック	あり	あり	あり
	i2235 - イネーブルレジスタで CBASS ヌル エラー割り込みがマスクされません	あり	あり	あり
CC	i2221 - CC:侵襲的および非侵襲的デバッグイネーブル設定は、MCU_RESEtZ によってリセットされます	あり	あり	あり
CP	i2283 - CP トレーサ デバッグ プローブの使用法の制限	あり	あり	あり
CPTS	i2083 — CPTS:GENF (および ESTF) 再構成の問題	あり	あり	あり
	i2141 — CPTS:GENF および ESTF のナッジ値がハードウェアによってクリアされない	あり	あり	あり
CPSW	i2139 — CPSW:ALE が CRC エラーを伴うパケットを誤ってルーティングする	あり	あり	あり
	i2148 — CPSW:Egress オペコード機能を介して分類が宛先ポートを上書きした際、CPSW ディレクテッド フレームが監視されない	あり	あり	あり
	i2184 — CPSW:IET エクスプレストラフィック ポリシングの問題	あり	あり	あり
	i2185 — CPSW:ポリサー カラー マーキングの問題	あり	あり	あり
	i2208 — CPSW:ALE IET エクスプレス パケットドロップ	あり	あり	あり
	i2401 — CPSW:ホストのタイムスタンプにより、CPSW ポートがロックされます」を追加	あり	あり	あり
CPSW9G	i2179 — CPSW9G:リセット分離が正常に機能しません	あり	なし	なし
CSI	i2052 — CSI:CSI-Rx から CSI-Tx への再送信 パスが利用不可	あり	あり	あり
	i2190 — CSI:CSI_RX_IF は、不完全なフレームの後で、不明な状態になる可能性があります	あり	あり	あり
DDR	i2155 — DDR:コントローラ DDRSS_CTL_194[9-8] BIST_RESULT ステータスの信頼性が低い	あり	あり	あり
	i2157 — DDR:低消費電力状態のウェークアップ時間設定でのコントローラ異常	あり	あり	あり
	i2159 — DDR:LPDDR4 CBT 中は VRCG 大電流モードを使用する必要があります	あり	あり	あり
	i2160 — DDR:LPDDR4 コマンドバスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加	あり	あり	あり
	i2166 — DDR:ディープスリープ低消費電力状態の開始と終了により、PHY 内部クロックのずれが発生する可能性があります	あり	あり	あり
	i2182 — DDR:row-cs-bank-col アドレス マッピングでは、デュアルバンクの非 2 進数容量はサポートされていません	あり	あり	あり
	i2232 — DDR:周波数変化の後、コントローラが許可されたリフレッシュ数を超えて延期します	あり	あり	あり
	i2244 — DDR:書き込み DQ VREF トレーニングには、有効な停止値を定義する必要があります	あり	あり	あり
	i2274 - DDR:BSCAN に DDR を含めると、DDR 電源で電流アラームが発生します	あり	あり	あり
DMADVR	i2233 - DMADVR:メインとアイコンの間の Link/link_safer 同期の問題	あり	あり	あり
DMSC	i2245 — DMSC:ファイアウォールリージョンには特定の設定が必要	あり	あり	あり
	i2275 - DMSC セキュアブート ROM:X.509 証明書の明示的な EC 曲線パラメータを使用した場合の潜在的なセキュアブートの脆弱性	あり	あり	あり
DPHY	i2174 — DPHY:リセットシーケンスの問題により、モジュールの動作が未定義になる可能性がある	あり	なし	なし
DRU	i2198 - DRU、UTC:未使用時に ICNT3 を 0 に設定することの問題	あり	あり	あり
	i2215 — DRU:非原子性の TR 送信メカニズムを使用すると、C7x 書き込みが異常となり、TR 送信を破壊する可能性があります	あり	あり	あり

表 1-2. モジュール別のアドバイザリ (続き)

モジュール	アドバイザリ	影響を受けるシリコンのリビジョン		
		SR 1.0	SR 1.1	SR 2.0
DSS	i2097 — DSS:オーバーレイに接続されている層を無効化すると、次のフレームで Syncroast が発生することがあります	あり	あり	あり
ECC_AGGR	i2049 — ECC_AGGR:保留中の ECC アグリゲータ割り込みのため、IP クロック ストップ /リセット シーケンスがハングアップする可能性があります」の詳細を更新	あり	あり	あり
	i2191 — ECC_AGGR:RAM80 に対する誤った修正不可能なパリティ エラーのアサーション	あり	なし	なし
eMMC	i2144 - eMMC:VIO 電源シーケンス	あり	あり	あり
FSS	i2048 — FSS:MCU_FSS0_WRT_TYPE レジスタが誤ってログを記録しています	あり	あり	あり
GIC	i2101 — GIC:ITS の誤動作	あり	あり	あり
HyperBus	i2119 - HyperBus:HyperBus が機能しない	あり	なし	なし
I3C	i2150 — I3C:SDAPULLEN はハイ インピーダンスではなく Low を駆動します	あり	あり	あり
	i2197 — I3C:スレーブ モードはサポートされていません	あり	あり	あり
	i2205 — I3C:保留中の IBI 中にフェッチされたコマンドが、場合によっては適切に処理されないことがあります	あり	あり	あり
	i2216 — I3C:スレーブ起点の IBI アドレス バイト受信、コマンド実行が失敗することがあります	あり	あり	あり
IA	i2196 — IA:IA でデッドロック シナリオが発生する可能性があります	あり	あり	あり
内部診断モジュール	i2103 - 内部診断モジュール:機能安全エラーの ECC_GRP、ECC_BIT、ECC_TYPE 情報が誤って報告されています	あり	あり	あり
ICSSG	i2230 — ICSSG:ICSSG には非対応	あり	あり	あり
	i2305 - ICSSG:アクティブな FDB ルックアップ中の PRU RAM WRT による書き込みデータの破損	あり	あり	あり
JTAG	i2228 — JTAG:TRSTn デバイス ピンがアサートされないと、デバッグが使用する TAP にアクセスできない場合があります	あり	あり	あり
MCAN	i2278 — MCAN:同じメッセージ ID で構成された専用 Tx バッファからのメッセージ送信順序が保証されません」を追加	あり	あり	あり
	i2279 — MCAN:同じメッセージ ID で構成された専用 Tx バッファと Tx キューの仕様の更新	あり	あり	あり
マイコン	i2173 - メインドメインがリセットを発行すると、マイコンドメインがハングすることがあります	あり	なし	なし
	i2217 - 推奨される MCU_BOOTMODE[09:08] による POST 選択	あり	あり	なし
MDIO	i2329 — MDIO:MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)	あり	あり	あり
MMCSD	i2024 — MMCSD:ペリフェラルが HS400 をサポートしない	あり	あり	あり
	i2090 — MMCSD:MMCSD1 と MMCSD2 の速度に関する問題	あり	なし	なし
	i2312 — MMCSD:HS200 および SDR104 コマンド タイムアウト ウィンドウが小さすぎます」を追加	あり	あり	あり
MSMC	i2116 — MSMC:セット ハザードロギックが NRT アクセスの完了を待っている RT アクセスを保留します	あり	あり	あり
	i2149 — MSMC:MSMC スクラバが 32 ウェーの SRAM/L3\$ のうち下位 16 ウェーのみをターゲットとする	あり	あり	あり
	i2187 — MSMC:キャッシュ サイズを 0 に変更すると、タグがアップデートされずにリフレッシュされます	あり	あり	あり
OSPI	i2115 — OSPI:OSPI ブートは一部の xSPI モードまたは xSPI デバイスをサポートしない	あり	なし	なし
	i2189 — OSPI:コントローラ PHY のチューニング アルゴリズムを追加	あり	あり	あり
	i2249 — OSPI:DDR タイミングが動作不能の内部 PHY ループバックおよび内部パッド ループバック クロック モード」を追加	あり	あり	あり
	i2351 — OSPI:コントローラは、NAND フラッシュを使用した連続読み取りモードをサポートしていません」の使用上の注意を更新	あり	あり	あり
	i2383 — OSPI:2 バイト アドレスは、PHY DDR モードではサポートされていません	あり	あり	あり

表 1-2. モジュール別のアドバイザリ (続き)

モジュール	アドバイザリ	影響を受けるシリコンのリビジョン		
		SR 1.0	SR 1.1	SR 2.0
PCIe	i2085 — PCIe: Gen2 対応エンドポイント デバイスが、常に Gen1 として列挙されます	あり	あり	あり
	i2086 — PCIe: 構成完了レスポンス パケットにおける MMA の Unsupported Request (UR) または Configuration Request Retry Status (CRS) が、外部アボートを引き起こします	あり	あり	あり
	i2094 — PCIe: PCIe レガシー割り込みに対して割り込み終了 (EOI) が有効にならない	あり	あり	あり
	i2100 — PCIe: エンドポイント宛先選択属性 (ASEL) ベースのルーティング問題	あり	あり	あり
	i2147 — PCIe: ATS 変換リクエストに対してルート ポート (RP) から誤った変換完了タイプが送信される	あり	あり	あり
	i2152 — PCIe: ノンポストッド コマンドの実行中にリンク ダウン イベントが発生するとロックアップする可能性がある	あり	あり	あり
	i2153 — PCIe: TS1 パケットにおける誤った予約済みビットの処理	あり	あり	あり
	i2154 — PCIe: L0s 終了時におけるレーン間デスキューの失敗	あり	あり	あり
	i2183 — PCIe: 未使用のレーンが PCIe コントローラに割り当てられていない場合のリンクアップ エラー	あり	あり	あり
	i2238 — PCIe: 2-L SerDes PCIe リファレンス クロック出力は、5.0GT/s データ レートの RMS ジッタ制限を超える場合があります	あり	あり	あり
	i2239 PCIe: データレートの変更中は、2-L SerDes PCIe リファレンス クロック出力が一時的に無効化します -	あり	あり	あり
	i2246 — PCIe: 未使用の SERDES レーンが PCIe コントローラに割り当てられていない場合、自動コンプライアンス エントリは失敗します	あり	あり	あり
PLL	i2178 — PLL: PLL12_CAL_CTRL レジスタの CAL_IN フィールドへの書き込みが破損しました	あり	あり	あり
	i2424 - PLL プログラミング シーケンスにより、PLL が不安定になる場合があります	あり	あり	あり
POK	i2277 — POK: デグリッチ (フィルタ) は、2 つのサンプルのみに基づきます	あり	あり	なし
PRG	i2253 — PRG: CTRL_MMR_STAT レジスタは、POK スレッシュホールド障害の信頼性が低いインジケータです」を追加	あり	あり	あり
PRU-ICSSG	i2180 - PRU-ICSSG: スイッチ動作中における FDB テーブルの破損	あり	なし	なし
PSIL	i2137 — PSIL: クロック停止動作により、未定義の動作が発生する可能性があります」を追加	あり	あり	あり
	i2138 — PSIL: コンフィギュレーション アクセスおよびソース スレッドのティアダウンによりデータ破損が発生する可能性がある	あり	あり	あり
R5FSS	i2099 — R5FSS: 1 つ以上の MPU 領域が書き込み割り当てモードに設定されている場合、デッドロックが発生する可能性がある	あり	あり	あり
	i2118 — R5FSS: ロック ステップ モードでのデバッグ アクセスが失敗することがあります	あり	あり	あり
	i2129 — R5FSS: VIM によって高優先度割り込みが見落とされる可能性がある	あり	あり	あり
	i2132 — R5FSS: 割り込み処理に VIM ベクタ インターフェイスを使用している場合、割り込みプリエンブション (ネスト) が使用できません	あり	あり	あり
	i2133 — R5FSS: 操作のロック ステップ モードが機能していません	あり	なし	なし
	i2161 - デバッグは VIM モジュールがアクティブな間はアクセスできません	あり	あり	あり
	i2162 — R5FSS: 同じ割り込みを別の割り込み内にバックトゥ バックでネストできない	あり	あり	あり
	i2164 — R5FSS: 保留中の割り込みが Low に接続されているため、ECC 注入ロジックのエラーが検出されません	あり	あり	あり
	i2210 - R5FSS: ATB フラッシュ要求が抑制されます		あり	あり
	i2227 — R5FSS: エラー割り込み CCM_COMPARE_STAT_PULSE_INTR が正しく駆動されていません	あり	あり	あり
RA	i2054 — RA: GCFG 領域からの読み取りがスプリアス RAM ECC エラーを引き起こす可能性がある	あり	あり	あり
	i2095 — RA: テールへのピークが誤ったデータを返す	あり	あり	あり

表 1-2. モジュール別のアドバイザリ (続き)

モジュール	アドバイザリ	影響を受けるシリコンのリビジョン		
		SR 1.0	SR 1.1	SR 2.0
RAT	i2062 — RAT:エラー ログ ディスエーブルが設定されている場合でも、エラー割り込みが発生します」を追加	あり	あり	あり
	i2449 — RAT:R5FSS RAT MMR はパリティ保護されていません	あり	あり	あり
リセット	i2200 — RESET:0 値にプログラムされている場合、TIMEOUT_PER が動作しません。	あり	あり	あり
RINGACC	i2177 - RINGACC:リング アクセラレータのデバッグ トランザクションのトレース ストリームは、特定のリング アクセス シーケンスによって破損する可能性があります	あり	あり	あり
ROM コード	i2306 - ROM コード:SERDES の内部終端抵抗をオフにする必要があります	あり	あり	あり
SA2_UL	i2098 — SA2_UL:2 番目の入力スレッドを使用した認証 / 復号操作で、DMA パケットが送信されません	あり	あり	あり
2-L SerDes	i2171 - 2-L SerDes:状態変化モニタ割り込みが利用できない	あり	あり	あり
SGMII	i2362 - SGMII:Marvell PHY はプリアンブル バイトを無視しないため、リンク障害が発生します」を追加	あり	あり	あり
STOG	i2121 — STOG:書き込みトランザクションの実行中にガasketをフラッシュすると、書き込み応答がドロップする可能性がある	あり	なし	なし
	i2122 — STOG:Gasket のフラッシュ処理と、Gasket による書き込み応答の受信が同時に発生すると、無制限に非アイドル状態になる可能性があります	あり	あり	あり
	i2123 — STOG:スレーブ ガasketからのタイムアウト エミュレーション デバッグ書き込み応答で、常に成功が返されます	あり	あり	あり
	i2124 — STOG:読み取りコマンドのタイムアウトがガasketのハングアップを引き起こす可能性があります	あり	なし	なし
	i2126 — STOG:2 つの同時タイムアウトまたは 2 つの予期しない応答が同時に発生した場合に、カウントミス エラーが発生します	あり	あり	あり
	i2127 — STOG:書き込みコマンドのタイムアウトが DST 側の最後の受け入れと同じサイクルで発生すると、SRC 側の書き込みデータ バスがハングアップします	あり	あり	あり
UART	i2096 — UART:DMA 使用時のスプリアス UART 割り込み	あり	あり	あり
UDMAP	i2055 — UDMAP:パケット モード記述子アドレス空間選択フィールドの制限事項	あり	あり	あり
	i2143 — UDMAP:TX チャンネル SA2UL ティアダウン問題	あり	あり	あり
	i2146 — UDMA:リアルタイム TX/RX レジスタで、ティアダウン ビットフィールドの読み戻しが強制的にマスクされます	あり	あり	あり
	i2163 — UDMAP:「イベントトリガ」モードで使用すると、UDMA は ICNT や src /dst アドレスを 64B に揃えずに転送します。	あり	あり	あり
	i2168 — UDMAP:MAIN/MCU NAVSS rofif0_wr_byten の問題によるスプリアス ECC エラー	あり	あり	あり
	i2320 - UDMA, UDMAP:記述子と TR は、フラグメント化せずに返す必要があります	あり	あり	あり
	i2234 — UDMA:ICNT0 が 64 バイト未満の場合、TR15 はハングアップします	あり	あり	あり
UFS	i2102 — UFS:自動ハイバネートが誤った起動 / 終了エラーを引き起こす可能性がある	あり	あり	あり
	i2211 — UFS:ハイバネートの終了により、リンクが再初期化される可能性があります	あり	あり	あり
USART	i2310 — USART:「タイムアウト割り込みの誤ったクリア / トリガ」を追加	あり	あり	あり
	i2311 — USART:スプリアス DMA 割り込み	あり	あり	あり
USB	i2050 — USB:関連付けられた TRB を持たないエンドポイント向けのデータ パケットが原因で、エンドポイント OUT データ キューがロックアップする	あり	あり	あり
	i2067 — USB:デバイス モードでのシステム メモリからの TRB 読み取り時におけるレースコンディション	あり	あり	あり
	i2091 — USB:受信信号振幅が同じパケット内のスケルチ スレッシュホールドを複数回超えると 2.0 PHY がハングアップします	あり	あり	あり
	i2092 — USB:SuperSpeed デバイス モードにおいて、Isochronous エンドポイントの後続のエンドポイントの DMA 転送が不正に終了します	あり	あり	あり
	i2093 — USB:デバイス モードでの DMA 転送中に USB リセットを受信すると DMA がハングアップする	あり	あり	あり

表 1-2. モジュール別のアドバイザリ (続き)

モジュール	アドバイザリ	影響を受けるシリコンのリビジョン		
		SR 1.0	SR 1.1	SR 2.0
	i2134 — USB:2.0 コンプライアンス受信感度テストの制限	あり	あり	あり
	i2409 — USB:短時間のサスペンドが原因で USB2 PHY がロックアップします	あり	あり	あり
VPAC	i2188 - VPAC、DMPAC:キュー メモリ上の UTC ECC ライトバックにより、TR が破損する可能性があります	あり	あり	あり
VTM	i2053 — VTM:オンダイ温度センサからのソフトウェアでの読み出しは、破損する可能性があります	あり	あり	あり
	i2128 — VTM:VTM 温度モニタ (TEMPSENSOR) はソフトウェアトリミング方法を使用する必要がある	あり	あり	なし
	i2145 — VTM:有効化された割り込みイベント ステータスレジスタが誤って未マスクの生値を返す	あり	あり	あり
xSPI	i2257 - xSPI ブート モード冗長イメージ ブート障害	なし	あり	あり

2 命名法、パッケージのマーキングとリビジョンの識別

2.1 デバイスおよび開発ツールの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポートツールのすべての型番に接頭辞が割り当てられています。各デバイスには、次の 3 つのいずれかの接頭辞が付けられます: X、P、空白 (接頭辞なし) (たとえば、DRA829JMTGBALFR)。テキサス インストルメンツでは、サポートツールに対して、使用可能な 3 つの接頭辞のうち次の 2 つを推奨しています。TMDX および TMDS。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (TMDX) から、完全認定済みの量産デバイス/ツール (TMDS) まであります。

デバイスの開発進展フロー:

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリフローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポートツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インストルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポートツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インストルメンツの標準保証が適用されます。

プロトタイプ デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インストルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

DRA829 および TDA4VM デバイスの完全なデバイス名の読み方に関する追加情報については、各デバイス専用のデータシート () を参照してください。

2.2 サポート対象デバイス

本文書は、以下のデバイスをサポートしています。

- DRA829
- TDA4VM

サポート対象デバイスのリファレンス文書:

- J721E DRA829/TDA4VM プロセッサ テクニカル リファレンス マニュアル (SPRUIJ7)
- Jacinto™ DRA829 車載用プロセッサ データシート (SPRSP35)
- ADAS および自律走行車向け TDA4VM Jacinto™ 車載プロセッサ データシート (SPRSP36)

2.3 パッケージの記号表記およびリビジョンの識別

図 2-1 に、パッケージの記号表記の例を示します。

表 2-1 に、デバイスリビジョンコードを一覧します。

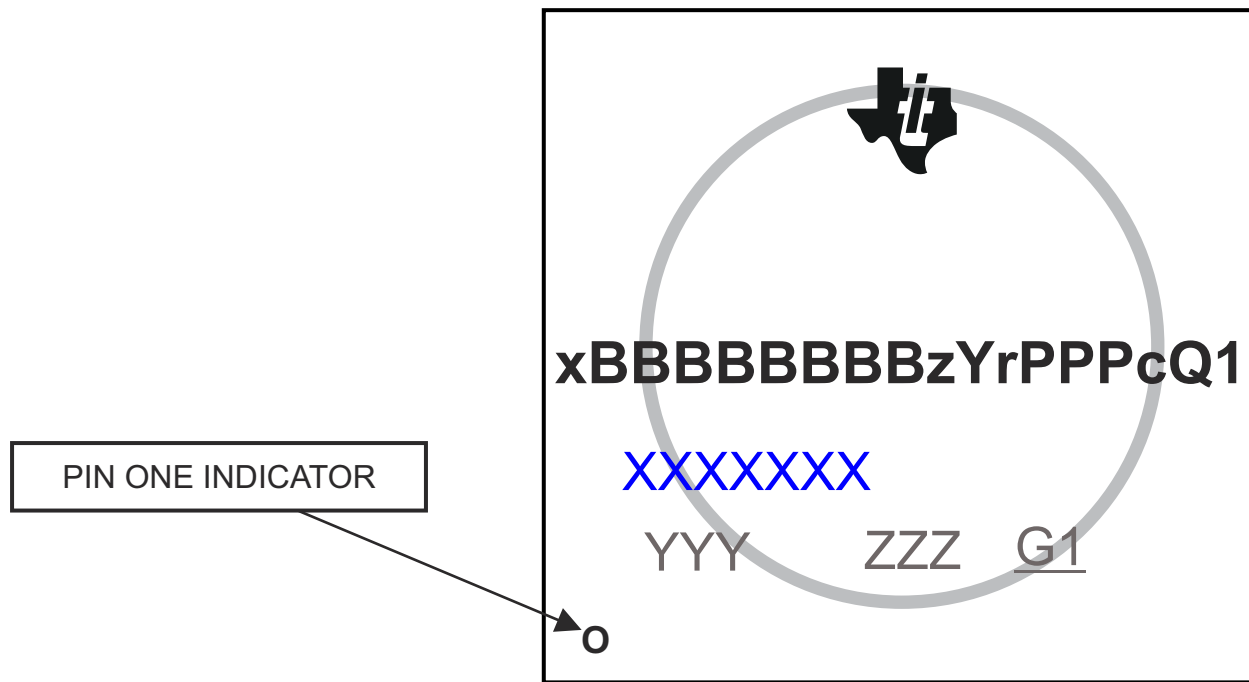


図 2-1. パッケージの記号表記

表 2-1. リビジョンの識別

デバイスリビジョンコード	シリコンのリビジョン	コメント
A または 空白	1.0	
B	1.1	
C	2.0	

3 シリコン リビジョン 2.0/1.1/1.0 の使用上の注意およびアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

3.1 シリコン リビジョン 2.0/1.1/1.0 機能上の注意点

このシリコン リビジョンについて、既知の使用上の注記はありません。

i2134 **USB :2.0 コンプライアンス受信感度テストの制限**

詳細:

USB-IF USB 2.0 電気コンプライアンス テスト仕様で定義されている受信感度テスト (EL_16 および EL_17) を実行すると、Advisory i2091 で説明されている問題が発生する場合があります。

この問題は元々、パケットの送信中に USB 信号の振幅を増加させる自動化ソフトウェアを使用してこれらのテストを実行しているときに発見されました。ソフトウェアは、振幅を 100mV 未満の値から 150mV 以上の値までスイープし、テスト対象デバイス (DUT) NAK で 100mV 未満のパケット、150mV を超えるパケットがないことを検証しています。しかし、有効なパケットを送信している間にスケルチ スレッショルドの両端で振幅を増やすと、Advisory i2091 に説明されているように、PHY がロックされる場合があります。

回避方法:

受信感度テストは、2 つの部分に分割して手動で実行しなければならない場合があります。最初の部分は上記と同じように始まり、初期振幅を 100 mV 未満の値に設定し、振幅を 100 mV に達するまで増加させながら、DUT がすべてのパケットを NAK したことを確認します。テストの他の部分では、振幅を 150mV 以上に設定し、DUT NAK がパケットを送信しないことを確認し、150mV に達するまで振幅を減少させます。これにより、スケルチ スレッショルドが、PHY をロックできるスケルチ スレッショルドで振幅を掃引せずに、USB 仕様で必要な 100mV ~ 150mV の範囲にあることを確認できます。

i2330 **「DDRSS レジスタ構成ツールの更新」の使用上の注意を追加**

詳細:

DDR レジスタ構成ツールは、DDR デバイスのアーキテクチャ (密度、データ幅、ランク)、動作周波数、ボード シミュレーションで決定される IO 設定など、システムレベルの詳細に基づいて、カスタム レジスタ設定を提供します。新しいデバイスや機能のサポート、ツールで特定された問題の修正、そして最も重要な点として、性能、信号の整合性、信号間のタイミング関係を改善する計算を実現するために特定されたエラーラッタや最近の更新の回避方法を捕捉するために、このツールは経時的に更新される可能性があります。

回避方法:

得られた教訓に基づいてパラメータを適切に設定できるようにし、機能的な障害のリスクを低減できるように、常に最新の DDR レジスタ構成ツールを使用してレジスタ値を生成する必要があります。DDR レジスタ構成ツールは定期的に更新される可能性があるため、ツールの改訂履歴を確認し、ツールの変更が既存のシステムに適用されるかどうかを評価する必要があります。必要に応じて、既存のシステムの設定を適切に更新する必要があります。このツールの最新バージョンは、<http://dev.ti.com/sysconfig> で入手できます。また、使用中の該当デバイスの「ソフトウェア製品」ドロップダウンから「DDR 構成」を選択することができます。

i2453 **C7x:SR2.0 で LBIST MISR が変更されました**

詳細:

ソフトウェアで C7x LBIST を使用した場合、予期される MISR シグネチャは SR1.x を SR2.0 と比較すると異なります。SR1.x および SR2.0 で想定される MISR は次のとおりです。

- SR1.x で想定される MISR = 0xCC08B144

i2453 (続き)

C7x:SR2.0 で LBIST MISR が変更されました

- SR2.0 で想定される MISR = 0xA95C8410
- この変更は、「C7x MISR Update ES2.0」というタイトルのパッチとして入手できます。

他の LBIST MISR はレビュー済みで、SR1.x と SR2.0 の比較も同じです。

この変更の理由は、J721E SR2.0 では、C7x の電源スリープ コントローラ (PSC) ロジックに変更を加え、リセットを強制的に適用できるようにするためです。

- これは、デバッグのみを目的とした「ソフトウェア透過的」な変更として意図されています。このビットの使用は推奨されておらず、ソフトウェアに実装する必要もありません。
- この変更により、予期される MISR パターンが変化しました。

回避方法:

ソフトウェアは、シリコン リビジョンに基づいて適切な MISR 値を使用する必要があります。

3.2 シリコン リビジョン 2.0/1.1/1.0 のアドバイザー

i2024

MMC/SD ペリフェラルが HS400 をサポートしない

詳細:

MMCSD ペリフェラルは、マルチメディア カードの HS400 モードをサポートしていません。

回避方法:

なし。

i2038

ブート:ルート ブロックが複数のクラスタに存在する場合、FAT16 は失敗します

詳細:

ファイル システムがブート ブロックに複数のクラスタを使用している場合、ブート ROM は FAT16 ファイル システム上でブート ファイルを検出しません。起動ファイルが最初のクラスタに存在しない場合、起動は失敗します。これは、Ubuntu を使用して小さな FAT16 パーティションを作成するときに観察されています。この場合、クラスタ サイズは 4k バイトであるため、最初のルート クラスタには 128 エントリのみが存在します (各ディレクトリ エントリは 32 バイト)。ブート ファイルがファイル インデックス 128 以降にある場合 (最大サイズは通常 512 に設定されます)、ROM はブート ファイルを検出しません。

回避方法:

FAT16 モードではなく FAT32 モードを使用します。

i2048

FSS:MCU_FSS0_WRT_TYPE レジスタが誤ってログを記録しています

詳細:

組み込み ECC を用いたブロック方式でフラッシュをプログラミングする際、FSS は、完全な 32 バイトのブロック量子ではない、あらゆるトランザクションに対してエラーを返します。

書き込みエラー レポート スタックが ECC エラー スタックに正しく接続されていません。

MCU_FSS0_WRT_TYPE[12] WRT_ERR_ADR = ECC エラー スタック最上位 (DED ビット)

MCU_FSS0_WRT_TYPE[13] WRT_ERR_BEN = ECC エラー スタック最上位 (SEC ビット)

MCU_FSS0_WRT_TYPE[11-0] WRT_ERR_ROUTEID = ECC エラー スタック最上位

{{MCU_FSS0_ECC_BLOCK_ADR[7-0] ECC_ERROR_BLOCK_ADDR、

MCU_FSS0_ECC_TYPE[5] ECC_ERR_ADR、MCU_FSS0_ECC_TYPE[4]

i2048 (続き)
FSS:MCU_FSS0_WRT_TYPE レジスタが誤ってログを記録しています

ECC_ERR_MAC, MCU_FSS0_ECC_TYPE[3] ECC_ERR_DA1,
MCU_FSS0_ECC_TYPE MCU_FSS0_ECC_TYPE[2] ECC_ERR_DA0}

ECC エラー イベントのいずれかがすでに処理されている場合、MCU_FSS0_WRT_TYPE レジスタの WRT_ERR_ADR、WRT_ERR_BEN、WRT_ERR_ROUTEID ビットフィールドは 0 です。

回避方法:

なし。

i2049
ECC_AGGR:保留中の ECC アグリゲータ割り込みのため、IP クロック ストップ / リセット シーケンスがハングアップする可能性があります」の詳細を更新
詳細:

ECC アグリゲータ モジュールは、安全エラーの発生 (発生は稀) を集約し、ソフトウェアへの通知用の割り込みを生成するために使用されます。ECC アグリゲータにより、安全エラー割り込みのイネーブル / ディスエーブルおよびクリアをソフトウェア制御できます。

ソフトウェアが IP 上でクロック ストップ / リセット シーケンスを実行している場合、IP に関連付けられている ECC アグリゲータ インスタンスがアイドル ステータスでないため、シーケンスが完了しない可能性があります。ECC アグリゲータのアイドル ステータスは、イネーブルまたはディスエーブルのいずれかの保留中の安全エラー割り込みに依存します。これらは、ソフトウェアでクリアされていないものです。その結果、未処理の安全エラー割り込みが発生していても、IP のクロック ストップ / リセット シーケンスが完了しないこと (ハングアップ) があります。

影響を受ける ECC_AGGR は、テクニカル リファレンス マニュアル (TRM) に記載されているレジスタ オフセット 0h の REV レジスタ値で決定できます。REV レジスタは、そのフィールド内の ECC_AGGR バージョンを次のようにエンコードします。

v[REVM AJ].[REVM IN].[REVRTL]

v2.1.1 以前の ECC_AGGR バージョンが影響を受けます。ECC_AGGR バージョン 2.1.1 以降は影響を受けません。

影響が発生する例:

REVM AJ = 2

REVM IN = 1

REVRTL = 0

上記の値は ECC_AGGR バージョン v2.1.0 にデコードされますが、これは影響を受けます。

影響が発生しない例:

REVM AJ = 2

REVM IN = 1

REVRTL = 1

上記の値は ECC_AGGR バージョン v2.1.1 をデコードしますが、これは影響を受けません。

回避方法:

一般的な注意事項:

ECC アグリゲータのクロック停止は、機能安全使用事例ではサポートされていません。

ソフトウェアは、機能安全以外の使用事例において、次の回避方法を使用する必要があります。

i2049 (続き)

ECC_AGGR:保留中の ECC アグリゲータ割り込みのため、IP クロック ストップ / リセット シーケンスがハングアップする可能性があります」の詳細を更新

1. IP のすべての ECC アグリゲータ割り込みを無効化します
2. 保留中の割り込みをすべて処理してクリアします
3. ステップ 3:
 - a. ECC アグリゲータへのすべての割り込みソースを無効化してから、クロック ストップ / リセット シーケンスを実行します。
 - b. クロック ストップ / リセット シーケンスを実行しながら、保留中の割り込みの処理 / クリアを続けます。

ソフトウェアでは、割り込みが外部刺激であるため、ステップ 3 で次の 2 つのオプションを利用できます。

1. クロック ストップ / リセット シーケンスを実行する前に、保留中の ECC_AGGR 割り込みを生成できるすべての割り込みソース (EDC CTRL チェッカー) を無効化します
2. クロック ストップ / リセット シーケンスの実行中に発生する保留中の割り込みの処理 / クリアを続行します。すべての割り込みがクリアされると、シーケンスが続行されます。

一般に、ソフトウェアは、このシーケンス全体の間に関連的に起動する保留中の割り込みを検出し (縮退故障シナリオなど)、関連する EDC CTRL 安全チェッカーを無効化して、クロック ストップ / リセット シーケンスを完了に向かって進行できるようにする必要があります。

i2050

USB:関連付けられた TRB を持たないエンドポイント向けのデータ パケットが原因で、エンドポイント OUT データ キューがロックアップする

詳細:

USB デバイス コントローラは、USB バス上で受信したエンドポイント OUT データをキュー データ構造に格納します。該当データを所有するエンドポイントに対して転送リクエスト ブロック (TRB) が利用可能である場合、コントローラはキューからシステム メモリへデータを転送します。しかし、このエンドポイントに対して TRB が利用可能でない場合、データはキューに留まり、キュー内の後続データがシステム メモリへ転送されるのをブロックします。これは、後続データを所有するエンドポイントの TRB が利用可能である場合でも発生します。

この問題の影響を受ける可能性がある既知の使用事例の 1 つは、ACM クラスと MSC などの別のクラスを組み合わせた複合デバイスです。ACM クラスのドライバは、長期間にわたって TRB なしで動作することが知られています。ACM クラスの後に別のクラスがデータを受信した場合、ACM クラスのドライバが TRB を提供するまで、そのデータがキュー内でスタックする可能性があります。この問題は一般に、事前に TRB を提供しないクラス、またはデータ受信後に長期間にわたって TRB を提供しない可能性があるクラスで発生する場合があります。

回避方法:

TRB を持たないエンドポイントのデータをキューに受信した際、コントローラによって IRQ[6] 割り込みが生成されます。このレジスタに対応する割り込みステータスビットは、EP_STS レジスタ内で TRBERR と呼ばれます。ソフトウェアはこの割り込みを利用して、ブロックしているエンドポイントに TRB を提供できる可能性があります。データがすぐに必要でない場合、ソフトウェアはキューからシステム メモリ内の一時バッファにデータが転送されるように TRB を設定する必要があります。システム メモリ内のデータは、後から消費できます。

i2052

CSI:CSI-Rx から CSI-Tx への再送信 パスが利用不可

詳細:

CSI_TX_IF モジュールは、入力データ内のブランキングを認識しません。すべてのセンサがブランキングを持つことを想定しているため、CSI_RX_IF モジュールと CSI_TX_IF モジュールの間の再送信パスは使用できません。

図 3-1 に CSI_RX_IF のブロック図を示します。

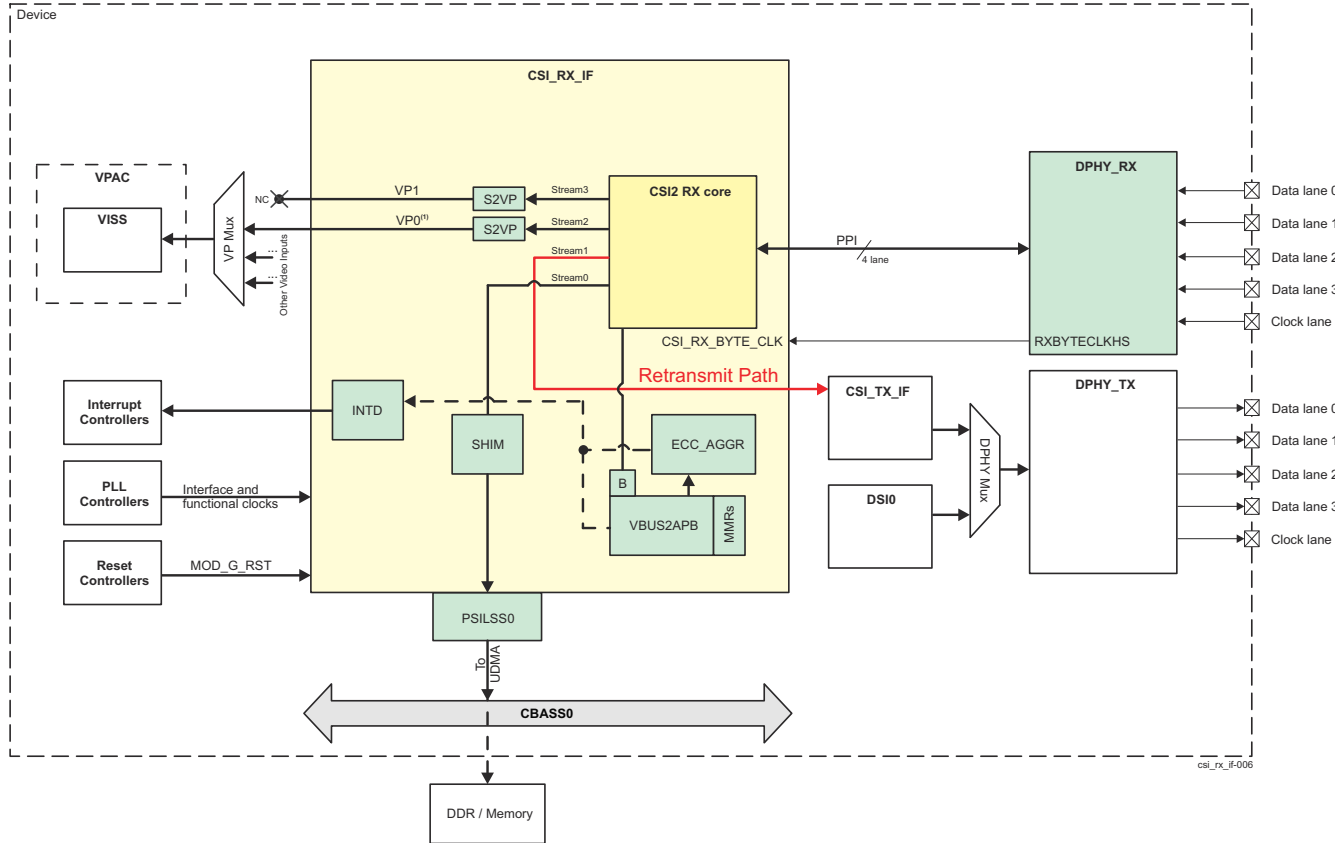


図 3-1. CSI_RX_IF のブロック図

回避方法:

内部または外部のメモリを介してデータをループさせます。

- ステップ 1: CSI_RX_IF キャプチャから UDMA-P を介してメモリへデータを送信します。
- ステップ 2: CSI_TX_IF を使用して UDMA-P 経由でデータを読み取り、外部デバイスへ出力します。

i2053

VTM: オンダイ温度センサからのソフトウェアでの読み出しは、破損する可能性があります

詳細:

WKUP_VTM_TMPSENS_STAT_j[9-0] DATA_OUT レジスタは、ソフトウェアで読み出すことで、SoC のオンダイ温度センサの「j」数の最後にサンプリングされた温度を決定できます。温度サンプルが更新されるのと同じ正確なサイクルで読み取りが行われると、クロックドメイン間の誤った再同期化により、読み取りデータが破損する可能性があります。

回避方法:

ソフトウェアは、WKUP_VTM_TMPSENS_STAT_j[9-0] DATA_OUT レジスタから 3 つの読み取りを実行する必要があります。次に、ソフトウェアは互いに最も近い 2 つのサンプルの平均に基づいて、使用する温度を計算する必要があります。

i2053 (続き)

VTM: オンダイ温度センサからのソフトウェアでの読み出しは、破損する可能性があります

ソフトウェアを疑似コードで表現すると、次のようになります。

```

#define abs(x) (((x)<0)?-(x):(x))
unsigned int get_best_value(unsigned int s0, unsigned int s1, unsigned int s2)
{
    int d01 = abs(s0 - s1);
    int d02 = abs(s0 - s2);
    int d12 = abs(s1 - s2);

    // if delta 01 is least, take 0 and 1
    if ((d01 <= d02) && (d01 <=d12)) {
        return (s0+s1)/2;
    }
    // if delta 02 is least, take 0 and 2
    if ((d02 <= d01) && (d02 <=d12)) {
        return (s0+s2)/2;
    }
    /* in all other cases, take 1 and 2 */
    return (s1+s2)/2;
}

unsigned int get_temp()
{
    unsigned int s0,s1,s2;
    s0 = Read WKUP_VTM_TMPSENS_STAT_j[9-0] DATA_OUT;
    s1 = Read WKUP_VTM_TMPSENS_STAT_j[9-0] DATA_OUT;
    s2 = Read WKUP_VTM_TMPSENS_STAT_j[9-0] DATA_OUT;
    return get_best_value(s0,s1,s2);
}
  
```

i2054

RA: GCFG 領域からの読み取りがスプリース RAM ECC エラーを引き起こす可能性がある

詳細:

リング アクセラレータ (RA) のグローバル設定領域 (GCFG) への読み取りにより、不正なアドレスを持つ RAM の読み取りが発生する可能性があります。これにより、RAM はランダムなデータを読み取ることになり、RAM の ECC チェックに失敗します。これにより、ログと割り込みが作成されます。データ自体は使用されないため機能的な故障には至りませんが、割り込みが発生することで RAM の故障があるように見えます。

注

メイン NAVSS RA は整列されたサイズを持ち不正な RAM アドレスが存在しないため、この問題はマイコン NAVSS RA にのみ影響します。

回避方法:

マイコン NAVSS RA の RAM ECC 割り込みを処理するソフトウェアは、ログレジスタ内のアドレスを確認し、そのアドレスが RAM の制限 (RA によってサポートされるリングの数) を超えている場合は、エラーを無視できます。ソフトウェアは単にエラーをクリアできます。

i2055

UDMAP: パケット モード記述子アドレス空間選択フィールドの制限事項

詳細:

UDMAP は、ブロック コピーやパケット モードなど、いくつかの異なるタイプのデータ転送を実行するために使用されます。

パケット モード転送は、アプリケーションが真の無制限フラグメント カウント スキャット / 収集タイプ動作をサポートする必要がある場合に使用するように設計されています。

パケット記述子のアドレス空間選択フィールドは、この特定のメモリ領域が存在するアドレス空間の識別子としてインフラストラクチャによって使用されます。アドレス空間 0 は、特定デバイスのデ

i2055 (続き)
UDMAP: パケット モード 記述子 アドレス空間 選択フィールドの制限事項

フォルトの統合アドレス空間です。アドレス空間 1 ~ 15 は、デバイスの外部 (PCIe / ハイパーリンク) や大型デバイスのその他の「タイル」にある代替アドレス マップに使用されます。

SW は、パケット モード転送でのみ使用される記述子で、ゼロでないアドレス空間選択値を避けるために推奨します。ブロック コピーおよび UDMAP でサポートされている他の転送タイプは影響を受けません。

パケット モードの転送でゼロでないアドレス空間選択値を使用すると、意図しないメモリ アクセスが発生する可能性があります。

回避方法:

SW は、パケット モード転送で使用される記述子で、ゼロでないアドレス空間選択値を避けるために推奨します。

パケット モードの転送でゼロでないアドレス空間選択値を使用すると、意図しないメモリ アクセスが発生する可能性があります。

i2062
RAT: エラー ログ ディスエーブルが設定されている場合でも、エラー 割り込みが発生します
詳細:

RAT エラー ログがログを無効化して割り込みを有効化するようにプログラムされている場合、エラーによって割り込みが誤ってトリガされますが、エラー ログ レジスタは正しく更新されません。エラー 割り込みは生成されてはなりません。

回避方法:

RAT エラー ログがディスエーブルの場合、エラー 割り込みもソフトウェアで無効化する必要があります。

i2063
C71x: IBUF バッファの最後の行に整列されていないアクセスで、CPU のロードとストアのための VCOP エイリアシングはサポートされていません
詳細:

C71x メモリ システムは、ストリーミング エンジンを通して実行される DMA やアクセスに加えて、CPU のロードとストア用に EVE 型 VCOP エイリアシングをサポートしています。このエイリアシングが有効になっている場合、IBUF バッファの最後のライン (128 バイト) に整列されていないロードとストアの構成によっては、エイリアスされないことがあります。

表 3-1 に実際の動作を示します。

表 3-1. CPU エイリアシングの動作

CPU エイリアシング ON					
	IBUFLA	IBUFHA	IBUFLB	IBUFHB	L1D 動作
所有	CPU	CPU	DMA	DMA	問題なし
	DMA	DMA	CPU	CPU	問題なし
	DMA	CPU	CPU	DMA	(1) を参照
	CPU	DMA	CPU	DMA	(2) を参照

(1) IBUFLA の最後の行に整列されていないアクセスでは、IBUHA にラインが流出し、両方のラインがエイリアシングされます。

(2) IBUFLA の最後の行に整列されていないアクセスでは、IBUHA にラインが流出し、両方のラインがエイリアシングされません。

i2063 (続き) **C71x:IBUF** バッファの最後の行に整列されていないアクセスで、CPU のロードとストアのための **VCOP** エイリアシングはサポートされていません

回避方法: IBUF バッファは、4 つのバッファすべての最後のライン (128 バイト) が使用されないように、サイズを設定する必要があります。

i2064 **C71x:特定の条件下においてキャッシュ モードの変更またはグローバル ライトバックが存在する場合、L1D SRAM への DMA アクセスが永続的にストールする可能性がある**

詳細: L1D SRAM への DMA 読み取りまたは書き込みが永続的にストールする可能性があります。この条件を顕在化させるには、以下のトランザクションが必要となります。

1. L1D キャッシュ モードの変更、またはグローバル ライトバック / 無効化を伴うライトバック。これらは、CPU レジスタへの ECR 書き込みにより開始されます。
2. キャッシュ モードの変更またはグローバル ライトバックの進行中に実行される CPU ロード。これは、ECR レジスタへの書き込みを行う MOVc 命令と並行してスケジュールされた CPU トランザクションに起因する可能性があります。
3. L1D SRAM 内のバッファに対する DMA 読み取りまたは書き込み。

これらのトランザクションは同じアドレスに対するものである必要はありませんが、#1 が進行しているときに #2 および #3 が実行中である必要があります。この場合、キャッシュ モードの変更またはグローバル ライトバックが終了した後であっても、DMA は永続的にストールします。

回避方法: L1D SRAM にマッピングされたバッファへの DMA 実行を避けてください。

i2065 **C71x:L1D スヌープが存在する場合、C71x メモリシステムおよび CPU が永続的にストールする可能性がある**

詳細: これらは、ごくわずかな時間枠内に発生する必要があるトランザクションおよび条件です。

トランザクション:

1. L2 キャッシュでミスし、ライン フィルのために MSMC への読み取りとして、MSMC または DDR に送出されるストリーミング エンジンの読み取り。
2. L2 キャッシュでミスするが、L1D にキャッシュされている可能性のある、MSMC または DDR へのストリーミング エンジンの読み取り。これらの読み取りは、L1D へのスヌープを生成します。
3. L1D でキャッシュミスし、L1D がキャッシュライン フィルのために L2 へ送信する CPU ロード (複数の読み取り)。
4. CPU のロードまたはストアにより、L1D が自身のキャッシュからラインをエビクトし、結果として L2 へのビクティムが発生。
5. L1D がスヌープ データを用いてスヌープに応答。
6. MSMC が、読み取り応答データを用いて L2 キャッシュミスに応答。
7. L1D からのスヌープ応答 (#5) および MSMC からの読み取り応答 (#6) が、ストリーミング エンジンにルーティングされている。

条件 / ストール:

1. L1D のビクティム (evict ライン) とスヌープ応答が L1D パイプライン全体および L1D、L2 内のバッファを満たしてしまい、結果として L1D が L2 へこれ以上のビクティムやスヌープ応答を送信できなくなる。

i2065 (続き)

C71x:L1D スヌープが存在する場合、C71x メモリ システムおよび CPU が永続的にストールする可能性がある

2. L2 は L1D からの読み取りミス进行处理しているが、L1D パイプラインが満杯であるため、L1D へこれ以上の読み取り応答データを返送できない。

この状況では、メモリ システムがストリーミングエンジンの読み取りへのサービスを停止します。これにより、CPU が永続的にストールする原因となる可能性があります。

回避方法:

これを回避する方法は複数あります。いずれか 1 つのトランザクションを取り除くことで、このストールの発生を防ぐことができます。これらの回避方法のいずれでも使用可能です。これらは互いに独立しており、1 つの回避方法を適用するだけでもこの条件を回避できます。

回避方法 1: ストリーミング エンジンから読み取りを実行する前に、L1D キャッシュにバッファをフラッシュします。これにより L1D スヌープが排除されます。

回避方法 2: L1D とストリーミング エンジン間でバッファを共有しないことにより、L1D スヌープを防ぎます。

回避方法 3: L1D ビクティムの発生を防ぐために、L1D ビクティム キャッシュをフラッシュします。

回避方法 4: ストリーミング エンジンの読み取りまたは CPU ロードのいずれかを、MSMC や DDR の代わりに L2 にマッピングし、これによりキャッシュ ミスを回避します。

i2067

USB: デバイス モードでのシステム メモリからの TRB 読み取り時におけるレース コンディション

詳細:

以下のシーケンスを実行することで、古いデータが転送されないようになります。

1. ソフトウェアは、TD 内の最初の TRB を無効としてマークする必要があります (サイクル ビットがソフトウェア所有権を示すように設定します)。
2. ソフトウェアは、TD 内の他のすべての TRB を準備する必要があります
3. ソフトウェアは、既存の TD 内のすべての TRB の DMA 転送が完了するまで、該当 TD 内の最初の TRB を有効にする処理を保留します。ソフトウェアは、この TRB を有効 (ハードウェア所有権を示すようにサイクル ビットを変更) にする前に、TRBERR フラグがセットされた IRQ[6] 割り込みを待機します。

回避方法:

USB デバイス コントローラは、システム メモリ内に転送リングを形成するために使用される 12 バイトの転送リクエスト ブロック (TRB) データ構造体を使用します。TRB には、USB を介して転送されるデータを含むメモリ内のデータ バッファへのポインタ、または USB を介して受信したデータを格納する場所へのポインタが含まれています。転送リングの管理には、ソフトウェアがプロデューサ、コントローラがコンシューマとなるプロデューサ コンシューマ モデルが使用されます。TRB の所有権は、TRB 内の「Cycle」ビット フィールドを使用して、ソフトウェアとハードウェアの間で移転されます。ソフトウェアによるメモリへの TRB の書き込み、およびハードウェアによるメモリからの TRB の読み取りは、アトミック処理であることが期待されます。

この問題が発生する理由は、コントローラが 2 つの独立した DMA トランザクション (8 バイトのトランザクションに続く 4 バイトのトランザクション) を使用してシステム メモリから TRB を読み取るためです。その結果、コントローラによる TRB の読み取り処理はアトミックではなくなります。ハードウェアが最初の 8 バイトを読み取った後にソフトウェアによる TRB への書き込みが発生すると、IN トランザクションで古いデータが転送されたり、OUT トランザクションで古いデータがソフトウェアに提供されたりする原因になります。

i2067 (続き)

USB: デバイス モードでのシステム メモリからの TRB 読み取り時におけるレース コンディション

「Cycle」ビットは最下位ビットであり、コントローラによる 2 回目の DMA 転送で読み取られます。2 回の読み取りトランザクションの間にソフトウェアの書き込みが割り込む可能性があるため、レース コンディションが存在します。以下のイベント順序により、USB バス上で破損したデータ転送が引き起こされる恐れがあります。

1. コントローラが TRB の上位 8 バイトを読み取ります。この TRB 内のデータ バッファ ポインタは古い可能性があります。
2. ソフトウェアが 12 バイトの TRB をアトミックに書き込みます。これにより、TRB のデータ バッファ ポインタが新しい場所に更新されます。
3. コントローラは TRB の残りの 4 バイトを読み取ります。前の手順でサイクル ビットはソフトウェアによって更新されたため、データ バッファ ポインタが正しくない場合でも、コントローラはこれを有効な TRB と見なします。

この問題はデバイス モードにのみ影響します。

i2079

C71x: 特定の条件下において CPU トラフィックが存在する場合、L1D SRAM への DMA アクセスが永続的にストールする可能性がある

詳細:

L1D SRAM への DMA 読み取りまたは書き込みが永続的にストールする可能性があります。この条件を顕在化させるには、以下のトランザクションが必要となります。

1. L1D キャッシュに事前に割り当てられているバッファ / ライン「A」。
2. バッファ / ライン「A」に対して L1D キャッシュ ミスとなる CPU 読み取り。
3. バッファ / ライン「A」に対するストリーミング エンジン の読み取り。
4. L1D SRAM 内のバッファに対する DMA 読み取りまたは書き込み。

トランザクション #1、#2、#3 は同じバッファ / ラインに対するものであるのに対し、#4 は異なるバッファ / ラインに対するものであることに注意してください。これにより、DMA が永続的にストールする原因となる条件に直面する可能性があります。

回避方法:

L1D SRAM にマッピングされたバッファへの DMA 実行を避けてください。

i2081

ブート: ブート モードごとの ROM コードの最大タイムアウトは、TRM の元のタイムアウト値の半分です

詳細:

ブート モードごとの ROM コードに実装されている最大タイムアウト値は、元のタイムアウト値の半分です。例えば、UART ブート モードでは、最大タイムアウトは 120 秒として文書化されていますが、デバイスでの実際のタイムアウトは 60 秒です。

この問題は、すべてのブート モードで実装されているすべてのタイムアウト値に当てはまります。

これは、UART ブートの場合、ROM コードによってダウンロードされる最大イメージ サイズに影響を及ぼします。現在サポートされているイメージのブートは、最大 300KB です。

回避方法:

なし。UART ブートの場合、ROM コードは最大 300KB サイズのイメージのブートのみをサポートします。

i2083 CPTS:GENF (および ESTF) 再構成の問題

詳細:

以前に設定された GENF/ESTF 機能を再構成する際に問題が発生します。問題の詳細:

GENF の出力がロジック 1 のときに GENF の再構成が行われると、再構成の比較時間がフル カウントではなくハーフ カウントになり、GENF の出力が 1/2 サイクルずれることになります。再構成が発生したときに GENF の出力がロジック 0 であれば、再構成後のサイクルは正しくなります。

回避方法:

GENF の再構成は、SOC のハードウェア リセット後にものみ実行可能です。

i2085 PCIe:Gen2 対応エンドポイント デバイスが、常に Gen1 として列挙されます

詳細:

PCIe Gen2 対応エンドポイント (EP) がルートポート (RP) として設定された SoC に接続されている場合、RP は Gen2 モードで列挙に失敗し、リンクの両端で自律速度変更が有効になっていても常に Gen1 モードにフォールバックします。

回避方法:

リンクが L0 状態に達すると、ソフトウェアは PCIe RP の PCIE_CORE_LM_I_LINKWIDTH_CONTROL_REG[31] EPLSCL ビットを設定することで、リンクの再トレーニングを開始できます。これにより、RP は強制的に再列挙され、Gen2 速度を達成します。

i2086 PCIe:構成完了レスポンス パケットにおける MMA の Unsupported Request (UR) または Configuration Request Retry Status (CRS) が、外部アボートを引き起こします

詳細:

PCIe ルートポート (RP) が PCIe 多機能エンドポイント (EP) デバイスまたは PCIe スイッチを列挙している場合、EP は RP から読み取られた設定に対して、Unsupported Request (UR) または Configuration Request Retry Status (CRS) で応答することがあります。RP が EP に存在しないバス デバイス機能 (BDF) リソースにアクセスしようとする、UR 応答が返されます。このタイプの構成アクセスと UR 応答は、列挙プロセス中に期待されます。EP からの UR および CRS 応答によって PCIe RP にバス エラーが発生し、CPU へのデータ アボートが発生します。

回避方法:

次のいずれかの回避方法を使用できます。

1. 代替ルーティング ID (ARI) 機能をサポートする多機能 EP デバイスでは、デバイス内の次の物理機能を指す ARI「Next Function」フィールドを使用することで、存在しない機能のスキップを回避できます。これにより、列挙中に EP デバイスからの UR 応答が防止されます。
2. DMA は、CPU によって直接発行されるのではなく、列挙中に構成空間トランザクションをプロキシするために使用できます。

i2087 C71x:MMA HWA_STATUS は、アプリケーションが起動する前にエラーを報告します

詳細:

内部状態が初期化されていないため、C71x に接続されている Matrix Math Accelerator (MMA) は、電源投入後に HWA_STATUS レジスタの FirstErrorCode および LastErrorCode フィールドのエラーを報告することがあります。これらのフィールドはスティッキーであるため、以降の HWARCV 命令では C71x 例外がスローされる場合があります。

i2087 (続き)

C71x:MMA HWA_STATUS は、アプリケーションが起動する前にエラーを報告します

回避方法:

電源投入後、C71x で実行される短い命令シーケンスによって、通常の MMA 動作が最初に実行される前に内部 MMA 状態を初期化できます。必要なシーケンスの実行は 1 つだけです。このシーケンスでは、有効な HWA_CONFIG および HWA_OFFSET 値が生成され、MMA にロードされてから、スティッキー エラー コードがクリアされます。

C71x アセンブリ コードのシーケンスは次のとおりです。

```
PROT
MVK32 .M2 0x0,B0 ; clear low word of VB0
VDUPW .C2 B0,VB0 ; duplicate word across VB0
HWAOPEN .L2 VB0,VB0,0 ; clear HWA_CONFIG and HWA_OFFSET
HWACLOSE .S1 0 ; clear any error conditions
```

i2090

MMCS1:MMCS1 と MMCS2 の速度に関する問題

詳細:

出力 DAT および CMD パスのタイミングの問題により、SDR104 (200MHz SDR) で MMC1/2 データの読み取りおよび書き込み動作が失敗します。これにより、誤ったデータが SDR104 モードで送信され、適切な MMC1/2 データの読み取り / 書き込み動作が 100MHz クロック周波数に制限されます。

回避方法:

MMC1 および MMC2 の 100MHz にデータ動作を行うときは、クロック周波数を低減します。

i2091

USB:受信信号振幅が同じパケット内のスケルチ スレッシュホールドを複数回超えると 2.0 PHY がハングアップします

詳細:

USB 2.0 PHY はレシーバにスケルチ検出回路を実装しており、バスがアイドル状態のときにノイズが有効なデータとして解釈されないようにしています。スケルチ回路は、DP/DM 差動信号の振幅がスケルチ スレッシュホールドよりも小さい間、レシーバ出力をディスエーブルにすることで、無効なデータをブロックします。

DP/DM 差動信号の振幅がスケルチ スレッシュホールドを一定期間下回り、同じパケット内のスケルチ スレッシュホールドを超えて戻ると、PHY がハングアップすることがあります。DP/DM 差動信号の振幅が、2 つのパケット間のアイドル時間中にスケルチ スレッシュホールドを超える場合、この問題は発生しません。

回避方法:

この問題は、有効なデータ転送中に、レシーバ入力に印加される DP/DM 差動信号の振幅がスケルチ スレッシュホールドを上回るようにすることで回避できます。

i2092

USB:SuperSpeed デバイス モードにおいて、Isochronous エンドポイントの後続のエンドポイントの DMA 転送が不正に終了します

詳細:

ホストからの SuperSpeed Isochronous Out トランザクションでは、Last Packet Flag (LPF) フィールドを使用して、現在のパケットがこのサービス インターバルの最後のパケットであることを示します。DMA はこのフラグを使用して、現在のサービス インターバルにおけるこのエンドポイントの転送記述子の処理を停止します。

ハードウェアのバグにより、LPF セットを受信した Isochronous エンドポイントの後にサービスを受けるエンドポイントに LPF が正しく適用されません。これにより、後続のエンドポイントの DMA

i2092 (続き)
USB: SuperSpeed デバイス モードにおいて、Isochronous エンドポイントの後続のエンドポイントの DMA 転送が不正に終了します

による転送記述子処理が不正に終了します。その結果、これらのエンドポイントの各転送記述子で処理される TRB は 1 つだけです。後続のエンドポイントは、Control (EP0) または Bulk を含む任意のタイプにできます。この問題は、転送記述子を処理する際のルールに違反しています。

このコマンドに関連する回避方法はありませぬ。そのため、SuperSpeed デバイス モード用の Isochronous OUT エンドポイントはサポートされていません。

回避方法:

なし。

i2093
USB: デバイス モードでの DMA 転送中に USB リセットを受信すると DMA がハングアップする
詳細:

USB コントローラには、システム メモリとの間でデータを転送するために使用される DMA マスタポートが含まれています。この DMA マスタポートは、DMA 転送がアクティブな間にバスリセット (2.0 リセット、または Superspeed のウォーム / ホット セット) を受信した場合、転送を適切に終了できない可能性があります。これにより、DMA マスタがロックアップする可能性があります。

USB 2.0 バスリセットまたは SuperSpeed ウォーム / ホットリセットは、USB デバイスの異常動作に応じて USB ホストから発行される場合があります。USB ホストは、リセットを発行する前に、まずトランザクションの再試行によってエラー状態 (データ パケット内の CRC エラーなど) からの回復を試みます。この間、コントローラ内の USB データ バッファは、新しい DMA 転送に対して一時的に使用不可になります。これにより、保留中の DMA 転送を完了させる機会が与えられます。DMA がアクティブな間にリセットを受信する確率には、以下の要素が影響します。

- ホストがデバイスの異常動作を検出するのに必要な時間。
- ホストがトランザクションを再試行するのに必要な時間、およびデバイスが再試行に応答するのに必要な時間。
- ホストがリセット シグナリングを開始するのに必要な時間。
- デバイスが利用可能なすべてのオンチップ バッファに対して保留中の転送を完了するのに必要な時間。

システムのレイテンシがきわめて高い場合、DMA 転送がまだ進行中または保留中の間にリセットを受信する可能性があります。

この問題はすべての速度に影響しますが、発生確率は非常に低いです。

この問題はデバイス モードにのみ影響します。

回避方法:

このきわめて起こりにくいシナリオから回復するために、以下の 2 つのオプションを使用できます。DMA ロックアップが発生した後に回復するには、USB サブシステムのリセットが必要です。

Option1: ロックアップを検出し、USB サブシステムをリセットするために、他のシステムレベルの機構を使用します。リセット後に DMA がロックアップすると、ホストはデバイスを列挙できなくなります。ホストはデバイスのリセットを再度試みる可能性があります、バスリセットだけでは DMA ロックアップから回復するのに不十分なため、その後の再試行は失敗します。列挙が成功しなかった後、ホスト ソフトウェアは、ロックアップをデバイスに伝えるための代替機構を使用できるように、この問題をシステム レベルに引き上げる必要があります。

Option2: 以下のソフトウェアによる回避方法を使用して、DMA ロックアップを検出し、サブシステムをリセットできます。以下は、回避方法の手順です。

i2093 (続き)

USB: デバイス モードでの DMA 転送中に USB リセットを受信すると DMA がハングアップする

1. ソフトウェアは、バスリセット後に最初のデスク립タ欠落割り込みが発生したときに、AXI がアイドル状態であるかどうかを確認します。AXI のステータスは、DMA_AXI_CAP レジスタ内の AXI_IDLE MMR ビットを読み取ることで確認できます。AXI がアイドル状態の場合、ソフトウェアはステップ 2 に進みます。AXI がアイドル状態でない場合、ソフトウェアはステップ 6 に進みます。
2. 以下の手順に従って、ダミーの DMA 転送を開始します。
 - ダミーの IN1 エンドポイントを構成します。
 - IN1 用の TRB およびデータ パケットを準備します。この転送に対して完了時割り込み (IOC) を有効にします。
 - IN1 用リングドアベル
 - $T2 < 50ms$ である T2 タイマを開始します。DMA がハングアップしていない場合に、DMA がダミー転送を完了するのに十分な時間を確保するため、推奨される T2 時間は 40ms です
3. IOC 割り込みを待ちます。IOC 割り込みを受信した場合は、ステップ 3 に進みます。T2 タイマが経過しても IOC を受信しなかった場合は、手順 6 に進みます。
4. コントローラのレジスタ空間にある BUF_ADDR、BUF_DATA、および BUF_CTRL MMR を読み取ることで、IN1 データが正しいことを確認します。データが正しい場合はステップ 5 に進みます。データが正しくない場合は、手順 6 に進みます。
5. このステップに達した場合、DMA マスタはハングアップしていません。ソフトウェアは、SETUP パケットを処理するための以降のプログラミングを進められます。回避方法フローを終了できます。
6. このステップに達した場合、DMA マスタはハングアップしています。ソフトウェアは、ハングアップから USB サブシステムを回復するために以下の手順を実行します。
 - デバイスの切断を強制します。
 - $T1 \geq 200ms$ である T1 タイマを開始します。ホストがデバイスの切断を認識できるようにするために、T1 は 200ms より長い必要があります。システムがより長いダウンタイムを許容できる場合は、より長い T1 遅延を使用できます。この遅延の後に USB 転送がまだ保留されているという、きわめて起こりにくいシナリオでは、サブシステムをリセットするとシステム バスがロックアップする可能性があり、チップ全体のフル リセットにつながる恐れがあります。T1 遅延が長いほど、保留中のシステム バス転送が完了するまでの時間を長く確保できます。
 - ソフトウェアは、それぞれの LPSC を使用して USB サブシステムの強制リセットを開始します。
 - T1 タイマが経過するまで待ちます。
 - パワーオンリセット後に実行したのと同じ手順に従って USB サブシステムを再起動し、USB をデバイス モードにセットアップします。

i2094

PCIe: PCIe レガシー割り込みに対して割り込み終了 (EOI) が有効にならない

詳細:

PCIe エンドポイント (EP) は、ASSERT_INTx/DEASSERT_INTx メッセージを発行することにより、PCIe ルートポート (RP) に対してレガシー割り込みを通知できます。ASSERT_INTx メッセージは PCIe RP コントローラの境界におけるレベル出力信号を High に変化させ、DEASSERT_INTx メッセージは同じ出力信号を Low に変化させます。コントローラからのこのレベル出力信号は、SoC 割り込みコントローラに割り込みを通知するためのパルスに変換されます。

処理すべき未完了のタスクがある場合、EP は単一の ASSERT_INTx メッセージを発行し、DEASSERT_INTx メッセージを発行することなく RP コントローラのレベル出力を High に維持

i2094 (続き)
PCIe:PCIe レガシー割り込みに対して割り込み終了 (EOI) が有効にならない

できます。割り込みロジック内の割り込み終了 (EOI) 機能は、アサートされたままになっているレベル信号から SoC 割り込みコントローラへのパルス割り込みを再トリガするために使用されます。EOI 機能は、PCIe レガシー割り込みに対して有効になっていません。これにより、PCIe RP からのレベル出力信号が High にアサートされたままになっている場合でも、SoC 割り込みコントローラに対して単一のパルス割り込みのみが生成されるようになります。

この問題の結果として、この RP に接続された EP が各割り込みイベントに対して DEASSERT_INTx メッセージを保証できない場合、RP モードでのレガシー割り込みは使用できません。

回避方法:

PCIe EP は、レガシー割り込みの代わりに MSI/MSI-X を使用して PCIe RP に割り込みを通知できます。

i2095
RA:テールへのピークが誤ったデータを返す
詳細:

リング アクセラレータ (RA) のテールからのピーク機能が正しく動作しません。RA はテール要素ではなく誤った位置を読み取るため、データが実際のテール要素と一致しくなくなります。

回避方法:

回避方法がなく信頼性がないため、ユーザーはこの機能を使用しないでください。

i2096
UART:DMA 使用時のスプリアス UART 割り込み
詳細:

DMA モード (UART_FCR[3] DMA_MODE) が有効で、RX FIFO からデータを読み取るために DMA が使用されている場合、スプリアス UART 割り込みが発生する可能性があります。割り込みコントローラは UART 割り込みが発生したことをフラグで示しますが、関連する UART_IIR_UART[0] IT_PENDING ビットは 1 に設定されたままであり、割り込みが保留されていないことを示します。

回避方法:

発生するたびにスプリアス割り込みをアクノリッジしてください。この問題は、UART_IER_UART[0] RHR_IT ビットを使用して受信データ割り込み (RDI) を無効化することで回避できます。ただし、これにより RX タイムアウト割り込みも無効になるため、すべての使用事例で実用的とは限らないことに注意してください。

i2097
DSS:オーバーレイに接続されている層を無効化すると、次のフレームで Synclost が発生することがあります
詳細:

OVR に接続されている層 (例:VID1) を無効化する (DSS_VID_ATTRIBUTESx[0] ENABLE を 1 から 0 に切り替える) と、次のフレーム中に同期される場合があります。同期化すると、破損またはブランク フレームが発生する可能性があります (フレーム中に DSS から送信されるすべてのピクセル データは 0x0 です)。Synclost の発生は、層の無効化に対して GO ビットを設定するタイミング (DSS_VP_CONTROL[5] GOBIT を 1 に設定する) に依存します。「層を無効化する」MMR 書き込み動作と「GO ビットを設定する」MMR 書き込み動作が同じフレーム境界内で行われた場合、synclost は発生しません。フレーム境界を越えて動作が行われる場合、(1 フレームの場合) 同期化が発生します。設計は自動的に回復し、GO ビットが設定されると次のフレームから通常の動作に戻ります。図 3-2 を参照してください。

i2097 (続き)

DSS:オーバーレイに接続されている層を無効化すると、次のフレームで Synclost が発生することがあります

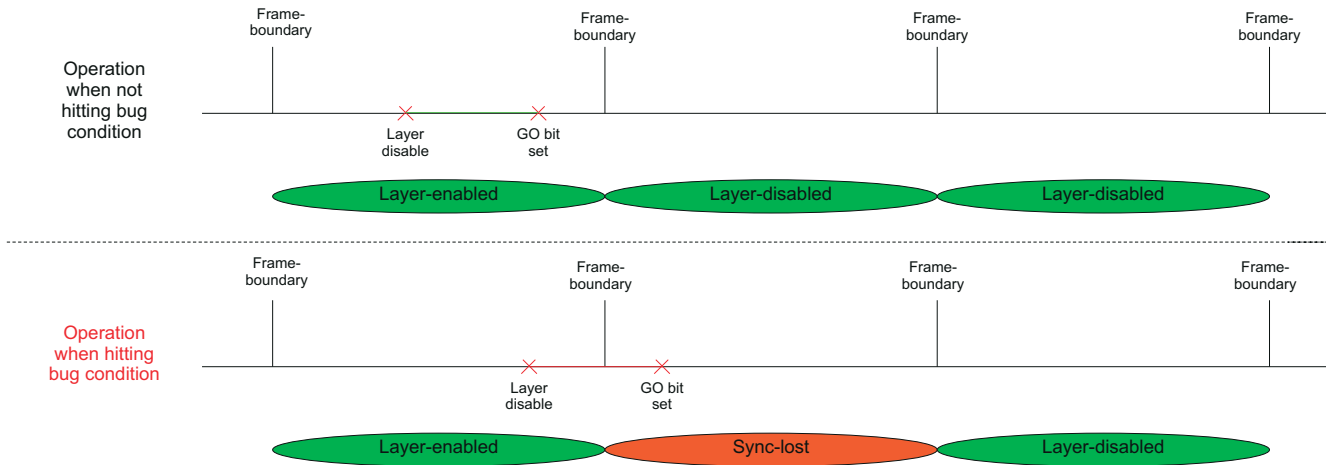


図 3-2. バグ状態

回避方法:

単純なソフトウェア回避方法が存在します。回避方法では、OVR で層を無効化する前に、その層は OVR の「非表示」領域に移動されます (例: DSS_OVR_ATTRIBUTES_x[17-6] POSX = max_value_of_posx または DSS_OVR_ATTRIBUTES_x[30-19] POSY = max_value_of_posy)。これにより、層がディスエーブルになっている場合に synclost が回避されます。

図 3-3 に、ソフトウェア回避方法疑似コードの例を示します。この場合、通常の「層を無効化する」MMR 書き込み動作と「GO ビット セットを設定する」MMR 書き込み動作は、ソフトウェア回避方法を実装するマクロに置き換えられます。

<pre>macro disable_layer (overlay n , layer m) set OVR[n].ATTRIBUTES2[m].PO SX = posx_max; set OVR[n].ATTRIBUTES2[m].PO SY = posy_max; global_ovr_layer_disable_tracker[n][m] = 1; endmacro macro set_go_bit (vp n) if(!global_ovr_layer_disable_tracker[n])any bit set { set VP[n].CONTROL.GOBIT = 1; Wait for 10 DSS FUNC CLK cycles; for (i=0;i<NUM_LAYERS;i++) { if(global_ovr_layer_disable_tracker[n][i]) { Clear OVR[n].ATTRIBUTES[i].ENABLE = 0; global_ovr_layer_disable_tracker[n][i] = 0; } } } set VP[n].CONTROL.GOBIT = 1; endmacro</pre>	<ul style="list-style-type: none"> • Replace layer disable MMR write operation with a macro which positions the layer to the non-visible area of the OVR • Track which layers are disabled. This will be used while GO bit is set
<pre>macro set_go_bit (vp n) if(!global_ovr_layer_disable_tracker[n])any bit set { set VP[n].CONTROL.GOBIT = 1; Wait for 10 DSS FUNC CLK cycles; for (i=0;i<NUM_LAYERS;i++) { if(global_ovr_layer_disable_tracker[n][i]) { Clear OVR[n].ATTRIBUTES[i].ENABLE = 0; global_ovr_layer_disable_tracker[n][i] = 0; } } } set VP[n].CONTROL.GOBIT = 1; endmacro</pre>	<ul style="list-style-type: none"> • Replace GO bit set MMR write operation with this macro • First, set GO Bit for the changes in "disable_layer" macro (and any other earlier changes) to take effect • After the first GO bit set, few idle_cycles (10 DSS functional clock cycles) are necessary before we move to the second step
<pre>macro set_go_bit (vp n) if(!global_ovr_layer_disable_tracker[n])any bit set { set VP[n].CONTROL.GOBIT = 1; Wait for 10 DSS FUNC CLK cycles; for (i=0;i<NUM_LAYERS;i++) { if(global_ovr_layer_disable_tracker[n][i]) { Clear OVR[n].ATTRIBUTES[i].ENABLE = 0; global_ovr_layer_disable_tracker[n][i] = 0; } } } set VP[n].CONTROL.GOBIT = 1; endmacro</pre>	<ul style="list-style-type: none"> • In the second step, actually disable the layers based on the previously tracked information • Set the GO bit for the second time for the disable of the layers to take effect

図 3-3. 回避方法疑似コード

i2098

SA2_UL:2 番目の入力スレッドを使用した認証 / 復号操作で、DMA パケットが送信されません

詳細:

ETYPE=5 (SA2_UL) のスレッドのマルチプレクサ モードでは、データの損失から UDMAP のクレジット オーバーフローまで、予測不可能な結果が生じる可能性があります。これにより、宛先スレッド 1 と、ETYPE = 5 (SA2_UL) のソース スレッド 2 と 3 が使用されなくなります。

- i2098 (続き)** **SA2_UL:2 番目の入力スレッドを使用した認証 / 復号操作で、DMA パケットが送信されません**
-
- 回避方法:** なし。SA2_UL では、宛先スレッド 1、およびソース スレッド 2 と 3 は使用できません。
- i2099** **R5FSS:1 つ以上の MPU 領域が書き込み割り当てモードに設定されている場合、デッドロックが発生する可能性がある**
-
- 詳細:** R5FSS がデッドロックできる条件には、次の 2 つがあります。
- ソフトウェアがキャッシュ可能なライトバック / ライト割り当てメモリ領域に対して一連のストア操作を実行し、その後にソフトウェアがバリア操作 (DSB または DMB) を実行する場合。R5FSS はバリア命令の箇所でハングアップする可能性があります。
 - ソフトウェアが緊密なループ内でロード操作とストア操作を混在させて実行しており、かつストア操作がすべてキャッシュ可能なライトバック / ライト割り当てメモリ領域への書き込みである場合、R5FSS はロード命令のいずれかの箇所でハングアップする可能性があります。
- 回避方法:** R5FSS 内部のラインフィル最適化を無効にすることで、デッドロック条件を排除できます。
- ラインフィル最適化を無効にするには、ソフトウェアは補助制御レジスタのビット 13 (DLFO) を設定する必要があります (補助制御レジスタの更新方法については、Cortex-R5F テクニカル リファレンス マニュアルを参照してください)。
- i2100** **PCIe: エンドポイント宛先選択属性 (ASEL) ベースのルーティング問題**
-
- 詳細:** PCIe エンドポイント (EP) 内のシステム DMA は、宛先選択属性 (ASEL) をゼロでない値に設定して、アウトバウンド PCIe 要求を発行できます。これにより、PCIe コントローラはアドレス変換ユニット (ATU) をバイパスでき、システム DMA によって発行されたアドレスが発信 PCIe アドレスとして使用されます。
- 発信 PCIe のトランザクション レベル パケット (TLP) で使用される機能番号が、ATU をバイパスするときに誤って 0 に関連付けられています。その結果、多機能 EP はゼロでない ASEL を使用して ATU をバイパスすることはできません。すべての多機能 EP トランザクションは、TLP で正しい機能番号を確認するために ATU によって解釈される必要があります。
- 多機能 EP がゼロでない ASEL トランザクションを発行すると、PCIe ルートポート (RP) でサポートされていない要求 (UR) が発生する可能性があります。
- 機能番号は常にゼロなので、この問題は単一機能 EP には影響しません。
- 回避方法:** 多機能 EP でゼロでない ASEL 発信トランザクションをサポートする場合の回避方法は特定されていません。
- i2101** **GIC: ITS の誤動作**
-
- 詳細:** GIC の AXI マスタトラフィックは、プロトコル変換ブリッジを経由してメモリにアクセスします。このプロトコル変換ブリッジの誤設定により、特定の 1 つの ARID で生成された AXI 読み取りリクエストがブリッジから返されなくなります。
- これにより、読み取りアクセスが要求された該当の特定のデバイス ID に対するすべての ITS リクエストが失敗する原因となります。

i2101 (続き)

GIC:ITS の誤動作

回避方法:

なし

i2102

UFS:自動ハイバネートが誤った起動/終了エラーを引き起こす可能性がある

詳細:

UFS モジュールは、自動ハイバネートの起動 / 終了プロセスが成功している間に、ハイバネートの起動 / 終了が失敗したと誤って報告する可能性があります。これらのエラーは、UFS_IS[6].UHES および UFS_IS[5].UHXS レジスタで報告されます。

回避方法:

ソフトウェアは、レジスタ フィールド UFS_AHIT[9:0].AH8ITV を介して自動ハイバネートアイドル時間値をゼロに設定することにより、自動ハイバネート機能を完全に無効にする必要があります。

i2103

安全モジュール:機能安全エラーの ECC_GRP、ECC_BIT、ECC_TYPE 情報が誤って報告されます

詳細:

機能安全エラーについて、特定の安全性チェッカでは、エラー ステータス レジスタに記録される ECC_GRP、ECC_BIT、ECC_TYPE の情報が不正確である可能性があります。これは、ECC_GRP = 0、15、31、47、63...(N*16-1) にマッピングされている安全チェッカにのみ適用されます。DDR ブリッジ / コントローラの場合、この問題は ECC_GRP = 0、31、63...(N*32-1) の安全チェッカにのみ適用されます。

この問題は、すべての安全モジュール インスタンスとそのサブバンクに影響します。デバイスのテクニカルリファレンス マニュアルの「安全モジュール」セクションを参照してください。

注:これらの安全エラーの検出および割り込み信号は影響を受けません。エラー ステータス レジスタの前述のフィールドのロギングのみが影響を受けます。

回避方法:

なし。これらの特定の安全チェッカについて、ソフトウェアは、修正可能なエラーまたは修正不可能なエラーが発生したかどうか、およびどの安全モジュール インスタンスにエラーが発生したかを知ること (つまり IP モジュールを認識している) に限定され、どの安全チェッカがエラーに遭遇したかは知ることはできません。

i2103

内部診断モジュール:機能安全エラーの ECC_GRP、ECC_BIT、ECC_TYPE 情報が誤って報告されています

詳細:

機能安全エラーについて、特定の安全性チェッカでは、エラー ステータス レジスタに記録される ECC_GRP、ECC_BIT、ECC_TYPE の情報が不正確である可能性があります。これは、ECC_GRP = 0、15、31、47、63...(N*16-1) にマッピングされている安全チェッカにのみ適用されます。DDR ブリッジ / コントローラの場合、この問題は ECC_GRP = 0、31,63...(N*32-1) の安全チェッカにのみ適用されます。

この問題は、すべての内部診断モジュール インスタンスとそのサブバンクに影響します。

注:これらの安全エラーの検出および割り込み信号は影響を受けません。エラー ステータス レジスタの前述のフィールドのロギングのみが影響を受けます。

回避方法:

なし。これらの特定の安全チェッカについて、ソフトウェアは、修正可能なエラーまたは修正不可能なエラーが発生したかどうか、およびどの内部診断モジュール インスタンスにエラーが発生し

i2103 (続き)

内部診断モジュール:機能安全エラーの ECC_GRP、ECC_BIT、ECC_TYPE 情報が誤って報告されています

たかを知ること (つまり IP モジュールを認識している) に限定され、どの安全チェッカがエラーに遭遇したかは知ることはできません。

i2115

OSPI:OSPI ブートは一部の xSPI モードまたは xSPI デバイスをサポートしない

詳細:

背景として、さまざまな OSPI および xSPI プロトコルは、プロトコルのコマンド / アドレス / データ セグメントのビット幅 (1 または 8) およびデータ レート (シングル データ レートの場合は S、ダブル データ レートの場合は D) に従って記述されます。

SoC の ROM OSPI ブート モードは、1S-1S-1S モードおよび 1S-1S-8S モードをサポートしています。

xSPI プロトコルは、一般的な下位互換性のために 1S-1S-1S モードを定義し、最大の基本スレープットのために 8D-8D-8D モードを定義しています。ROM OSPI ブート モードは 1S-1S-1S モードと互換性がありますが、8D-8D-8D モードとは互換性がありません。

一部の SPI フラッシュ メモリ デバイスは、レガシーの 1S-1S-8S モードも提供しており、これは ROM OSPI ブート モードと互換性があります。

適切なソフトウェア ドライバを使用すれば、OSPI IP は一般に 8D-8D-8D モードをサポートすることに注意してください。この制限は、1S-1S-1S モードおよび 1S-1S-8S モードをハード コードしている ROM ブートにのみ適用されます。

回避方法:

ブートに 8 ビットのデータ レートが必要な場合は、1S-1S-8S 動作モードと互換性のある SPI フラッシュ メモリ デバイスを慎重に選択する必要があります。

ブートに 1 ビット データで十分な場合は、ブート時に 1S-1S-1S モードを明示的にサポートする xSPI フラッシュ メモリ デバイスを選択する必要があります。メモリ ベンダによって、特定の製品バリエーションのみこのモードをサポートしている場合があります。

TI は、Micron 社の Xcella OSPI フラッシュが 1S-1S-8S モードと互換性があることを確認しています。Cypress 社の Semper Flash は 1S-1S-8S モードをサポートしていないため、1 ビット ブート モードを明示的にサポートするデバイスの型番を選択する必要があります。

i2116

MSMC:セットハザードディング ロジックが NRT アクセスの完了を待っている RT アクセスを保留します

詳細:

DDR コントローラは、同じページへの読み取りよりも書き込みを優先します。さらに、MSMC は、リアルタイム属性に関係なく、同じセット上のトランザクションでハザードを発生させます。これら 2 つの事実により、同じページへの書き込みストリームと、その後の同じページへの非リアルタイム読み取りによって、リアルタイム アクセス コマンドが無期限にブロックされる可能性があります。

シーケンスの例:

1. MSMC から DDR コントローラに送信されたページ A への書き込みストリーム
2. MSMC から DDR コントローラに送信されたページ A への非リアルタイム読み取り
 - このコマンドは、1) 書き込みストリームの完了の背後で DDR コントローラ内で停止します
3. 2) 非リアルタイム読み取りと同じセットへのリアルタイム アクセスは、セット ハザードディングによって MSMC 内で停止されます

i2116 (続き)

MSMC: セットハザードリング ロジックが NRT アクセスの完了を待っている RT アクセスを保留します

回避方法:

ソフトウェアは、SW に最も影響の少ない順で以下の回避方法を試みる必要があります。

1. Cadence DDR コントローラは、別のページからの読み取りよりも同じページへの書き込みを優先し、読み取りを返すときに遅延が発生します。コマンドの経過時間を 16 DDR リフレッシュ サイクル (62µs) から 1 リフレッシュ サイクル (3.9µs) に減らすために、DDR コントローラの `command_age_count` を 0x から 0xF に減らしてみてください。ほとんどの場合、この設定で問題は解決されますが、場合によってはまだアンダーフローがあります。その場合、SW には 2 つまたは 3 つの回避方法が必要になる場合があります。
2. 可能であれば、ARM MMU 属性を設定して、DDR を「Device メモリ」ではなく「Normal メモリ」タイプとして設定します。これにより、ARM から DDR へのアクセスがより効率的になり、問題の軽減に役立ちます。これは、これまでの試験結果に基づく観測ですが、より多くの解析とさらなるシステム テストが必要な場合があります。この回避方法がシステムで不可能な場合は、SW で回避方法 3) が必要になることがあります。
3. 可能であれば、リアルタイム アクセスは非 IO コヒーレントにします。仮想化されていないケースでは RT アクセス `ATYPE = 3` を設定し、PVU 固有のケースでは `ATYPE = 1` および `MEMTYPE = 0` を設定します。これにより、RT トラフィックは MSMC セットハザードリング ロジックを強制的にバイパスします。SW はキャッシュ操作を行う必要があります。

i2117

C71x: uTLB ミスを伴うロードまたはストアと並行して MMA HWARCV が実行された時のレジスタ破損

詳細:

C71x は、特定の状況下で HWARCV 命令を実行した際に、データが破損する可能性があります。症状としては、HWARCVC データからの 64 バイト データの 8 バイトごとに、任意の結果で破損することです (ベクトルの最下位バイトから始まる 8 バイトごと)。破損したバイトに見られる値は、以前に .S2 ユニットで浮動小数点命令が実行されていない限り、おそらくすべてゼロになります。これが発生する条件は、HWARCVC 命令と並行する特定の命令が、その命令の実行によって例外が発生するかどうかを判断するのに余分な時間を必要とするかどうかを解決する 3 つのケース、かつ、この HWARCV 命令の後の実行パケットにおいて、64 バイト レジスタに結果を書き込む命令が .S2 ユニットに存在しないことに関係しています。

回避方法:

C71x コンパイラのコマンドラインにコンパイラ スイッチ「`--silicon_errata_i2117`」を追加すると、コンパイラは、すべての HWARCV .S2 命令に続いて、64 バイトのベクトル レジスタに書き込む命令が .S2 ユニット上に存在することを自動的に保証します。この処理により、この問題に遭遇するために必要な条件の 1 つが確実に満たされなくなります。実行すべき有用な処理がない場合、コンパイラは未使用のレジスタに書き込むダミー命令を挿入します。これは事実上の NOP 命令です。

i2118

R5FSS: ロック ステップ モードでのデバッグ アクセスが失敗することがあります

詳細:

デバッグ アクセスにより、R5FSS がロック ステップから外れる可能性があります。デバッグ アクセスとは、デバッグ サブシステムが R5FSS の入力 (`cpuhalt`, `dbgen`, `niden`, `dbgnoclkstop`) を制御している、任意のデバッグ動作を指します。この問題はめったに発生しません。その結果、ロック ステップ誤比較割り込みが R5FSS から SoC の ESM (エラー信号モジュール) に向かって発生します。また、2 番目のコア (R5FSS_CORE1) は機能しなくなります。

i2118 (続き)
R5FSS: ロック ステップ モードでのデバッグ アクセスが失敗することがあります

回避方法:

ユーザーは ESM の R5FSS 割り込みを無効にして、最初のコア (R5FSS_CORE0) のデバッグ動作を続行できます。

もう 1 つの回避方法は、スプリット (ロック ステップ以外) モードですべてのコード デバッグを実行することです。デバッグの観点からは、スプリット モードとロック ステップ モードに違いはありません。これは両方のコアで動作するのと同じコードです。

i2119
HyperBus: HyperBus が機能しない

詳細:

内部のタイミング違反が原因で、HyperBus™ インターフェイスが機能しません。

回避方法:

なし。HyperBus は使用しないでください。

i2120
C71x: LEZR を使用して転置されたストリームで、SE が非パリティ エラー検出でハングアップします

詳細:

C71x ストリーミングエンジン (SE) パイプラインでは、フォーマットされたデータを返し、レポートの内部エラー情報を返すために、常にタグを監視して、作業中のデータのタグを監視します。データを CPU にフォーマットするために使用されるデータの行にエラーが検出されると、UMC、uTLB に移動するコマンドをキューイングするためのフェッチ側の実行がすべて停止され、フォーマットパイプラインが CPU に戻されます。

一般的な動作では、エラーが監視されているタグは、現在のコマンドで使用されているタグだけです。転置モードの場合、これは現在の配列列によってタッチされるすべてのタグです。内部タグ監視の抑制にギャップがあると、フォーマットパイプラインは LEZR 機能のゼロベクトルを作成する際に現在作業していないタグを監視します。SE のフェッチ側で将来の列のエラーが発生して記録された場合、フォーマット側はそれを認識してその列のコマンドがフォーマットのためにコミットされる前にフェッチ側を停止することがあります。

エラーは、フォーマットのために内部的にコミットされたコマンドについてのみ CPU に報告されます。したがって、列をコミットする前に内部実行を停止しても、CPU にエラーは報告されません。SE はエラーを報告せずにフェッチ動作を停止するため、関連しない外部イベントまたは割り込みが発生するまで、CPU は SE からのデータまたはエラーを待機してハングアップします。

回避方法:

唯一の 100% 回避方法は、LEZR モードと転置モードの両方が有効な状態でストリーム テンプレートを使用しないことです。

i2121

STOG: 書き込みトランザクションの実行中にガasketをフラッシュすると、書き込み応答がドロップする可能性がある

詳細:

書き込みトランザクションの実行中にスレーブ タイムアウト ガasketをフラッシュすると、ガasketによって自動生成されるべき一部の書き込み応答が生成されなくなる可能性があります。実行中の書き込みトランザクションはガasketに受け入れられているものの、ガasketを完全に通過して宛先側のインターフェイスにまだ到達していない状態である必要があります。最終的な結果として、マスタ IP がドロップされて二度と返ってこない書き込み応答を待ち続け、その結果マスタ IP がハングアップすることになります。結果として、ガasketの内部スコアボードも破損します。

ガasketをフラッシュすることにより、ガasketを介して書き込みトランザクションを送信するマスタ IP がハングアップする可能性があり、FFI システム ソリューションが破壊されます。ガasketは決してアイドル状態に達しないため、クロックを停止させることができません。

回避方法:

STOG は無効化 / バイパス モードのままにしておく必要があります。

i2122

STOG:Gasket のフラッシュ処理と、Gasket による書き込み応答の受信が同時に発生すると、無制限に非アイドル状態になる可能性があります

詳細:

Gasket のフラッシュ処理を、Gasket が書き込み応答を受信するのとほぼ同じタイミングで実行すると、Gasket の内部スコア ボードが破損する可能性があります。この破損により、Gasket がアイドル状態に二度と戻らなくなる可能性があります。

この問題はトランザクションのタイムアウト時にも発生する可能性があります、十分に長いタイムアウト期間が経過した後に応答が戻ることはまずありません。

回避方法:

ソフトウェアは、タイムアウト発生 / 割り込みに応じて Gasket をフラッシュ書き込みする必要があります。Gasket は任意にフラッシュ書き込みしないでください。

i2123

STOG:スレーブ ガスケットからのタイムアウト エミュレーション デバッグ書き込み応答で、常に成功が返されます

詳細:

ガスケットがトランザクションをフラッシュすると、すべての応答はタイムアウト エラーによって返される必要がありますが、エミュレーション デバッグ書き込みの場合、応答は誤って成功として返されます。

回避方法:

システム タイムアウト発生 / 割り込みが発生した場合、SW はエミュレーション デバッグの書き込みが成功すると想定してはなりません。

i2124

STOG: 読み取りコマンドのタイムアウトがガスケットのハングアップを引き起こす可能性があります。

詳細:

宛先側のインターフェイスで読み取りコマンドのタイムアウトが発生 (すなわちインターフェイスがハングアップ) し、かつ書き込みトランザクションがすでに未処理の状態が存在している場合、スレーブ タイムアウト ガスケットがハングアップし、自動生成された一部の読み取り / 書き込み応答がドロップされる可能性があります、それらの応答を待機しているすべてのマスタ IP がハングアップします。

回避方法:

STOG は無効化 / バイパス モードのままにしておく必要があります。

i2126

STOG:2 つの同時タイムアウトまたは 2 つの予期しない応答が同時に発生した場合に、カウントミス エラーが発生します

詳細:

同じサイクルでタイムアウトする読み出しコマンドおよび書き込みコマンドが存在する場合、この状況ではタイムアウト カウンタは 2 ではなく 1 だけ増分されます。同様に、予期しない読み取り応答と予期しない書き込み応答の両方が同じサイクルに到着した場合、予期しない応答カウンタは 2 ではなく 1 だけ増分されます。

回避方法:

エラー カウンタは、主にソフトウェア デバッグ用の補足情報です。タイムアウト エラー コマンド/トランザクション情報が 1 つだけ記録されます。カウンタは 3 カウントで飽和するため、ソフトウェアは正確なカウンタ値ではなく主にエラー カウンタ値がゼロでないことに注目する必要があります。予期しない応答カウンタにも同じアプローチを適用する必要があります。注意: 予期しない応答はフラッシュ ガスケットによってドロップされます。

i2127

STOG:書き込みコマンドのタイムアウトが DST 側の最後の受け入れと同じサイクルで発生すると、SRC 側の書き込みデータバスがハングアップします

詳細:

書き込みコマンドが同じサイクルでタイムアウトした場合、ガasketの宛先側で最後の書き込みデータフレーズが受け入れられ、ガasketのソース側は書き込みデータの受け入れを永久的に停止し、適切にフラッシュ / 自動応答できなくなります。

タイムアウト時間が短いガasketをプログラムすると、タイムアウト ガasketが書き込みデータの受け入れを停止するために、システムがハングアップする可能性があります。

回避方法:

ソフトウェアは、可能な限り最長の書き込みコマンド バースト送信期間を大幅に超える十分に大きなタイムアウト期間を設定する必要があります。ガasketのデフォルトのタイムアウト時間は、 3×2^{30} サイクルで十分です。

i2128

VTM:VTM 温度モニタ (TEMPSENSOR) はソフトウェア トリミング方法を使用する必要がある

詳細:

すべてのシリコン リビジョン 1.0 および一部のシリコン リビジョン 1.1 のパーツでは、VTM 温度モニタ (TEMPSENSOR) のソフトウェア トリミング手順が必要となります。ソフトウェア トリミングを適用する必要があるかどうかを判断するために、WKUP_SPARE_FUSE0[31:30].WORKAROUND レジスタ フィールドを読み取る必要があります。

WKUP_SPARE_FUSE0[31:30].WORKAROUND

0b00:ソフトウェア トリミングを適用する必要があります

0b01:ソフトウェア トリミングを適用する必要があります

0b10:ソフトウェア トリミングを適用する必要があります

0b11:ソフトウェア トリミングは必要ありません

ソフトウェア トリミングが必要なデバイスでは、製造時に VTM 温度モニタ (TEMPSENSOR) のトリミングが行われ、その結果の値はソフトウェアから読み取り可能なレジスタに格納されます。ソフトウェアは、温度モニタの出力コードを温度値に変換する際、これらのレジスタ値を使用する必要があります。

回避方法:

ソフトウェア トリミングが必要なデバイス (WKUP_SPARE_FUSE0[31:30].WORKAROUND! =0b11) では、温度モニタを読み取る際にソフトウェア トリミング手順を適用する必要があります。以下にリストするスペア レジスタは、ソフトウェアがトリミング手順で使用できるように、製造時に各デバイスに書き込まれます。

テキサス インストルメンツから提供された回避方法ソフトウェア バージョン (PROCESSOR-SDK RTOS 7.00.00) は実装が誤っており、トリミングが実行されませんでした。

テキサス インストルメンツから提供された回避方法ソフトウェア バージョン (PROCESSOR-SDK RTOS 8.01.00.11) 以降を使用してください。

回避方法に使用されるスペア レジスタは、WKUP_CTRL_MMR0 モジュールのアドレス空間内にあり、以下で説明されています。

表 3-2. WKUP_SPARE_FUSE0

アドレス Proxy0、Proxy1	0x4300 0300、0x4300 2300
説明	
タイプ	R/W

i2131

C71x:L2 スクラバが有効な場合、L2 ライトバック無効化動作中にメモリシステムがハングアップする可能性があります

詳細:

C71x の L2 スクラバが有効な場合、C71x CPU が L2WBINV レジスタに「1」を書き込んで L2 ライトバック無効化コマンドを発行すると、メモリシステムが永続的にハングアップする可能性があります。これは、L2 ライトバック無効化操作中に L2 スクラバが偶然アクティブであった場合、L2 スクラバ機構とライトバック無効化ステートマシンロジックとの間の相互作用の結果として発生します。

この問題は C71x の L2 コントローラにのみ関係するため、この SoC 上の他のコアは影響を受けないことに注意してください。

回避方法:

この問題の発生を防ぐには、次の 2 つの方法があります。

オプション A: ソフトウェアが、C71x の動作中のいかなる時点においても、いかなる特権レベルやコンテキストでも L2WBINV が決して設定されないことを保証する。

オプション B: ソフトウェアが L2WBINV 機能を使用する可能性がある場合、または使用されないことを保証できない場合、ブート時にプログラマが C71x の L2 スクラバ (リセット解除時に自動的に有効になります) を無効にする必要があります。これは、C71x 内部の L2EDCFG レジスタの SCEN フィールド (ビット 0) に 0 を書き込むことで実行できます。このビットがクリアされると、スクラバは無効化され、C71x のメモリシステムがリセットされるまで無効な状態が維持されます。

アプリケーションが、L2 メモリが静的データやコードを長期間 (24 時間超) 保持することを想定している場合に、L2 スクラバ機能が提供されます。これらのケースでは、Secure Supervisor が以下を実行することにより、L2 スクラバを定期的に有効にできます。

1. L2EDCFG.SCEN (ビット 0) を 1 に設定
2. L2EDCFG.BTDELAY (ビット 31:16) を 1 に設定
3. L2EDCFG.SCDELAY (ビット 63:32) を 1 に設定

これにより、L2 スクラバが 1ms 未満で L2 メモリ全体のスクラバを開始することが保証されます。完了したら、通常のスレッド実行に戻る前や、L2 ライトバック無効化動作を開始する前に、L2 スクラバを無効にする必要があります。

i2132

R5FSS: 割り込み処理に VIM ベクタインターフェイスを使用している場合、割り込みプリエンプション (ネスト) が使用できません

詳細:

割り込み処理に VIM ベクタインターフェイスを使用している場合、低優先度の割り込み内で高優先度の割り込みをネストする、割り込みプリエンプションは使用できません。低優先度の割り込み内に高優先度の割り込みをネストすると、プロセッサの動作が破損します。この問題は VIM が提供する割り込み処理のベクタインターフェイス方式にのみ影響します。割り込み処理の MMR インターフェイス方式には影響しません。この問題は、FIQ と IRQ の両方の割り込みに影響します。

回避方法:

ベクタインターフェイス方式を使用する場合、CPSR で I/F ビットを設定しないでください (割り込みのネストを有効にするため)。

割り込みのネストが必要な場合は、MMR インターフェイス方式のみを割り込み処理に使用してください。MMR インターフェイス方式では、ベクタインターフェイス方式に比べて、割り込みサービスルーチン (ISR) のエントリに追加のレイテンシが発生することに注意してください。

i2133**R5FSS:操作のロック ステップ モードが機能していません****詳細:**

R5FSS は、内蔵の VIM (ベクタ割り込みマネージャ) モジュールのハードウェアの問題により、ロック ステップ モードで動作できません。VIM モジュールがロック ステップ モードでアクティブな場合、誤ってロック ステップから外れる可能性があり、その結果、SoC の安全性モニタに向かってスプリアス ロック ステップ ミス比較割り込みが生成される可能性があります。さらに、これにより、R5FSS の 2 番目のコアが完全にロックアップする可能性があります。最初のコアは引き続き実行され、この問題の影響を受けません。

回避方法:

ロック ステップ動作を有効にする回避方法はありません。R5FSS はスプリット モードでのみ動作します。

i2134**USB:2.0 コンプライアンス受信感度テストの制限****詳細:**

USB-IF USB 2.0 電気コンプライアンス テスト仕様で定義されている受信感度テスト (EL_16 および EL_17) を実行すると、Advisory i2091 で説明されている問題が発生する場合があります。

この問題は元々、パケットの送信中に USB 信号の振幅を増加させる自動化ソフトウェアを使用しこれらテストを実行しているときに発見されました。ソフトウェアは、振幅を 100mV 未満の値から 150mV 以上の値までスイープし、テスト対象デバイス (DUT) NAK で 100mV 未満のパケット、150mV を超えるパケットがないことを検証しています。しかし、有効なパケットを送信している間にスケルチ スレッシュホールドの両端で振幅を増やすと、Advisory i2091 に説明されているように、PHY がロックされる場合があります。

回避方法:

受信感度テストは、2 つの部分に分割して手動で実行しなければならない場合があります。最初の部分は上記と同じように始まり、初期振幅を 100 mV 未満の値に設定し、振幅を 100 mV に達するまで増加させながら、DUT がすべてのパケットを NAK したことを確認します。テストの他の部分では、振幅を 150mV 以上に設定し、DUT NAK がパケットを送信しないことを確認し、150mV に達するまで振幅を減少させます。これにより、スケルチ スレッシュホールドが、PHY をロックできるスケルチ スレッシュホールドで振幅を掃引せず、USB 仕様で必要な 100mV ~ 150mV の範囲にあることを確認できます。

i2137**PSIL:クロック停止動作により、未定義の動作が発生する可能性があります」を追加****詳細:**

クロック停止インターフェイスは、モジュールへのメイン クロックを適切に停止するハンドシェイクを調整するために使用される要求 / ACK インターフェイスです。最初にチャネル ティアダウンを実行したり、グローバル イネーブル ビットをクリアしたりせずにモジュール上でクロック停止を試みると、モジュール固有の動作が未定義になる可能性があります。

影響を受けるモジュールは、PDMA、SA2UL、Ethernet SW、CSI、UDMAP、ICSS、および CAL です。

回避方法:

クロック停止動作を実行する前に、ソフトウェアはすべてのアクティブ チャネルを解除する必要があります (UDMAP の「リアルタイム」レジスタ、または PSIL ベースのモジュールの PSIL レジスタ 0x408 を介して)。これが完了したら、すべてのチャネルのグローバル イネーブル ビットもクリアします (UDMAP および PSIL ベースのモジュールの両方の PSIL レジスタ 0x2 を使用)。

i2138

PSIL: コンフィギュレーション アクセスおよびソース スレッドのティアダウンによりデータ破損が発生する可能性がある

詳細:

1 つのソース スレッドでティアダウンを実行している際、別のソース スレッド上の単一のデータ フェーズが失われる可能性があります。これは、複数のソース スレッドを持つすべての PSIL_ENDPT モジュール (ICSSG/CSI/SA2UL) に影響します

また、データの送信中に PSIL エンドポイント ガスケットからコンフィギュレーション応答が送出されると、その応答によってデータ破損が引き起こされます。これは、コンフィギュレーション応答が発生してから長い時間が経過した後に送信されるデータにも影響を及ぼす可能性があります。これは、PSIL ポートが 128 ビット未満であり、幅適応を必要とするすべての PSIL_ENDPT ユーザー (SA2UL) に影響します。

回避方法:

コンフィギュレーション アクセスまたは任意のソース スレッドのティアダウンを試みる前に、Rx トラフィックのソースを無効化して、すべての PSIL ソース スレッドをアイドル状態にする必要があります。ICSSG/CSI の場合、すべてのソース スレッドを一時停止することによっても、PSIL ソース スレッドをアイドル状態にできます。

i2139

CPSW:ALE が CRC エラーを伴うパケットを誤ってルーティングする

詳細:

InterVLAN、OAM、または ALE の egress オペコード機能を用いてルーティングされるパケットにおいて、エラーのあるパケットはドロップされるべきであるにもかかわらず、アドレス ルックアップ エンジン (ALE) が受信した (CPSW ingress) CRC エラー付きパケットを誤ってルーティングしてしまいます。ルーティングされたパケットは CRC エラーを伴って送出されますが、これは許容はされるものの好ましくありません。

これは、非カットスルー CPSW における InterVLAN、OAM、および ALE egress オペコード機能を使用するパケットにのみ影響します。

回避方法:

なし。

i2141

CPTS:GENF および ESTF のナッジ値がハードウェアによってクリアされない

詳細:

TS_GENFn_Nudge 内の GENF および ESTF ナッジ値は、ナッジが発生したときにクリアされません。ソフトウェアは通常、ナッジがいつ発生したかを正確に知る必要がないため、これは一般的に許容されます。

回避方法:

この問題に対するソフトウェアによる回避方法は以下のとおりです。

1. CPTS_TS_GENF_NUDGE_REG_j[7-0] NUDGE ビット フィールドに 0 値を書き込みます。
2. CPTS_TS_GENF_NUDGE_REG_j[7-0] NUDGE ビット フィールドに、目的の 2 の補数のナッジ値を書き込みます。
3. ナッジは、CPTS_GENFn_LENGTH[31-0]/2 CPTS_REF クロック内に発生します。

i2143

UDMAP:TX チャンネル SA2UL ティアダウン問題

詳細:

SA2UL の UDMAP TX チャンネルのティアダウンを実行すると、PSIL チャンネルで未定義の動作が発生する可能性があります。

i2143 (続き)
UDMAP:TX チャンネル SA2UL ティアダウン問題
回避方法:

ソフトウェアによる回避方法には、次の 2 つがあります。

1. TX チャンネルのティアダウンに続いて、ペアリングレジスタのティアダウン (PSIL レジスタ 0x2 のイネーブルビットのクリアを含む) を行い、その後、チャンネルの再ペアリングを実行する。
2. Tx チャンネル N 構成レジスタを介して、当該チャンネルのティアダウン パケット生成を抑制する。

i2144
eMMC:VIO 電源シーケンス
詳細:

電源シーケンス タイミング図に特に記述のない限り、デバイスのパワーアップ シーケンスは通常、より高い電圧ドメインを有効にし、その後低い電圧ドメインを有効にします。パワーダウン シーケンスは、電圧ドメインを無効にするための逆の順序に従います。デバイスの電源シーケンス中、コア ロジックに通電されていないときは常に IO 信号が安全な状態に保持され、コア ロジックが動作可能になった後にのみ有効になります。コア ロジックが動作していないときに IO シグナリングを有効にすると、意図しない電流経路によって機能および信頼性の問題が発生する可能性があります。eMMC メモリは、1.8V 電源リソースから供給される VDDS_MMC0 デジタル電圧ドメインを基準とする、デバイスの MMC0 8 ビット データおよび制御信号とインターフェイスします。コア ロジックに通電されていないとき、MMC0 インターフェイス信号は安全な状態に保持されません。

この問題は、既知のシステム上の問題や故障には至っていません。

eMMC メモリ コンポーネントがデバイスに接続されていない場合、このタイプのシステムでは MMC0 信号インターフェイスが使用されないため、パワーアップ中に 0.8V コア ドメイン (VDD_CORE) の前にすべての 1.8V ドメインを有効にし、パワーダウン中に 0.8V コア ドメインの後に 1.8V を無効にする元の電源シーケンスをそのまま適用できます。VDDS_MMC0 を他のデジタル 1.8V ドメインと共通の電源レールにグループ化し、VDD_IO_1V8 電源レールによって共通の電源リソースから供給することは、これらのシステムにとって有効な配電 (PDN) 手法です。

回避方法:

デバイスに接続されたシステムで eMMC メモリを使用する場合は、新しい基板設計に対して以下のハードウェア変更を行います。

1. 潜在的な長期の機能および信頼性の問題を回避するために、VDDS_MMC0 のパワーアップランプが VDD_CORE の後に発生し、VDDS_MMC0 のパワーダウンランプが VDD_CORE の前に発生するようにシフトする新しい電源シーケンス。
2. 電源シーケンスを共通の VDD_IO_1V8 電源レールとは異なるものにするための、PDN 用の新しい電源リソース (例: 低コスト、LDO、TLV73318P-Q1) および電源レール (VDD_MMC0_1V8)。
3. 電源シーケンスを同期してシフトするための、新しい EN_MMC0_LDO 制御信号を生成する PMIC PN。PMIC PN は、以下に示すように、使用される PDN スキームによって異なります。
 - a. レガシーのプリシリコン Dual Leo PDN (新規設計には推奨しません (NRND)) では、以下の新しい PN を使用します。元の PN の代わりに TPS659411FXRWERQ1 (X = 新しい NVM ID、未定義): TPS659411F0RWERQ1
 - b. Peak-Modified Dual Leo PDN は、新しい制御信号をサポートする独立したマイコンドメインおよびメインドメインを有効にする、新規設計に推奨される PDN です。
 - c. Leo + Hera PDN は、新しい制御信号をサポートするマイコンドメインとメインドメインを結合する、新規設計に推奨される PDN です。

i2145 ***VTM:有効化された割り込みイベント ステータスレジスタが誤って未マスクの生値を返す***

詳細: 有効化された割り込みイベント ステータスレジスタ (VTM_LT_TH0_INT_EN_STAT_CLR、VTM_GT_TH1_INT_EN_STAT_CLR、および VTM_GT_TH2_INT_EN_STAT_CLR) の読み取りにおいて、各電圧ドメインの未マスクの raw のペンディング割り込み値が誤って返されます。

回避方法: ソフトウェアは各しきい値の INT_EN_STAT_CLR および関連する INT_EN_SET/CLR レジスタを読み取った後、手動で int_vd ビット フィールドのビット単位のマスク処理を行い、しきい値の INT_EN_STAT_CLR 読み取り結果の正しいマスクされたビューを取得する必要があります。

i2146 ***UDMA:リアルタイム TX/RX レジスタで、ティアダウン ビットフィールドの読み戻しが強制的にマスクされます***

詳細: 強制ティアダウンが開始された後、強制ティアダウン ビット フィールドは、リアルタイム TX/RX レジスタの読み戻しで設定されたままになりません。

回避方法: 強制ティアダウン操作は、致命的なシステム状態に対処するためにソフトウェアが介入するためだけにのみ使用されます。そのため、通常のティアダウンと強制ティアダウンを開始するタイミングをソフトウェアは個別に追跡する必要があります。この情報を取得するための強制ティアダウン ビット フィールドの読み戻し値に依存しないようにします。

i2147 ***PCIe:ATS 変換リクエストに対してルート ポート (RP) から誤った変換完了タイプが送信される***

詳細: SMMU でフォルトを引き起こす EP からのアドレス変換要求に対し、PCIe が誤って cpl (データなし完了通知) を返してしまいます。PCIe 仕様に準拠した正しい応答は、読み取りフィールドと書き込みフィールドを 0 に設定した cplID (データ付き完了通知) を発行することです。

この SMMU フォルトは、EP によって変換を要求されたアドレスがアドレス変換テーブル内にエントリを持っていない場合に発生する可能性があります。この場合、EP は RP から cplID の代わりに cpl を受信するため、フォルトが発生したことを認識できません。

回避方法: 回避策はありません。ソフトウェアは、EP 側で ATS 機能を有効にすべきではありません。

i2148 ***CPSW:Egress オペコード機能を介して分類が宛先ポートを上書きした際、CPSW デイレクテッドフレームが監視されない***

詳細: ソフトウェアを介して 802.1CB ヘッダを伴って送信されたディレクテッド フレームが、誤ってホストポートにリダイレクトされてしまいます。ディレクテッド フレームは、ALE Egress Op ロジックによって上書きされないようにする必要があります。

回避方法: ホストトラフィックが分類子から除外されていることを確認します。

i2149**MSMC :MSMC スクラバが 32 ウェーの SRAM/L3\$ のうち下位 16 ウェーのみをターゲットとする****詳細:**

MSMC スクラバは、MSMC SRAM/L3\$、スヌープ フィルタ、およびタグを定期的にスキャンし、修正可能な 1 ビット エラーを検出してそれらを修正します。これは、時間の経過とともに複数の 1 ビット エラーが蓄積され、修正不可能な 2 ビット エラーになる確率を低減するためです。

アドレス デコードのエラーにより、MSMC のスクラブ トランザクションは L3\$ タグ ウェーの下位半分 (0 ~ 15) にしかアクセスしません。ウェー 16 ~ 31 には決してアクセスされません。対応する L3\$ データ RAM も、スクラバによるアクセスを受けません。

ユーザーは、MSMC L3\$ タグの上位半分 (上位 16 ウェー) および対応するデータにおいて、検出可能だが修正不可能な 2 ビット エラーが蓄積する確率が上昇することに直面します。

この問題は MSMC SRAM には影響せず、L3 キャッシュにのみ適用されます。

回避方法:

完全なソフトウェアによる回避方法はありません。

ソフトウェアは、MSMC の EDC をリフレッシュできるように、定期的に L2\$ のフラッシュを試みることができます。ただし、Arm® が MSMC に通知することなくキャッシュ ラインを暗黙的にエビクトする可能性があるため、これは完全な回避方法ではありません。

i2150

I3C:SDAPULLEN はハイインピーダンスではなく Low を駆動します

詳細:

I3C インターフェイスがプッシュプル モードで動作しているとき、SDAPULLEN ピンがハイインピーダンスではなく Low に誤って駆動されます。これにより、SDAPULLEN と SDA の間の外付けアクティブ強いプル抵抗を介して、SDA ピンが誤って Low にプルされます。

回避方法:

SDAPULLEN が High のときは SDA から VDD へのアクティブな強いプルアップ抵抗を接続し、SDAPULLEN が Low のときは SDA からプルアップ抵抗を切断するため、外部回路を使用する必要があります。

回避方法の実施例を 図 3-4 に示します。

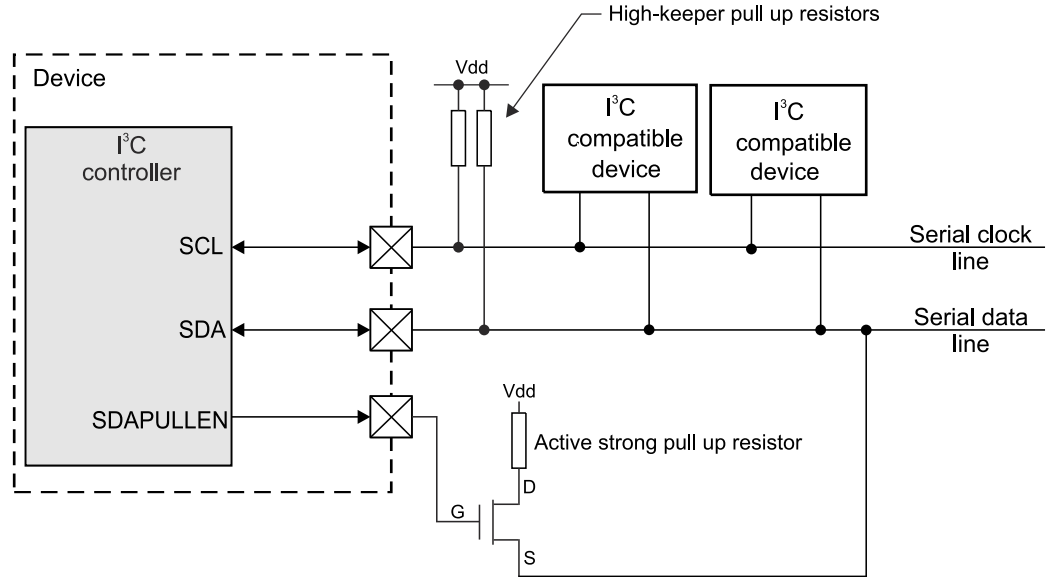


図 3-4. I3C SDAPULLEN ブロック図

i2151**ADC: デバウンス タイム制御レジスタ**

詳細:

CTRLMMR_WKUP_PADCONFIG76.DEBOUNCE_SEL は、MCU_ADC0_AIN0:7、CTRLMMR_WKUP_PADCONFIG84.DEBOUNCE_SEL は、MCU_ADC1_AIN0:7 のデバウンス時間を制御します。これらのレジスタは、特定の入力 (MCU0_ADC0_AIN0 または MCU_ADC1_AIN0 など) が使用されているかどうかにかかわらず、それぞれの ADC のすべての入力チャネルのデバウンス期間を設定します。

回避方法:

なし

i2152

PCIe: ノンポストッド コマンドの実行中にリンク ダウン イベントが発生するとロックアップする可能性がある

詳細:

以下のイベント順序が発生した場合、PCIe サブシステム内の VBUSM ターゲット インターフェイスがロックアップする可能性があります。

1. ノンポストッド TLP が、VBUSM ターゲット インターフェイス上で PCIe サブシステムに向けて送信されます。
2. この TLP リクエストが、PCIe リンク上で開始されます。PCIe リンクに対してノンポストッド TLP が開始されるのとまったく同じコア クロック サイクル内で、PCIe ロジックが予期せずリンク ダウン イベントを受信 (リンクがリカバリ状態に移行) します。
3. リンク ダウンリセット処理の後の新しいリクエストも、ノンポストッド リクエストです。

このシーケンスが発生すると、PCIe ロジックは新しいリクエストに対して誤ったタグを登録してしまいます。新しいリクエストに対するコンプリーションが戻ってきた際、この誤ったタグを基準にチェックされるため、コンプリーションが受け入れられなくなります。PCIe ロジックは、この誤ったタグを持つコンプリーションを永続的に待ち続けます。これによりロックアップが発生し、VBUSM インターフェイス読み取りコマンドは完了しなくなります。

このロックアップが発生する確率は低いです。なぜなら、ノンポストッド トランザクションが開始されるのと同じクロック サイクル内で、リンク ダウン イベントが内部ロジックを伝播してキャプチャされる必要があるためです。

回避方法:

なし

i2153

PCIe: TS1 パケットにおける誤った予約済みビットの処理

詳細:

PCIe 仕様に従って、TS1 および TS2 パケット内の予約済みビットは送信側によって 0 に設定され、受信側によって無視される必要があります。しかし、PCIe コントローラは、Gen3/Gen4 動作においてシンボル 7 の予約済みビット 6 が 1 として受信された場合、TS1 パケットを無効にします。

この問題は、シンボル 7 のビット 6 が設定されていることに加え、以下の両方の条件が真である場合にのみ発生します。

- シンボル 7 のビット 5 から 0 が 0x5 または 0xA に等しい。
- シンボル 6 のビット 6 から 0 が 0x45 または 0x4A に等しい。

将来、PCI-SIG が予約済みビットの処理を確認するテストを追加した場合、この問題はコンプライアンス適合性に影響を与える可能性があります。送信側は予約済みビットを 0 に設定することが期待されており、シンボル 7 のビット 6 は Gen5 動作を含む 5.0 仕様でも依然として予約されているため、これによりリンク トレーニングの問題が発生することはないと考えられます。

回避方法:

なし。

i2154

PCIe: L0s 終了時におけるレーン間デスキューの失敗

詳細:

Rx.L0s からの終了時、コントローラは FTS OS に続いて SKIP OS を受信します。SKIP OS は、レーン間のデスキューを実行するために使用されます。この SKIP OS が内部の特定のバイト 整列のタイミングで到来すると、デスキュー動作が失敗します。

このエラーは、PCIE*_ERROR_PULSE_INT 割り込みを使用してコントローラから報告される、修正可能なエラーの原因となります。リンクは自動的にリカバリ状態へと移行し、リンク ダウンを引

i2154 (続き)
PCIE:L0s 終了時におけるレーン間デスキューの失敗

き起こすことなく L0 まで再トレーニングを行います。その結果、Rx.L0s からの復帰が約 200 μ s 遅延することになります。

回避方法:

リンクはこのエラーから自動的に回復できます。ただし、RX.L0s からの復帰は約 200 μ s 遅延します。

i2155
DDR:コントローラ DDRSS_CTL_194[9-8] BIST_RESULT ステータスの信頼性が低い
詳細:

DDR コントローラは、外部 DRAM への DDR インターフェイスをテストするために使用できる内蔵セルフ テスト (BIST) 機能を備えています。BIST の完了時、コントローラはユーザーが最初に DDRSS_CTL_194[0] BIST_GO を 0 にクリアするのを待たずに、DDRSS_CTL_194[9-8] BIST_RESULT を自動的に 0 にクリアします。これにより、偽陰性が報告される (つまり、BIST テストは実際には合格しているにもかかわらず、DDRSS_CTL_194[9-8] BIST_RESULT が不合格を示している) 可能性があります。

回避方法:

BIST のステータスを正しく報告するためのソフトウェアによる回避方法。

1. テストをトリガする前に、以下の BIST ステータス フィールドを読み取ります。

DDRSS_CTL_310[31-0] BIST_FAIL_ADDR_0

DDRSS_CTL_311[2-0] BIST_FAIL_ADDR_1

DDRSS_CTL_306[31-0] BIST_FAIL_DATA_0

DDRSS_CTL_307[31-0] BIST_FAIL_DATA_1

DDRSS_CTL_308[31-0] BIST_FAIL_DATA_2

DDRSS_CTL_309[31-0] BIST_FAIL_DATA_3

DDRSS_CTL_302[31-0] BIST_EXP_DATA_0

DDRSS_CTL_303[31-0] BIST_EXP_DATA_1

DDRSS_CTL_304[31-0] BIST_EXP_DATA_2

DDRSS_CTL_305[31-0] BIST_EXP_DATA_3

DDRSS_CTL_206[11-0] BIST_ERR_COUNT (以下の場合のみ有効:

DDRSS_CTL_200[2-0] BIST_TEST_MODE = 1、2、3、または 4)

2. 目的の BIST 制御フィールドをプログラムし、DDRSS_CTL_194[0] BIST_GO = 1 に設定して BIST をトリガします

3. DDRSS_CTL_293[11] INT_STATUS_0 ビットで示される、BIST 完了割り込みをポーリングします。

4. ステップ (1) にリストされた BIST ステータス フィールドを再読み取ります。

値がステップ (1) と異なる場合、BIST は不合格です。

値がステップ (1) と同じである場合、BIST は合格です。

i2157

DDR:低消費電力状態のウェークアップ時間設定でのコントローラ異常

詳細:

DDR コントローラは、次のより深い電力状態のウェークアップ時間がディスエーブルまたはより小さい値に設定されている場合、現在の低消費電力状態のウェークアップ時間を誤って短縮することがあります。

回避方法:

DDRSS_CTL_139[29-24] LPI_WAKEUP_EN ビット フィールドのビットを設定して特定の低消費電力状態が有効化されている場合、より深い電力状態のビットもすべて有効化する必要があります。ビット 0 ~ 4 では、ビット数が増加するにつれて低消費電力状態はより深くなります。たとえば、ビット 0 がセットされている場合、1 から 4 までのすべてのビットもセットする必要があります。同様に、ビット 2 がセットされている場合は、ビット 3 とビット 4 もセットする必要があります。

さらに、以下のウェークアップ値を昇順にプログラムする必要があります。

1. LPI_WAKEUP_EN[0] に関連する LPI_CTRL_IDLE_WAKEUP_FN -> 値は以下のすべてのフィールドより小さい必要があります
2. LPI_WAKEUP_EN[1] に関連する LPI_PD_WAKEUP_FN -> 値は、以下のすべてのフィールドより小さい必要があります
3. LPI_WAKEUP_EN[2] に関連する LPI_SR_SHORT_WAKEUP_FN、LPI_SR_LONG_WAKEUP_FN、LPI_SRPD_SHORT_WAKEUP_FN、LPI_SRPD_LONG_WAKEUP_FN -> 値は、以下のすべてのフィールドより小さい必要があります
4. LPI_WAKEUP_EN[3] に関連する LPI_SR_LONG_MCCLK_GATE_WAKEUP_FN、LPI_SRPD_LONG_MCCLK_GATE_WAKEUP_FN -> 値は、以下のすべてのフィールドより小さい必要があります
5. LPI_WAKEUP_EN[4] に関連する LPI_TIMER_WAKEUP_FN -> 最大値、

ここで、FN = F0、F1、F2 は異なる周波数設定点用です。

i2159

DDR:LPDDR4 CBT 中は VRCG 大電流モードを使用する必要があります

詳細:

DDR PHY は、LPDDR4 コマンド バストレーニング (CBT) 時に、コマンド / アドレス バスの VREFca を更新します。LPDDR4 モードレジスタ 13 (MR13) のビット 3 は、LPDDR4 デバイスの内部の VRef 電流ジェネレータ (VRCG) モードを定義します。このビットが 0 に設定されている場合、VREFca のセリング タイムは、後続の動作が正常に動作するには長すぎます。CBT が正常に動作するようにするには、CBT 中、MR13 のビット 3 を 1 (VRef 高速応答大電流モード) に設定する必要があります。

回避方法:

正常な動作を確保するためには、コマンド バストレーニング (CBT) および書き込み DQ Vref トレーニング中に VRef 高速応答大電流モードを有効化する必要があります。これは、次のフィールドを 1 に設定することで実行できます。

チップ セレクト 0: DDRSS_PI_259 レジスタの PI_MR13_DATA_0[3]

チップ セレクト 1: DDRSS_PI_261 レジスタの PI_MR13_DATA_1[3]

チップ セレクト 2: DDRSS_PI_263 レジスタの PI_MR13_DATA_2[3]

チップ セレクト 3: DDRSS_PI_265 レジスタの PI_MR13_DATA_3[3]

i2160 **DDR:LPDDR4 コマンド バスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加****詳細:**

DDR PHY は、LPDDR4 コマンド バス トレーニング (CBT) 時に、コマンド / アドレス バスの VREF (ca) を更新します。VREF (ca) 検索範囲が無効な値に設定されている場合 (CBT 中に作業設定が見つからないなど)、トレーニング プロセスが失敗したり、ハングアップしたりする可能性があります。

回避方法:

CBT を有効化する前に、次のフィールドを既知の有効な作業値に設定します。

周波数設定 0 の場合:PI_CALVL_VREF_INITIAL_START_POINT_F0、
PI_CALVL_VREF_INITIAL_STOP_POINT_F0

周波数設定 1 の場合:PI_CALVL_VREF_INITIAL_START_POINT_F1、
PI_CALVL_VREF_INITIAL_STOP_POINT_F1

周波数設定 2 の場合:PI_CALVL_VREF_INITIAL_START_POINT_F2、
PI_CALVL_VREF_INITIAL_STOP_POINT_F2

公称 VRef 値 (プロセッサでの駆動強度のデバイス プログラミングおよびメモリの終端に基づく) $\pm 4\%$ を使用することを推奨します。<http://dev.ti.com/sysconfig> のオンライン DDR Register Configuration Tool を使用して、これらのレジスタをプログラムし、リビジョン履歴を確認して、この回避策が使用するツールのバージョンで対応されていることを確認してください。

i2161 **R5FSS:デバッグは VIM モジュールがアクティブな間はアクセスできません****詳細:**

この問題は、R5FSS 内のベクタ割り込みモジュール (VIM) に影響します。VIM 内には、読み取られたときに IP の状態を変更するレジスタ (VIM_IRQVEC など) があります。期待される動作は、機能的な読み取りのみが状態変更を引き起こすことです。これらのレジスタに対するデバッグ読み取り (CCS などの TI デバッグ ツールによって生成) は、状態をそのままにする必要があります。現在、VIM がデバッグレジスタの読み出しを機能レジスタ読み出しと同じように扱う問題があります。この場合、デバッグ動作 (CCS で VIM レジスタ メモリ ウィンドウを開くなど) によって VIM IP の状態が誤って変更され、デバッグが無効になる可能性があります。

回避方法:

この問題の回避方法はありません。ユーザーはデバッグ中に VIM レジスタへのアクセスを避ける必要があります。

i2162 **R5FSS:同じ割り込みを別の割り込み内にバックトゥバックでネストできない****詳細:**

2 回目以降は、優先度の低い割り込み内で同じ高優先度の割り込みをネスト (プリエンプション) することはできません。2 回目に高優先度の割り込みが発生した場合、プログラムが低優先度の割り込みサービスルーチン (ISR) を終了するまで待つ必要があります。この問題が生じるのは、現在のプリエンプションに続く優先度の高い割り込みが、元のプリエンプションの原因となった割り込みと同じ場合のみです。元の優先度の高い割り込みが 2 回目に発生する前に、別の割り込みが低優先度の ISR をプリエンプトした場合は、問題はありません。この問題は、VIM でのベクタ インターフェイス法と MMR インターフェイス法の割り込み処理の両方に影響します。この問題は、FIQ と IRQ の両方の割り込みに影響します。

回避方法:

ソフトウェア回避方法が存在します。SW の回避方法の目的は、同じ割り込みが連続的にアクティブ化するのを防止し、それによってバグの必要な条件を取り除くことです。これは、最高の優先度

i2162 (続き)

R5FSS: 同じ割り込みを別の割り込み内にバックトゥ バックでネストできない

レベル (優先度 0) を予約し、その優先度をダミー割り込み (R5FSS で使用可能な 512 個の割り込みのいずれか) に使用して、各 ISR 内でこのダミー割り込みを呼び出すことによって実現できます。さらに、R5FSS コア自体がこのダミー ISR に入る必要はなく (マスクすることも可能です)、このダミー ISR を中心とする VIM とのハンドシェイクだけを行う必要があります。

疑似コード例を以下に示します。ご要望いただければ、TI はこの回避方法を実行するために必要なドライバを提供いたします。

```

any_isr_routine {
...
1:      set I/F bit in CPSR ; //so R5FSS cannot be interrupted again. I for
irq, F for fiq
2:      Trigger dummy_intr; //writing 1'b1 to Interrupt RAW Status/Set
Register bit in VIM corresponding to the chosen dummy_intr
3:      rd_irqvec; //Read IRQVEC register in VIM to acknowledge dummy_isr
4:      clear dummy_isr; //writing 1'b0 to Interrupt RAW Status/Set Register
bit in VIM corresponding to the chosen dummy_intr
5:      wr_irqvec; //Write to IRQVEC register in VIM to denote end of interrupt
6:      clear I/F bit in CPSR;
...
}
Note: Depending on where the workaround code is inserted in the ISR, step 1 &
6 may not be needed.
  
```

この回避方法の短所は、優先度 0 を使用できず (優先度 1~15 のみが使用可能)、ISR 実行時にレイテンシが付加されることです。

i2163

UDMAP:「イベントトリガ」モードで使用すると、UDMA は ICNT や src /dst アドレスを 64B に揃えずに転送します。

詳細:
注

以下の説明では、C7x DSP コアの例を使用していますが、UDMA をプログラム可能な他のプロセッシング コアにも適用されます。

C6x/C7x での DSP アルゴリズム処理では、ソフトウェアは多くの場合、NavSS の UDMA または MSMC の DRU を使用します。多くの場合、C7x/MMA ディープ ラーニング動作のために DRU チャンネルが多くのユースケースで予約済みになっているため、DRU の代わりに UDMA が使用されます。標準的な DSP アルゴリズム処理では、データはブロック単位で DSP の L2 メモリに送られ、DSP は (キャッシュを介して) DDR で動作するのではなく L2 メモリ内のデータで動作します。この動作の一般的な DMA セットアップおよびイベントトリガは以下のとおりです。次の例ではこれを「2D トリガと待機」と呼びます。

各「フレーム」について:

1. TR を設定します。通常は 3 次元または 4 次元 TR です。
 - a. TYPE = 4D_BLOCK_MOVE_REPACKING_INDIRECTION に設定します
 - b. EVENT_SIZE = ICNT2_DEC に設定します
 - c. TRIGGER0 = GLOBAL0 に設定します
 - d. TRIGGER0_TYPE = ICNT2_DEC に設定します
 - e. TRIGGER1 = NONE に設定します
 - f. ICNT0 x ICNT1 は、ブロック幅 x ブロック高さです
 - g. ICNT2 = ブロック数
 - h. ICNT3 = 1
 - i. src addr = DDR
 - j. dst addr = C6x L2 メモリ
2. この TR を送信します
 - a. この TR は、GLOBAL TRIGGER0 での転送を開始し、ICNT0xICNT1 バイトを転送してから、イベントを発生させます
3. 各ブロックに対して次の操作を行います。
 - a. GLOBAL TRIGGER0 を設定して DMA をトリガします
 - b. ブロックが転送されたことを示すイベントを待ちます
 - c. DSP 処理を実行します

このシーケンスは単純化されたシーケンスです。実際のアルゴリズムでは、DSP 処理と DMA が並列に動作するような、DDR から L2 または L2 DDR 転送をピンポン方式で実行する複数のチャンネルが存在する可能性があります。イベント自体はチャンネル OES レジスタで適切にプログラムされ、イベント ステータス チェックは UDMA 用 IA の Free ビットを使用して実行されます。

次の条件が発生した場合、ステップ 3.2 のイベントは最初のトリガで受信されません。

- 条件 1: ICNT0xICNT1 は 64 の倍数ではありません。
- 条件 2: src または dst は 64 の倍数ではありません。
- 条件 3: ICNT0xICNT1 は 64 の倍数ではなく、src/dst アドレスは 64 の倍数ではありません

ICNT0xICNT1 と src/dst addr の 16B または 32B の倍数にも同じ問題があり、イベントが受信されません。64B のアライメントのみが機能します。

動作する条件:

- ICNT0xICNT1 を 64 の倍数にし、src/dst アドレスが 64 の倍数になると、テスト ケースは成功します。

i2163 (続き)

UDMAP:「イベントトリガ」モードで使用すると、UDMA は ICNT や src /dst アドレスを 64B に揃えずに転送します。

- UDMA の代わりに DRU を使用すると、テストは成功します。UDMA DRU 外部チャンネルを介して TR を DRU に送信する必要があります。DRU と ICNT と src/dst addr が一致していない場合、ユーザーは、フレーム内のイベント数とトリガ数が 1 (上記の場合は ICNT2 = 1、または EVENT_SIZE = COMPLETION および TRIGGER が NONE) になるように、TR がプログラムされたときに、期待どおりにイベントをトリガおよび取得できます。その後、完了イベントは期待どおりに発生します。これは、問題のユースケースで使用することは不可能です。

上記は、「2D トリガと待機」の例です。「1D トリガと待機」と「3D トリガと待機」に同じ制約が適用されます。

- 「1D トリガと待機」の場合、ICNT0 は 64 の倍数である必要があります
- 「3D トリガと待機」の場合、ICNT0xICNT1xICNT2 は 64 の倍数である必要があります

回避方法:

次の例に示すように、UDMAP の TR で EOL フラグを設定します。

- 1D トリガと待機
 - TR.FLAGS |= CSL_FMK(UDMAP_TR_FLAGS_EOL, CSL_UDMAP_TR_FLAGS_EOL_ICNT0);
- 2D トリガと待機
 - TR.FLAGS |= CSL_FMK(UDMAP_TR_FLAGS_EOL, CSL_UDMAP_TR_FLAGS_EOL_ICNT0_ICNT1);
- 3D トリガと待機
 - TR.FLAGS |= CSL_FMK(UDMAP_TR_FLAGS_EOL, CSL_UDMAP_TR_FLAGS_EOL_ICNT0_ICNT1_ICNT2);

この回避方法による性能への影響はありません。

i2164

R5FSS: 保留中の割り込みが Low に接続されているため、ECC 注入ロジックのエラーが検出されません

詳細:

このデバイスには、メモリ読み取りに ECC エラーを意図的に発生させ、ECC チェック ロジックが動作していることをテストする機能があります (診断用テスト)。ロジックには、この注入ロジックのフォルト (潜在的なフォルト) を検出する機能も含まれています。ただし、これらのエラーが報告されない問題があります。その結果、すべての FMEDA 計算に反映される潜在的故障範囲がわずかに減少します。診断 (ECC) および診断テスト機能には影響しません。

回避方法:

なし。

i2166

DDR: ディープ スリープ 低消費電力状態の開始と終了により、PHY 内部クロックのずれが発生する可能性があります

詳細:

DDR PHY がディープ スリープ 低消費電力状態に移行すると、PHY PLL が無効化されてゲートオフするまでに、遅延が生じます。PHY PLL が無効化される前にディープ スリープの終了が発生すると、PHY 内部クロックが互いにずれ、PHY 内部のタイミング障害が発生する可能性があります。

回避方法:

DENALI_CTL_132 レジスタの LP_CMD に書き込むことでソフトウェアが開始した低消費電力モードを使用する場合、低消費電力モードへの移行がアクリッジされたときに、低消費電力モードの終了を要求する前に、最小 160 DDR クロック サイクルの間待機します。他のオプションとして、以下の回避方法を使用します。

PSC を使用して DDR インターフェイスをディスエーブルする場合は、DDR インターフェイスのディスエーブルがアクリッジされた後、最小 160 DDR クロック サイクルの間待機してから、イネーブルにする要求を送信します。他のオプションとして、以下の回避方法を使用します。

DENALI_CTL_141 レジスタの LP_AUTO_ENTRY_EN を使って低消費電力の開始 / 終了にコントローラの自動機能を使用する場合、以下の回避方法を使用します。

回避方法: DDR PHY がディープ スリープ 低消費電力状態に移行しないことを確認します。

これは、DENALI_PHY_1318 レジスタの PHY_LP_WAKEUP[3:0] の値を、以下に示す DDR コントローラ レジスタのすべてのスレッシュホールドの値より大きい値に設定することで保証できます。

LPI_CTRL_IDLE_WAKEUP_FN、LPI_PD_WAKEUP_FN、
LPI_SR_SHORT_WAKEUP_FN、LPI_SR_LONG_WAKEUP_FN、
LPI_SRPD_SHORT_WAKEUP_FN、LPI_SRPD_LONG_WAKEUP_FN、
LPI_SR_LONG_MCCLK_GATE_WAKEUP_FN、
LPI_SRPD_LONG_MCCLK_GATE_WAKEUP_FN、LPI_TIMER_WAKEUP_FN

ここで、FN = F0、F1、F2 は異なる周波数設定点用です。

i2168

UDMAP: MAIN/MCU NAVSS rofifo_wr_byten の問題によるスプリアス ECC エラー

詳細:

パケットのスタベーションにより、スプリアス ECC エラーが発生する可能性があります。パケットが受信された際に、そのパケットを送信するための現在のデスクリプタが存在しない場合、UDMAP はスコアボードを更新できるように、事前定義されたメモリ アドレスに対してシングル バイトのメモリの読み取りを送信します。受信した読み取りデータは、チャンネル FIFO メモリに格納されている ECC シグネチャを更新することなく、該当チャンネルのバッファ メモリを更新します。バッファを回収

i2168 (続き)

UDMAP:MAIN/MCU NAVSS rofifo_wr_byten の問題によるスプリアス ECC エラー

するためにチャネル FIFO が読み取りを実行すると、ハードウェアによって ECC エラーが生成されます。

回避方法:

すべてのフローにおいて RX フロー構成レジスタの rx_error_handling モードを 1 に設定すると、ロジックがエラーを生成する代わりにデスク립タを待機するようになるため、このダミーの読み取りが無効になります。エラー処理モードを 0 にしてパケットドロップを報告する必要がある場合、ソフトウェアはドロップ パケット カウントのインクリメントを受信した後に ECC エラーをクリアする必要があります。

i2171

2-L SerDes: 状態変化モニタ割り込みが利用できない

詳細:

2-L SerDes の状態変化モニタ割り込みラインは利用できません。

2-L SerDes の状態変化モニタは、電源状態およびデータレートの変更が PHY_STATE_CHG_TIMEOUT レジスタで定義された指定の最大タイムアウト内に完了するかどうかを報告します。2-L SerDes の PHY_INTERRUPT_STS_j レジスタは、状態変化モニタのステータスを有効化、構成、および読み取るために使用されます。

回避方法:

状態変化モニタのステータスを判断するために、ソフトウェアは 2-L SerDes の PHY_INTERRUPT_STS_j レジスタを読み取る必要があります。

i2173

マイコン: メインドメインがリセットを発行すると、マイコンドメインがハングすることがあります

詳細:

マイコンドメインは、デバイスのメインドメインから完全に独立して動作できるように設計されています。メインドメインがリセット状態になると、マイコン マスタからメインドメイン スレーブへの保留中のトランザクションが存在していても、マイコンドメインは中断せずに機能し続けます。この機能の目的は、故障が発生してメインドメインをリセットする必要がある場合に、マイコンドメインが中断せずに動作を継続できるようにすることです。その後、メインドメインはリセットから復帰し、再起動します。問題は、マイコンからメインドメインへのトランザクションが未処理であり、かつメインをリセット状態に入れた場合 (予期せず、または故障のため意図的に)、マイコンドメインの相互接続にハングが発生する場合があります。これにより、マイコン マスタが応答しなくなる可能性があります。

回避方法:

最初の回避方法は、メインがリセット状態のときに、マイコンからメインへの未実行のマイコントランザクションが発生しないようにすることです。これは、システム レベルで実施する必要があります。メインドメインのリセットが順序どおりに行われた場合、この回避方法を使用できますが、メインドメインのリセットが予期できない場合や、故障によって引き起こされた場合には不可能なことがあります。

2 番目の回避方法は、障害が発生した場合にメインドメインをリセットしないことです。それ以外の場合にメインドメインは「オフラインになる」可能性があります。システムは実際にメインドメインにウォームリセットをアサートしません。この場合、メインドメインからの保留中のトランザクションを巻き戻すことも含めて、マイコンは適切に機能し続けます。

これらの回避方法はどちらも、予期しないリセットやフォルトに対して堅牢ではありません。伝搬や損傷を防止するためにリセットが必要なフォルトには対処できません。

i2174
DPHY:リセット シーケンスの問題により、モジュールの動作が未定義になる可能性がある
詳細:

DPHY RX モジュールは、4 つの異なるリセットを使用します。CSI_RX_RST (ハードウェア制御)、共通モジュールリセット (RSTB_CMN、ハードウェア制御)、データレーンリセット (CSI_RX_IF_VBUS2APB_DPHY_LANE_CONTROL[15:12] DLx_RESET)、およびクロックレーンリセット (CSI_RX_IF_VBUS2APB_DPHY_LANE_CONTROL [16] CL_RESET) です。RSTB_CMN が内部で CSI_RX_RST に結合されていることが原因で、モジュールが想定するこれらリセットの解除順序が仕様に違反する可能性があります。これにより、ソフトウェアによる設定やモジュールの動作中に、未定義の挙動を引き起こす恐れがあります。

回避方法:

なし。インターフェイス上で問題が観察された場合は、DPHY RX モジュールをリセットします。

i2177
RINGACC:リング アクセラレータのデバッグ トランザクションのトレース ストリームは、特定のリング アクセス シーケンスによって破損する可能性があります
詳細:

リング アクセラレータを使用すると、デバッグからそのメモリ空間への直接アクセスが可能になるほか、そのトランザクションのトレース ストリームを cptracer ネットワークにエクスポートする機能によってハードウェア支援デバッグを実行できます。通常、このデバッグ情報は、SOC デバッグ ファブリック経由でリング アクセラレータとインターフェイス接続する JTAG ベースのデバッグを使用してイネーブル、収集、分析されます。リング デバッグトレース情報が破損したり、ハングアップしたりする原因となるエラーが存在します。この障害は、通常のリング ピーク操作によって発生するか、デバッグを使用してリング ポップ操作を開始した場合に発生します。このエラーの破損のサインは、ピークが誤ってトレースのポップとして報告されている場合です。さらに、非リング モード (メッセージまたはクレデンシャル) では、通常のリング ポップ操作によってトレースの空のフィールドに誤った情報が表示されたり、デバッグ ポップ操作で宛先アドレスが正しくなくなる場合があります。

回避方法:

リング アクセラレータのハードウェア トレース機能を開発に使用するには、コードはリング ピーク操作とデバッグ起点のポップ操作の使用を避ける必要があります。

i2178
PLL:PLL12_CAL_CTRL レジスタの CAL_IN フィールドへの書き込みが破損しました
詳細:

PLL12_CAL_CTRL[11-0].CAL_IN フィールドへの書き込みが破損しているため、CAL_IN は使用できなくなります。

回避方法:

PLL12 キャリブレーションは非バイパス モード (CAL_BYP = 0) で使用します。この場合、キャリブレーションは PLL12_CAL_CTRL[11-0].CAL_IN レジスタ値ではなく、PLL 独自の検索に基づいて設定されます。また、DACEN = DSMEN = 0 の場合 (整数モードの乗算のみを意味する) 以外はキャリブレーションを使用しないでください。

i2179
CPSW9G:リセット分離が正常に機能しません
詳細:

CPSW9G のリセット分離が正しく機能しないため、次の 2 つの問題が発生します。

1. レジスタ SERDESx_CLKSEL で制御される SerDes クロック マルチプレクサが、リセット状態に移行します。

i2179 (続き)

CPSW9G:リセット分離が正常に機能しません

2. CPSW9G はチップ レベルのリセットを認識せず、ホストとの送受信トラフィックに応じてハングしたり、その状態が破損したりする可能性があります。

回避方法:

CPSW9G リセット分離を有効にしないでください。以下のレジスタ フィールドを設定すると、無効化できます。

PSC0_MDCTL_64[12].RESETISO = 0b0

PSC0_MDCTL_63[12].RESETISO = 0b0

CPSW_SS_SERDES_RESET_ISO_REG[7:0].SERDES_RESET_ISO = 0x00

i2180

PRU-ICSSG:スイッチ動作中における FDB テーブルの破損

詳細:

PRU-ICSSG が 1Gbps イーサネット スイッチとして構成され、FDB が使用されている場合、FDB ルックアップ中に PRU0 によるブロードサイド アクセスがあると、FDB が破損する可能性のある 1 つの PRU クロック サイクルのウィンドウが存在します。

FDB ルックアップは、いずれかのポート、またはホストの動作によって開始される可能性があります。FDB 内の各行には 4 つの「バケット」(32 バイト) があり、結果として、特定の SA ハッシュ インデックスにおいて最大 4 つのバケットが破損することになります (並行するブロードサイド アクセス中の PRU0 バイト イネーブルに依存します)。

PRU0 以外の PRU によるブロードサイド アクセスは影響を受けません。

回避方法:

FDB ルックアップ中に PRU0 のブロードサイド アクセスを回避するためのファームウェア内の回避方法は可能ですが、複雑であり計画されていません。

i2182

DDR:row-cs-bank-col アドレス マッピングでは、デュアルランクの非 2 進数容量はサポートされていません

詳細:

DDR コントローラは、row-cs-bank-col アドレス マッピング機能を備えたデュアルランク非 2 進数容量 LPDDR4 デバイスはサポートしていません。

上記は、シングルランク非 2 進数容量デバイスや、すべての 2 進数容量デバイスには適用されないことに注意してください。

回避方法:

デュアルランク非 2 進数容量 LPDDR4 デバイスで、cs-row-bank-col アドレス マッピングを使用します。cs-row-bank-col アドレス マッピングが確実に選択されるようにするには、Cadence コントローラレジスタの cs_lower_addr_en フィールドを 0 に設定する必要があります。

i2183

PCIe:未使用のレーンが PCIe コントローラに割り当てられていない場合のリンク アップ エラー

詳細:

PCIe で使用されていない SERDES レーンが別のプロトコルに割り当てられている場合、PCIe はリンク アップに失敗します。たとえば、レーン 2 とレーン 3 が別のプロトコルに割り当てられ、レーン 0 と 1 が PCIe に使用されて 2 レーン リンクを形成すると、リンク トレーニングは失敗します。このエラーは、電気的アイドルを示す内部ステータス信号の不適切なタイオフによるものです。

i2183 (続き)
PCIe:未使用のレーンが PCIe コントローラに割り当てられていない場合のリンク アップ エラー

レーンが PCIe に割り当てられていない場合、SERDES から PCIe コントローラに送られるステータス信号はタイオフになります。電気的アイドルを示す信号が、非アイドルを示す状態に誤ってタイオフされます。その結果、PCIe は未使用のレーンが電気的アイドル状態から外れていることを認識し、これにより LTSSM は 12ms のタイムアウトが発生するのを待たずに、Detect.Quiet 状態を終了します。Detect.Active 状態の最初のレシーバ検出試行でレシーバが検出されない場合、LTSSM は Detect.Quiet に戻り、PCIe ベース仕様で要求されている 12ms を待機せずに再度 Detect.Active 状態に進みます。Detect.Quiet での待機時間はスキップされるため、複数のレシーバ検出動作が連続で実行され、送信ラインの静電容量が放電される時間はありません。これにより、最終的にレシーバが接続されたとしても、後続のレシーバ検出は常に失敗します。

回避方法:

SERDES の未使用レーンが別のプロトコルに割り当てられている場合は、次の 2 つの回避方法のいずれかを適用できます。

1.この回避方法は、1 レーン PCIe 構成でのみ機能することに注意してください。この回避方法では、PCIe を実行するレーンの TX_RCVDDET_OVRD_PREG_j レジスタを 0x2 に設定することで、レシーバ検出オーバーライドを有効にする必要があります。これにより、SERDES は、LTSSM が Detect.Active 状態のときにレシーバが実際に存在するかどうかにかかわらずレシーバ検出が成功したことを示します。レシーバが存在する場合、LTSSM は期待どおりにリンク アップに進みます。ただし、レシーバが存在しない場合、予期されるトレーニング シーケンス パケットが受信されないため、LTSSM は Polling.Configuration サブステートでタイムアウトします。

2.この回避方法には、次のシーケンスが含まれます。最初のリンク アップと、いずれかの動作時点でリンクがダウンした場合にそれ以降のリンクアップについて、これらの手順に従う必要があります。

Step1: PCIE_USER_CMD_STATUS レジスタの LINK_TRAINING_ENABLE フィールドを使って、リンクトレーニングの有効化および無効化を素早く連続して行います。これに対する 2 つのレジスタへの書き込みが順番に行われるようにしてください。リンクトレーニングは、少なくとも 1 クロック サイクルにわたって有効化されている必要があります。

Step2: 約 20ms 間待機します。これは正確である必要はありません。最小待機時間は 5ms に近くする必要があります。

Step3: PCIE_USER_LINKSTATUS レジスタの LTSSM_STATE フィールドで、現在の LTSSM 状態を確認します。状態が Detect.Quiet の場合は、手順 1 から繰り返します。状態が Detect.Quiet でない場合は、レシーバが検出され、リンクトレーニングが期待どおりに進行しているため、回避方法のシーケンスを終了します。

i2184
CPSW:IET エクスプレストラフィック ポリシングの問題
詳細:

これは、9 ポート CPSW、5 ポート CPSW、3 ポート CPSW、および 2 ポート CPSW IET トラフィックに適用されます。

IET (割り込みエクスプレストラフィック) では、プリエンプトされたパケットがエクスプレス パケットによって中断された場合、次の 2 つの事象が発生する可能性があります。

1. エクスプレストラフィックがポリシングされている場合、プリエンプトパケットのフレーム サイズがエクスプレストラフィック ポリサーに適用されます。ポリサーが高速トラフィック ストリームのレート スケジューリングを行うように設定されていると仮定すると、割り込みされたプリエンプトパケット サイズの悪影響を受けます。プリエンプトされたパケットは、エクスプレストラフィック ポリサーのステータスも引き受けします。その結果、プリエンプトされたパケットは、エクスプレ

i2184 (続き)

CPSW : IET エクスプレストラフィック ポリシングの問題

ストラフィック ポリサーによって他のエクスプレストラフィックとともにドロップされる可能性があります。

2. エクスプレストラフィックがポリシングされていない場合、割り込まれたプリエンブト パケットの
パケット サイズはプリエンブトされたポリサーに適用されません。

回避方法:

IET エクスプレストラフィックをポリシングしないでください。

i2185

CPSW : ポリサー カラー マーキングの問題

詳細:

CPSW9G および CPSW5G にのみ適用されます。

2 つの異なるポートからのパケットが同じポリサーに到達し、一方のポートから大きいパケット、もう一方のポートからショートパケットが到達した場合、大きいパケットが開始された直後にショートパケットが到着すると、ショートパケットはバックログ カウントを停止します。その結果、このポリサーの次のフレームには、グリーンであるはずなのにイエローのフラグが付けられる可能性があります。ポリサーは通常、イエローをドロップしないように設定されているため、問題は発生しません。これは、同じポリサー インデックスを共有する異なるポートに着信するパケットにのみ当てはまりません。

回避方法:

ポリサーがポートに固有であることを確認します。

i2187

MSMC : キャッシュ サイズを 0 に変更すると、タグがアップデートされずにリフレッシュされます

詳細:

データ破損 (MSMC がすべて 0 を返す) は、MSMC の L3\$ (DDR) にダーティデータをキャッシュしていた行の MSMC L3\$Size をゼロ以外からゼロに変更し、その後ゼロ以外に戻したときに発生します。MSMC リセットのリリース直後の 0 -> N 構成は、この問題の影響を受けません。

MSMC の内部キャッシュ サイズ変更トランザクションは、常に非割り当てミスとしてマークされます。タグは、割り当てミスとヒット時の新しい値でのみ更新されます。その結果、キャッシュのサイズ変更操作ではタグを変更せずに元のデータをゼロに設定します。

L3 キャッシュ サイズを変更すると、既存のタグはすべて MSMC に残りますが、データはゼロに設定されるため、以前にキャッシュされたこれらの行への後続の読み取りでは、データに対して返されるすべての 0 が認識されます。

回避方法:

L3 キャッシュのサイズが N から 0 に変更された後、L3 を 0 から X に変更する前に、MSMC をリセットします。この回避方法では、L3 キャッシュのサイズの N -> 0 の遷移によってデータが DDR に強制的に入れられ、DDR (セルフリフレッシュ) に有効なデータが含まれるため、データが保持されます。

i2188

VPAC, DMPAC : キューメモリ上の UTC ECC ライトバックにより、TR が破損する可能性があります

詳細:

i2188 (続き)

VPAC、DMPAC: キューメモリ上の UTC ECC ライトバックにより、TR が破損する可能性があります

VPAC および DMPAC UTC の次のキュー バッファでは、ソフトウェア制御によって診断を収集する ECC エラー注入がイネーブルになっているときに、UTC がハングしたり、データが破損したりする可能性があります。

影響を受けるキュー バッファのメモリ名:

- dru_utc_vpac_tpram_dru_queue_buffer
- dru_utc_vpac_tpram_dru_queue_buffer2
- dru_utc_dmpac_tpram_dru_queue_buffer
- dru_utc_dmpac_tpram_dru_queue_buffer2

回避方法:

UTC がハングアップするのを防ぐために、ソフトウェアは前述の QUEUE メモリに対する ECC インジェクションを無効にする必要があります。

注: 通常動作中は、ECC チェックは引き続き機能します。

i2189

OSPI: コントローラ PHY のチューニング アルゴリズムを追加

詳細:

PHY モジュールがイネーブルのとき、OSPI コントローラは DQS 信号を使用してデータをサンプリングします。しかし、モジュールに問題が存在する必要があります。これは、このサンプルは内部クロックで定義されたウィンドウ内で発生する必要があります。読み取り動作は外部遅延の影響を受け、温度によって変化します。任意の温度で読み取りが有効になるようにするには、最も堅牢な TX、RX、読み取り遅延の値を選択する特別なチューニング アルゴリズムを実装する必要があります。

回避方法:

このバグの回避方法については、[SPRACT2](#) に詳細が記載されています。一部の PVT 条件でデータをサンプリングするには、ユーザーは読み取り遅延フィールドをインクリメントして、内部クロックのサンプリング ウィンドウをシフトする必要があります。これにより、データ アイ内の任意の場所でデータのサンプリングが可能になります。しかし、これには次の副作用があります。

1. すべての読み取り動作に対して PHY パイプライン モードを有効化する必要があります。書き込みのために PHY パイプライン モードを無効化するため、読み出しと書き込みは個別に処理する必要があります。
2. 回避方法が実行されると、ビジー ビットのハードウェア ポーリングが壊れます。そのため、代わりに SW ポーリングを使用する必要があります。ホストとフラッシュ デバイスのどちらからも割り込みが発生しないように、DMA アクセスにより、ページ境界内で書き込みを行う必要があります。ソフトウェアは、ページ書き込みの間でビジー ビットをポーリングする必要があります。または、ハードウェア ポーリングを有効化した状態で、PHY 以外のモードで書き込みを実行することもできます。
3. STIG 読み取りは余分なバイトでパディングされ、受信データは右シフトされなければなりません。

i2190

CSI: CSI_RX_IF は、不完全なフレームの後で、不明な状態になる可能性があります

詳細:

i2190 (続き)

CSI:CSI_RX_IF は、不完全なフレームの後で、不明な状態になる可能性があります

CRC エラーが発生する可能性のある不完全なフレームが CSI2 インターフェイスによって受信されると、モジュールは不明な状態になる可能性があります。この場合、以降のすべてのイメージフレームはキャプチャされません。

回避方法:

CSI_RX_IF モジュールをリセットします。

i2191

ECC_AGGR:RAM80 に対する誤った修正不可能なパリティ エラーのアサーション

詳細:

SOC 内の電圧ドメイン間にレベル シフトを必要とする一連の信号がシステム バス上に存在します。メインの電圧ドメインに通電されていないとき、レベル シフトはマイコンドメイン内の後続ロジックに対してデフォルト値を維持します。

その状況において、これらのレベル シフトの 1 つが反転した値を駆動してしまいます。

メインドメインに通電される前に、該当の入力ソース (ram_ecc80) に対して ecc_aggregator のチェックを有効にすると、マイコン電圧ドメイン内で誤った「修正不可能な ecc パリティ」エラー アサーションが生成され、エラー シグナリング モジュールに記録されます。

回避方法:

すべての電圧ドメインが機能状態になるまで、影響を受ける入力ソースのチェックを ECC アグリゲータ内で有効にしないでください。

値が反転の影響を受けないようにするために、メインドメインからのソース IP を使用して、該当の特定のソースを有効にします。

上記の条件では必ずエラーが発生するため、ECC アグリゲータ内で有効にする前に、エラー割り込みをクリアする必要があります。

メインの電圧ドメインが無効化されるか、または低消費電力状態になるあらゆる状況において、シーケンスの一部として ECC アグリゲータ内の入力ソース チェックを無効にする必要があります。

i2196

IA:IA でデッドロック シナリオが発生する可能性があります

詳細:

割り込みアグリゲータ (IA) には、イベントトランスポートレーン (ETL) バスに到着したイベントを割り込みステータス ビットに変換するというメイン機能が 1 つあります。これは、レベル割り込みの生成に使用されます。IA バージョン 1.0 でこの関数を実行したブロックはステータス イベント ブロックと呼ばれていました。

ステータス イベント ブロックに加えて、マルチキャスト イベント ブロックとカウント イベント ブロックという 2 つの主要な処理ブロックがあります。マルチキャスト ブロックは、実際にはイベント スプリッタとして機能します。イベントが発生するたびに、2 つの出力イベントを生成できます。カウント イベント ブロックは、高周波イベントを読み取り可能なカウントに変換するために使用されます。入力イベントをカウントし、0 以外のカウント値との間のカウント遷移時に出力イベントを生成します。ステータス イベント ブロックとは異なり、マルチキャストおよびカウント イベント ブロックは出力 ETL イベントを生成し、他の処理ブロックにマッピングします。

設計後に、IA のデッドロックを引き起こす可能性のある問題が発見されました。この問題は、これら 3 つの処理ブロック間でイベント「ループ」が発生した場合に発生します。パスがブロックされているために処理ブロックがイベントを出力できず、イベントを出力できないために、新しい入力イベントを取得できない状況が発生する場合があります。この入力イベントを受信できないため、出力パスがアンワインドできなくなり、両方のパスがブロックされたままになります。

i2196 (続き)

IA:IA でデッドロック シナリオが発生する可能性があります

回避方法:

図 3-5 に、IA 1.0 の概念ブロック図を示します。潜在的なループは、カウント イベントブロックがマルチキャスト ブロックにイベントを送信しないようにするポリシーを採用することで回避できます。最初にイベントを分割してから、他の場所へ送信する間に 1 を数えるのが一般的であるために、この方法が選択されました。このパスが慣例によってブロックされている場合、1 つのイベントが複数回ブロックにアクセスすることはできず、出力がブロックされない限り、パスがブロックされることはありません。

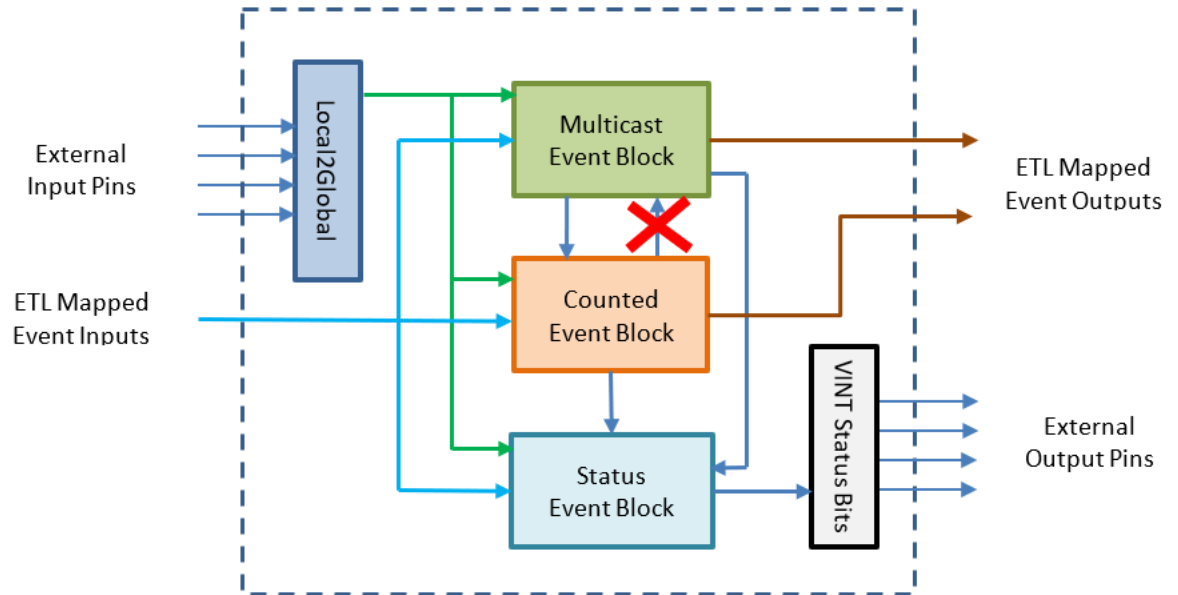


図 3-5. 割り込みアグリゲータ バージョン 1.0

ここに概説されているルールに従うと、システムは、デッドロック シナリオを発生させる可能性のあるループ危険性を回避して安全に動作できます。

i2197

I3C:スレーブ モードはサポートされていません

詳細:

I3C スレーブ モードは使用できません。シングルマスタ バスではマスタ ロールのみを使用する必要があります。

回避方法:

なし。シングルマスタ バスではマスタ ロールのみを使用する必要があります。

i2198

DRU、UTC:未使用時に ICNT3 を 0 に設定することの問題

詳細:

ICNT3 が 0 に設定されている場合、DRU/UTC は TR を一次元として認識しません。ICNT1 のデクリメント時の TR のイベント生成またはトリガ保持について、ICNT2 および ICNT3 が使用されない場合、通常は 0 または 1 のいずれかに設定しても同じ効果が得られます。しかし、TR をキューにプッシュするときに 1D トリガまたはイベントを実行する場合、ICNT3 の値が 0 であると 1D TR として見なされず、TR が前のトリガを削除しなかったり、TR の終了時にイベントを送信しなかったりする原因になります。

i2198 (続き)

DRU、UTC:未使用時に ICNT3 を 0 に設定することの問題

回避方法:

使用されていない場合、TR は常に ICNT 3 を 1 に設定する必要があります。

i2199

C71x:非アライメントの転置されたストリームが AM1 循環バッファ境界を越えた場合に、SE が誤ったデータを返します

詳細:

AM1 が AM0 よりも大きい循環バッファ サイズを参照している場合、SE は非アライメントの転置されたストリーム中に間違った 64B 行のデータを再利用することができます。これは、転置されている行の 1 つが AM1 循環バッファ境界を超え、AM0 境界を超えていないときに発生します。

回避方法:

転置されたストリームを完全にアラインさせます。つまり、開始アドレスとスケールされたすべての DIM 値が 64B の倍数になるか、AM1 が AM0 よりも大きな循環アドレッシング バッファ サイズにならないように設定します。

i2200

RESET:0 値にプログラムされている場合、TIMEOUT_PER が動作しません。

詳細:

0 にプログラムされている場合、CTRLMMR_WKUP_MAIN_POR_TO_CTRL[2:0].TIMEOUT_PER ハードウェア タイムアウト カウント値は動作しません。すぐには Main PORz を発行しません。

回避方法:

CTRLMMR_WKUP_MAIN_POR_TO_CTRL[2:0].TIMEOUT_PER をゼロでない値にプログラムした後、CTRLMMR_WKUP_POR_RST_CTRL[0].POR_RST_ISO_DONE_Z を設定します。即時タイムアウト (0) は許可されていないと言っても問題ありません。

i2205

I3C:保留中の IBI 中にフェッチされたコマンドが、場合によっては適切に処理されないことがあります

詳細:

ターゲット起点の IBI アドレス バイト受信中にホストがコマンドを書き込むと、誤ったフレーム生成など、コントローラによる不適切なコマンド実行が発生する可能性があります。

回避方法:

ホストは、コントローラにコマンドを送信する前に、ブロードキャスト DISEC CCC を送信して IBI を無効化する必要があります。

i2207

CBASS:コマンド調停ブロック

詳細:

インターコネクが複数のソースからのコマンドを調停する場合、優先度の高い要求が常に優先されます。同じ優先度レベルの要求はラウンドロビン方式で調停されます。問題は、優先度の高い要求がアイドル状態になった後で、同じ優先度レベルにある 2 つ以上の保留中の要求がある場合、ハードウェアはそれらのうちの 1 つを任意に選択します。ソフトウェアが複数のソースから同じエンドポイントにポーリングすると、潜在的な問題が発生する可能性があります。優先度の高いソースにサービスを提供した後、ハードウェアは同じ優先度の低いソースを繰り返しアクセス用を選択することがあります。つまり、他の同じ優先度の低い要求が長時間ブロックされる可能性があり、最悪の場合、ポーリング シーケンス間に依存関係があると、ソフトウェアはライブロック状態になる可能性があります。

i2207 (続き)
CBASS: コマンド調停ブロック

この問題は、1 つのスイッチ モジュール内に、同じターゲットに同時にアクセスできる少なくとも 3 つのソースがある特定のインターコネクต์にのみ影響します。また、すべての要求の優先度が同じ場合、問題は適用されません。

回避方法:

複数のソースが同じエンドポイントから同時にポーリングされ、読み取りデータに基づいて依存性が予想される場合は、すべてのソースが同じ優先度で読み取りコマンドを送信していることを確認します。依存関係を破るソースは、他の依存関係のあるソースと同等かそれ以上の優先度にする必要があります。

i2208
CPSW: ALE IET エクスプレス パケットドロップ
詳細:

この問題は、次のモジュールに影響を与えます。

[J7ES] 9 ポート CPSW (ポート 3 ~ 8 で 2.5G 時)

ALE の問題は、短い高速トラフィックでの CPSW 周波数と IET 動作、および非 10G 対応ポートで 60 ~ 69 バイトのプリエンプトされたパケットが原因です。

プリエンプト可能な IET パケットが 60 ~ 69 バイトで中断された場合、次のチャックが到着したときにルックアップが行われます。CPSW は、プリエンプト可能な MAC から ALE 64 バイトのみを提供します。

その結果、短い高速トラフィック ルックアップは 64 バイトの高速トラフィックの最後から開始されますが、プリエンプト キューが続行されると、プリエンプトされたトラフィックは 64 バイトを完了し、プリエンプト パケットのルックアップを試行します。しかし、このルックアップは、エクスプレス ルックアップの開始から 64 クロックよりも少ないため、エクスプレス ルックアップは中止され (エクスプレス トラフィック ドロップが行われる)、プリエンプトされたトラフィックの新しいルックアップが開始されません。

問題を引き起こすルール:

1. 5/10G 動作ができないポートで IET (Interspered Express Traffic) モードになっていること
2. リモート エクスプレス パケットが 60 バイトまでのパケットをプリエンプトできること
3. 128 バイト以上のプリエンプト パケットトラフィック
4. プリエンプトトラフィックを 60 ~ 69 バイトの範囲で中断するエクスプレストラフィック
5. プリエンプトトラフィックの継続が直ちに続く短い高速トラフィック
 - a. エクスプレス フレームとプリエンプト フレーム間のギャップが最小
6. CPSW 周波数が必要な速度の最小能力であること

回避方法:

IET ネゴシエーション中に、リモートに 128 バイトのフラグメントを指定します。

i2210
R5FSS: ATB フラッシュ要求が抑制されます
詳細:

この問題は、デバッガで一般的に見られる Trace Tooling に関連しています。TBR または TPIU によって開始された R5FSS ATB フラッシュ要求 (AFVALID) が R5FSS ETM に到達しません。この問題のため、ATB フラッシュ要求は ETM に対してプロパゲートされず、対応する ATB フラッシュ アクナレッジ (AFREADY) はバッファがフラッシュされたことを示す保証はありません。

回避方法:

なし。

i2211

UFS: ハイバネートの終了により、リンクが再初期化される可能性があります

詳細:

HS ギアを使用してデュアル レーン モードで動作している場合、ハイバネート状態に入る、またはハイバネート状態から復帰するときに、UFS リンクのレーン TX0 と TX1 間のデータが歪む可能性があります。これは余分なデスクュー パターン (MK0、MK1 シンボル) が生成されたためであり、ピア デバイスから NAC エラーが受信されます。NAC を受信すると、UFS_UECDL[14:0].EC は 0x0001 に設定されます。

NAC に応答して、ユニプロリンクは HS モードをドロップ アウトし、PWM モードに再初期化されます。

回避方法:

UIC コマンド オプコードの DME_HIBERNATE_ENTER (0x17) および DME_HIBERNATE_EXIT (0x18) を使用するすべてのドライバ機能を無効にします。また、自動ハイバネートタイマの値 (AHIT レジスタ) を 0 に設定することにより、Auto-Hibern8 機能も無効にします。

i2213

C7x SE: 2 つのデータフェーズトランザクションが異なる rstatus を伴って返ってきた場合、SE がハングアップする可能性がある

詳細:

SE を介してストリーミング中のデータ内で、メモリ上の特定の位置に 2 ビットの修正不可能なエラーが発生するなどの稀な状況下において、C7x 内でハングアップが発生する可能性があります。このシナリオが発生するには、次の条件を満たす必要があります。該当の修正不可能なエラーが SE の遭遇する最初のエラー (パリティ等を含む) であること、ストリーム内で特定の整列がなされていること、および C7x によるデータ消費よりも SE が十分に先行しており、SE がタグ内に該当ラインを割り当ててからリクエストを出し、次のラインを割り当てるためのタグ / 内部構造の空きができる前に該当ラインを受信していること。したがって、この現象が発生する可能性はきわめて低いです。

SE が L2SRAM または MSMCSRAM からストリーミングを行っている通常のユースケースでは、この特定の整列を持つ修正不可能なエラーが、本バグが発生する唯一の要因となります。他のエンドポイントからのストリーミングに SE を使用する場合、これらを引き起こす別の特定配置のエラーが存在しますが、そのようなエンドポイントからのフェッチはラウンドトリップ時間が大幅に長くなるため、エラーを運ぶ応答が SE に返ってきた時点で SE がハングアップ可能な状態に陥っている確率はさらに低くなります。ハングアップが発生した場合、回復する唯一の方法は C7x を完全にリセットすることです。

回避方法:

実行できるアクションはリカバリのみです。C7x がハングアップした場合は、リセットする必要があります。

i2214

C66x: フェンスが設定されていない場合、異なるエンドポイントへの書き込みの順序が入れ替わる可能性があります。

詳細:

C66x と割り込みアグリゲータの間にあるブリッジが、イベントをクリアするためのトランザクションをストールさせる可能性があります。C66x から DRU へのトリガは異なる経路を通るため、手前のイベントがクリアされる前に次のイベントが生成されてしまう、潜在的な競合状態を引き起こす可能性があります。この場合、ソフトウェアはイベントを失い、DRU 動作との同期を失います。

回避方法:

イベント解除書き込みの後にフェンス動作を使用して、次のトリガが C66x から送信される前に到着したことを確認する必要があります。

i2215 **DRU:非原子性の TR 送信メカニズムを使用すると、C7x 書き込みが異常となり、TR 送信を破壊する可能性があります**

詳細: C7x は、CPU によって送信される順序とは異なる順序で書き込みが発生することを許可する場合があります。DRU 内の非原子性 TR レジスタは、TR の最下位バイトが最後に書き込まれることを必要とします。なぜなら、それによって他のフィールドが TR キューに強制的にプッシュされるためです。順不同の書き込みが発生し、最後の書き込みが最後に実行されない場合、誤った TR フィールドが使用される原因となり、DRU の予期しない動作を引き起こします。

回避方法: TR 送信には単一の 64 バイト書き込みのみを必要とするため、C7x は原子性 TR 送信方法のみを使用する必要があります。

i2216 **I3C:スレーブ起点の IBI アドレスバイト受信時、コマンド実行が失敗することがあります**

詳細: I3C コントローラへの SoC ホスト コマンドは、スレーブ起点の IBI アドレス バイト受信が進行中にコマンドが書き込まれた場合、誤ったフレーム生成など、コントローラによる不適切なコマンド実行を引き起こす可能性があります。

このような場合、コマンド応答キューに誤って応答が格納されます。さらに、受信した IBI にペイロードがなく、マスタからアクリッジされた場合、スレーブにフェッチされたコマンドによってバス経由で誤ったフレームが発行されます。

回避方法: ホストは、コントローラにコマンドを送信する前に、ブロードキャスト DISEC CCC を送信して IBI を無効化する必要があります。

i2217 **推奨される MCU_BOOTMODE[09:08] による POST 選択**

詳細: MCU_BOOTMODE[09:08] ピンを使用して、パワーオンセルフテスト (POST) の動作モードを設定できます。MCU_BOOTMODE[09:08] の影響は、内部 eFuse オーバーライド制御に対する TI の工場出荷時の設定によって異なります。TRM で定義されているオプションは次のとおりです。

Table 4-6. POST Selection

POST Config Pins		POST Sequence
MCU 9	MCU 8	
0	0	DMSC LBIST followed by MCU LBIST followed by PBIST ⁽²⁾
0	1	DMSC LBIST and MCU LBIST in parallel followed by PBIST ⁽²⁾
1	0	Reserved ⁽²⁾
1	1	POST bypass ⁽¹⁾

推奨される MCU_BOOTMODE[09:08] 設定は、「回避方法」セクションで要約されているように、デバイス タイプによって異なります。

デバイス タイプは、SoC データ マニュアルの第 10 章に記載されている型番 Y / デバイス タイプ 指定子で識別されます。これについては、次の図で示されています。

i2217 (続き)

推奨される MCU_BOOTMODE[09:08] による POST 選択

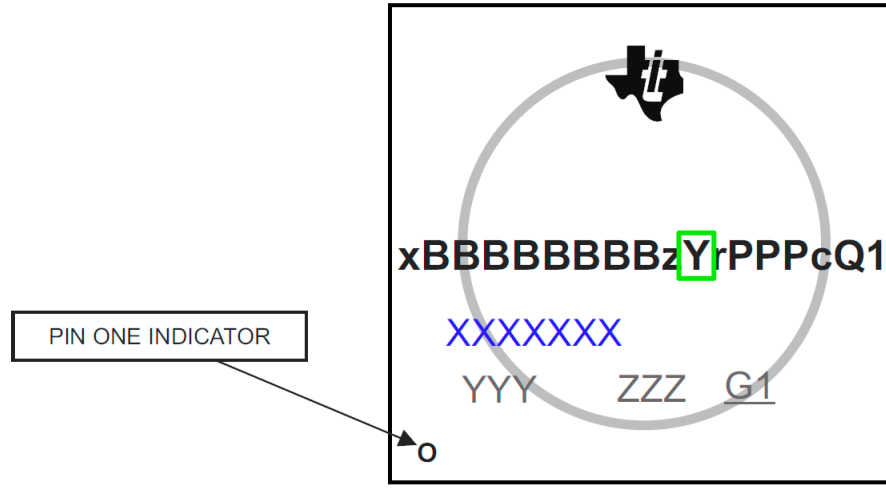


Figure 10-1. Printed Device Reference

回避方法:

デバイス タイプ = C、5、D の場合

- MCU_BOOTMODE[09:08] ピンは「don't care」であり、eFuse によってオーバーライドされます
- 工場出荷時 eFuse post_enable = 1
 - SoC は、「DMSC LBIST と MCU LBIST を並列に、その後 PBIST」に対して約 20ms のランタイムで POST シーケンスを実行します。
- TI は、将来のデバイスとの互換性を確保するため、MCU_BOOTMODE[09:08] を「01」に設定することを推奨します。

デバイス タイプ = G、0 の場合

- 「POST バイパス」のため、MCU_BOOTMODE[09:08] を「11」に設定する必要があります。

i2219

C7x SE:SE が uTLB 障害に対して不正な rstatus を返します

詳細:

SE は、C7x CPU に報告する前に、以前に記録されたページフォルトを上書きしてしまう可能性があります。これにより、SE はエラー シンドロームが破損している可能性のあるページフォルトを CPU に報告することになります。付随するエラー シンドロームは破損している可能性がありますが、ページフォルトが発生した場合は、常に正しい障害仮想アドレスとともに報告されます。

回避方法:

SE によってページフォルトが返された場合 (IERR = 0x1、IESR[19:16] = 0x3)、ユーザーはページフォルト シンドローム (IESR[15:0]) を参照せずに、システム / ソフトウェアの設定を分析して故障の正確な原因を特定する必要があります。

i2221

CC: 侵襲的および非侵襲的デバッグイネーブル設定は、MCU_RESETz によってリセットされません

詳細:

MCU_RESETz をアサートした後、CTRLMMR_MCUSEC_CLSTR0_CORE[1:0]_DBG_CFG レジスタが誤ってデフォルト値にリセットされます。これらは、PORz がアサートされたときのみリセットされる必要があります。したがって、侵襲的および非侵襲的なデバッグ動作に影響を与える

i2221 (続き)

CC: 侵襲的および非侵襲的デバッグイネーブル設定は、MCU_RESEZt によってリセットされま
す

ようにソフトウェアによってこのレジスタに加えられた変更は、MCU_RESEZt のアサート時に上
書きされます。

回避方法:

MCU_RESEZt がアサートされた後に、ソフトウェアは
CTRLMMR_MCUSEC_CLSTR0_CORE[1:0]_DBG_CFG レジスタを再プログラムする必要があります。

i2227

R5FSS: エラー割り込み CCM_COMPARE_STAT_PULSE_INTR が正しく駆動されません

詳細

電力を節約するためにデバイス上のモジュールが機能的に無効または分離されている場合、ダウンストリームのシステムに関する問題を回避するため、デバイスからのすべての出力を固定値に保持する必要があります。

R5FSS が分離 / デイスエーブルのときに、R5FSS からのエラー割り込み CCM_COMPARE_STAT_PULSE_INTR がアクティブ High 値に正しく駆動されません。エラー信号モジュール (ESM) で検出ロジックが有効な場合、これはデバイスのエラー発生として記録されます。デフォルトでは、検出ロジックは無効になっています。

回避方法

R5FSS モジュールが機能的にアクティブになるまで、このエラーの ESM 検出を有効にしないでください。R5FSS モジュールを無効にする前に、このエラーの ESM 検出を無効にします。

i2228

JTAG:TRSTn デバイス ピンがアサートされないと、デバッガが使用する TAP にアクセスできない場合があります

詳細

TRSTn でまったく LOW が観測されない場合、初期化されていないロジックによって組込みデバッガ スキャン チェーンへのアクセスがブロックされる可能性があります。JTAG バイパスおよびバウンダリ スキャン機能は影響を受けません。

回避方法

デバッガを接続する前に、TRSTn ピンが 100ns の間 LOW にアサートされ、その後、デバイスの電源投入後、少なくとも 1 回 HIGH にアサート解除されていることを確認してください。

i2229	AASRC :AASRC には非対応
詳細	AASRC はサポートされていません。
回避方法	なし。

i2230	ICSSG :ICSSG には非対応
影響を受けるリビジョン	1.1、1.2
詳細	ICSSG はサポートされていません。
回避方法	なし

i2232
DDR: 周波数変化の後、コントローラが許可されたリフレッシュ数を超えて延期します
詳細

より高いクロック周波数から低いクロック周波数に動的に切り替える場合、リフレッシュ コマンドの延期を制御するローリング ウィンドウ カウンタは、低いクロック周波数にスケールリングするために正しくロードされません。これにより、コントローラは **DRAM** 仕様で許容されるよりも多くのリフレッシュ コマンドを延期し、**DRAM** のリフレッシュ要件に違反します。

回避方法

回避方法 1: **DFS_ENABLE = 0** をプログラムすることで、動的な周波数変更を無効化します

回避方法 2: スイッチング周波数の場合、以下に示す疑似コードに基づいてレジスタ フィールドの値をプログラムします。コントローラでは、初期化をトリガする前に、**AREF_*_THRESHOLD** の値をプログラムする必要があります。これらの値は、初期化後にミッション モード中に変更することはできません。したがって、これらのパラメータの値は、使用する予定のすべての周波数変化遷移に必要なすべての値のうちの最小値でなければなりません。

```

if (old_freq/new_freq >= 7){
    if (PBR_EN==1) { // Per-bank refresh is enabled
        AREF_HIGH_THRESHOLD = 19
        AREF_NORM_THRESHOLD = 18
        AREF_PBR_CONT_EN_THRESHOLD = 17
        AREF_CMD_MAX_PER_TREF = 8
    }
    else { // Per-bank refresh is disabled
        AREF_HIGH_THRESHOLD = 18
        AREF_NORM_THRESHOLD = 17
        // AREF_PBR_CONT_EN_THRESHOLD <=== don't care, PBR not enabled
        AREF_CMD_MAX_PER_TREF = 8
    }
}
else {
    AREF_HIGH_THRESHOLD = 21
    AREF_NORM_THRESHOLD //<=== keep AREF_NORM_THRESHOLD < AREF_HIGH_THRESHOLD
    AREF_CMD_MAX_PER_TREF = 8
    if (PBR_EN==1) { // Per-bank refresh is enabled
        //keep AREF_PBR_CONT_EN_THRESHOLD<AREF_NORM_THRESHOLD<AREF_HIGH_THRESHOLD
        AREF_PBR_CONT_EN_THRESHOLD
    }
}

```

i2233

DMADVR:MAIN と MCU の間の Link/link_safer 同期の問題

詳細

異なる DMA ストリーミングドメイン (メインドメインと MCU ドメイン) 間の PSIL Link 信号のパリティチェックを行う場合、フックアップにエラーがあります。リンク状態遷移中 (エンドポイントがリセットされるためリンクがダウンするなど)、関連するパリティ チェッカは誤パリティ エラーをフラグ付けする可能性があります。指定されたチェッカは、通常動作中は無効化できません。さもないと、追加のエラーが検出されない可能性があります。

回避方法

アプリケーションは、チェッカを無効にして、エラーが検出されないリスクを負うか、既知のドメイン電力遷移中に報告されたエラーをチェックし、エラーの原因が PSIL Link 信号である場合は無視する必要があります。

i2234

UDMA :ICNT0 が 64 バイト未満の場合、TR15 はハングアップします

詳細

UDMA は常にトランザクションのバースト サイズの送信を試みます。実際の ICNT0 が最小バースト サイズ 64 より小さい場合、UDMA は、到達しないデータを待ち、ハングアップします。TR で EOL が設定されている場合、UDMA は転送が可能なサイズに関係なく、常に最後のデータのデータを送信します。

回避方法

これは、TR で EOL を 1 に設定することで回避できます

i2235**イネーブルレジスタで CBASS ヌル エラー 割り込みがマスクされません****詳細**

CBASS には、ヌル エラー報告 MMR と割り込みソースを追加するオプションの機能があります。この機能が存在し、割り込みがイネーブルのとき、これら 2 つの出力ポート: "err_intr_intr" (レベル割り込みソース) と "err_intr_pls_intr" (パルス割り込みソース) がヌル領域へのアクセスが発生するとアサートされます。割り込みのイネーブルは、ERR_INTR_ENABLE_SET レジスタ (アドレス オフセット 0x58) にあります。

問題は、CBASS がこのイネーブルビットを無視し、その結果、ヌル アクセスによって常に割り込みのソース / イベントが生成されることです。

回避方法

プロセッサ イベントのデフォルトのディスエーブル ステータスのため、このバグによるスプリアス イベントはありません。システム レベルでは、関連する GIC/VIM 割り込みコントローラでイネーブルになっていない場合、プロセッサはイベントを受信しません。

割り込みが有効化され、割り込みが発生するときは、cbass レベルで次のレジスタに書き込んでクリアします。

err_intr_enabled_stat レジスタに 0x1 を書き込み、err_eoi レジスタに 0x1 を書き込みます。

i2238

PCIe :2-L SerDes PCIe リファレンス クロック出力は、5.0GT/s データ レートの RMS ジッタ制限を超える場合があります

詳細

2-L SerDes PCIe リファレンス クロックを出力モードで動作させる場合、クロックの RMS ジッタは、5.0GT/s データ レートの PCIe 仕様の制限を超える場合があります。

回避方法

オプション 1:

リファレンス クロック出力を (受信 Refclk モードではなく) 派生 Refclk モードに構成し、PLL 構成レジスタを次のようにプログラムします。

内部 SSC モードでは、PLL 構成の変更は必要ありません。

SSC なしモードの場合、PLL 構成を変更するには、次のレジスタを書き込む必要があります。

- `cmn_pll1c_bwcal_mode0_preg = 0x8706` に設定します
- `cmn_pll1c_lf_coeff_mode0_preg = 0x2005` に設定します

オプション 2:

PCIe インターフェイスを 5.0GT/s データ レートで動作させないでください

オプション 3:

外部クロック ソースを使用して、PCIe 基準クロックをリンクのルート コンプレックス デバイスとエンドポイント デバイスの両方に供給します。

社内向けの注意:

refclk 出力を測定するときは、SerDes を A2 状態に構成して、TX/RX をパワーダウンする必要があります。これは、外部 Refclk ジェネレータに適用されるテスト方法と一致しています。

i2239
PCIe: データレートの変更中は、2-L SerDes PCIe 基準クロック出力が一時的に無効化します」を追加
詳細

以下のいずれかが発生した場合、2-L SerDes の PCIe リファレンス クロック出力は一時的に無効化されます。

- シナリオ A: データレートを 8.0GT/s へ、または 8.0GT/s から変更する場合。これは速度変更中に SerDes 共通 PLL が再プログラムされるためです
- シナリオ B: SerDes の第 2 レーンがリセット / パワーダウン状態にあるか、または第 1 レーンと組み合わせて 2 レーンリンクを形成している間に、任意の速度との間でデータレートを変更する場合。
 - 影響を受ける構成の例には以下が含まれます。
 - 第 2 レーンがリセット / パワーダウン状態にある PCIe 1L
 - PCIe 2L
 - 影響を受けない構成には以下が含まれます。
 - PCIe+USB (USB がリセット / パワーダウン状態でない場合)
 - PCIe + イーサネット (SGMII/QSGMII/XFI, リセット / パワーダウン状態にない場合)

PCIe 基準クロックを使用している一部の外部 PCIe コンポーネントでは、データレートを変更するときにクロックを無効化できない場合があります。しかし、このデバイス ファミリの 2-L および 4-L SerDes は、この基準クロック動作を受け入れる際に問題は発生しません。つまり、1 つのデバイスの 2-L または 4-L SerDes を別のデバイスの 2-L または 4-L SerDes に接続するリンクでは、1 つのデバイスが基準クロックを生成し、もう 1 つのデバイスが基準クロックを受信しても、問題は発生しません。

回避方法

シナリオ A とシナリオ B の両方に対する 1 つの回避方法は、外部クロックソースを使用して、リンクのルートコンプレックス デバイスとエンド ポイント デバイスの両方に PCIe 基準クロックを供給することです。

シナリオ A は、以下のいずれかの方法によっても回避できます。

1. すべての PCIe データレート (2.5GT/s、5.0GT/s、8.0GT/s) に対して CMNPLLLC が使用されるシングルリンク PCIe 構成を使用します。データレートを 8.0GT/s へ、または 8.0GT/s から変更する際に CMNPLLLC の再プログラムを防ぐため、PHY_PLL_CFG[0] も 1'b0 に設定する必要があります。
2. PCIe インターフェイスを 8.0GT/s データレートで動作させないでください

シナリオ B は、以下のいずれかの方法によっても回避できます。

- 1) 第 1 レーンが速度変更を行っているときに、2-L Serdes の第 2 レーンがリセットから解除され、2 レーンリンクの一部ではなく、低消費電力状態にないことを確実にします。これを達成する 1 つの方法は、未使用のレーンにダミーの SerDes 構成を設定することです。

PCIe 1L 構成用のダミー レーンを設定するには:

第 2 レーンを USB または Q/SGMII として設定します。これは、CTRL_MMR0 空間内の CTRLMMR_SERDES*_LN1_CTRL レジスタにある LANE_FUNC_SEL フィールドを設定することで実行できます。

また、選択したプロトコルに基づいて、第 2 レーンの SERDES 設定を実行する必要があります。

第 2 レーンの USB または Q/SGMII はダミー構成であり、機能することは想定されていないことに注意してください。

LANECTL1 レジスタ内の P1_FORCE_ENABLE を 1'b1 に設定して、第 2 レーンを強制的に有効にします。P1_ENABLE ビットは 1'b0 に保持する必要があります。

i2239 (続き)

PCIe: データレートの変更中は、2-L SerDes PCIe 基準クロック出力が一時的に無効化します」を追加

第 2 レーンに USB を選択した場合、それはダミー構成であり、USB は機能しないことに注意してください。これは、レーンの強制有効化が USB と互換性がないためです。

アプリケーションが指定の Q/SGMII インスタンスを使用していない場合、Q/SGMII をダミー構成として選択することもできます。ただし、Q/SGMII の場合、これはダミー構成である必要はなく、アプリケーションで必要な場合は機能させられます。

PCIe 2L 構成用のダミー レーンを設定するには:

refclk_p/refclk_n SERDES ピンにリファレンス クロックを供給するための、第 2 の SERDES を設定します。例えば、SERDES0 が PCIe 2L に使用されている場合、SERDES1/SERDES2/SERDES3 を第 2 の SERDES として使用できます。

CTRLMMR_SERDES*_LN*_CTRL レジスタを使用して、第 2 の SERDES の両方のレーンで使用する USB、Q/SGMII、または PCIe (回避対象とは異なるインスタンス) を選択します。USB が選択されたプロトコルである場合、このレジスタで第 2 レーンを「未使用」としてマークする必要がありますが、SERDES の両方のレーンを USB 用に構成する必要があります。

また、選択したプロトコルに従って SERDES をプログラムします。この第 2 の SERDES はダミー構成として動作しており、機能することは想定されていないことに注意してください。その結果、アプリケーションによって使用されていない SERDES およびコントローラ インスタンスを選択する必要があります。

LANECTL0 レジスタ内の P0_FORCE_ENABLE を 1'b1 に設定し、LANECTL1 レジスタ内の P1_FORCE_ENABLE を 1'b1 に設定して、SERDES の両方のレーンを強制的に有効にします。P0_ENABLE および P1_ENABLE ビットは 1'b0 に保持する必要があります。

最初の SERDES の REFCLKP および REFCLKN ピンは未接続のままにします。代わりに、第 2 の SERDES の REFCLKP および REFCLKN ピンを使用して、リンク パートナにリファレンス クロックを供給します。

1 番目と 2 番目の SERDES の両方に同じ SOC 内部リファレンス クロックを供給します。これは、ピンに供給されるリファレンス クロックが位相整列され、最初の SERDES 上のシリアルピンに対してジッタ制限内にあることを確実にするために重要です。

2) PCIe インターフェイスは 2.5GT/s のデータレートでのみ動作させます

i2244**DDR:書き込み DQ VREF トレーニングには、有効な停止値を定義する必要があります****詳細**

DDR PHY は、書き込み DQ VREF トレーニングのために、開始、停止、ステップサイズ値を使用します。停止値が開始値 + ステップサイズの倍数と等しくない場合、最終的な VREF 設定が最大 VREF 範囲を超えて、トレーニングがハングアップする可能性があります。

回避方法

停止値を次のようにプログラムします。

$PI_WDQLVL_VREF_INITIAL_STOP = (PI_WDQLVL_VREF_INITIAL_STEP_SIZE \text{ の倍数}) + PI_WDQLVL_VREF_INITIAL_START$

i2245**DMSC:ファイアウォールリージョンには特定の設定が必要****詳細**

DMSC 内の ECC アグリゲータ (DMSC0_ECC_AGGR) には、この領域を保護するために使用されるエンドポイントファイアウォールがあります。デフォルトでは、このファイアウォールは DMSC 内の M3 コアを除くすべてのトランザクションをブロックします。

回避方法

別のプロセッサまたはエンドポイントが DMSC0_ECC_AGGR 領域にアクセスする必要がある場合、ソフトウェアは、DMSC0_ECC_AGGR 領域に関連付けられた

CBASS_FW_REGION_i_START_ADDRESS および END_ADDRESS レジスタを使用して、開始アドレス 0x0 と終了アドレス 0xFFFF_FFFF を構成する必要があります。これは、この領域で使用できる唯一のアドレス構成です。

i2246**PCIe:未使用の SERDES レーンが PCIe コントローラに割り当てられていない場合、自動コンプライアンス エントリは失敗します****詳細**

PCIe は、パッシブ負荷に接続されているとコンプライアンス状態に移行できません。これは、未使用の SERDES レーンが PCIe コントローラに割り当てられていない場合に発生します。たとえば、PCIe が 1 レーン モードに構成されている場合、SERDES のレーン 0 のみが PCIe コントローラに割り当てられ、レーン 1、2、3 が PCIe コントローラに割り当てられていない場合、コンプライアンス エントリは失敗します。

レーンが PCIe に割り当てられていない場合、SERDES から PCIe コントローラに送られるステータス信号はタイオフになります。電気的アイドルを示す信号が、非アイドルを示す状態に誤ってタイオフされます。そのため、コントローラが未使用のレーンを電気的アイドル状態 (レーンがパッシブ負荷に接続されていないことを示します) ではないと認識することで、コンプライアンス エントリが防止されます。

この問題は、パッシブ負荷に接続されている場合の自動コンプライアンス エントリ メカニズムのみ影響することに注意してください (たとえば、受信ラインに終端が存在するが、送信ラインが電気的アイドル状態から外れないスコープなど)。この問題は、PCIe 仕様で定義されている Enter Compliance または Compliance Receive メカニズムには影響しません。

回避方法

唯一使用可能な回避方法は、コンプライアンス検証中にすべての SERDES レーンを PCIe に割り当てることのみです。

i2249

OSPI:DDR タイミングが動作不能の内部 PHY ループバックおよび内部パッド ループバック クロック モード

詳細

OSPI 内部 PHY ループバック モードと内部パッドループバック モードは、「立ち上げエッジをキャプチャ エッジとして」(同じエッジ キャプチャまたは 0 サイクル タイミング)を使用します。

プログラマブル受信遅延ライン (Rx PDL) は、往復遅延 (Tx クロックからフラッシュ デバイス、フラッシュ クロックから出力、フラッシュ データからコントローラ)を補償するために使用されます。

内部ループバック モードと IO ループバック モードの場合、Rx PDL の合計遅延は往復遅延を補償するのに十分ではないため、これらのモードは使用できません。

次の表に、OSPI コントローラで推奨されるクロック トポロジを示します。ここで説明されていない他のモードはすべて、DDR モードのアドバイザーの影響を受け、クロック トポロジは推奨されません。

表 3-6. OSPI クロッキング トポロジ

クロック モードの用語	CONFIG_REG.PHY_MODE_ENABLE	READ_DATA_CAPTURE.BYPASS	READ_DATA_CAPTURE.DQS_EN	ボードの実装
ループバックなし、PHY なし	0 (PHY ディスエーブル)	1 (適応ループバック クロックを無効化)	X	なし。内部クロックに依存。最大周波数 50MHz。
PHY による外部ボード ループバック	1 (PHY イネーブル)	0 (適応ループバック クロックを有効化)	0 (DQS ディスエーブル)	外部ボード ループバック (OSPI_LOOPBACK_CLK_SEL = 0)
PHY を搭載した DQS	1 (PHY イネーブル)	x (DQS イネーブルが優先)	1 (DQS イネーブル)	メモリ ストロープは SOC DQS ピンに接続

回避方法

なし。説明の表に基づいて、影響を受けないクロック モードのいずれかを使用してください

i2253

PRG:CTRL_MMR_STAT レジスタは、POK スレッシュホールド障害の信頼性が低いインジケータです

詳細

CTRL_MMR PRG STAT レジスタの POK 過電圧および低電圧フラグは、POK が障害を認識したかどうかを示す信頼性が低いインジケータです。その結果、デバイス テクニカル リファレンス マニュアル (TRM) では、これらのビットが「予約済み」とマークされています。

回避方法

フィルタ処理された POK 出力は ESM フラグを更新します。

POK の初期化 (イネーブル) 時に、ESM フラグをクリアする必要があります (バンドギャップ中または POK のセトリング タイム中に実行される比較のため)。この最初のクリアの後、ESM フラグは、POK からの信頼できる障害 (または障害なし) インジケータとして使用できます。

i2257

ブート:xSPI ブート モード冗長イメージブート障害

詳細

オフセット 0x0 のイメージが破損した場合、xSPI ブートは 0x400000 の冗長イメージ オフセットからブートできません。ROM 内の xSPI ブート障害 API は、xSPI のヘッダ チェックを正しく処理しません。

i2257 (続き)	ブート:xSPI ブート モード冗長イメージブート障害
回避方法	<p>xSPI 1S モード動作の場合、バックアップ ブートモードとして SPI を有効にします。この回避方法は、xSPI SFDP および 8D モードには適用されないことに注意してください。SFDP および 8D モードでは、回避方法はありませぬ。</p>
i2271	C7x SE:SEBRK 中に発生するページ障害 / UMC エラーで SE がハングする可能性があります
詳細	<p>SE は、アクティブ タグの uTLB (ページ フォルト) または UMC (2 ビット エラー、アドレス指定エラー、権限エラーなど) からエラー応答を受信すると、SE のフェッチ FSM の実行を停止します。SEBRK を処理する最後のステップは、同じ FSM の実行を再開することです。</p> <p>これらの両方のイベントが特定のタイミングで発生した場合、SE はフェッチ中の FSM の実行を適切に再開せず、SE はハングアップします。その結果、C7x CPU は次の SE リファレンスでハングアップします。</p>
回避方法	<p>ハングアップした後の解決方法は、C7x コアパックをリセットすることだけです。</p>
i2274	DDR:BSCAN に DDR を含めると、DDR 電源で電流アラームが発生します
詳細	<p>BSCAN により、DDR が含まれているときに電流アラームトリップが発生します。BSCAN を使用しているお客様に対し、バウンダリ スキャン中にスキャン チェーン内の DDR を排除するように、この問題を警告する必要があります。これは、DDR インターフェイスがピン接続されているデバイス パッケージにのみ影響します。</p>
回避方法	<p>バウンダリ スキャンを実行するときは、スキャン チェーンから DDR を除外します。DDR インターフェイスがピンアウトされていない場合、このエラーは適用されませぬ。</p>
i2275	DMSC セキュア ブート ROM:X.509 証明書の明示的な EC 曲線パラメータを使用した場合の潜在的なセキュア ブートの脆弱性
詳細	<p>ブート ROM は、EC Root-of-Trust キーの使用をサポートしています。ただし、ROM 実装では、X.509 証明書で指定されている明示的な曲線パラメータを使用して ROM メモリを節約していました。</p> <ul style="list-style-type: none"> 問題は、曲線パラメータが明示的に定義されている場合、明示的に定義された EC パラメータが既知の公開キーを複製 (正当な秘密キーではあるが異なる秘密キーを使用) できることです。 NIAP (米コモン クライテリア スキーム) は最近、多数の保護プロファイルを横断する ECDSA X.509 証明書の使用に関する一連の技術的決定 (TD) を発表しました。 RFC 5480 のセクション 2.1.1 によれば、明示的に定義された EC パラメータの使用は X.509 証明書では許可されていませぬ。 <p>名前付き曲線拡張を使用すると、公開キーと曲線タイプがバインドされ、これが防がれます。</p> <p>参考文献:</p> <ol style="list-style-type: none"> 概要 https://lightshipsec.com/explicitly-parameterized-ecdsa-x-509-certificates/

i2275 (続き)

DMSC セキュア ブート ROM :X.509 証明書の明示的な EC 曲線パラメータを使用した場合の潜在的なセキュアブートの脆弱性

2. Microsoft 脆弱性 <https://msrc.microsoft.com/update-guide/vulnerability/CVE-2020-0601>
3. セクション 2.1.1 では PKI の明示的な曲線パラメータは非推奨 <https://tools.ietf.org/html/rfc5480>

回避方法

影響を受けるデバイス バリエーションおよびリビジョンには、RSA ルートキーを使用します。明示的な形式が必要な EC 秘密ルート キーは使用しないでください。

i2277

POK: デグリッチ (フィルタ) は、2 つのサンプルのみに基づくものです

詳細

POK は約 1.25 μ s の周期でサンプリングされます。「近接」のサンプル履歴はサーキュラー バッファに保存されます。デグリッチ (フィルタ) は、(ESM への) 出力を生成するために、サンプル履歴の最後の n 個のエントリに対して AND 処理を行う設計です。

デグリッチ フィルタは、最後のエントリ (0 番目) と 4 つ前のサンプル (3 番目) のみをチェックします。フィルタは、ESM への FAIL 出力を生成するために、これら 2 つの結果 (4 つではありません) に AND 処理を行います。

固定スレッシュホールド (UV または OV だがピンポンに設定されていない) を監視するように POK が設定されている場合、チェックされていないサンプルが使用されることに注意してください。

J7ES を例として使用します: POK の次のサンプルでは、以前に無視された 2 番目のサンプルが 3 番目に増分されるため、FAIL 出力の生成に含まれます。

POK がピンポン方式で制御されると、スキップされたサンプルは破棄されます。

回避方法

回避方法はありません。

ただし、デグリッチ (フィルタリング) の意図は、ディスクリット電圧の低下や立ち上がりが FAIL をトリガしないようにすることです。時間的に大幅に分離された 2 点のサンプリングは、電圧の低下 / 上昇が単一の孤立イベントではなかったことを意味します。

フィルタは、ESM への FAIL 信号を生成する前に、N 個すべてのサンプルが失敗する必要があるため、N 個ではなく 2 つのポイントを含めることで、この回路の感度が向上します。

i2278

MCAN: 同じメッセージ ID で構成された専用 Tx バッファからのメッセージ送信順序が保証されません

詳細

このエラッタは、複数の Tx バッファが同じメッセージ ID (TXBC.NDTB > 1) で構成されている場合に制限されます。

次の状況では、メッセージは順序が正しくない状態で送信されることがあります。

- 同じメッセージ ID で構成された複数の Tx バッファ
- これらの Tx バッファに対する Tx 要求が、それぞれの間に遅延が発生して順次送信される場合

回避方法

回避方法 1:

i2278 (続き)
MCAN: 同じメッセージ ID で構成された専用 Tx バッファからのメッセージ送信順序が保証されません

メッセージ RAM に同じメッセージ ID を持つ Tx メッセージを書き込んだ後、TXBAR への 1 回の書き込みアクセスにより、これらすべてのメッセージの同時送信を要求します。同時要求を実行する前に、これらのメッセージに保留中の Tx 要求がないことを確認してください。

回避方法 2:

特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します (Tx FIFO を使用するには、ビット MCAN_TXBC[30] TFQM = 0 を設定)。

i2279
MCAN: 同じメッセージ ID で構成された専用 Tx バッファと Tx キューの仕様の更新
詳細

同じメッセージ ID で構成された複数の専用 Tx バッファからのメッセージ送信に関する M_CAN ユーザー マニュアルのセクション 3.5.2「専用送信バッファ」とセクション 3.5.4「送信キュー」の説明がエラッタで更新されています。

回避方法
回避方法 1:

メッセージ RAM に同じメッセージ ID を持つ Tx メッセージを書き込んだ後、TXBAR への 1 回の書き込みアクセスにより、これらすべてのメッセージの同時送信を要求します。同時要求を実行する前に、これらのメッセージに保留中の Tx 要求がないことを確認してください。

回避方法 2:

特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します (Tx FIFO を使用するには、ビット MCAN_TXBC[30] TFQM = 0 を設定)。

i2283
CP Tracer デバッグ プロブの使用法に関する制限
詳細

一部の CP Tracer バス プロブは、完全な SoC 物理アドレスを受信せず、監視対象のエンドポイントに関連する最小限のセットだけを受信します。これにより、CCS の SoC 分析 > トラフィックプロファイリング機能でのプロブの有用性が制限されます。

- 1) アドレスのフィルタリング / マッチング: ユーザーは通常、アドレス認定のバス プロブ ジョブに対して、36b / 40b (デバイスによって異なる) のアドレス全体を入力します。
- 2) トランザクショントレースのデコード: ユーザーは、デコードされたストリームで提供されたアドレスが、トランザクションの完全な 36b / 40b 物理アドレスであると予想します。

影響を受けるプロブ:

J7ES

回避方法

なし

i2305

ICSSG: アクティブな FDB ルックアップ中の PRU RAM WRT による書き込みデータの破損

詳細

PRU フィルタ データ ベース (FDB) RAM への書き込みにより、FDB RAM が破損する可能性があります。

回避方法

- 1.ポートをダウン状態にすることによって、新しいパケットの受信中に PRU FDB への書き込みが発生しないようにします
または
- 2.PRU FDB RAM への書き込みは安全領域の間でのみ実行可能です。すなわち、フレーム開始 (SOF0/SOF1) を確認し、転送速度 (100MHz または 1GHz) に応じて安全領域を計算します

i2306

ROM コード: SERDES の内部終端抵抗をオフにする必要があります

詳細

このデバイスの SERDES 実装では、内部終端抵抗がデフォルトでイネーブルになっています。PCIe ブート中、ROM コードではこれらの終端抵抗がディスエーブルされないため、PCIe 基準クロックの電圧スイングが低減され、PCIe 基準クロックで定義されている最小制限を下回る可能性があります。これにより、PCIe ブートが失敗する可能性があります。

回避方法

なし

i2307

ブート: ROM が BOOTMODE に基づいて OSPI クロック モードを適切に選択しません

詳細

ROM ブートローダーは、ユーザーが内部または外部のクロッキング方法を選択できるようにするための、BOOTMODE ピンで選択された lclk フィールド値に関係なく、SPI/QSPI/OSPI/xSPI ブートの内部ループバック モードを選択します (BOOTMODE ピンのマッピングについては、デバイス固有の TRM を参照)。その結果、お客様の設計のボードトポロジのフレキシビリティが低下します。外部ボード ループバック モードを使用する場合、外部ループバック クロックが使用されていないため、ROM ブートのタイミング問題が発生する可能性があります。

回避方法

OSPI をブート ソースとして使用することを計画する場合、OSPI 設計のトポロジでは「外部ボードループバック」を使用してはなりません。他のすべてのクロックトポロジ (内部ループバックまたは DQS を含む) を使用できます。OSPI を使用するサポートされているクロックトポロジについては、デバイス固有のデータシートの「アプリケーション、実装、レイアウト」セクションを参照してください。

i2310

USART: 「タイムアウト割り込みの誤ったクリア / トリガ」を追加

詳細:

RHR/MSR/LSR レジスタが読み出されたときに、USART が誤ってクリアしたり、タイムアウト割り込みをトリガしたりすることがあります。

回避方法:

CPU の使用事例の場合。

- タイムアウト割り込みが誤ってクリアされた場合:
 - FIFO 内の保留データがタイムアウト割り込みを再トリガするため、これは有効です

i2310 (続き)
USART:「タイムアウト割り込みの誤ったクリア/トリガ」を追加

- タイムアウト割り込みが誤って設定され、FIFO が空である場合は、次の SW 回避方法を使用して割り込みをクリアします。
 - TIMEOUTH および TIMEOUTL レジスタでタイムアウト カウンタの High 値を設定します
 - EFR2 ビット 6 を 1 に設定して、タイムアウト モードを周期的に変更します
 - IIR レジスタを読み出して、割り込みをクリアします
 - タイムアウト モードを元のモードに戻すには、EFR2 ビット 6 を 0 に戻します

DMA の使用事例の場合。

- タイムアウト割り込みが誤ってクリアされた場合：
 - 次の周期的なイベントでタイムアウト割り込みが再トリガされるため、これは有効です
 - ユーザーは、EFR2 のビット 6 を 1 に設定して、RX タイムアウト動作を周期的モードにする必要があります
- タイムアウト割り込みが誤って設定されている場合：
 - これにより、DMA は SW ドライバによって破棄されます
 - 次の受信データが有効であるため、SW で DMA が再度設定されます

i2311
USART スプリアス DMA 割り込み
詳細:

スプリアス DMA 割り込みは、DMA を使用して TLR レジスタの 2 の非冪乗 (Non power of two) のトリガ レベルで TX/RX FIFO にアクセスする場合に発生することがあります。

回避方法:

TX/RX FIFO のトリガ レベル (1、2、4、8、16、32) に 2 の冪乗の値を使用します。

i2312
MMCSDBS200 および SDR104 コマンド タイムアウト ウィンドウが小さすぎます
詳細:

高速 HS200 および SDR104 モードでは、MMC モジュールの機能クロックは最大 192MHz に達します。この周波数では、MMCSDBSCTL[19:16] DTO = 0xE を使用した MMC ホストコントローラからの最大取得可能タイムアウトは、 $(1/192\text{MHz}) \times 2^{27} = 700\text{ms}$ です。700ms を超えるコマンドは、この小さなウィンドウ フレームによって影響される場合があります。

回避方法:

このコマンドで 700ms より長いタイムアウトが必要な場合は、MMC ホストコントローラのコマンドのタイムアウトを無効化し (MMCSDBS_CON[6] MIT=0x1)、その代わりにソフトウェア実装を使用できます。詳細な手順は次の通りです (Linux の場合)。

1. MMC ホストコントローラのプロブ機 (omap_hsmmc.c:omap_hsmmc_probe()) 中、ホストコントローラが必要なすべてのタイムアウトをサポートできないことをプロセッサに通知します。
2. 基盤となる MMC ホストコントローラが必要なタイムアウトをサポートできない場合、コアが自動的にタイムアウトするように、MMC コア ソフトウェア層の機能を変更します。

i2320

UDMA および UDMAP : 記述子と TR は、フラグメント化せずに返す必要があります

詳細

UDMA および UDMAP では、ディスクリプタと TR を、ディスクリプタをフラグメンテーションなしで返すメモリ サブシステムに配置する必要があります。ただし、フラグメンテーション ブリッジを含むメモリがあるため、ディスクリプタと TR を保持することができません。

このデバイスの場合、R5 TCM メモリには、UDMA または UDMAP のディスクリプタまたは TR を保持できません

回避方法

なし

i2329

MDIO : MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)

詳細:

CPSW および PRU-ICSS ペリフェラルが存在する場合、そのすべてのインスタンスの MDIO インターフェイスは、MDIO 読み取り時に破壊した読み取りデータを返す (たとえば、古いデータまたは以前のデータを返す) 可能性や、MDIO 書き込み時に誤ったデータを送信する可能性があります。また、次のペリフェラルリセットが (LPSC リセットによるか、CPSW の場合にリセットの分離が無効化されたグローバル デバイスリセットによって) 行われるまで、MDIO インターフェイスが使用できなくなることもあります。

この問題について考えられるシステムレベルの徴候として、(1) イーサネット PHY の誤ったリンク停止ステータス (2) イーサネット PHY を MDIO 上で正しく構成できないこと (3) 誤った PHY 検出 (例: 誤ったアドレス) (4) PHY を MDIO 上で構成しようとしたときの読み取りまたは書き込みタイムアウトが考えられます。

ブート モード (サポートされている場合は CPSW のみ) の場合、プライマリ イーサネット ブートが正常に実行されることを保証する回避方法はありませぬ。プライマリ ブート時にこの例外が発生した場合、ブートは再試行を開始することもできますが、成功するとは限りませぬ。再試行が失敗した場合、最終的にタイムアウトとなり、バックアップ ブート モード (選択されている場合) に遷移します。バックアップ ブート モードが選択されていない場合、このような障害によりタイムアウトが発生し、チップ ウォッチドッグでデバイスが強制的にリセットされます。その後、ブート プロセス全体が再起動されます。

バックアップ ブート オプション (サポートされている場合) を選択するには、適切なプル抵抗をブート モード ピンに実装します。特定のデバイス オプションについてはブートのマニュアルを参照してください。ただし、イーサネット経由でのプライマリ ブート試行の標準的なタイムアウトは 60 秒です。

回避方法:

影響を受けるデバイスでは、次の回避方法を使用する必要があります。

MDIO 手動モード: PRU-ICSS と CPSW に適用可能。

MDIO プロトコルは、MDIO ペリフェラルの MDIO_MANUAL_IF_REG レジスタ内の該当ビットを読み書きして、MDIO クロック ピンとデータ ピンを直接操作することによってエミュレートできます。手動モード レジスタ ビットとその機能の詳細については、TRM を参照してください。

この場合、デバイス ピンのマルチプレクシングを設定し、CPSW または PRU-ICSS ペリフェラルによって IO を制御できるようにする必要があります (通常の意図した動作の場合と同じ)、MDIO_CONTROL_REG の MDIO_CONTROL_REG の ENABLE ビットを 0 にして MDIO ステート マシンを無効化し、MDIO_POLL_REG.MANUALMODE ビットを 1 に設定して手動モードを有効化する必要があります。

ソフトウェアの回避方法の実装については、TI にお問い合わせください。

i2329 (続き)**MDIO:MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)****注**

イーサネット DLR (デバイスレベルリング) (CPSW または PRU-ICSS 上) または EtherCAT プロトコル (PRU-ICSS 上) を使用する場合、リンク ステータス チェックに必要なポーリング間隔に起因するランタイム回避方法 1 を実装するために、CPU または PRU のロードに大きな影響が生じる可能性があります。結果として生じるシステムへの影響を考慮する必要があります。

PRU-ICSS の場合、MDIO の MLINK 機能を使用して MIIx_RXLINK の PRU-ICSS への入力ピンを介してリンク ステータスを自動ポーリングすることによって、ソフトウェア回避方法の負荷を軽減できます。PRU-ICSS は、リンクがアクティブの間にトグルしない外部 PHY からのステータス出力に接続する必要があります。外部 PHY デバイスで規定されている動作に応じて、この PHY ステータス出力は、LED_LINK または LED_SPEED、または LED_LINK と LED SPEED の論理和です。MDIO の MLINK 機能の使用の詳細については、TRM の MDIO のセクションを参照してください。この機能は、CPSW ペリフェラルでは利用できません。

PRU-ICSS での EtherCAT 実装では、ソフトウェアの回避方法は RTUx/TX_PRUx コアで実行されます。コアは回避方法専用にする必要があります。つまり、これを他の目的に使用することはできません。この実装は、MDIO アクセスのために 2 つのユーザー アクセス チャンネルをサポートします。これによって、R5f コアおよび PRU コアが独立したアクセスチャンネルを持つオプションが可能になります。API は、RTOS Workaround 実装で使用するものと同様です。

EtherCAT は、MDIO MLINK を介した PHY 高速リンク検出を引き続き使用し、リンクステータスのステート マシンをバイパスします (このパスはエラーの影響を受けないため)。これにより、ケーブルの冗長性に関連するレイテンシ要件を引き続き満たすことができます。

i2329 (続き)

MDIO:MDIO インターフェイスの破壊 (CPSW および PRU-ICSS)

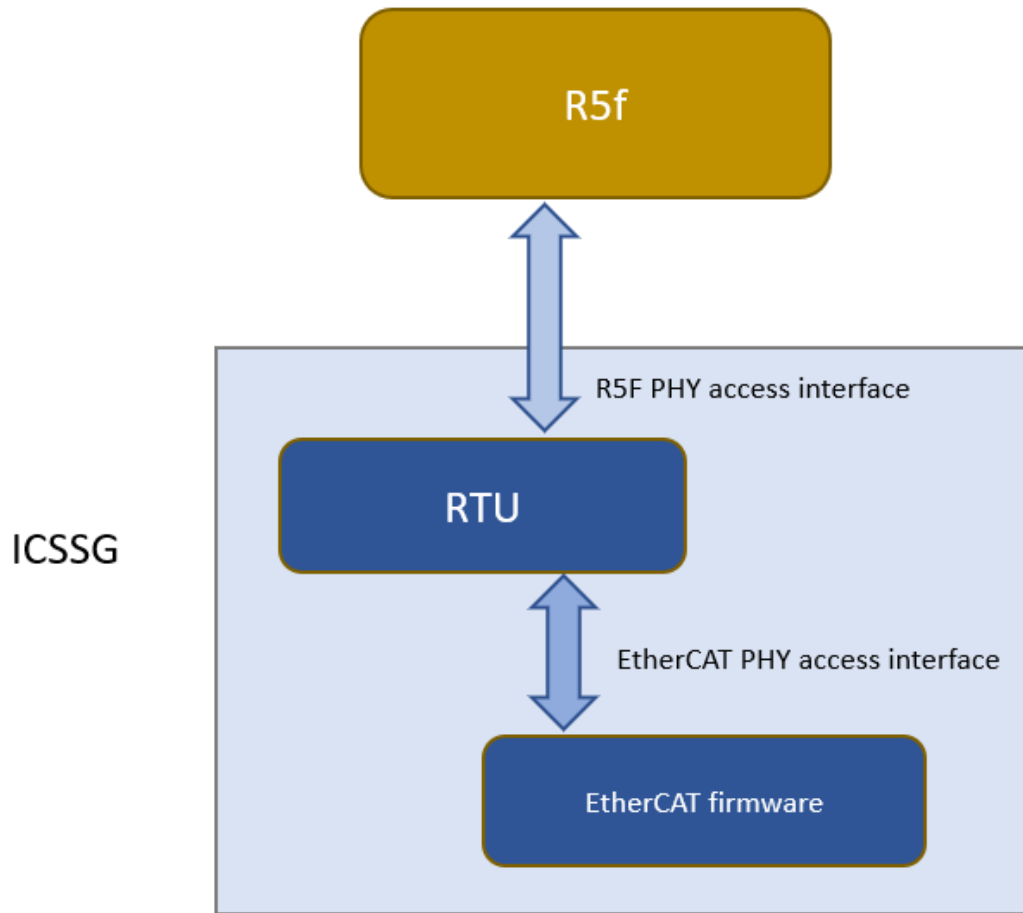


図 3-6. PRU コアを使用する手動モードによる MDIO エミュレーション

i2351

OSPI:ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません

詳細:

OSPI コントローラは、OSPI コントローラへの内部 DMA バス要求の間に、フラッシュメモリへの CSn 信号を (設計意図によって) デアサートできるため、OSPI ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません。

この問題が発生するのは、一部の OSPI/QSPI NAND フラッシュメモリで提供される「連続読み取り」モードでは、バーストランザクション全体にわたってチップ セレクト入力のアサートされたままにならなければならないためです。

SoC 内部 DMA コントローラと他のイニシエータは 1023B 以下のランザクションに制限されており、アービトレーション / キューイングは、さまざまな DMA コントローラの内部、または任意の DMA コントローラと OSPI パリフェラルの間の相互接続の両方で実行できます。その結果、OSPI コントローラへのバス要求が遅延し、外部 CSn 信号がデアサートされます。

NOR フラッシュメモリは CSn デアサートの影響を受けません。連続読み取りモードは想定通りに動作します。

i2351 (続き)	OSPI:ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません
回避方法:	ソフトウェアは、ページ / バッファ付き読み取りモードを使用して NAND フラッシュにアクセスできます。
i2362	10-100M SGMII:Marvell PHY はプリアンブル バイトを無視しないため、リンク障害が発生しません
詳細:	10/100 モードでは、パケット間のクロック数が奇数である場合、CPSW SGMII モジュールは最大 5 バイトの 0x50 プリアンブル データを出力します。すべてのバイトを 0x55 にする必要があります。1000Mbps モードでは問題が発生しませんが、SFD の前のプリアンブルには 7 つの 0x55 があります。100Mbps モードでは、SFD の前に 70 バイトのプリアンブルがあります (データは 1000Mbps モードから 10 回複製されるため)。問題が発生すると、70 のうち最初の 5 バイトが 0x50 になります。プリアンブルの劣化を許可し、最初のバイト数の実際のデータを考慮に入れない PHY でのみテストされていたため、この問題はこれまで検出されていませんでした。しかし、最近、プリアンブル データを調べ、0x50 のプリアンブル データに基づいてパケットの保持/破棄の決定を行う Marvel PHY (88Q1111 または類似製品) でこの問題が検出されました。
回避方法:	回避方法のオプションは次の通りです。 1.問題のない 1000M モードを使用します。 または 2.TI の PHY (DP83869 または類似製品) または他の PHY を使用します。PHY では、10/100/1000M モードでプリアンブル データの読み取り/無視が可能です。
i2366	ブート:ROM は 8D-8D-8D 動作の特定の JEDEC SFDP 機能を認識しません
詳細:	『JEDEC 仕様 JESD216 - シリアル フラッシュ検出可能パラメータ (SFDP) 』には、特定のシリアル フラッシュ デバイスで使用されるパラメータ表の詳細、およびデバイスの通信 / 構成方法が説明されています。ROM は、デバイスの機能 (1S-1S-1S を 8D-8D-8D モードに変更する方法など) について SFDP の関連部分は認識しますが、以下を必要とするフラッシュ デバイスは適切に認識しません。 <ul style="list-style-type: none"> • 1S-1S-1S モードと比較した 8D-8D-8D モードでのバイト順序の入れ替え • 8D-8D-8D モードで最初に送信されたバイトとは異なるコマンドを必要とするコマンド拡張子 (オペコードの反転または別の一意のバイト)
回避方法:	JEDEC JESD216 に準拠している候補フラッシュ メモリの SFDP 表を確認します。ほとんどの場合、ベンダはこの表を公開しておらず、代わりにフラッシュ ベンダから要求できます。JEDEC 基本フラッシュ パラメータ テーブルの 18 番目の DWORD に、値が「1b」のビット 31 がある場合、メモリは工場からスワップされたバイト順序でプログラムされているか、または SoC でプログラムされているはずですが、ビット[30:29] の値が「00b」以外の場合、これは 8D-8D-8D モードのブートモードでは動作しません。そのため、そのフラッシュ デバイスで 8D-8D-8D ブート モードを使用しないでください。

i2371**ブート:ROM コードは、UART ブートモードでデータ転送中にハングする可能性があります****詳細:**

アドバイザリ i2310 により、UART ブート中に ROM コードの実行がハングする可能性があります。i2310 に搭載されているソフトウェア回避方法は ROM には実装されていないため、予期しない状態で誤ったタイムアウト割り込みがトリガされる可能性があります。これにより、ROM がこの割り込みをクリアできなくなり、その結果ハングする可能性があります。

これは、UART ブート モードが使用されるときや、UART をブート インターフェイスとして使用して、UniFlash や OTP Keywriter による eFuse のプログラミングなどの量産フローを実現する場合に発生する可能性があります。

回避方法:

なし。別のブート インターフェイスを使用する必要があります。

i2383**OSPI:2 バイト アドレスは、PHY DDR モードではサポートされていません****詳細:**

PHY DDR モードで OSPI コントローラが 2 バイト アドレッシングに構成されていると、内部ステートマシンが送信されたアドレス バイト数を誤って (2 ではなく) 1 と比較します。これにより、ステートマシンがアドレス位相でロックアップし、PHY DDR モードが動作不能になります。

この問題は、タップ モードまたは PHY SDR モードを使用する場合は発生しません。PHY DDR モードで 4 バイト アドレッシングを使用する場合も、この問題は発生しません。

回避方法:

互換性のある OSPI メモリにプログラマブル アドレス バイト設定がある場合は、フラッシュの 2 ~ 4 に必要なアドレス バイト数を設定します。これには、アドレス バイトを変更するための特定のコマンドの送信やフラッシュ上の構成レジスタへの書き込みが含まれる場合があります。完了したら、コントローラ設定で送信されたアドレス バイト数を 2 から 4 に更新します。

2 バイト アドレッシングのみをサポートし、再プログラムできない互換 OSPI メモリについては、PHY DDR モードはそのメモリと互換性がありません。代替モード:

- PHY SDR モード
- TAP (非 PHY) DDR モード
- TAP (非 PHY) SDR モード

i2399**C7x:CPU NLC モジュールは、割り込み時に状態をクリアしません****詳細:**

データ破損は、次の場合に発生します。

1. タスクの切り替えを含むアプリケーションを実行した場合。この場合、NLC を使用するタスクは少なくとも 2 つあります。
2. タスク A に割り込みが発生すると、その後に TICK が発生する NLCINIT が発行されます。この動作により、NLC モジュール内に何らかの内部状態が設定され、計算された転送ケースがフラッシュされるため、次の TICK で ILCNT_INIT 値を ILCNT に再ロードする必要があることが示されます。割り込みが発生しても、この状態は正しくクリアされません。
3. ISR は、NLC コードも実行されているタスク B へのタスク切り替えを実行します。返される NLC コードは進行中であり、元のタスクの NLC ループとは異なる ILCNT_INIT 値を持つ必要があります。
4. ISR から復帰した後、次の TICK では、破損した状態が原因で、ILCNT を間違った値 (ILCNT_INIT-2) に設定し始めます。

この時点で ILCNT が破損し、NLC ループが誤った反復回数を実行するため、データが破損する可能性があります。

回避方法:

コンテキストの保存の一環として ISR で NLCINIT (パラメータは関係なく、後から TICK's/BNL も必要ありません) を発行します。回避方法による性能への影響はありません。

i2401**CPSW:ホストのタイムスタンプにより、CPSW ポートがロックされます****詳細:**

CPSW は、パケット入力タイムスタンプ情報をホストに通信するための 2 つのメカニズムを提供します。

1 つ目のメカニズムは、特定のイベントによってトリガされたときにタイムスタンプを記録する CPTS イベント FIFO を経由します。そのようなイベントの 1 つは、指定された EtherType フィールドを持つイーサネット パケットの受信です。最も一般的に、これは PTP パケットの入力タイムスタンプをキャプチャするために使用されます。このメカニズムでは、ホストは DMA 経由で配信され

i2401 (続き)

CPSW:ホストのタイムスタンプにより、CPSW ポートがロックされます

るパケット ペイロードとは別に、(CPTS FIFO から) タイムスタンプを読み取る必要があります。このモードはサポートされており、このエラッタの影響を受けません。

2 つ目のメカニズムは、PTP パケットだけでなく、すべてのパケットの受信タイムスタンプを有効化することです。このメカニズムでは、タイムスタンプは DMA を介してパケット ペイロードと一緒に配信されます。この 2 番目のメカニズムは、このエラッタの主題です。

CPTS ホストタイムスタンプがイネーブルの場合、内部 CPSW ポート FIFO へのすべてのパケットには、CPTS からのタイムスタンプが必要です。EMI やその他の破損メカニズムによってパケットプリアンブルが破損した場合、タイムスタンプ要求が CPTS に送信されない可能性があります。この場合、CPTS は CPSW ポート FIFO でロックアップ状態を引き起こすタイムスタンプを生成しません。CPTS_CONTROL レジスタの `tstamp_en` ビットをクリアして CPTS ホストのタイムスタンプを無効化すると、ロックアップ状態が発生しなくなります。

回避方法:

イーサネットからホストへのタイムスタンプを無効化する必要があります。

CPTS ホストのタイムスタンプの代わりに、イベント FIFO のタイムスタンプを使用できます。

i2409

USB:短時間のサスペンドが原因でUSB2 PHY がロックアップします

詳細:

USB コントローラがサスペンドに移行してから 3 マイクロ秒以内に発生する USB ウェークアップイベントに応答して、USB 2.0 PHY がハングアップする場合があります。この PHY ハングは、ウォームリセットがデイスエーブルであるため、パワー サイクルを介してのみ回復できます。

回避方法:

注:この回避方法は、USB がプライマリ ブート モードではない場合にのみ適用されます。USB がプライマリ ブート モードの場合は、回避方法はありません。

この問題が発生しないようにするには、USB コントローラの初期化プロセス中に特定の順序の動作を観察する必要があります。

1. LPSC を介して USB コントローラをリセットします。
2. SUSP_CTRL の USB コントローラ `suspend_residency_enable` フィールドを「1」に設定します。
3. 通常の USB コントローラの初期化を続行します

i2414

ブート:イーサネットPHY のスキャンおよび起動フローは、オート ネゴシエーション機能をサポートしていないPHY では動作しません

詳細:

ROM イーサネット (RGMII と RMII のどちらか) のブート モードは、リンク ステータスをチェックする前に完了するまでの PHY 自動ネゴシエーションに依存しています。このため、自動ネゴシエーションをサポートしていない PHY は、このブート モードでは動作できません。

回避方法:

どちらでも、自動ネゴシエーションをサポートする PHY は必要ありません。

i2418 **ブート: 証明書情報が存在しないため、セキュア ROM パニックが発生します****詳細:**

通常のブートフロー (フル コンバインド イメージ フローを除く) では、証明書情報 (拡張情報またはレガシ情報) が存在しない場合、セキュア ROM は無限ループに入ります。この条件は、証明書情報が存在しない SOC に証明書が与えられた場合に観察されます。以下のその他の条件で、セキュア ROM がパニックになります (無限ループでスタックします)。

1. 証明書情報がない
2. アドレス変換の失敗
3. ハッシュ計算の失敗

回避方法:

証明書情報が存在することを確認します (拡張情報またはレガシ情報)。

i2422 **ブート: MMCSD ファイル システム ブート時の ROM タイムアウトが長すぎます****詳細:**

空または消去された (または工場出荷時の) eMMC デバイスから SD/MMC のブート (ファイルシステム モード) を試行した場合、ROM のバグが原因で、バックアップ ブート モードに切り替える通常のブート タイムアウトは発生しません。ウォッチドッグ タイマのリセットが作動するまで、ブートが無限ループに陥るためです。

回避方法:

eMMC フラッシュをプログラムするには、別のプライマリ ブート モードから起動する必要があります。

i2424 **PLL: PLL プログラミング シーケンスにより、PLL が不安定になる場合があります****詳細:**

PLL プログラミング シーケンスが変更され、PLL キャリブレーションを使用する場合、PLL キャリブレーションをイネーブルにする前にすべてのキャリブレーション フィールドが確実に構成されるようになりました。キャリブレーション ロジックの制御に対する変更に加えて、PLL が有効化されている間に PLL パラメータが変更されないように、他の変更も実装されています。

整数モードの場合、ソフトウェアはキャリブレーション対応 PLL の PLL キャリブレーション機能を有効化します。以前のソフトウェアは、CAL_LOCK のアサート後にキャリブレーション モードを調整しました。これらの書き込みにより、一部のデバイスでは PLL ロックが失われることが確認されています。また、影響を受けやすいデバイスでも、ロックの喪失は断続的に発生しますが、喪失が発生すると、依存する回路が誤った周波数で動作します。この誤った周波数は、アルゴリズムの実行速度の低下や通信障害として現れることがあります。

影響の制限: PLL がフラクショナル モードの場合、キャリブレーション ロジックは使用できません。したがって、フラクショナル モードを使用するようにプログラムされている PLL では、キャリブレーションのプログラミングに関連して障害が発生しないようにする必要があります。しかし、全 PLL シーケンスに変更があるため、新しいソフトウェアはすべてのユーザーに推奨されます。

回避方法:

SYSPFW で clk_pll_16fft_cal_option4() を使用しないでください。PLL 構成を変更するときは、SDK v10.0 以降で更新された PLL プログラミング シーケンスを使用してください。

i2435

ブート:eMMC ブートの ROM タイムアウトが長すぎる

詳細:

ROM のバグにより、空または消去された (または工場出荷時の状態) eMMC デバイスから eMMC ブート モード (eMMC ブート パーティションから起動するモード、eMMC 代替モードとも呼ばれる) で起動を試みると、バックアップ ブート モードに切り替わるまでの通常のブート タイムアウトが 10 秒になります。

回避方法:

このタイムアウトがシステム内で長すぎると判断される場合、別のブート モードからブートする必要があります。

i2449

RAT:R5FSS RAT MMR はパリティ保護されていません

詳細:

R5FSS RAT MMR に格納されている値は、格納中にパリティ保護されません。これは、パリティ保護が有効でも MMR のビット反転が検出されないことを意味するため、永続的または一時的なエラーからの保護はありません。イニシエータ パリティ チェック (パリティは読み取り時に MMR に格納された値から動的に計算されます) は、インターコネク上で発生したエラーだけを対象としています。保存されている MMR 値自体に存在する可能性のあるエラーはカバーされません。

回避方法:

ユーザーは、実行時に MMR 値のソフトウェア リードバックを実行する必要があります。

i2454

C7x:リセット強制は許可されていません

詳細:

C7x 用 PSC の force_mode 有効化 / 無効化機能を使用すると、ハングする可能性があります。

回避方法:

C7x には、PSC の force_mode 有効化 / 無効化機能を使用しないでください。

i2482

ブート:SD カードの初期化中、ROM から十分なクロックが供給されません

詳細:

SD カード物理層仕様バージョンで指定されているように、ROM コードは 74 クロックを供給していません。2.00.これにより、SD カードの起動に失敗する可能性があります。影響を受けるデバイスのこのエラッタに起因する障害は発生していません。

回避方法:

なし

商標

HyperBus™ is a trademark of Cypress Semiconductor Corporation.

Arm® is a registered trademark of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

すべての商標は、それぞれの所有者に帰属します。

改訂履歴

Changes from FEBRUARY 28, 2025 to JUNE 10, 2026 (from Revision F (February 2025) to Revision G (June 2026))

	Page
• モジュール一覧表のアドバイザー i2128 に関するシリコン リビジョン 2.0 の情報を更新.....	2
• i2330「DDRSS レジスタ構成ツールの更新」の使用上の注意を追加.....	10
• アドバイザリ i2101、GIC の回避方法を削除:ITS の誤動作.....	26
• アドバイザリ i2160 を更新、DDR:LPDDR4 コマンド バスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加.....	50
• アドバイザリ i2449; RAT:R5FSS RAT MMR はパリティ保護されていません.....	93
• アドバイザリ i2482「ブート:SD カードの初期化中、ROM から十分なクロックが供給されません.....	93

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月