参考資料

Errata

J784S4 AM69x TDA4VH TDA4AH TDA4VP TDA4AP J742S2 TDA4VPE TDA4APE プロセッサシリコン リビジョン 1.0

TEXAS INSTRUMENTS

概要

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。本文書には、使用上の注意事項も記載されています。使用上の注意は、デバイスの動作が推定または文書化された動作と一致しない可能性がある状況を示しています。これには、デバイスの性能や機能の正確さに影響を与える動作が含まれる場合があります。

目次

1 影響を受けるモジュール 2
2 命名規則、パッケージの記号表記、リビジョンの識別 4
3 シリコン リビジョン 1.0 の使用上の注意およびアドバイザリ 6
改訂履歴 40

1 影響を受けるモジュール

表 1-1 に、それぞれの使用上の注意によって影響を受けるモジュールを示します。

表 1-1. モジュール別の使用上の注意

モジュール	使用上の注意
DDR	i2330 — DDRSS レジスタ構成ツールの更新
PLL	i2424 — PLL:プログラミング シーケンスにより PLL が不安定になる場合があります
USB	i2134 — USB:2.0 コンプライアンス受信感度テストの制限

表 1-2 に、それぞれのアドバイザリの影響を受けるモジュールを示します。

表 1-2. モジュール別のアドバイザリ

モジュール	アドバイザリ
ブート	i2366 — ブート:ROM は 8D-8D-8D 動作の特定の JEDEC SFDP 機能を認識しません」を削除
	i2371 — ブート:ROM コードは、UART ブートモードでデータ転送中にハングする可能性があります
	i2372 — ブート:ROM は、シリアル NAND ブートで選択されたマルチプレーン アドレッシング方式をサポートしていません」の使用上の注意を削除
	i2413 - HS-FS ROM が破損した ROM ブート イメージを起動してしまうことがあります
	i2414 — イーサネット PHY のスキャンと起動フローは、オート ネゴシエーション機能をサポートしていない PHY では動作しません
	i2415 — xSPI プライマリ ブート モードでの UART バックアップ ブート認証失敗
	i2419 — デスキュー キャリブレーションを無効化すると、ROM はデスキュー キャリブレーションがイネーブルかどうかをチェックしません
	i2422 — MMCSD ファイルシステム ブート時の ROM タイムアウトが長すぎます
	i2435 — eMMC ブート時の ROM タイムアウトが長すぎます
	i2482 — ブート:SD カードの初期化中、ROM から十分なクロックが供給されません
BCDMA	i2431 — BCDMA:RX チャネルが特定のシナリオでロックアップする可能性があります
	i2436 — BCDMA:RX CHAN CFG レジスタの RX_IGNORE_LONG 設定が機能しません
C7x SE	i2063 - C7x SE:IBUF バッファの最後の行へのアライメントされていないアクセスでは、CPU 負荷とストアのための VCOP エイリアシングはサポートされていません。
	i2064 - C7x SE:L1D SRAM への DMA アクセスは、特定の条件でキャッシュ モード変更やグローバル ライトバックが存在する場合、無制限に機能停止することがあります。
	i2065 - C7x SE:ストリーミング エンジンの読み取り、MSMC や DDR からのキャッシュ ミス、L1D の影響、その他の短い期間で特定の条件により発生した L1D スヌープが存在する場合、C7x メモリ システムと CPU は無制限に機能停止することがあります。
	i2079 - C7x SE:L1D SRAM への DMA アクセスは、特定の条件下で CPU トラフィックが存在する場合に無制限に機能停止することがあります。
	i2087 — C7x MMA HWA_STATUS は、アプリケーションが起動する前にエラーを報告します
	i2120 — C71x:LEZR を使用して転置されたストリームで、SE が非パリティ エラー検出でハングアップします
	i2219 - C7x SE:SE が uTLB 障害に対して不正な rstatus を返します
	i2271 - C7x SE:SEBRK 中に発生するページ障害 / UMC エラーで SE がハングする可能性があります
	i2272 - C7x SE:FILLVAL を有効にした SEBRK 後に SE が最初のストリーム終端参照を破壊します
	i2399 — CPU NLC モジュールは、割り込み時に状態をクリアしません
CPSW	i2401 — ホストのタイムスタンプにより、CPSW ポートがロック アップします
CSI	i2190 — 不完全なフレームの後に、CSI_RX_IF が不明な状態になる可能性があります
DDR	i2157 — DDR:低消費電力状態のウェークアップ時間設定でのコントローラ異常
	i2159 — DDR:LPDDR4 CBT 中は VRCG 大電流モードを使用する必要があります
	i2160 — DDR:LPDDR4 コマンド バスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加
	i2166 — DDR:ディープ スリープ低消費電力状態の開始と終了により、PHY 内部クロックのずれが発生する可能性があります

表 1-2. モジュール別のアドバイザリ (続き)

モジュール	アドバイザリ
	i2232 — DDR：周波数変化の後、コントローラが許可されたリフレッシュ数を超えて延期します
	i2244 — DDR：書き込み DQ VREF トレーニングには、有効な停止値を定義する必要があります
DRU	i2215 — DRU：非原子性の TR 送信メカニズムを使用すると、C7x 書き込みが異常となり、TR 送信を破壊する可能性があります
DSS	i2097 — DSS：オーバーレイに接続されている層を無効化すると、次のフレームで Syncrost が発生することがあります
ECC AGGR	i2049 — ECC AGGR：保留中の ECC アグリゲータ割り込みのため、IP クロック ストップ / リセット シーケンスがハングアップする可能性があります
I3C	i2197 — I3C：スレーブ モードはサポートされていません
	i2205 — I3C：保留中の IBI 中にフェッチされたコマンドが、場合によっては適切に処理されないことがあります
	i2216 — I3C：スレーブ起点の IBI アドレス バイト受信中、コマンド実行が失敗することがあります
IA	i2196 — IA：IA でデッドロック シナリオが発生する可能性があります
MCAN	i2278 — MCAN：同じメッセージ ID で構成された専用 Tx バッファからのメッセージ送信順序が保証されません」を追加
	i2279 — MCAN：同じメッセージ ID で構成された専用 Tx バッファと Tx キューの仕様の更新
MMCSD	i2312 — MMCSD：HS200 および SDR104 コマンド タイムアウト ウィンドウが小さすぎます」を追加
MSMC	i2378 — MSMC：キャッシュ / スヌープ フィルタ方式選択 MMR のリセット値が不正です
	i2381 — MSMC：FFI リセットにより、ターゲット ポートで、マップされた SRAM として L3 データ キャッシュにバックドア アクセスできます
OSPI	i2189 — OSPI：コントローラ PHY のチューニング アルゴリズムを追加
	i2249 — OSPI：DDR タイミングが動作不能の内部 PHY ループバックおよび内部パッド ループバック クロック モード」を追加
	i2351 — OSPI：コントローラは、NAND フラッシュを使用した連続読み取りモードをサポートしていません」の使用上の注意を更新
	i2383 — OSPI：2 バイト アドレスは、PHY DDR モードではサポートされていません
PCIe	i2242 — PCIe：データレートの変更中は、4-L SerDes PCIe 基準クロック出力が一時的に無効化します」を追加
	i2326 — PCIe：SSC を有効化するために必要となるフラクショナル モードで動作する MAIN_PLLx は、PCIe Refclk ジッタ制限に準拠していません」の回避方法を更新
PRG	i2253 — PRG：CTRL_MMR STAT レジスタは、POK スレッショルド障害の信頼性が低いインジケータです」を追加
PSIL	i2137 — クロック停止動作により、未定義の動作が発生する可能性があります
R5FSS	i2161 — R5FSS：デバッガは VIM モジュールがアクティブな間はアクセスできません
RAT	i2062 — RAT：エラー ログ ディスエーブルが設定されている場合でも、エラー割り込みが発生します」を追加
	i2449 — RAT：R5FSS RAT MMR はパリティ保護されていません
RINGACC	i2177 - RINGACC：リング アクセラレータのデバッグ トランザクションのトレース ストリームは、特定のリング アクセス シーケンスによって破損する可能性があります
安全	i2103 — 安全モジュール：機能安全エラーの ECC_GRP、ECC_BIT、ECC_TYPE 情報が誤って報告されます
SE	i2437 — クロック ゲーティングのオフ切り替えが早すぎます
SGMII	i2362 — 10-100M SGMII：Marvell PHY はプリアンブル バイトを無視しないため、リンク障害が発生します」を追加
UDMA	i2146 — UDMA：リアルタイム TX/RX レジスタで、ティアダウン ビットフィールドの読み戻しが強制的にマスクされます
	i2234 — UDMA：ICNT0 が 64 バイト未満の場合、TR15 はハングアップします
	i2320 - UDMA、UDMAP：記述子と TR は、フラグメント化せずに返す必要があります
UDMAP	i2163 — UDMAP：「イベント トリガ」モードで使用すると、UDMA は ICNT や src /dst アドレスを 64B に揃えずに転送します。
UFS	i2102 — UFS：自動ハイバネートが誤った起動 / 終了エラーを引き起こす可能性がある
	i2134 — USB：2.0 コンプライアンス受信感度テストの制限
USART	i2310 — USART：「タイムアウト割り込みの誤ったクリア / トリガ」を追加
	i2311 — USART：スプリアス DMA 割り込み
USB	i2409 — 短時間の中断により USB2 PHY がロック アップします

2 命名規則、パッケージの記号表記、リビジョンの識別

2.1 デバイスおよび開発ツールの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります:X、P、空白 (接頭辞なし) (たとえば、TDA4VH88T5AALYRQ1

)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイス/ツール(TMDS)まであります。

デバイスの開発進展フロー:

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

J784S4 デバイスの完全なデバイス名を読み取る方法の詳細については、特定のデバイス データシート (SPRSP79) を参照してください。

2.2 サポート対象デバイス

本文書は、以下のデバイスをサポートしています。

- J784S4、TDA4AP、TDA4VP、TDA4AH、TDA4VH、AM69x
- J742S2、TDA4APE、TDA4VPE、

2.3 パッケージの記号表記およびリビジョンの識別

図 2-1 に、パッケージの記号表記の例を示します。

表 2-1 に、デバイス リビジョン コードを一覧します。

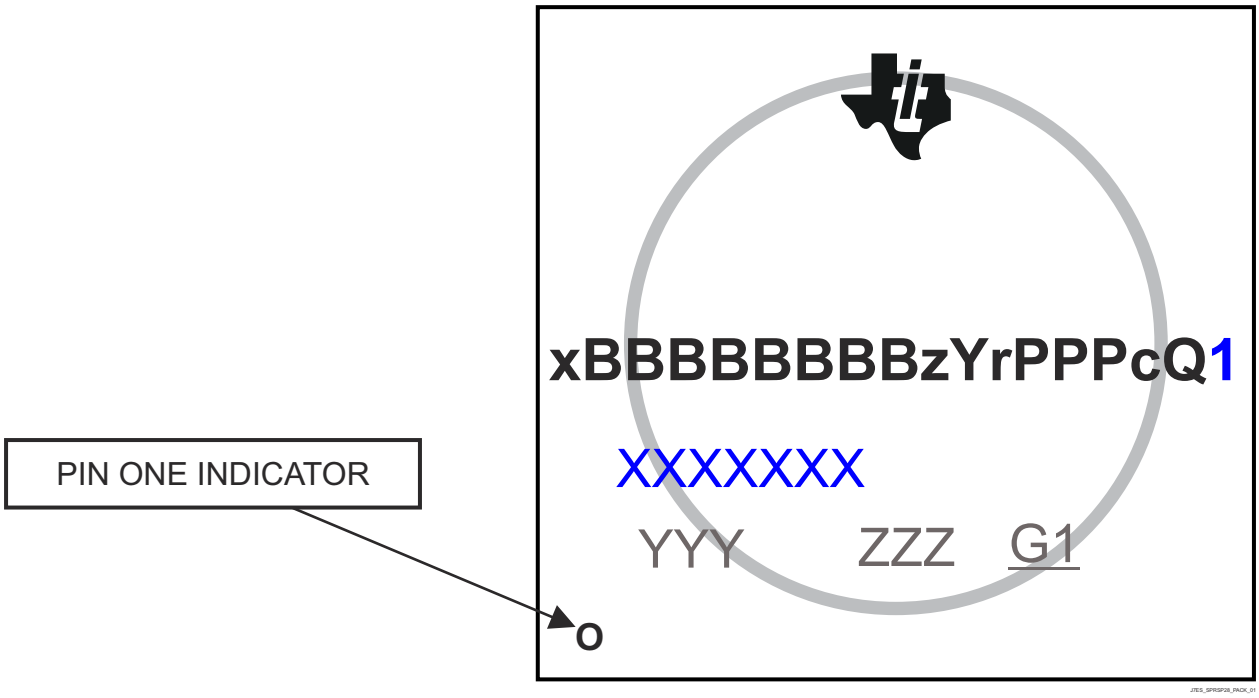

図 2-1. パッケージの記号表記

表 2-1. リビジョンの識別

デバイス リビジョン コード	シリコンのリビジョン	コメント
A または 空白	1.0	

3 シリコン リビジョン 1.0 の使用上の注意およびアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

3.1 シリコン リビジョン 1.0 の使用上の注記

i2134 ***USB:2.0 コンプライアンス受信感度テストの制限***

詳細:

USB-IF USB 2.0 電気コンプライアンス テスト仕様で定義されている受信感度テスト (EL_16 および EL_17) を実行すると、Advisory i2091 で説明されている問題が発生する場合があります。

この問題は元々、パケットの送信中に USB 信号の振幅を増加させる自動化ソフトウェアを使用してこれらのテストを実行しているときに発見されました。ソフトウェアは、振幅を 100mV 未満の値から 150mV 以上の値までスイープし、テスト対象デバイス (DUT) NAK で 100mV 未満のパケット、150mV を超えるパケットがないことを検証しています。しかし、有効なパケットを送信している間にスケルチ スレッショルドの両端で振幅を増やすと、Advisory i2091 に説明されているように、PHY がロックされる場合があります。

回避方法:

以下のハードウェア回避方法の両方を有効にします。

USB*_PHY2 領域に存在する UTMI_REG28 レジスタで、cdr_eb_wr_reset ビット (ビット 7) を 1'b1 に設定します。

USB*_MMR_MMRVBP_USBSS_CMN 領域に存在する PHYRST_CFG レジスタで、phyrst_a_enable ビット (ビット 0) を 1'b1 に設定します。PHYRST_CFG レジスタの phyrst_a_value (ビット 12:8) はデフォルト値 0xE に保持する必要があることに注意してください。

3.2 シリコン リビジョン 1.0 のアドバイザリ

i2049 ***ECC_AGGR:保留中の ECC アグリゲータ割り込みのため、IP クロック ストップ / リセット シーケンスがハングアップする可能性があります」の詳細を更新***

詳細:

ECC アグリゲータ モジュールは、安全エラーの発生 (発生は稀) を集約し、ソフトウェアへの通知用の割り込みを生成するために使用されます。ECC アグリゲータにより、安全エラー割り込みのイネーブル / ディスエーブルおよびクリアをソフトウェア制御できます。

ソフトウェアが IP 上でクロック ストップ / リセット シーケンスを実行している場合、IP に関連付けられている ECC アグリゲータ インスタンスがアイドル ステータスでないため、シーケンスが完了しない可能性があります。ECC アグリゲータのアイドル ステータスは、イネーブルまたはディスエーブルのいずれかの保留中の安全エラー割り込みに依存します。これらは、ソフトウェアでクリアされていないものです。その結果、未処理の安全エラー割り込みが発生していても、IP のクロック ストップ / リセット シーケンスが完了しないこと (ハングアップ) があります。

影響を受ける ECC_AGGR は、テクニカル リファレンス マニュアル (TRM) に記載されているレジスタ オフセット 0h の REV レジスタ値で決定できます。REV レジスタは、そのフィールド内の ECC_AGGR バージョンを次のようにエンコードします。

v[REVMAJ].[REVMIN].[REVRTL]

v2.1.1 以前の ECC_AGGR バージョンが影響を受けます。ECC_AGGR バージョン 2.1.1 以降は影響を受けません。

影響が発生する例:

i2049 (続き)

ECC_AGGR：保留中の ECC アグリゲータ割り込みのため、IP クロック ストップ / リセット シーケンスがハングアップする可能性があります」の詳細を更新

REVMAJ = 2

REVMIN = 1

REVRTL = 0

上記の値は ECC_AGGR バージョン v2.1.0 にデコードされますが、これは影響を受けます。

影響が発生しない例：

REVMAJ = 2

REVMIN = 1

REVRTL = 1

上記の値は ECC_AGGR バージョン v2.1.1 をデコードしますが、これは影響を受けません。

回避方法：

一般的な注意事項：

ECC アグリゲータのクロック停止は、機能安全使用事例ではサポートされていません。

ソフトウェアは、機能安全以外の使用事例において、次の回避方法を使用する必要があります。

1. IP のすべての ECC アグリゲータ割り込みを無効化します
2. 保留中の割り込みをすべて処理してクリアします
3. ステップ 3：
   a. ECC アグリゲータへのすべての割り込みソースを無効化してから、クロック ストップ / リセット シーケンスを実行します。
   b. クロック ストップ / リセット シーケンスを実行しながら、保留中の割り込みの処理 / クリアを続けます。

ソフトウェアでは、割り込みが外部刺激であるため、ステップ 3 で次の 2 つのオプションを利用できます。

1. クロック ストップ / リセット シーケンスを実行する前に、保留中の ECC_AGGR 割り込みを生成できるすべての割り込みソース (EDC CTRL チェッカー) を無効化します
2. クロック ストップ / リセット シーケンスの実行中に発生する保留中の割り込みの処理/クリアを続行します。すべての割り込みがクリアされると、シーケンスが続行されます。

一般に、ソフトウェアは、このシーケンス全体の間に連続的に起動する保留中の割り込みを検出し (縮退故障シナリオなど)、関連する EDC CTRL 安全チェッカーを無効化して、クロック ストップ / リセット シーケンスを完了に向かって進行できるようにする必要があります。

i2062

RAT：エラー ログ ディスエーブルが設定されている場合でも、エラー割り込みが発生します

詳細：

RAT エラー ログがログを無効化して割り込みを有効化するようにプログラムされている場合、エラーによって割り込みが誤ってトリガされますが、エラー ログ レジスタは正しく更新されません。エラー割り込みは生成されてはなりません。

回避方法：

RAT エラー ログがディスエーブルの場合、エラー割り込みもソフトウェアで無効化する必要があります。

i2063

C71x:IBUF バッファの最後の行に整列されていないアクセスで、CPU のロードとストアのための VCOP エイリアシングはサポートされていません

詳細:

C71x メモリ システムは、ストリーミング エンジンを介して実行される DMA やアクセスに加えて、CPU のロードとストア用に EVE 型 VCOP エイリアシングをサポートしています。このエイリアシングが有効になっている場合、IBUF バッファの最後のライン (128 バイト) に整列されていないロードとストアの構成によっては、エイリアスされないことがあります。

表 3-1 に実際の動作を示します。

表 3-1. CPU エイリアシングの動作

CPU エイリアシング ON					
	IBUFLA	IBUFHA	IBUFLB	IBUFHB	L1D 動作
所有	CPU	CPU	DMA	DMA	問題なし
	DMA	DMA	CPU	CPU	問題なし
	DMA	CPU	CPU	DMA	(1) を参照
	CPU	DMA	CPU	DMA	(2) を参照

(1) IBUFLA の最後の行に整列されていないアクセスでは、IBUHA にラインが流出し、両方のラインがエイリアシングされます。
(2) IBUFLA の最後の行に整列されていないアクセスでは、IBUHA にラインが流出し、両方のラインがエイリアシングされません。

回避方法:

IBUF バッファは、4 つのバッファすべての最後のライン (128 バイト) が使用されないように、サイズを設定する必要があります。

i2064

C71x:特定の条件下においてキャッシュ モードの変更またはグローバル ライトバックが存在する場合、L1D SRAM への DMA アクセスが永続的にストールする可能性がある

詳細:

L1D SRAM への DMA 読み取りまたは書き込みが永続的にストールする可能性があります。この条件を顕在化させるには、以下のトランザクションが必要となります。

1. L1D キャッシュ モードの変更、またはグローバル ライトバック / 無効化を伴うライトバック。これらは、CPU レジスタへの ECR 書き込みにより開始されます。
2. キャッシュ モードの変更またはグローバル ライトバックの進行中に実行される CPU ロード。これは、ECR レジスタへの書き込みを行う MOVC 命令と並行してスケジュールされた CPU トランザクションに起因する可能性があります。
3. L1D SRAM 内のバッファに対する DMA 読み取りまたは書き込み。

これらのトランザクションは同じアドレスに対するものである必要はありませんが、#1 が進行しているときに #2 および #3 が実行中である必要があります。この場合、キャッシュ モードの変更またはグローバル ライトバックが終了した後であっても、DMA は永続的にストールします。

回避方法:

L1D SRAM にマッピングされたバッファへの DMA 実行を避けてください。

i2065

C71x:L1D スヌープが存在する場合、C71x メモリ システムおよび CPU が永続的にストールする可能性がある

詳細:

これらは、ごくわずかな時間枠内に発生する必要があるトランザクションおよび条件です。

トランザクション:

i2065 (続き)

C71x : L1D スヌープが存在する場合、C71x メモリ システムおよび CPU が永続的にストールする可能性がある

1. L2 キャッシュでミスし、ライン フィルのために MSMC への読み取りとして、MSMC または DDR に送出されるストリーミング エンジンの読み取り。
2. L2 キャッシュでミスするが、L1D にキャッシュされている可能性のある、MSMC または DDR へのストリーミング エンジンの読み取り。これらの読み取りは、L1D へのスヌープを生成します。
3. L1D でキャッシュ ミスし、L1D がキャッシュ ライン フィルのために L2 へ送信する CPU ロード (複数の読み取り)。
4. CPU のロードまたはストアにより、L1D が自身のキャッシュからラインをエビクトし、結果として L2 へのビクティムが発生。
5. L1D がスヌープ データを用いてスヌープに応答。
6. MSMC が、読み取り応答データを用いて L2 キャッシュ ミスに応答。
7. L1D からのスヌープ応答 (#5) および MSMC からの読み取り応答 (#6) が、ストリーミング エンジンにルーティングされている。

条件 / ストール:

1. L1D のビクティム (evict ライン) とスヌープ応答が L1D パイプライン全体および L1D、L2 内のバッファを満たしてしまい、結果として L1D が L2 へこれ以上のビクティムやスヌープ応答を送信できなくなる。
2. L2 は L1D からの読み取りミスを処理しているが、L1D パイプラインが満杯であるため、L1D へこれ以上の読み取り応答データを返送できない。

この状況では、メモリ システムがストリーミングエンジンの読み取りへのサービスを停止します。これにより、CPU が永続的にストールする原因となる可能性があります。

回避方法:

これを回避する方法は複数あります。いずれか 1 つのトランザクションを取り除くことで、このストールの発生を防ぐことができます。これらの回避方法のいずれでも使用可能です。これらは互いに独立しており、1 つの回避方法を適用するだけでもこの条件を回避できます。

回避方法 1: ストリーミング エンジンから読み取りを実行する前に、L1D キャッシュらバッファをフラッシュします。これにより L1D スヌープが排除されます。

回避方法 2: L1D とストリーミング エンジンの間でバッファを共有しないことにより、L1D スヌープを防ぎます。

回避方法 3: L1D ビクティムの発生を防ぐために、L1D ビクティム キャッシュをフラッシュします。

回避方法 4: ストリーミング エンジンの読み取りまたは CPU ロードのいずれかを、MSMC や DDR の代わりに L2 にマッピングし、これによりキャッシュ ミスを回避します。

i2079

C71x : 特定の条件下において CPU トラフィックが存在する場合、L1D SRAM への DMA アクセスが永続的にストールする可能性がある

詳細:

L1D SRAM への DMA 読み取りまたは書き込みが永続的にストールする可能性があります。この条件を顕在化させるには、以下のトランザクションが必要となります。

1. L1D キャッシュに事前に割り当てられているバッファ / ライン「A」。
2. バッファ / ライン「A」に対して L1D キャッシュ ミスとなる CPU 読み取り。
3. バッファ / ライン「A」に対するストリーミング エンジンの読み取り。
4. L1D SRAM 内のバッファに対する DMA 読み取りまたは書き込み。

i2079 (続き)

C71x：特定の条件下において CPU トラフィックが存在する場合、L1D SRAM への DMA アクセスが永続的にストールする可能性がある

トランザクション #1、#2、#3 は同じバッファ / ラインに対するものであるのに対し、#4 は異なるバッファ / ラインに対するものであることに注意してください。これにより、DMA が永続的にストールする原因となる条件に直面する可能性があります。

回避方法：

L1D SRAM にマッピングされたバッファへの DMA 実行を避けてください。

i2087

C71x：MMA HWA_STATUS は、アプリケーションが起動する前にエラーを報告します

詳細：

内部状態が初期化されていないため、C71x に接続されている Matrix Math Accelerator (MMA) は、電源投入後に HWA_STATUS レジスタの FirstErrorCode および LastErrorCode フィールドのエラーを報告することがあります。これらのフィールドはスティッキーであるため、以降の HWARCV 命令では C71x 例外がスローされる場合があります。

回避方法：

電源投入後、C71x で実行される短い命令シーケンスによって、通常の MMA 動作が最初に実行される前に内部 MMA 状態を初期化できます。必要なシーケンスの実行は 1 つだけです。

このシーケンスでは、有効な HWA_CONFIG および HWA_OFFSET 値が生成され、MMA にロードされてから、スティッキー エラー コードがクリアされます。

C71x アセンブリ コードのシーケンスは次のとおりです。

```
PROT
    MVK32 .M2 0x0,B0 ; clear low word of VB0
    VDUPW .C2 B0,VB0 ; duplicate word across VB0
    HWAOPEN .L2 VB0,VB0,0 ; clear HWA_CONFIG and HWA_OFFSET
    HWACLOSE .S1 0 ; clear any error conditions
```

i2097

DSS：オーバーレイに接続されている層を無効化すると、次のフレームで Syncrost が発生することがあります

詳細：

OVR に接続されている層 (例：VID1) を無効化する (DSS_VID_ATTRIBUTESx[0] ENABLE を 1 から 0 に切り替える) と、次のフレーム中に同期される場合があります。同期化すると、破損またはブランク フレームが発生する可能性があります (フレーム中に DSS から送信されるすべてのピクセル データは 0x0 です)。Syncrost の発生は、層の無効化に対して GO ビットを設定するタイミング (DSS_VP_CONTROL[5] GOBIT を 1 に設定する) に依存します。「層を無効化する」MMR 書き込み動作と「GO ビットを設定する」MMR 書き込み動作が同じフレーム境界内で行われた場合、synclost は発生しません。フレーム境界を越えて動作が行われる場合、(1 フレームの場合) 同期化が発生します。設計は自動的に回復し、GO ビットが設定されると次のフレームから通常の動作に戻ります。図 3-1 を参照してください。

i2097 (続き)

DSS:オーバーレイに接続されている層を無効化すると、次のフレームで Syncrost が発生することがあります

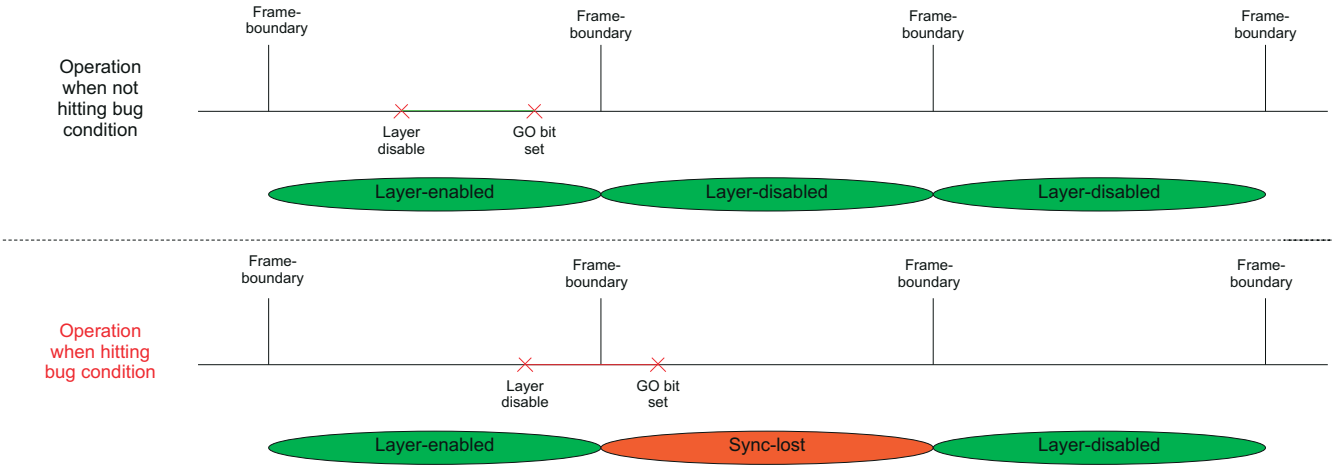

図 3-1. バグ状態

回避方法:

単純なソフトウェア回避方法が存在します。回避方法では、OVR で層を無効化する前に、その層は OVR の「非表示」領域に移動されます (例:DSS_OVR_ATTRIBUTES_x[17-6] POSX = max_value_of_posx または DSS_OVR_ATTRIBUTES_x[30-19] POSY = max_value_of_posy)。これにより、層がディスエーブルになっている場合に syncrost が回避されます。

図 3-2 に、ソフトウェア回避方法疑似コードの例を示します。この場合、通常の「層を無効化する」MMR 書き込み動作と「GO ビット セットを設定する」MMR 書き込み動作は、ソフトウェア回避方法を実装するマクロに置き換えられます。

```
macro disable_layer (overlay n , layer m)
set OVR[n].ATTRIBUTES2[m].POSX = posx_max;
set OVR[n].ATTRIBUTES2[m].POSY = posy_max;
global_ovr_layer_disable_tracker[n][m] = 1;
endmacro

macro set_go_bit (vp n)
if(|(global_ovr_layer_disable_tracker[n])//any bit set
{
   set VP[n].CONTROL.GOBIT  = 1;
   Wait for 10 DSS FUNC CLK cycles;
   for (i=0;i<NUM_LAYERS;i++)
   {
     if(global_ovr_layer_disable_tracker[n][i])
     {
        Clear OVR[n].ATTRIBUTES[i].ENABLE = 0;
        global_ovr_layer_disable_tracker[n][i] = 0;
     }
   }
}
set VP[n].CONTROL.GOBIT  = 1;
endmacro
```

- Replace layer disable MMR write operation with a macro which positions the layer to the non-visible area of the OVR
- Track which layers are disabled. This will be used while GO bit is set

- Replace GO bit set MMR write operation with this macro
- First, set GO Bit for the changes in “disable_layer” macro (and any other earlier changes) to take effect
- After the first GO bit set, few idle_cycles (10 DSS functional clock cycles) are necessary before we move to the second step

- In the second step, actually disable the layers based on the previously tracked information
- Set the GO bit for the second time for the disable of the layers to take effect

図 3-2. 回避方法擬似コード

i2102

UFS:自動ハイバネートが誤った起動 / 終了エラーを引き起こす可能性がある

詳細:

UFS モジュールは、自動ハイバネートの起動 / 終了プロセスが成功している間に、ハイバネートの起動 / 終了が失敗したと誤って報告する可能性があります。これらのエラーは、UFS_IS[6].UHES および UFS_IS[5].UHXS レジスタで報告されます。

i2102 (続き) ***UFS : 自動ハイバネートが誤った起動 / 終了エラーを引き起こす可能性がある***

回避方法:

ソフトウェアは、レジスタ フィールド UFS_AHIT[9:0].AH8ITV を介して自動ハイバネート アイドル時間値をゼロに設定することにより、自動ハイバネート機能を完全に無効にする必要があります。

i2103 ***安全モジュール : 機能安全エラーの ECC_GRP、ECC_BIT、ECC_TYPE 情報が誤って報告されます***

詳細:

機能安全エラーについて、特定の安全性チェッカでは、エラー ステータス レジスタに記録される ECC_GRP、ECC_BIT、ECC_TYPE の情報が不正確である可能性があります。これは、ECC_GRP = 0、15、31、47、63...(N*16-1) にマッピングされている安全チェッカにのみ適用されます。DDR ブリッジ / コントローラの場合、この問題は ECC_GRP = 0、31、63...(N*32-1) の安全チェッカにのみ適用されます。

この問題は、すべての安全モジュール インスタンスとそのサブバンクに影響します。デバイスのテクニカル リファレンス マニュアルの「安全モジュール」セクションを参照してください。

注 : これらの安全エラーの検出および割り込み信号は影響を受けません。エラー ステータス レジスタの前述のフィールドのロギングのみが影響を受けます。

回避方法:

なし。これらの特定の安全チェッカについて、ソフトウェアは、修正可能なエラーまたは修正不可能なエラーが発生したかどうか、およびどの安全モジュール インスタンスにエラーが発生したかを知ること (つまり IP モジュールを認識している) に限定され、どの安全チェッカがエラーに遭遇したかは知ることはできません。

i2120 ***C71x : LEZR を使用して転置されたストリームで、SE が非パリティ エラー検出でハングアップします***

詳細:

C71x ストリーミングエンジン (SE) パイプラインでは、フォーマットされたデータを返し、レポートの内部エラー情報を返すために、常にタグを監視して、作業中のデータのタグを監視します。データを CPU にフォーマットするために使用されるデータの行にエラーが検出されると、UMC、uTLB に 移動するコマンドをキューイングするためのフェッチ側の実行がすべて停止され、フォーマット パイプラインが CPU に戻されます。

一般的な動作では、エラーが監視されているタグは、現在のコマンドで使用されているタグだけです。転置モードの場合、これは現在の配列列によってタッチされるすべてのタグです。内部タグ監視の抑制にギャップがあると、フォーマット パイプラインは LEZR 機能のゼロ ベクトルを作成する際に現在作業していないタグを監視します。SE のフェッチ側で将来の列のエラーが発生して記録された場合、フォーマット側はそれを認識してその列のコマンドがフォーマットのためにコミットされる前にフェッチ側を停止することがあります。

エラーは、フォーマットのために内部的にコミットされたコマンドについてのみ CPU に報告されます。したがって、列をコミットする前に内部実行を停止しても、CPU にエラーは報告されません。SE はエラーを報告せずにフェッチ動作を停止するため、関連しない外部イベントまたは割り込みが発生するまで、CPU は SE からのデータまたはエラーを待機してハングアップします。

回避方法:

唯一の 100% 回避方法は、LEZR モードと転置モードの両方が有効な状態でストリーム テンプレートを使用しないことです。

i2134 ***USB :2.0 コンプライアンス受信感度テストの制限***

詳細:

USB-IF USB 2.0 電気コンプライアンス テスト仕様で定義されている受信感度テスト (EL_16 および EL_17) を実行すると、Advisory i2091 で説明されている問題が発生する場合があります。

この問題は元々、パケットの送信中に USB 信号の振幅を増加させる自動化ソフトウェアを使用してこれらのテストを実行しているときに発見されました。ソフトウェアは、振幅を 100mV 未満の値から 150mV 以上の値までスイープし、テスト対象デバイス (DUT) NAK で 100mV 未満のパケット、150mV を超えるパケットがないことを検証しています。しかし、有効なパケットを送信している間にスケルチ スレッショルドの両端で振幅を増やすと、Advisory i2091 に説明されているように、PHY がロックされる場合があります。

回避方法:

以下のハードウェア回避方法の両方を有効にします。

USB*_PHY2 領域に存在する UTMI_REG28 レジスタで、cdr_eb_wr_reset ビット (ビット 7) を 1'b1 に設定します。

USB*_MMR_MMRVBP_USBSS_CMN 領域に存在する PHYRST_CFG レジスタで、phyrst_a_enable ビット (ビット 0) を 1'b1 に設定します。PHYRST_CFG レジスタの phyrst_a_value (ビット 12:8) はデフォルト値 0xE に保持する必要があることに注意してください。

i2137 ***PSIL :クロック停止動作により、未定義の動作が発生する可能性があります」を追加***

詳細:

クロック停止インターフェイスは、モジュールへのメイン クロックを適切に停止するハンドシェイクを調整するために使用される要求 / ACK インターフェイスです。最初にチャネル ティアダウンを実行したり、グローバル イネーブル ビットをクリアしたりせずにモジュール上でクロック停止を試みると、モジュール固有の動作が未定義になる可能性があります。

影響を受けるモジュールは、PDMA、SA2UL、Ethernet SW、CSI、UDMAP、ICSS、および CAL です。

回避方法:

クロック停止動作を実行する前に、ソフトウェアはすべてのアクティブ チャネルを解除する必要があります (UDMAP の「リアルタイム」レジスタ、または PSIL ベースのモジュールの PSIL レジスタ 0x408 を介して)。これが完了したら、すべてのチャネルのグローバル イネーブル ビットもクリアします (UDMAP および PSIL ベースのモジュールの両方の PSIL レジスタ 0x2 を使用)。

i2146 ***UDMA :リアルタイム TX/RX レジスタで、ティアダウン ビットフィールドの読み戻しが強制的にマスクされます***

詳細:

強制ティアダウンが開始された後、強制ティアダウン ビット フィールドは、リアルタイム TX/RX レジスタの読み戻しで設定されたままになりません。

回避方法:

強制ティアダウン操作は、致命的なシステム状態に対処するためにソフトウェアが介入するためにのみ使用されます。そのため、通常のティアダウンと強制ティアダウンを開始するタイミングをソフトウェアは個別に追跡する必要があります。この情報を取得するための強制ティアダウン ビットフィールドの読み戻し値に依存しないようにします。

i2157 DDR：低消費電力状態のウェークアップ時間設定でのコントローラ異常

詳細：

DDR コントローラは、次のより深い電力状態のウェークアップ時間がディスエーブルまたはより小さい値に設定されている場合、現在の低消費電力状態のウェークアップ時間を誤って短縮することがあります。

回避方法：

DDRSS_CTL_139[29-24] LPI_WAKEUP_EN ビット フィールドのビットを設定して特定の低消費電力状態が有効化されている場合、より深い電力状態のビットもすべて有効化する必要があります。ビット 0 ～ 4 では、ビット数が増加するにつれて低消費電力状態はより深くなります。たとえば、ビット 0 がセットされている場合、1 から 4 までのすべてのビットもセットする必要があります。同様に、ビット 2 がセットされている場合は、ビット 3 とビット 4 もセットする必要があります。

さらに、以下のウェークアップ値を昇順にプログラムする必要があります。

1. LPI_WAKEUP_EN[0] に関連する LPI_CTRL_IDLE_WAKEUP_FN -> 値は以下のすべてのフィールドより小さい必要があります
2. LPI_WAKEUP_EN[1] に関連する LPI_PD_WAKEUP_FN -> 値は、以下のすべてのフィールドより小さい必要があります
3. LPI_WAKEUP_EN[2] に関連する LPI_SR_SHORT_WAKEUP_FN、LPI_SR_LONG_WAKEUP_FN、LPI_SRPD_SHORT_WAKEUP_FN、LPI_SRPD_LONG_WAKEUP_FN -> 値は、以下のすべてのフィールドより小さい必要があります
4. LPI_WAKEUP_EN[3] に関連する LPI_SR_LONG_MCCLK_GATE_WAKEUP_FN、LPI_SRPD_LONG_MCCLK_GATE_WAKEUP_FN -> 値は、以下のすべてのフィールドより小さい必要があります
5. LPI_WAKEUP_EN[4] に関連する LPI_TIMER_WAKEUP_FN -> 最大値、

ここで、FN = F0、F1、F2 は異なる周波数設定点用です。

i2159 DDR：LPDDR4 CBT 中は VRCG 大電流モードを使用する必要があります

詳細：

DDR PHY は、LPDDR4 コマンド バストレーニング (CBT) 時に、コマンド / アドレス バスの VREFca を更新します。LPDDR4 モード レジスタ 13 (MR13) のビット 3 は、LPDDR4 デバイスの内部の VRef 電流ジェネレータ (VRCG) モードを定義します。このビットが 0 に設定されている場合、VREFca のセトリング タイムは、後続の動作が正常に動作するには長すぎます。CBT が正常に動作するようにするには、CBT 中、MR13 のビット 3 を 1 (VRef 高速応答大電流モード) に設定する必要があります。

回避方法：

正常な動作を確保するためには、コマンド バストレーニング (CBT) および書き込み DQ Vref トレーニング中に VRef 高速応答大電流モードを有効化する必要があります。これは、次のフィールドを 1 に設定することで実行できます。

チップ セレクト 0：DDRSS_PI_259 レジスタの PI_MR13_DATA_0[3]

チップ セレクト 1：DDRSS_PI_261 レジスタの PI_MR13_DATA_1[3]

チップ セレクト 2：DDRSS_PI_263 レジスタの PI_MR13_DATA_2[3]

チップ セレクト 3：DDRSS_PI_265 レジスタの PI_MR13_DATA_3[3]

i2160 ***DDR:LPDDR4 コマンド バスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加***

詳細:

DDR PHY は、LPDDR4 コマンド バストレーニング (CBT) 時に、コマンド / アドレス バスの VREF (ca) を更新します。VREF (ca) 検索範囲が無効な値に設定されている場合 (CBT 中に作業設定が見つからないなど)、トレーニング プロセスが失敗したり、ハングアップしたりする可能性があります。

回避方法:

CBT を有効化する前に、次のフィールドを既知の有効な作業値に設定します。

周波数設定 0 の場合:PI_CALVL_VREF_INITIAL_START_POINT_F0、PI_CALVL_VREF_INITIAL_STOP_POINT_F0

周波数設定 1 の場合:PI_CALVL_VREF_INITIAL_START_POINT_F1、PI_CALVL_VREF_INITIAL_STOP_POINT_F1

周波数設定 2 の場合:PI_CALVL_VREF_INITIAL_START_POINT_F2、PI_CALVL_VREF_INITIAL_STOP_POINT_F2

公称 VRef 値 (プロセッサでの駆動強度のデバイス プログラミングおよびメモリの終端に基づく) ±4% を使用することを推奨します。http://dev.ti.com/sysconfig のオンライン DDR Register Configuration Tool を使用して、これらのレジスタをプログラムし、リビジョン履歴を確認して、この回避策が使用するツールのバージョンで対応されていることを確認してください。

i2161 ***R5FSS:デバッガは VIM モジュールがアクティブな間はアクセスできません***

詳細:

この問題は、R5FSS 内のベクタ割り込みモジュール (VIM) に影響します。VIM 内には、読み取られたときに IP の状態を変更するレジスタ (VIM_IRQVEC など) があります。期待される動作は、機能的な読み取りのみが状態変更を引き起こすことです。これらのレジスタに対するデバッグ読み取り (CCS などの TI デバッグ ツールによって生成) は、状態をそのままにする必要があります。現在、VIM がデバッグ レジスタの読み出しを機能レジスタ読み出しと同じように扱う問題があります。この場合、デバッグ動作 (CCS で VIM レジスタ メモリ ウィンドウを開くなど) によって VIM IP の状態が誤って変更され、デバッグが無効になる可能性があります。

回避方法:

この問題の回避方法はありません。ユーザーはデバッグ中に VIM レジスタへのアクセスを避ける必要があります。

i2163

UDMAP：「イベント トリガ」モードで使用すると、UDMA は ICNT や src /dst アドレスを 64B に揃えずに転送します。

詳細：

注

以下の説明では、C7x DSP コアの例を使用していますが、UDMA をプログラム可能な他のプロセッシング コアにも適用されます。

C6x/C7x での DSP アルゴリズム処理では、ソフトウェアは多くの場合、NavSS の UDMA または MSMC の DRU を使用します。多くの場合、C7x/MMA ディープ ラーニング動作のために DRU チャネルが多くのユースケースで予約済みになっているため、DRU の代わりに UDMA が使用されます。標準的な DSP アルゴリズム処理では、データはブロック単位で DSP の L2 メモリに送られ、DSP は (キャッシュを介して) DDR で動作するのではなく L2 メモリ内のデータで動作します。この動作の一般的な DMA セットアップおよびイベント トリガは以下のとおりです。次の例ではこれを「2D トリガと待機」と呼びます。

各「フレーム」について：

1. TR を設定します。通常は 3 次元または 4 次元 TR です。
   a. TYPE = 4D_BLOCK_MOVE_REPACKING_INDIRECTION に設定します
   b. EVENT_SIZE = ICNT2_DEC に設定します
   c. TRIGGER0 = GLOBAL0 に設定します
   d. TRIGGER0_TYPE = ICNT2_DEC に設定します
   e. TRIGGER1 = NONE に設定します
   f. ICNT0 x ICNT1 は、ブロック幅 x ブロック高さです
   g. ICNT2 = ブロック数
   h. ICNT3 = 1
   i. src addr = DDR
   j. dst addr = C6x L2 メモリ
2. この TR を送信します
   a. この TR は、GLOBAL TRIGGER0 での転送を開始し、ICNT0xICNT1 バイトを転送してから、イベントを発生させます
3. 各ブロックに対して次の操作を行います。
   a. GLOBAL TRIGGER0 を設定して DMA をトリガします
   b. ブロックが転送されたことを示すイベントを待ちます
   c. DSP 処理を実行します

このシーケンスは単純化されたシーケンスです。実際のアルゴリズムでは、DSP 処理と DMA が並列に動作するような、DDR から L2 または L2 DDR 転送をピンポン方式で実行する複数のチャネルが存在する可能性があります。イベント自体はチャネル OES レジスタで適切にプログラムされ、イベント ステータス チェックは UDMA 用 IA の Free ビットを使用して実行されます。

次の条件が発生した場合、ステップ 3.2 のイベントは最初のトリガで受信されません。

- 条件 1：ICNT0xICT1 は 64 の倍数ではありません。
- 条件 2：src または dst は 64 の倍数ではありません。
- 条件 3：ICNT0xICT1 は 64 の倍数ではなく、src/dst アドレスは 64 の倍数ではありません

ICNT0xICNT1 と src/dst addr の 16B または 32B の倍数にも同じ問題があり、イベントが受信されません。64B のアライメントのみが機能します。

動作する条件：

- ICNT0xICNT1 を 64 の倍数にし、src/dst アドレスが 64 の倍数になると、テスト ケースは成功します。

i2163 (続き)

UDMAP：「イベント トリガ」モードで使用すると、UDMA は ICNT や src /dst アドレスを 64B に揃えずに転送します。

- UDMA の代わりに DRU を使用すると、テストは成功します。UDMA DRU 外部チャネルを介して TR を DRU に送信する必要があります。DRU と ICNT と src/dst addr が一致していない場合、ユーザーは、フレーム内のイベント数とトリガ数が 1 (上記の場合は ICNT2 = 1、または EVENT_SIZE = COMPLETION および TRIGGER が NONE) になるように、TR がプログラムされたときに、期待どおりにイベントをトリガおよび取得できます。その後、完了イベントは期待どおりに発生します。これは、問題のユースケースで使用することは不可能です。

上記は、「2D トリガと待機」の例です。「1D トリガと待機」と「3D トリガと待機」に同じ制約が適用されます。

- 「1D トリガと待機」の場合、ICNT0 は 64 の倍数である必要があります
- 「3D トリガと待機」の場合、ICNT0xICNT1xICNT2 は 64 の倍数である必要があります

回避方法：

次の例に示すように、UDMAP の TR で EOL フラグを設定します。

- 1D トリガと待機
  - TR.FLAGS |= CSL_FMK(UDMAP_TR_FLAGS_EOL, CSL_UDMAP_TR_FLAGS_EOL_ICNT0);
- 2D トリガと待機
  - TR.FLAGS |= CSL_FMK(UDMAP_TR_FLAGS_EOL, CSL_UDMAP_TR_FLAGS_EOL_ICNT0_ICNT1);
- 3D トリガと待機
  - TR.FLAGS |= CSL_FMK(UDMAP_TR_FLAGS_EOL,CSL_UDMAP_TR_FLAGS_EOL_ICNT0_ICNT1_ICNT2);

この回避方法による性能への影響はありません。

i2166

DDR：ディープ スリープ低消費電力状態の開始と終了により、PHY 内部クロックのずれが発生する可能性があります

詳細：

DDR PHY がディープ スリープ低消費電力状態に移行すると、PHY PLL が無効化されてゲートオフするまでに、遅延が生じます。PHY PLL が無効化される前にディープ スリープの終了が発生すると、PHY 内部クロックが互いにずれて、PHY 内部のタイミング障害が発生する可能性があります。

回避方法：

DENALI_CTL_132 レジスタの LP_CMD に書き込むことでソフトウェアが開始した低消費電力モードを使用する場合、低消費電力モードへの移行がアクノリッジされたときに、低消費電力モードの終了を要求する前に、最小 160 DDR クロック サイクルの間待機します。他のオプションとして、以下の回避方法を使用します。

PSC を使用して DDR インターフェイスをディスエーブルする場合は、DDR インターフェイスのディスエーブルがアクノリッジされた後、最小 160 DDR クロック サイクルの間待機してから、イネーブルにする要求を送信します。他のオプションとして、以下の回避方法を使用します。

DENALI_CTL_141 レジスタの LP_AUTO_ENTRY_EN を使って低消費電力の開始 / 終了にコントローラの自動機能を使用する場合、以下の回避方法を使用します。

回避方法：DDR PHY がディープ スリープ低消費電力状態に移行しないことを確認します。

i2166 (続き) ***DDR:ディープ スリープ低消費電力状態の開始と終了により、PHY 内部クロックのずれが発生する可能性があります***

これは、DENALI_PHY_1318 レジスタの PHY_LP_WAKEUP[3:0] の値を、以下に示す DDR コントローラ レジスタのすべてのスレッショルドの値より大きい値に設定することで保証できます。

LPI_CTRL_IDLE_WAKEUP_FN、LPI_PD_WAKEUP_FN、
LPI_SR_SHORT_WAKEUP_FN、LPI_SR_LONG_WAKEUP_FN、
LPI_SRPD_SHORT_WAKEUP_FN、LPI_SRPD_LONG_WAKEUP_FN、
LPI_SR_LONG_MCCLK_GATE_WAKEUP_FN、
LPI_SRPD_LONG_MCCLK_GATE_WAKEUP_FN、LPI_TIMER_WAKEUP_FN

ここで、FN = F0、F1、F2 は異なる周波数設定点用です。

i2177 ***RINGACC:リング アクセラレータのデバッグ トランザクションのトレース ストリームは、特定のリング アクセス シーケンスによって破損する可能性があります***

詳細:

リング アクセラレータを使用すると、デバッガからそのメモリ空間への直接アクセスが可能になるほか、そのトランザクションのトレース ストリームを cptracer ネットワークにエクスポートする機能によってハードウェア支援デバッグを実行できます。通常、このデバッグ情報は、SOC デバッグ ファブリック経由でリング アクセラレータとインターフェイス接続する JTAG ベースのデバッガを使用してイネーブル、収集、分析されます。リング デバッグ トレース情報が破損したり、ハングアップしたりする原因となるエラッタが存在します。この障害は、通常のリング ピーク操作によって発生するか、デバッガを使用してリング ポップ操作を開始した場合に発生します。このエラッタの破損のサインは、ピークが誤ってトレースのポップとして報告されている場合です。さらに、非リング モード (メッセージまたはクレデンシャル) では、通常のリング ポップ操作によってトレースの空のフィールドに誤った情報が表示されたり、デバッグ ポップ操作で宛先アドレスが正しくなくなる場合があります。

回避方法:

リング アクセラレータのハードウェア トレース機能を開発に使用するには、コードはリング ピーク操作とデバッガ起点のポップ操作の使用を避ける必要があります。

i2189 ***OSPI:コントローラ PHY のチューニング アルゴリズムを追加***

詳細:

PHY モジュールがイネーブルのとき、OSPI コントローラは DQS 信号を使用してデータをサンプリングします。しかし、モジュールに問題が存在する必要があります。これは、このサンプルは内部クロックで定義されたウィンドウ内で発生する必要があります。読み取り動作は外部遅延の影響を受け、温度によって変化します。任意の温度で読み取りが有効になるようにするには、最も堅牢な TX、RX、読み取り遅延の値を選択する特別なチューニング アルゴリズムを実装する必要があります。

回避方法:

このバグの回避方法については、SPRACT2 に詳細が記載されています。一部の PVT 条件でデータをサンプリングするには、ユーザーは読み取り遅延フィールドをインクリメントして、内部クロックのサンプリング ウィンドウをシフトする必要があります。これにより、データ アイ内の任意の場所でデータのサンプリングが可能になります。しかし、これには次の副作用があります。

1. すべての読み取り動作に対して PHY パイプライン モードを有効化する必要があります。書き込みのために PHY パイプライン モードを無効化する必要があるため、読み出しと書き込みは個別に処理する必要があります。

i2189 (続き) ***OSPI:コントローラ PHY のチューニング アルゴリズムを追加***

2. 回避方法が実行されると、ビジー ビットのハードウェア ポーリングが壊れます。そのため、代わりに SW ポーリングを使用する必要があります。ホストとフラッシュ デバイスのどちらからも割り込みが発生しないように、DMA アクセスにより、ページ境界内で書き込みを行う必要があります。ソフトウェアは、ページ書き込みの間でビジー ビットをポーリングする必要があります。または、ハードウェア ポーリングを有効化した状態で、PHY 以外のモードで書き込みを実行することもできます。
3. STIG 読み取りは余分なバイトでパディングされ、受信データは右シフトされなければなりません。

i2190 ***CSI:CSI_RX_IF は、不完全なフレームの後で、不明な状態になる可能性があります***

詳細:

CRC エラーが発生する可能性のある不完全なフレームが CSI2 インターフェイスによって受信されると、モジュールは不明な状態になる可能性があります。この場合、以降のすべてのイメージ フレームはキャプチャされません。

回避方法:

CSI_RX_IF モジュールをリセットします。

i2196 ***IA:IA でデッドロック シナリオが発生する可能性があります***

詳細:

割り込みアグリゲータ (IA) には、イベント トランスポート レーン (ETL) バスに到着したイベントを割り込みステータス ビットに変換するというメイン機能が 1 つあります。これは、レベル割り込みの生成に使用されます。IA バージョン 1.0 でこの関数を実行したブロックはステータス イベント ブロックと呼ばれていました。

ステータス イベント ブロックに加えて、マルチキャスト イベント ブロックとカウント イベント ブロックという 2 つの主要な処理ブロックがあります。マルチキャスト ブロックは、実際にはイベント スプリッタとして機能します。イベントが発生するたびに、2 つの出力イベントを生成できます。カウント イベント ブロックは、高周波イベントを読み取り可能なカウントに変換するために使用されます。入力イベントをカウントし、0 以外のカウント値との間のカウント遷移時に出力イベントを生成します。ステータス イベント ブロックとは異なり、マルチキャストおよびカウント イベント ブロックは出力 ETL イベントを生成し、他の処理ブロックにマッピングします。

設計後に、IA のデッドロックを引き起こす可能性のある問題が発見されました。この問題は、これら 3 つの処理ブロック間でイベント「ループ」が発生した場合に発生します。パスがブロックされているために処理ブロックがイベントを出力できず、イベントを出力できないために、新しい入力イベントを取得できない状況が発生する場合があります。この入力イベントを受信できないため、出力パスがアンワインドできなくなり、両方のパスがブロックされたままになります。

回避方法:

図 3-3 に、IA 1.0 の概念ブロック図を示します。潜在的なループは、カウント イベント ブロックがマルチキャスト ブロックにイベントを送信しないようにするポリシーを採用することで回避できます。最初にイベントを分割してから、他の場所に送信する間に 1 を数えるのが一般的であるために、この方法が選択されました。このパスが慣例によってブロックされている場合、1 つのイベントが複数回ブロックにアクセスすることはできず、出力がブロックされない限り、パスがブロックされることはありません。

i2196 (続き)

IA :IA でデッドロック シナリオが発生する可能性があります

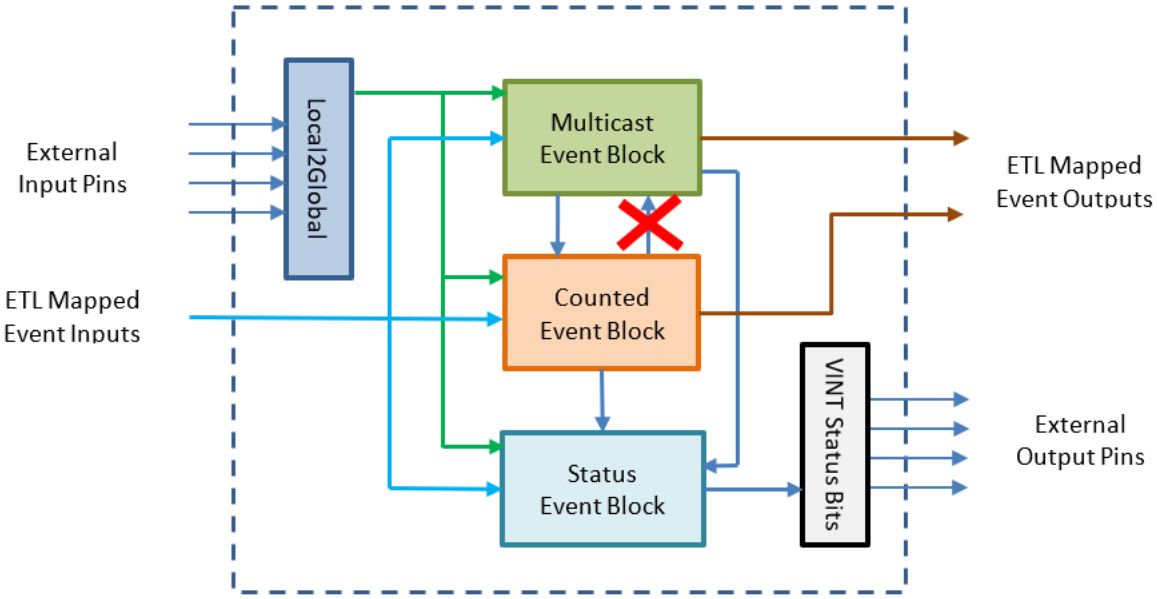

図 3-3. 割り込みアグリゲータ バージョン 1.0

ここに概説されているルールに従うと、システムは、デッドロック シナリオを発生させる可能性のあるループ危険性を回避して安全に動作できます。

i2197

I3C :スレーブ モードはサポートされていません

詳細:

I3C スレーブ モードは使用できません。シングルマスタ バスではマスタ ロールのみを使用する必要があります。

回避方法:

なし。シングルマスタ バスではマスタ ロールのみを使用する必要があります。

i2205

I3C :保留中の IBI 中にフェッチされたコマンドが、場合によっては適切に処理されないことがあります

詳細:

ターゲット起点の IBI アドレス バイト受信中にホストがコマンドを書き込むと、誤ったフレーム生成など、コントローラによる不適切なコマンド実行が発生する可能性があります。

回避方法:

ホストは、コントローラにコマンドを送信する前に、ブロードキャスト DISEC CCC を送信して IBI を無効化する必要があります。

i2215

DRU :非原子性の TR 送信メカニズムを使用すると、C7x 書き込みが異常となり、TR 送信を破壊する可能性があります

詳細:

C7x は、CPU によって送信される順序とは異なる順序で書き込みが発生することを許可する場合があります。DRU 内の非原子性 TR レジスタは、TR の最下位バイトが最後に書き込まれることを必要とします。なぜなら、それによって他のフィールドが TR キューに強制的にプッシュされるた

i2215 (続き) ***DRU:非原子性の TR 送信メカニズムを使用すると、C7x 書き込みが異常となり、TR 送信を破壊する可能性があります***

めです。順不同の書き込みが発生し、最後の書き込みが最後に実行されない場合、誤った TR フィールドが使用される原因となり、DRU の予期しない動作を引き起こします。

回避方法:

TR 送信には単一の 64 バイト書き込みのみを必要とするため、C7x は原子性 TR 送信方法のみを使用する必要があります。

i2216 ***I3C:スレーブ起点の IBI アドレス バイト受信中、コマンド実行が失敗することがあります***

詳細:

I3C コントローラへの SoC ホスト コマンドは、スレーブ起点の IBI アドレス バイト受信が進行中にコマンドが書き込まれた場合、誤ったフレーム生成など、コントローラによる不適切なコマンド実行を引き起こす可能性があります。

このような場合、コマンド応答キューに誤って応答が格納されます。さらに、受信した IBI にペイロードがなく、マスタからアクノリッジされた場合、スレーブにフェッチされたコマンドによってバス経由で誤ったフレームが発行されます。

回避方法:

ホストは、コントローラにコマンドを送信する前に、ブロードキャスト DISEC CCC を送信して IBI を無効化する必要があります。

i2219 ***C7x SE:SE が uTLB 障害に対して不正な rstatus を返します***

詳細:

SE は、C7x CPU に報告する前に、以前に記録されたページ フォルトを上書きしてしまう可能性があります。これにより、SE はエラー シンドロームが破損している可能性のあるページフォルトを CPU に報告することになります。付随するエラー シンドロームは破損している可能性がありますが、ページ フォルトが発生した場合は、常に正しい障害仮想アドレスとともに報告されます。

回避方法:

SE によってページ フォルトが返された場合 (IERR = 0x1、IESR[19:16] = 0x3)、ユーザーはページ フォルト シンドローム (IESR[15:0]) を参照せずに、システム / ソフトウェアの設定を分析して故障の正確な原因を特定する必要があります。

i2232 DDR：周波数変化の後、コントローラが許可されたリフレッシュ数を超えて延期します

詳細

より高いクロック周波数から低いクロック周波数に動的に切り替える場合、リフレッシュ コマンドの延期を制御するローリング ウィンドウ カウンタは、低いクロック周波数にスケーリングするために正しくロードされません。これにより、コントローラは DRAM 仕様で許容されるよりも多くのリフレッシュ コマンドを延期し、DRAM のリフレッシュ要件に違反します。

回避方法

回避方法 1：DFS_ENABLE = 0 をプログラムすることで、動的な周波数変更を無効化します

回避方法 2：スイッチング周波数の場合、以下に示す疑似コードに基づいてレジスタ フィールドの値をプログラムします。コントローラでは、初期化をトリガする前に、AREF_*_THRESHOLD の値をプログラムする必要があります。これらの値は、初期化後にミッション モード中に変更することはできません。したがって、これらのパラメータの値は、使用する予定のすべての周波数変化遷移に必要なすべての値のうちの最小値でなければなりません。

```
if (old_freq/new_freq >= 7){
    if (PBR_EN==1) { // Per-bank refresh is enabled
        AREF_HIGH_THRESHOLD = 19
        AREF_NORM_THRESHOLD = 18
        AREF_PBR_CONT_EN_THRESHOLD = 17
        AREF_CMD_MAX_PER_TREF = 8
    }
    else { // Per-bank refresh is disabled
        AREF_HIGH_THRESHOLD = 18
        AREF_NORM_THRESHOLD = 17
        // AREF_PBR_CONT_EN_THRESHOLD <=== don't care, PBR not enabled
        AREF_CMD_MAX_PER_TREF = 8
    }
}
else {
    AREF_HIGH_THRESHOLD = 21
    AREF_NORM_THRESHOLD //<=== keep AREF_NORM_THRESHOLD < AREF_HIGH_THRESHOLD
    AREF_CMD_MAX_PER_TREF = 8
    if (PBR_EN==1) { // Per-bank refresh is enabled
    //keep AREF_PBR_CONT_EN_THRESHOLD<AREF_NORM_THRESHOLD<AREF_HIGH_THRESHOLD
        AREF_PBR_CONT_EN_THRESHOLD
    }
}
```

i2234 UDMA：ICNT0 が 64 バイト未満の場合、TR15 はハングアップします

詳細

UDMA は常にトランザクションのバースト サイズの送信を試みます。実際の ICNT0 が最小バースト サイズ 64 より小さい場合、UDMA は、到達しないデータを待ち、ハングアップします。TR で EOL が設定されている場合、UDMA は転送が可能なサイズに関係なく、常に最後のデータのデータを送信します。

回避方法

これは、TR で EOL を 1 に設定することで回避できます

i2242 ***PCIe：データレートの変更中は、SerDes PCIe 基準クロック出力が一時的に無効化します***

詳細

SerDes PCIe 基準クロック出力は、派生 Refclk モードでデータレートを 8.0GT/s に変更し (受信 Refclk モードではなく)、1 つの SerDes PLL を使用して PCIe TX および RX クロックを生成するときに一時的に無効化されます。これは、このモードでデータレートを 2.5GT/s または 5.0GT/s から 8.0GT/s に変更するときに実行する必要がある PLL の再プログラミングによるものです。

PCIe 基準クロックを使用している一部の外部 PCIe コンポーネントでは、データレートを変更するときにクロックを無効化できない場合があります。しかし、このデバイス ファミリの SerDes は、この基準クロック動作を受け入れる際に問題は発生しません。つまり、1 つのデバイスの SerDes を別のデバイスの SerDes に接続するリンクでは、1 つのデバイスが基準クロックを生成し、もう 1 つのデバイスが基準クロックを受信しても、問題は発生しません。

回避方法

オプション 1：

1 つの PLL を使用して 2.5GT および 5.0GT データレートのクロックを生成し、2 番目の PLL を使用して 8.0GT/s データレートのクロックを生成するように SerDes を構成します。このオプションには、次のような制限があります。

A) 内部 SSC モードを使用する場合、2 つの PLL は互いに同期して拡散しません。これにより、2 つの PLL の周波数間、つまりリンク パートナーの TX と RX の間に最大 5,000ppm の差が生じる可能性があります。このため、内部 SSC モードは推奨されません。

B) SerDes の異なるレーン上で PCIe と同時に使用するプロトコルは、PCIe に使用される 2 つの PLL のうち少なくとも 1 つの PLL 構成を共有することで互換性がある必要があります。

オプション 2：

受信した Refclk モードを使用します。このモードは、個別の出力 Refclk ジッタのエラッタ アドバイザリ (i2241) の影響を受けることに注意してください。

オプション 3：

PCIe インターフェイスを 8.0GT/s データレートで動作させないでください

オプション 4：

外部クロック ソースを使用して、PCIe 基準クロックをリンクのルート コンプレックス デバイスとエンドポイント デバイスの両方に供給します。

i2244 ***DDR：書き込み DQ VREF トレーニングには、有効な停止値を定義する必要があります***

詳細

DDR PHY は、書き込み DQ VREF トレーニングのために、開始、停止、ステップサイズ値を使用します。停止値が開始値 + ステップサイズの倍数と等しくない場合、最終的な VREF 設定が最大 VREF 範囲を超えて、トレーニングがハングアップする可能性があります。

回避方法

停止値を次のようにプログラムします。

PI_WDQLVL_VREF_INITIAL_STOP = (PI_WDQLVL_VREF_INITIAL_STEPSIZE の倍数) + PI_WDQLVL_VREF_INITIAL_START

i2249 ***OSPI：DDR タイミングが動作不能の内部 PHY ループバックおよび内部パッド ループバック クロック モード***

詳細

OSPI 内部 PHY ループバック モードと内部パッドループバック モードは、「立ち上げエッジをキャプチャ エッジとして」(同じエッジ キャプチャまたは 0 サイクル タイミング) を使用します。

プログラマブル受信遅延ライン (Rx PDL) は、往復遅延 (Tx クロックからフラッシュ デバイス、フラッシュ クロックから出力、フラッシュ データからコントローラ) を補償するために使用されます。

内部ループバック モードと IO ループバック モードの場合、Rx PDL の合計遅延は往復遅延を補償するのに十分ではないため、これらのモードは使用できません。

次の表に、OSPI コントローラで推奨されるクロック トポロジを示します。ここで説明されていない他のモードはすべて、DDR モードのアドバイザリの影響を受け、クロック トポロジは推奨されません。

表 3-2. OSPI クロッキング トポロジ

クロック モードの用語	CONFIG_REG.PHY_MODE_ENABLE	READ_DATA_CAPTURE.BYPASS	READ_DATA_CAPTURE.DQS_EN	ボードの実装
ループバックなし、PHY なし	0 (PHY ディスエーブル)	1 (適応ループバック クロックを無効化)	X	なし。内部クロックに依存。最大周波数 50MHz。
PHY による外部ボード ループバック	1 (PHY イネーブル)	0 (適応ループバック クロックを有効化)	0 (DQS ディスエーブル)	外部ボード ループバック (OSPI_LOOPBACK_CLK_SEL = 0)
PHY を搭載した DQS	1 (PHY イネーブル)	x (DQS イネーブルが優先)	1 (DQS イネーブル)	メモリ ストローブは SOC DQS ピンに接続

回避方法

なし。説明の表に基づいて、影響を受けないクロック モードのいずれかを使用してください

i2253 ***PRG：CTRL_MMR STAT レジスタは、POK スレッショルド障害の信頼性が低いインジケータです***

詳細

CTRL_MMR PRG STAT レジスタの POK 過電圧および低電圧フラグは、POK が障害を認識したかどうかを示す信頼性が低いインジケータです。その結果、デバイス テクニカル リファレンス マニュアル (TRM) では、これらのビットが「予約済み」とマークされています。

回避方法

フィルタ処理された POK 出力は ESM フラグを更新します。

i2253 (続き)

PRG:CTRL_MMR STAT レジスタは、POK スレッショルド障害の信頼性が低いインジケータです

POK の初期化 (イネーブル) 時に、ESM フラグをクリアする必要があります (バンドギャップ中または POK のセトリング タイム中に実行される比較のため)。この最初のクリアの後、ESM フラグは、POK からの信頼できる障害 (または障害なし) インジケータとして使用できます。

i2271

C7x SE:SEBRK 中に発生するページ障害 / UMC エラーで SE がハングする可能性があります

詳細

SE は、アクティブ タグの uTLB (ページ フォルト) または UMC (2 ビット エラー、アドレス指定エラー、権限エラーなど) からエラー応答を受信すると、SE のフェッチ FSM の実行を停止します。SEBRK を処理する最後のステップは、同じ FSM の実行を再開することです。

これらの両方のイベントが特定のタイミングで発生した場合、SE はフェッチ中の FSM の実行を適切に再開せず、SE はハングアップします。その結果、C7x CPU は次の SE リファレンスでハングアップします。

回避方法

ハングアップした後の解決方法は、C7x コアパックをリセットすることだけです。

i2272

C7x SE:FILLVAL を有効にした SEBRK 後に SE が最初のストリーム終端参照を破壊します

詳細

SE はエラーを C7x CPU に送信し、それに伴いデータをゼロに設定します。あまり変動しない「エラーがあり CPU に移動」ビットでデータのインターフェイスドライビング レジスタの clr_n ピンをデアサートし、データをゼロにします。SEBRK SE が有効データの再送信に備えてそのエラービットをクリアした後、SEBRK が早めにストリームを終了した場合には、最初のストリーム終端参照をインターフェイスにプッシュした後に、最終的にデータを再送信します。

このため、ゼロ化されたデータを使用して最初のストリーム終端参照が作成されます。FILLVAL がイネーブルの場合 (非ゼロ値充填モードに設定した場合)、ストリーム終端後に非ゼロ値が充填されたデータが送信されるはずですが、このバグがデータを 1 サイクルの間実際のゼロ値に強制し、最初の参照のデータを破壊します。

回避方法

この問題の真の回避方法はありませんが、この状況は特定のストリームで次のいずれかを実行すれば回避できます。

ストリームを早めに終了させるストリーム ブレークを使用しない

ストリーム終端参照を計算に使用しない

特に最初のストリーム終端参照を計算に使用しない

FILLVAL 機能を使用しない

この問題については、現在 FILLVAL 機能の唯一のユーザーである MMALIB/TIDL チームと、J7AEP および J7AHP への追加を求める依頼者との間で議論されています。ストリーム終端参照を計算に使用しなければこのバグは問題にはならないため、修正のための ECO の実行は現在計画していません。

i2278 MCAN : 同じメッセージ ID で構成された専用 Tx バッファからのメッセージ送信順序が保証されません

詳細

このエラッタは、複数の Tx バッファが同じメッセージ ID (TXBC.NDTB > 1) で構成されている場合に制限されます。

次の状況では、メッセージは順序が正しくない状態で送信されることがあります。

- 同じメッセージ ID で構成された複数の Tx バッファ
- これらの Tx バッファに対する Tx 要求が、それぞれの間に遅延が発生して順次送信される場合

回避方法

回避方法 1:

メッセージ RAM に同じメッセージ ID を持つ Tx メッセージを書き込んだ後、TXBAR への 1 回の書き込みアクセスにより、これらすべてのメッセージの同時送信を要求します。同時要求を実行する前に、これらのメッセージに保留中の Tx 要求がないことを確認してください。

回避方法 2:

特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します (Tx FIFO を使用するには、ビット MCAN_TXBC[30] TFQM = 0 を設定)。

i2279 MCAN : 同じメッセージ ID で構成された専用 Tx バッファと Tx キューの仕様の更新

詳細

同じメッセージ ID で構成された複数の専用 Tx バッファからのメッセージ送信に関する M_CAN ユーザー マニュアルのセクション 3.5.2「専用送信バッファ」とセクション 3.5.4「送信キュー」の説明がエラッタで更新されています。

回避方法

回避方法 1:

メッセージ RAM に同じメッセージ ID を持つ Tx メッセージを書き込んだ後、TXBAR への 1 回の書き込みアクセスにより、これらすべてのメッセージの同時送信を要求します。同時要求を実行する前に、これらのメッセージに保留中の Tx 要求がないことを確認してください。

回避方法 2:

特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します (Tx FIFO を使用するには、ビット MCAN_TXBC[30] TFQM = 0 を設定)。

i2310 USART : 「タイムアウト割り込みの誤ったクリア / トリガ」を追加

詳細:

RHR/MSR/LSR レジスタが読み出されたときに、USART が誤ってクリアしたり、タイムアウト割り込みをトリガしたりすることがあります。

回避方法:

CPU の使用事例の場合。

- タイムアウト割り込みが誤ってクリアされた場合:
  - FIFO 内の保留データがタイムアウト割り込みを再トリガするため、これは有効です

i2310 (続き)

***USART*:「タイムアウト割り込みの誤ったクリア / トリガ」を追加**

- タイムアウト割り込みが誤って設定され、FIFO が空である場合は、次の SW 回避方法を使用して割り込みをクリアします。
  - TIMEOUTH および TIMEOUTL レジスタでタイムアウト カウンタの High 値を設定します
  - EFR2 ビット 6 を 1 に設定して、タイムアウト モードを周期的に変更します
  - IIR レジスタを読み出して、割り込みをクリアします
  - タイムアウト モードを元のモードに戻すには、EFR2 ビット 6 を 0 に戻します

DMA の使用事例の場合。

- タイムアウト割り込みが誤ってクリアされた場合:
  - 次の周期的なイベントでタイムアウト割り込みが再トリガされるため、これは有効です
  - ユーザーは、EFR2 のビット 6 を 1 に設定して、RX タイムアウト動作を周期的モードにする必要があります
- タイムアウト割り込みが誤って設定されている場合:
  - これにより、DMA は SW ドライバによって破棄されます
  - 次の受信データが有効であるため、SW で DMA が再度設定されます

i2311

USART スプリアス DMA 割り込み

詳細:

スプリアス DMA 割り込みは、DMA を使用して TLR レジスタの 2 の非冪乗 (Non power of two) のトリガ レベルで TX/RX FIFO にアクセスする場合に発生することがあります。

回避方法:

TX/RX FIFO のトリガ レベル (1、2、4、8、16、32) に 2 の冪乗の値を使用します。

i2312

MMCSD:HS200 および SDR104 コマンド タイムアウト ウィンドウが小さすぎます

詳細:

高速 HS200 および SDR104 モードでは、MMC モジュールの機能クロックは最大 192MHz に達します。この周波数では、MMCSD_SYSCTL[19:16] DTO = 0xE を使用した MMC ホスト コントローラからの最大取得可能タイムアウトは、(1/192MHz)*2^27 = 700ms です。700ms を超えるコマンドは、この小さなウィンドウ フレームによって影響される場合があります。

回避方法:

このコマンドで 700ms より長いタイムアウトが必要な場合は、MMC ホスト コントローラのコマンドのタイムアウトを無効化し (MMCSD_CON[6] MIT=0x1) 、その代わりにソフトウェア実装を使用できます。詳細な手順は次の通りです (Linux の場合)。

1.MMC ホスト コントローラのプローブ機 (omap_hsmmc.c:omap_hsmmc_probe()) 中、ホスト コントローラが必要なすべてのタイムアウトをサポートできないことをプロセッサに通知します。

2.基盤となる MMC ホスト コントローラが必要なタイムアウトをサポートできない場合、コアが自動的にタイムアウトするように、MMC コア ソフトウェア層の機能を変更します。

i2320 ***UDMA および UDMAP：記述子と TR は、フラグメント化せずに返す必要があります***

詳細

UDMA および UDMAP では、ディスクリプタと TR を、ディスクリプタをフラグメンテーションなしで返すメモリ サブシステムに配置する必要があります。ただし、フラグメンテーション ブリッジを含むメモリがあるため、ディスクリプタと TR を保持することができません。

このデバイスの場合、R5 TCM メモリには、UDMA または UDMAP のディスクリプタまたは TR を保持できません

回避方法

なし

i2326 ***PCIe：SSC を有効化するために必要となるフラクショナル モードで動作する MAIN_PLLx は、PCIe Refclk ジッタ制限に準拠していません***

詳細：

MAIN_PLLx はオプションで SERDES および外部コンポーネント用に 100MHz PCIe Refclk を供給するために使用され、フラクショナル モードで構成されている場合、PCIe Refclk ジッタ制限に準拠しません。SSC を有効化するにはフラクショナル モードが必要なため、SSC モードは PCIe Refclk ジッタ制限に準拠しません。

回避方法：

MAIN_PLLx から 100MHz PCIe Refclk を供給する場合、MAIN_PLLx は整数モードのみ (DACEN = 0、DSMEN = 0) に構成する必要があります。これにより、PLL がフラクショナル モードで動作する必要のある PCIe Refclk に SSC を使用することを防止できます。PCIe インターフェイスで SSC が必要な場合は、SSC 付きの外部 Refclk ジェネレータを使用して、SERDES 100MHz Refclk を提供する必要があります。

i2330 ***「DDRSS レジスタ構成ツールの更新」の使用上の注意を追加***

詳細：

DDR レジスタ構成ツールは、DDR デバイスのアーキテクチャ (密度、データ幅、ランク)、動作周波数、ボード シミュレーションで決定される IO 設定など、システム レベルの詳細に基づいて、カスタム レジスタ設定を提供します。新しいデバイスや機能のサポート、ツールで特定された問題の修正、そして最も重要な点として、性能、信号の整合性、信号間のタイミング関係を改善する計算を実現するために特定されたエラッタや最近の更新の回避方法を捕捉するために、このツールは経時的に更新される可能性があります。

回避方法：

得られた教訓に基づいてパラメータを適切に設定できるようにし、機能的な障害のリスクを低減できるように、常に最新の DDR レジスタ構成ツールを使用してレジスタ値を生成する必要があります。DDR レジスタ構成ツールは定期的に更新される可能性があるため、ツールの改訂履歴を確認し、ツールの変更が既存のシステムに適用されるかどうかを評価する必要があります。必要に応じて、既存のシステムの設定を適切に更新する必要があります。このツールの最新バージョンは、http://dev.ti.com/sysconfig で入手できます。また、使用中の該当デバイスの「ソフトウェア製品」ドロップダウンから「DDR 構成」を選択することができます。

i2351 ***OSPI：ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません***

詳細：

OSPI コントローラは、OSPI コントローラへの内部 DMA バス要求の間に、フラッシュ メモリへの CSn 信号を (設計意図によって) デアサートできるため、OSPI ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません。

i2351 (続き)

OSPI:ダイレクト アクセス コントローラ (DAC) は、NAND フラッシュによる連続読み取りモードをサポートしていません

この問題が発生するのは、一部の OSPI/QSPI NAND フラッシュ メモリで提供される「連続読み取り」モードでは、バーストトランザクション全体にわたってチップ セレクト入力がアサートされたままにならなければならないためです。

SoC 内部 DMA コントローラと他のイニシエータは 1023B 以下のトランザクションに制限されており、アービトレーション / キューイングは、さまざまな DMA コントローラの内部、または任意の DMA コントローラと OSPI ペリフェラルの間の相互接続の両方で実行できます。その結果、OSPI コントローラへのバス要求が遅延し、外部 CSn 信号がデアサートされます。

NOR フラッシュ メモリは CSn デアサートの影響を受けません。連続読み取りモードは想定通りに動作します。

回避方法:

ソフトウェアは、ページ / バッファ付き読み取りモードを使用して NAND フラッシュにアクセスできます。

i2362

10-100M SGMII:Marvell PHY はプリアンブル バイトを無視しないため、リンク障害が発生します

詳細:

10/100 モードでは、パケット間のクロック数が奇数である場合、CPSW SGMII モジュールは最大 5 バイトの 0x50 プリアンブル データを出力します。すべてのバイトを 0x55 にする必要があります。1000Mbps モードでは問題が発生しませんが、SFD の前のプリアンブルには 7 つの 0x55 があります。100Mbps モードでは、SFD の前に 70 バイトのプリアンブルがあります (データは 1000Mbps モードから 10 回複製されるため)。問題が発生すると、70 のうち最初の 5 バイトが 0x50 になります。プリアンブルの劣化を許可し、最初のバイト数の実際のデータを考慮に入れない PHY でのみテストされていたため、この問題はこれまで検出されていませんでした。しかし、最近、プリアンブル データを調べ、0x50 のプリアンブル データに基づいてパケットの保持/破棄の決定を行う Marvel PHY (88Q1111 または類似製品) でこの問題が検出されました。

回避方法:

回避方法のオプションは次の通りです。

1.問題のない 1000M モードを使用します。

または

2.TI の PHY (DP83869 または類似製品) または他の PHY を使用します。PHY では、10/100/1000M モードでプリアンブル データの読み取り/無視が可能です。

i2366

ブート:ROM は 8D-8D-8D 動作の特定の JEDEC SFDP 機能を認識しません

詳細:

『JEDEC 仕様 JESD216 - シリアル フラッシュ検出可能パラメータ (SFDP) 』には、特定のシリアル フラッシュ デバイスで使用されるパラメータ表の詳細、およびデバイスの通信 / 構成方法が説明されています。ROM は、デバイスの機能 (1S-1S-1S を 8D-8D-8D モードに変更する方法など) について SFDP の関連部分は認識しますが、以下を必要とするフラッシュ デバイスは適切に認識しません。

- 1S-1S-1S モードと比較した 8D-8D-8D モードでのバイト順序の入れ替え
- 8D-8D-8D モードで最初に送信されたバイトとは異なるコマンドを必要とするコマンド拡張子 (オペコードの反転または別の一意のバイト)

i2366 (続き) ***ブート:ROM は 8D-8D-8D 動作の特定の JEDEC SFDP 機能を認識しません***

回避方法:

JEDEC JESD216 に準拠している候補フラッシュ メモリの SFDP 表を確認します。ほとんどの場合、ベンダはこの表を公開しておらず、代わりにフラッシュ ベンダから要求できます。JEDEC 基本フラッシュ パラメータ テーブルの 18 番目の DWORD に、値が「1b」のビット 31 がある場合、メモリは工場からスワップされたバイト順序でプログラムされているか、または SoC でプログラムされているはずです。ビット[30:29] の値が「00b」以外の場合、これは 8D-8D-8D モードのブート モードでは動作しません。そのため、そのフラッシュ デバイスで 8D-8D-8D ブート モードを使用しないでください。

i2371 ***ブート:ROM コードは、UART ブートモードでデータ転送中にハングする可能性があります***

詳細:

アドバイザリ i2310 により、UART ブート中に ROM コードの実行がハングする可能性があります。i2310 に搭載されているソフトウェア回避方法は ROM には実装されていないため、予期しない状態で誤ったタイムアウト割り込みがトリガされる可能性があります。これにより、ROM がこの割り込みをクリアできなくなり、その結果ハングする可能性があります。

これは、UART ブート モードが使用されるときや、UART をブート インターフェイスとして使用して、UniFlash や OTP Keywriter による eFuse のプログラミングなどの量産フローを実現する場合に発生する可能性があります。

回避方法:

なし。別のブート インターフェイスを使用する必要があります。

i2372 ***ブート:ROM は、シリアル NAND ブートで選択されたマルチプレーン アドレッシング方式をサポートしていません***

詳細:

ROM ブートローダーは、キャッシュ / バッファ / プレーンの番号の変更を理解して正しいデータにアクセスするためのキャッシュ / バッファからの読み出しコマンドを必要とする特定のマルチプレーン シリアル SPI NAND フラッシュ メモリをサポートしていません。

回避方法:

read from cache/buffer コマンドでプレーン / バッファ / キャッシュを選択するための特別なビットへの参照について、候補フラッシュ メモリのアドレッシング要件を慎重に確認します。こうした要件を持つメモリを使用しないでください。

i2378 ***MSMC : キャッシュ / スヌープ フィルタ方式選択 MMR のリセット値が不正です***

詳細:

次の 2 つの MSMC MMR のシャドウ コピーのリセット値が正しくありません。SW が読み取るメイン コピーは正しいリセット値を持ちますが、MSMC 機能はシャドウ コピーの値を使用します。リセット値が誤っていると、DDR のシステム性能が低下します。より具体的には、DDR アクセスで MSMC L3 データ キャッシュとスヌープ フィルタの使用率が低下します (使用率は想定の 25% に低下)。低使用率状態は、A72 の L2 キャッシュにも及びます [J7AEP 内のみ:「および C7x」を含みます]。

RT_WAY_SELECT [アドレス = 0x6E00_8000]

NRT_WAY_SELECT [アドレス = 0x6E00_8008]

回避方法:

リセット後、SW が両方の MSMC MMR に値 (0x0000_0303) を書き込む必要があります。これは MMR がすでに正しい値を持っているように見える場合でも必要です。MMR に書き込むと、シャドウ コピーのリセット後の値の正しさを確保できます。

i2381 ***MSMC :FFI リセットにより、ターゲット ポートで、マップされた SRAM として L3 データ キャッシュにバックドア アクセスできます***

詳細:

FFI リセット実行後、MSMC のターゲット ポートで、その場所の MSMC L3 SRAM のメモリ マップされたアドレスを介して L3 データ キャッシュの内容にバックドア アクセスできます。

回避方法:

MSMC ターゲット ポートで FFI リセット シーケンスを完了した後、ソフトウェアは現在の L3 キャッシュ サイズ設定を MSMC MMR - CACHE_CTRL.CACHE_SIZE フィールドに再書き込みして、ハードウェアが L3 データ キャッシュの内容へのバックドア アクセスを許可しないようにする必要があります。

i2383 ***OSPI:2 バイト アドレスは、PHY DDR モードではサポートされていません***

詳細:

PHY DDR モードで OSPI コントローラが 2 バイト アドレッシングに構成されていると、内部ステート マシンが送信されたアドレス バイト数を誤って (2 ではなく) 1 と比較します。これにより、ステート マシンがアドレス位相でロックアップし、PHY DDR モードが動作不能になります。

この問題は、タップ モードまたは PHY SDR モードを使用する場合は発生しません。PHY DDR モードで 4 バイト アドレッシングを使用する場合も、この問題は発生しません。

回避方法:

互換性のある OSPI メモリにプログラマブル アドレス バイト設定がある場合は、フラッシュの 2 ～ 4 に必要なアドレス バイト数を設定します。これには、アドレス バイトを変更するための特定のコマンドの送信やフラッシュ上の構成レジスタへの書き込みが含まれる場合があります。完了したら、コントローラ設定で送信されたアドレス バイト数を 2 から 4 に更新します。

2 バイト アドレッシングのみをサポートし、再プログラムできない互換 OSPI メモリについては、PHY DDR モードはそのメモリと互換性がありません。代替モード:

- PHY SDR モード
- TAP (非 PHY) DDR モード
- TAP (非 PHY) SDR モード

i2399 ***C7x:CPU NLC モジュールは、割り込み時に状態をクリアしません***

詳細:

データ破損は、次の場合に発生します。

1. タスクの切り替えを含むアプリケーションを実行した場合。この場合、NLC を使用するタスクは少なくとも 2 つあります。
2. タスク A に割り込みが発生すると、その後に TICK が発生する NLCINIT が発行されます。この動作により、NLC モジュール内に何らかの内部状態が設定され、計算された転送ケースがフラッシュされるため、次の TICK で ILCNT_INIT 値を ILCNT に再ロードする必要があることが示されます。割り込みが発生しても、この状態は正しくクリアされません。
3. ISR は、NLC コードも実行されているタスク B へのタスク切り替えを実行します。返される NLC コードは進行中であり、元のタスクの NLC ループとは異なる ILCNT_INIT 値を持つ必要があります。
4. ISR から復帰した後、次の TICK では、破損した状態が原因で、ILCNT を間違った値 (ILCNT_INIT-2) に設定し始めます。

この時点で ILCNT が破損し、NLC ループが誤った反復回数を実行するため、データが破損する可能性があります。

回避方法:

コンテキストの保存の一環として ISR で NLCINIT (パラメータは関係なく、後から TICK's/BNL も必要ありません) を発行します。回避方法による性能への影響はありません。

i2401 ***CPSW:ホストのタイムスタンプにより、CPSW ポートがロックされます***

詳細:

CPSW は、パケット入力タイムスタンプ情報をホストに通信するための 2 つのメカニズムを提供します。

1 つ目のメカニズムは、特定のイベントによってトリガされたときにタイムスタンプを記録する CPTS イベント FIFO を経由します。そのようなイベントの 1 つは、指定された EtherType フィールドを持つイーサネット パケットの受信です。最も一般的に、これは PTP パケットの入力タイムスタンプをキャプチャするために使用されます。このメカニズムでは、ホストは DMA 経由で配信され

i2401 (続き) ***CPSW:ホストのタイムスタンプにより、CPSW ポートがロックされます***

るパケット ペイロードとは別に、(CPTS FIFO から) タイムスタンプを読み取る必要があります。このモードはサポートされており、このエラッタの影響を受けません。

2 つ目のメカニズムは、PTP パケットだけでなく、すべてのパケットの受信タイムスタンプを有効化することです。このメカニズムでは、タイムスタンプは DMA を介してパケット ペイロードと一緒に配信されます。この 2 番目のメカニズムは、このエラッタの主題です。

CPTS ホスト タイムスタンプがイネーブルの場合、内部 CPSW ポート FIFO へのすべてのパケットには、CPTS からのタイムスタンプが必要です。EMI やその他の破損メカニズムによってパケット プリアンブルが破損した場合、タイムスタンプ要求が CPTS に送信されない可能性があります。この場合、CPTS は CPSW ポート FIFO でロックアップ状態を引き起こすタイムスタンプを生成しません。CPTS_CONTROL レジスタの tstamp_en ビットをクリアして CPTS ホストのタイムスタンプを無効化すると、ロックアップ状態が発生しなくなります。

回避方法:

イーサネットからホストへのタイムスタンプを無効化する必要があります。

CPTS ホストのタイムスタンプの代わりに、イベント FIFO のタイムスタンプを使用できます。

i2409 ***USB:短時間のサスペンドが原因で USB2 PHY がロックアップします***

詳細:

USB コントローラがサスペンドに移行してから 3 マイクロ秒以内に発生する USB ウェークアップ イベントに応答して、USB 2.0 PHY がハングアップする場合があります。この PHY ハングは、ウォーム リセットがディスエーブルであるため、パワー サイクルを介してのみ回復できます。

回避方法:

注:この回避方法は、USB がプライマリ ブート モードではない場合にのみ適用されます。USB がプライマリ ブート モードの場合は、回避方法はありません。

この問題が発生しないようにするには、USB コントローラの初期化プロセス中に特定の順序の動作を観察する必要があります。

1. LPSC を介して USB コントローラをリセットします。
2. SUSP_CTRL の USB コントローラ suspend_residency_enable フィールドを「1」に設定します。
3. 通常の USB コントローラの初期化を続行します

i2413 ***ブート:HS-FS ROM が破損した ROM ブート イメージを起動してしまうことがあります***

詳細:

ROM は、ブート ローダと TIFS 画像の両方が存在する画像形式をサポートしています。これを合成画像といいます。

HS-FS デバイスでは、合成画像が RSA キーで署名されると、ROM は次のことを実行する必要があります。

- ブート ローダ コンポーネントの整合性チェックをスキップします。
- TIFS コンポーネントの整合性チェックと署名検証を実行します。

ROM のバグのため、RSA 非縮退鍵が使用されるとき、ROM は HS-FS デバイス上の TIFS コンポーネントの整合性チェックをスキップします。

i2413 (続き) ***ブート:HS-FS ROM が破損した ROM ブート イメージを起動してしまうことがあります***

回避方法:

RSA 縮退鍵を使用して X509 証明書に署名すると、すべてのコンポーネント (ブートローダーおよび TIFS) の整合性チェックを有効にします。

i2414 ***ブート:イーサネット PHY のスキャンおよび起動フローは、オート ネゴシエーション機能をサポートしていない PHY では動作しません***

詳細:

ROM イーサネット (RGMII と RMII のどちらか) のブート モードは、リンク ステータスをチェックする前に完了するまでの PHY 自動ネゴシエーションに依存しています。このため、自動ネゴシエーションをサポートしていない PHY は、このブート モードでは動作できません。

回避方法:

どちらでも、自動ネゴシエーションをサポートする PHY は必要ありません。

i2415 ***ブート:xSPI プライマリ ブート モードで UART バックアップ ブート認証失敗***

詳細:

HS-SE デバイス タイプで、OSPI ブート モードなどの冗長ブート アドレスや、UART などのセカンダリ ブート モードをサポートする、フラッシュ ベースのプライマリ ブート モードを使用します。次の条件下で:

以下の構成で、バックアップ ブート メディア (UART) から有効なイメージをブートします。

1. 0x0 のプライマリ イメージ => 不良イメージ (認証に失敗)
2. 0x40_0000 の冗長イメージ => 有効な TIFS イメージだが ROM ブートではない (認証に失敗)
3. バックアップ ブート モード => 有効なイメージ (ブートする予定のイメージ)

ROM は、UART ブート メディアなどのセカンダリ ブート モードから有効なイメージをブートできません。

通常の状況では、イメージのブートに失敗するたびに、次のリトライ動作のためにセキュア ROM ですべての内部ステート マシンをリセットする必要があります。

TIFS 証明書を基に操作しようとする場合、冗長オフセットでイメージが失敗した後は、セキュア ROM は必要なすべての変数をリセットしません。

したがって、バックアップ ブート フロー中、セキュア ROM は証明書 / イメージ バイナリを認証できませんでした。

このため、有効なイメージ バイナリについても UART バックアップ ブート時にはブートが失敗します。

回避方法:

冗長オフセットにあるイメージが単に TIFS/SYSFW 証明書であるだけではなく、完全なブート証明書であることを確認する以外ありません。

i2419 ***ブート: デスキュー キャリブレーションを無効化すると、ROM はデスキュー キャリブレーションがイネーブルかどうかをチェックしません***

詳細:

PLL デスキュー キャリブレーションがディスエーブルの場合、ROM ドライバ コードは、デスキュー キャリブレーションがイネーブルかどうか、およびロックが失敗しているかどうかをチェックするはずです。しかし、現在のコードには、if 条件に代入があります。そのため、config ビットをクリアする前にデスキュー キャリブレーションがイネーブルかどうかはチェックされません。機能的な問題はありません。

回避方法:

なし

i2422 ***ブート:MMCSD ファイル システム ブート時の ROM タイムアウトが長すぎます***

詳細:

空または消去された (または工場出荷時の) eMMC デバイスから SD/MMC のブート (ファイルシステム モード) を試行した場合、ROM のバグが原因で、バックアップ ブート モードに切り替える通常のブート タイムアウトは発生しません。ウォッチドッグ タイマのリセットが作動するまで、ブートが無限ループに陥るためです。

回避方法:

eMMC フラッシュをプログラムするには、別のプライマリ ブート モードから起動する必要があります。

i2424 ***PLL :PLL プログラミング シーケンスにより、PLL が不安定になる場合があります***

詳細:

PLL プログラミング シーケンスが変更され、PLL キャリブレーションを使用する場合、PLL キャリブレーションをイネーブルにする前にすべてのキャリブレーション フィールドが確実に構成されるようになりました。キャリブレーション ロジックの制御に対する変更に加えて、PLL が有効化されている間に PLL パラメータが変更されないように、他の変更も実装されています。

整数モードの場合、ソフトウェアはキャリブレーション対応 PLL の PLL キャリブレーション機能を有効化します。以前のソフトウェアは、CAL_LOCK のアサート後にキャリブレーション モードを調整しました。これらの書き込みにより、一部のデバイスでは PLL ロックが失われることが確認されています。また、影響を受けやすいデバイスでも、ロックの喪失は断続的に発生しますが、喪失が発生すると、依存する回路が誤った周波数で動作します。この誤った周波数は、アルゴリズムの実行速度の低下や通信障害として現れることがあります。

影響の制限:PLL がフラクショナル モードの場合、キャリブレーション ロジックは使用できません。したがって、フラクショナル モードを使用するようにプログラムされている PLL では、キャリブレーションのプログラミングに関連して障害が発生しないようにする必要があります。しかし、全 PLL シーケンスに変更があるため、新しいソフトウェアはすべてのユーザーに推奨されます。

回避方法:

SYSFW で clk_pll_16fft_cal_option4() を使用しないでください。PLL 構成を変更するときは、SDK v10.0 以降で更新された PLL プログラミング シーケンスを使用してください。

i2431 ***BCDMA :RX チャネルが特定のシナリオでロックアップする可能性があります***

詳細:

BCDMA RX チャネル ティアダウンにより、チャネルがロックされる可能性があります。構成固有のフラグ フィールドに EOP フラグが設定されている TR がない場合は、後続の転送に使用できなくなります。その後、チャネルが再度有効になっても、転送は完了せず、TR 応答でさまざまなエラーが発生して終了します。

回避方法:

a) PSIL/PDMA ペリフェラルからデータを受信する場合、チャネル ティアダウンが正しく機能し、内部状態メモリをクリーンアップするためには、各 TR の構成固有のフラグ フィールドに EOP フラグを設定し、PDMA の 1 X-Y FIFO モード静的 TR「Z」パラメータを 0 以外の値に設定する必要があります。そうしないと、それ以降の実行でチャネルがハングアップします。PDMA が各転送を個別のパケットとして区切るように、PDMA Z カウントも TR サイズと一致する必要があります。これは、ストリーミング モードで TR の 1 セットを使用して周期的転送を実行するために TRPD が無限のリロード カウントを設定している場合などに特に問題となります。この場合、各 TR が最後の TR になる可能性があります。

b) 事前に PDMA Z カウントを設定できない場合、またはパケット EOP を設定できない場合は、BCDMA ではなくシングル バッファ モードで PKTDMA を使用することが推奨されます。

i2435 ***ブート:eMMC ブートの ROM タイムアウトが長すぎる***

詳細:

ROM のバグにより、空または消去された (または工場出荷時の状態) eMMC デバイスから eMMC ブート モード (eMMC ブート パーティションから起動するモード、eMMC 代替モードとも呼ばれる) で起動を試みると、バックアップ ブート モードに切り替わるまでの通常のブート タイムアウトが 10 秒になります。

回避方法:

このタイムアウトがシステム内で長すぎると判断される場合、別のブート モードからブートする必要があります。

i2436 ***BCDMA :RX CHAN CFG レジスタの BCDMA RX_IGNORE_LONG 設定が機能しません」を追加***

詳細:

BCDMA の RXCHAN CFG レジスタの RX_IGNORE_LONG フラグは無視され、リモート エンドポイントが TR 境界と一致するように EOP を送信しない場合、BCDMA は TR 応答のエラーを報告します。

回避方法:

RX_IGNORE_LONG は使用できないため、PDMA などのリモート エンドポイントは、TR 境界に一致するように EOP を送信してパケットを閉じる必要があります (PDMA X*Y*Z は TR ICNT0*ICNT1*ICNT2*ICNT3 と一致する必要があります)。

無限のストリームが必要な場合 (PDMA Z = 0)、PKTDMA に切り替えて、シングル バッファ モードを使用します

i2437 ***SE クロックゲーティングのオフ切り替えが早すぎる***

詳細:

C7120 ストリーミング エンジンのトップ レベルのクロック ゲーティング ロジックにハードウェア バグが存在し、C7120 CPU がハング アップする原因となっています。

ハング アップはストリーミング エンジンのプログラミングに関係なく発生し、ストリーミング エンジンやその他の C7120 Corepac コンポーネントがアイドル状態にならないように、トップ レベルのクロック ゲーティングを無効にすることによってのみ回避できます。

回避方法:

C7120 コアをパワーアップしてすべてのクロックゲーティングを無効にする前に、COMPUTE_CLUSTER_CFG_WRAP_0_CC_CNTRL レジスタの DSP_<COREID>_DEBUG_CLKEN_OVERRIDE フィールド (COREID は特定の C7120 コア名) を有効化する必要があります。

i2449 ***RAT:R5FSS RAT MMR はパリティ保護されていません***

詳細:

R5FSS RAT MMR に格納されている値は、格納中にパリティ保護されません。これは、パリティ保護が有効でも MMR のビット反転が検出されないことを意味するため、永続的または一時的なエラーからの保護はありません。イニシエータ パリティ チェック (パリティは読み取り時に MMR に格納された値から動的に計算されます) は、インターコネクト上で発生したエラーだけを対象としています。保存されている MMR 値自体に存在する可能性のあるエラーはカバーされません。

回避方法:

ユーザーは、実行時に MMR 値のソフトウェア リードバックを実行する必要があります。

i2459 ***ブート:PCIe ブート モードはサポートされていません***

詳細:

PCIe ブート モードはサポートされていないため、使用すべきではありません。TRM の今後の改訂では、予約済みとしてマークされます。

回避方法:

なし。代替のブート モードを選択する必要があります。

i2482 ***ブート:SD カードの初期化中、ROM から十分なクロックが供給されません***

詳細:

SD カード物理層仕様バージョンで指定されているように、ROM コードは 74 クロックを供給していません。2.00.これにより、SD カードの起動に失敗する可能性がありますが、影響を受けるデバイスのこのエラッタに起因する障害は発生していません。

回避方法:

なし

商標

すべての商標は、それぞれの所有者に帰属します。

改訂履歴

Changes from JULY 31, 2024 to JUNE 15, 2026 (from Revision B (July 2024) to Revision C (June 2026)) **Page**

- アドバイザリ i2087「C7x：C7x MMA HWA_STATUS は、アプリケーションが起動する前にエラーを報告します..... 10
- アドバイザリ i2160 を更新、DDR：LPDDR4 コマンド バスのトレーニング中に、有効な VRef 範囲を定義する必要があります」を追加..... 15
- i2330「DDRSS レジスタ構成ツールの更新」の使用上の注意を追加..... 28
- アドバイザリ i2413：ブート：HS-FS ROM が破損した ROM ブート イメージを起動してしまうことがあります.....34
- アドバイザリ i2415：ブート：xSPI プライマリ ブート モードで UART バックアップ ブート認証失敗.....35
- i2424「PLL：PLL プログラミング シーケンスにより、PLL が不安定になる場合があります.....36
- アドバイザリ i2431; BCDMA：RX チャネルが特定のシナリオでロックアップする可能性があります..... 37
- アドバイザリ i2436; BCDMA：RX CHAN CFG レジスタの BCDMA RX_IGNORE_LONG 設定が機能しません」を追加..... 37
- アドバイザリ i2449; RAT：R5FSS RAT MMR はパリティ保護されていません..... 38
- アドバイザリ i2482「ブート：SD カードの初期化中、ROM から十分なクロックが供給されません..... 38

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

最終更新日：2025 年 10 月