

PCM1732における HDCD対応ゲイン・スケーリング

概要

このアプリケーションノートはHDCD*デコーダ内蔵DAC、PCM1732におけるHDCD再生に対応した、ゲイン・スケーリングの原理とアプリケーション例について解説しています。

*HDCDはPacific Microsonics Inc.の登録商標です。

HDCDの基準レベル

HDCD方式では、エンコード(録音)時においては、ピーク・エクステンド有り、またはピーク・エクステンド無しの2種類の方式が用いられており、その選択は主に録音サイドの判断によります。このピーク・エクステンド有り、無しとの情報は、HDCD方式のHidden Codeとともにエンコード(録音)時に記録され、HDCDデコード時はこれらの情報を抽出します。PCM1732においては、このピーク・エクステンド有り、無しはゲイン・ピン(ピン20)から、HDCD方式の情報はHDCDピン(ピン9)からそれぞれ出力されます。

ディスクに記録される信号レベルの基準レベルは、このピーク・エクステンド有り、無しで6dB差があり、このレベル差は何らかの手法で補正しなければなりません。図1にこれらの関係を示します。通常CDとHDCDのピーク・エクステンド無しの信号基準レベルは同じですが、HDCDのピーク・エクステンド有りのものは、通常CDとピーク・エクステンド無しの場合に比べて、6dB基準レベルが低くなっています。したがって、HDCD対応CDプレーヤにおいては、この両者のレベル差を補正しなければなりません。

ゲイン・スケーリング

前述の通常CDおよびHDCDピーク・エクステンド無しとHDCDピーク・エクステンド有りのレベル差の補正を、ゲイン・スケーリングとここでは定義します。このゲイン・スケーリングの手法には大別すると次の2種類の手法があります。

1. デジタル・スケーリング
2. アナログ・スケーリング

それぞれの手法の原理を簡単に説明すると、デジタル・スケーリングはPCM1732に内蔵してあるデジタルフィルタのアッテネータ機能を用いる手法で、アナログ・スケーリングは外部にアナログ・ゲイン切り替え回路を用いる手法です。

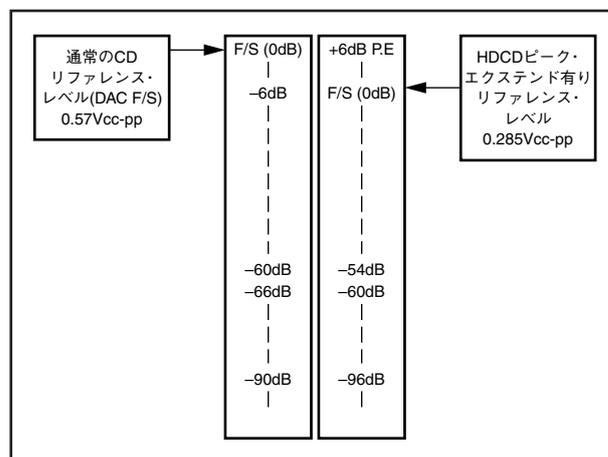


図1. ピーク・エクステンド有り、無し時のレベルの差の関係

デジタル・スケーリング

デジタル・スケーリングの機能はPCM1732に内蔵されており、イニシャルの状態ではこのデジタル・ゲイン・スケーリングが自動的に機能するようになっています。デジタル・ゲイン・スケーリングでのディスク別の信号フローを図2に示します。デジタル・ゲイン・スケーリングでは、HDCDピーク・エクステンド有りの信号はそのままスルーしますが、HDCDピーク・エクステンド無しおよび通常CDの信号は6dBアッテネーションされます。この-6dBゲインにより、信号レベルはピーク・エクステンド有りの信号レベルと同じレベルになります。このデジタル・ゲイン・スケーリングの特長は、

- 外部に何らの補正回路を必要としない
- 外通常CD、HDCDピーク・エクステンド無しの信号は、デジタル領域で6dB減衰させるので、6dBのレベル低下と、ほぼ1ビット分の量子化ロス(THD+N等のオーディオ特性の劣化)を発生する。

したがって、このデジタル・ゲイン・スケーリングを選択した場合、通常CDおよびHDCDピーク・エクステンド無しのディスク(信号)に対するオーディオ特性の劣化を認識しておかなければなりません。なお、このデジタル・ゲイン・スケーリングとアナログ・ゲイン・スケーリングに切り替えは、PCM1732のソフトウェア制御(モードレジスタ2、SCA)で行うことができます。

アナログ・ゲイン・スケーリング

アナログ・ゲイン・スケーリングでのディスク別信号フローを図3に示します。アナログ・ゲイン・スケーリングでは、ゲイン・ピンからの通常CDおよびHDCDピーク・エクステンド無しとHDCDピーク・エクステンド有りの検出出力(HまたはL)によって、0dBまたは6dBのゲイン切り替えを外部アナログ・ゲイン回路で行います。通常CDおよびHDCDピーク・エクステンド無しの信号に対しては0dBゲイン、HDCDピーク・エクステンド有りの信号に対しては+6dBゲインをかけ、両信号のレベルを合わせます。このアナログ・ゲイン・スケーリングの特長は

- 外部にデジタル制御アナログ・ゲイン回路(0dB/+6dB)を必要とする
- デジタルによるオーディオ特性の劣化がない。ただし、外部アナログ・ゲイン回路はDAC性能に応じたオーディオ特性(両ゲインにて)を要求される。

したがって、アナログ・ゲイン・スケーリングでは、この外部アナログ・ゲイン回路の設計がキーポイントとなります。PCM1732

のTHD + N特性は標準で0.0015%ですから、この低歪み特性を満足するアナログ・ゲイン回路を設計しなければなりません。

アナログ・ゲイン回路

ここでは、アナログ・ゲイン・スケーリングにおけるデジタル制御アナログ・ゲイン回路の設計例を示します。アナログ・ゲイン回路の構成を考えた場合、そのゲイン制御の手法で大別すると

- リレーによるゲイン切り替え
- トランジスタによるゲイン切り替え

があります。また、コスト面からはポスト・ローパスフィルタの機能を兼用させる場合も考えられます。ここでは、これらを考慮し2種類のアナログ・ゲイン回路の例を示します。

リレーによるアナログ・ゲイン回路

リレーによるアナログ・ゲイン回路の例を図4に示します。この回路はチャンネルあたり2個のオペアンプで構成され、1段目はポスト・ローパスフィルタ、2段目は0dB/+6dBのゲイン回路として

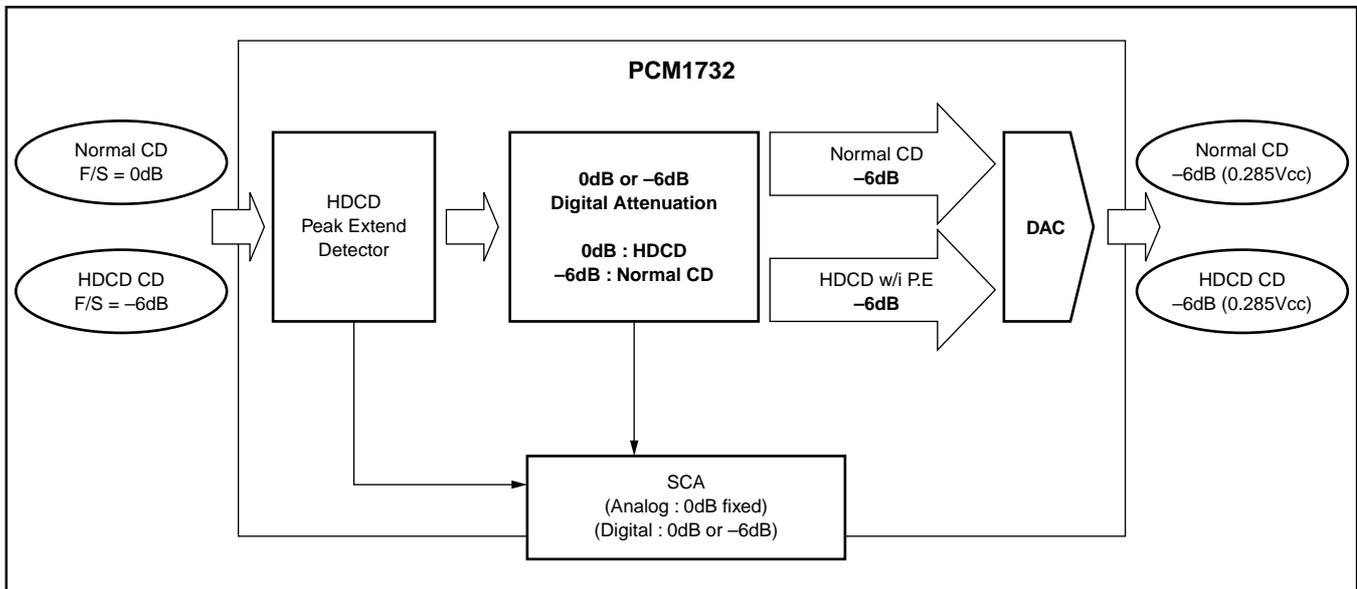


図2. デジタル・ゲイン・スケーリングでのディスク別信号フロー

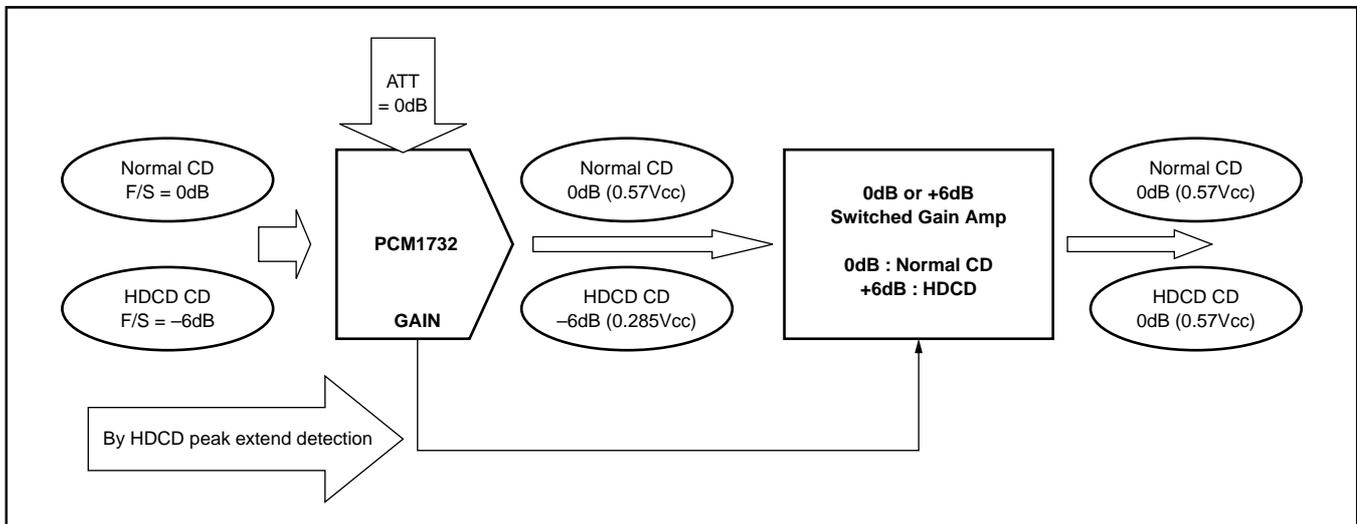


図3. アナログ・ゲイン・スケーリングでのディスク別信号フロー

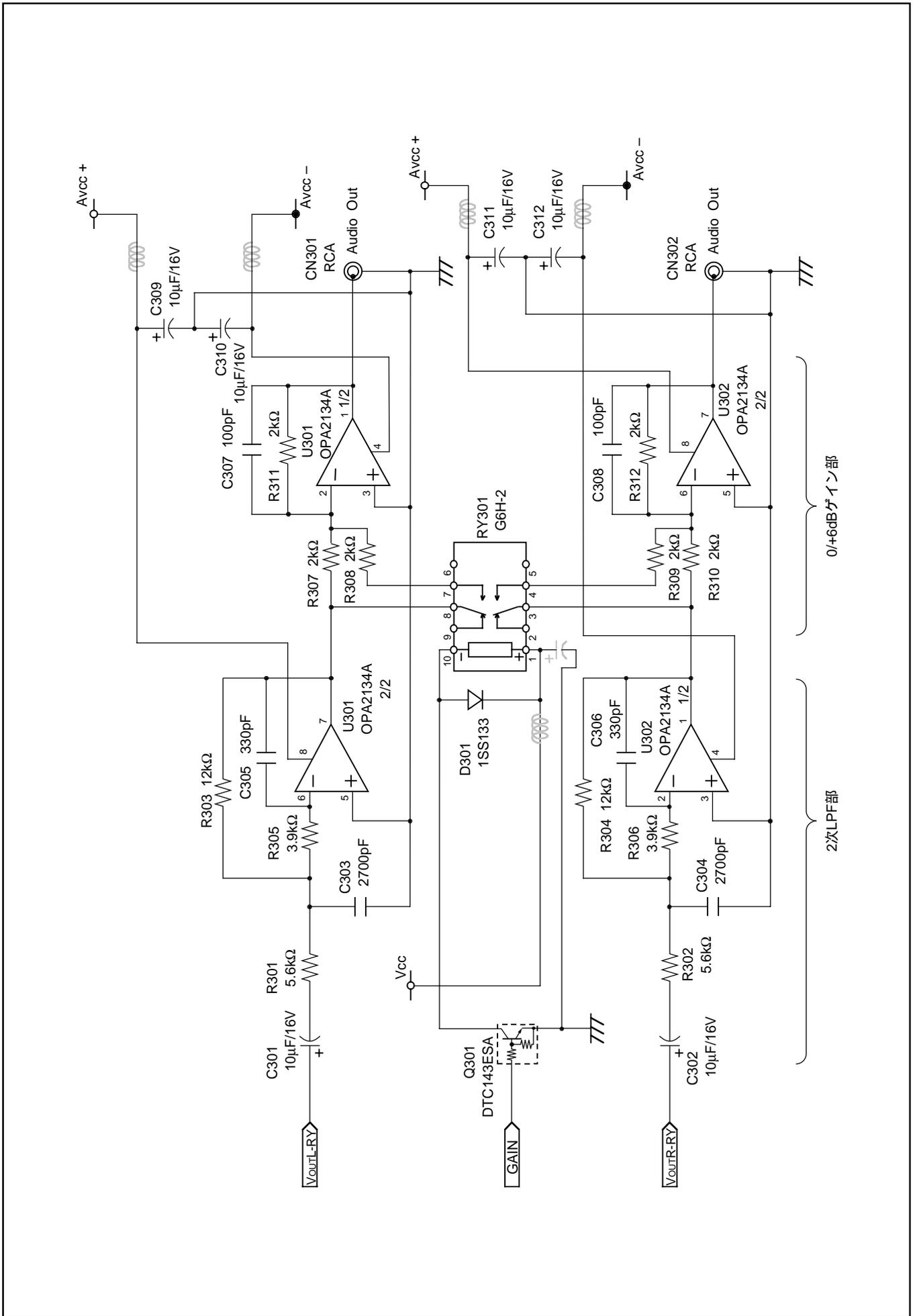


図4. リレーによるアナログ・ゲイン回路例

動作します。ポスト・ローパスフィルタ段は、ゲイン、 f_c (カットオフ周波数)を決定する定数は固定であり、2段目の反転増幅回路の抵抗比をリレーで切り替えます。したがって、ゲイン切り替えを行ってもローパスフィルタとしての特性は変化しません。また、切り替えをリレーで行うため、半導体での場合に見られる非線形特性の影響が一切ありません。

このリレーによるアナログ・ゲイン回路での総合周波数特性とTHD + N特性の実測例を図5、図6にそれぞれ示します。この回路での注意点のひとつは最大信号振幅です。HDCDピーク・エクステンション有りのディスクでは、その言葉からも明らかのように、基準レベルを超えるピーク信号が含まれている場合があります。すなわち、通常のオーディオ出力レベルは $2V_{rms}$ 、約 $6V_{p-p}$ ですが、このレベルより最大6dB大きいピーク信号があった場合、オーディオ出力レベルは通常の数倍の $4V_{rms}$ 、 $12V_{p-p}$ となります。したがって、 $12V_{p-p}$ の最大信号振幅を設計仕様に考慮しなければなりません。

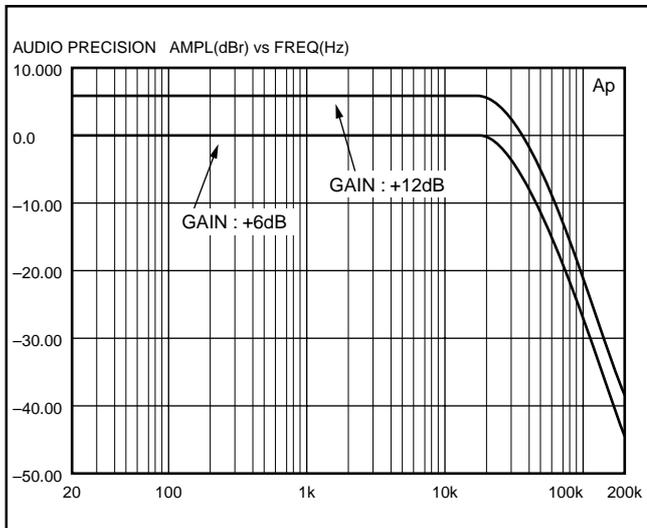


図5. リレー仕様フィルタ回路単体周波数特性

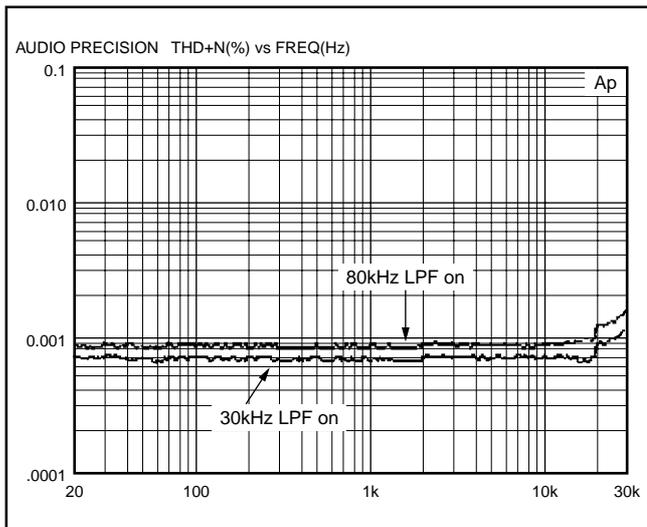


図6. リレー仕様フィルタ回路単体THD + N特性

トランジスタによるアナログ・ゲイン回路

トランジスタによるアナログ・ゲイン回路の例を図7に示します。この回路では、ポスト・ローパスフィルタ機能とゲイン切り替え機能を1つのオペアンプで実現しています。通常、アクティブ・ローパスフィルタの設計ではゲインによりQの値が変化するので周波数特性も変化してしましますが、この回路ではローパスフィルタ特性をできる限り変化させず、トランジスタによる抵抗のスイッチングで、6dB/12dBのゲイン切り替えを行っています。このトランジスタによるアナログ・ゲイン回路での総合周波数特性とTHD + N特性の実測例を図8、図9にそれぞれ示します。この回路での注意点には、同様に最大信号振幅がありますが、基本的に最も重要なのはスイッチング用トランジスタの選択です。ここで使用するトランジスタは $V_{CE(sat)}$ の小さい、ON抵抗の低いものを選択して下さい。

トランジスタ・スイッチによるスケールリングを行う場合のアプリケーション上の注意点について、デモボードに採用されている回路(図7)を例にとり、以下に解説します。まず、半導体スイッチによる非線形特性への影響を出来る限り抑えるために、2SC2878(Q201・202)に対してはON/OFF時とも、十分な電位でバイアスを与える必要があります。本回路ではON時のプラス側バイアスをアナログ電源 $A_{VCC} + OF$ 、OFF時のマイナス側をGNDに設定しています。ただし、DAC出力後のACカップリング・コンデンサC201・202がトランジスタ・スイッチより前段にある場合には、オーディオ信号の振幅がマイナス側まで振れるため、バイアスを A_{VCC-} にしなければなりません。

バイアス電流量による特性への影響としては、ベース抵抗(R209・210・211・212)の値が大きければ非線形特性の劣化、抵抗値が小さければ $V_{CE(sat)}$ の増加による弊害やチャンネル・セパレーションの劣化がトレードオフの関係で存在します。非線形特性の劣化については、バイアス量の増加によってのみ改善されると考えられます。 $V_{CE(sat)}$ の増加は、スイッチ時のレベルシフトによるノイズと、後段のゲインアンプでの直流分増幅による飽和などが懸念されます。直流分増幅の問題では、サンプル回路のように、スイッチの後にACカップリング・コンデンサを入れることにより回避出来ます。スイッチング・ノイズは、バイアスを減らしてシフト量を抑え、スイッチング・スピードを遅くすることにより低減可能と考えられます。チャンネル・セパレーションについては、理論的には電源・GNDのインピーダンスがゼロと考えて、問題にならない筈なのですが、実際には周辺回路や基板の設計状態により、ベース抵抗を介したL-R間の信号干渉が見受けられます。対策としては電源・GNDインピーダンス改善が正論ですが、これが及ばない場合には、ベース抵抗値を大きくすることにより、干渉の抑制が可能です。サンプル回路のように、Q203 L側、Q204 R側として別々の電流供給路を設けることも有効な手段です。

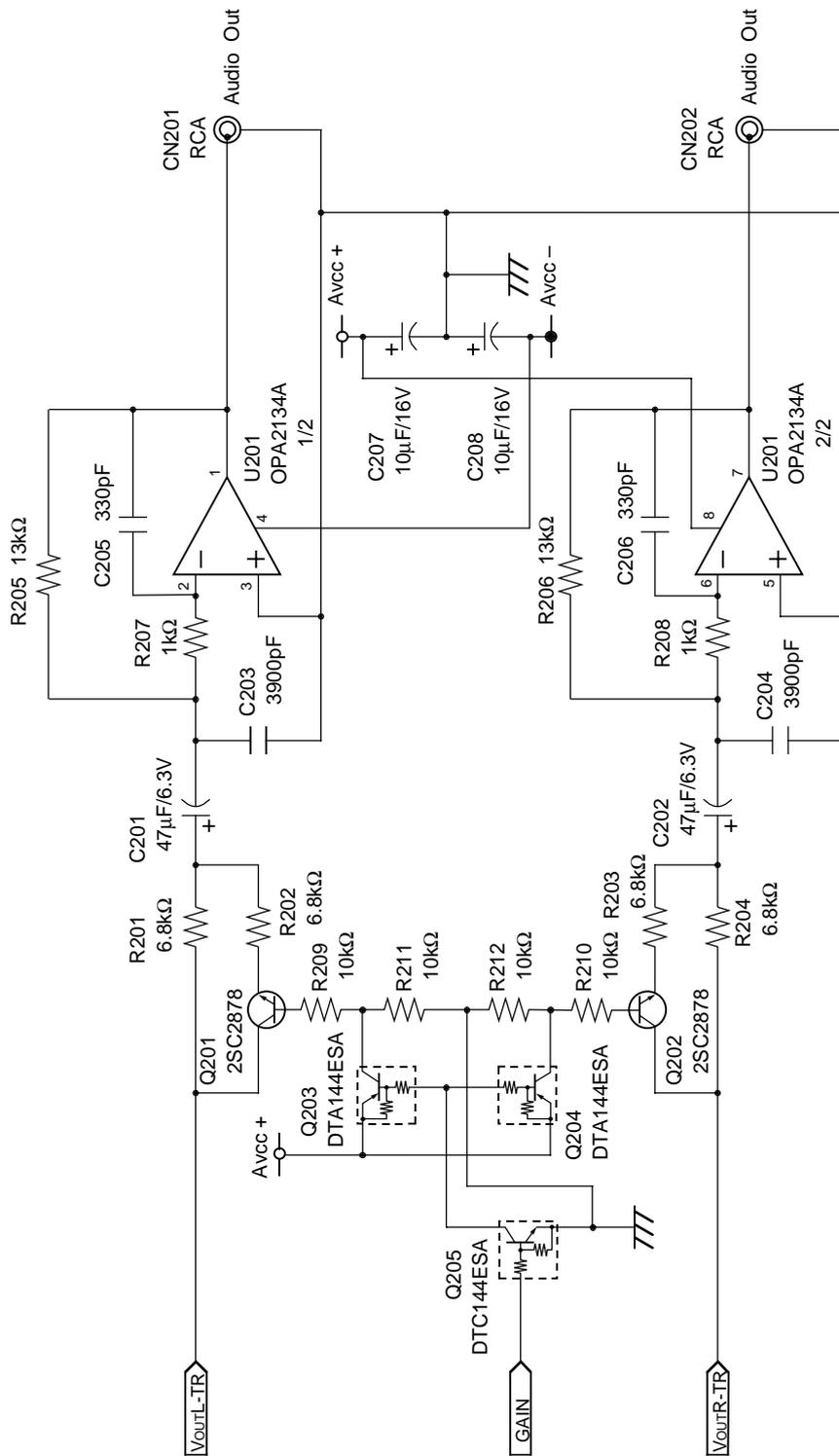


図7. トランジスタ回路によるアナログ・ゲイン回路例

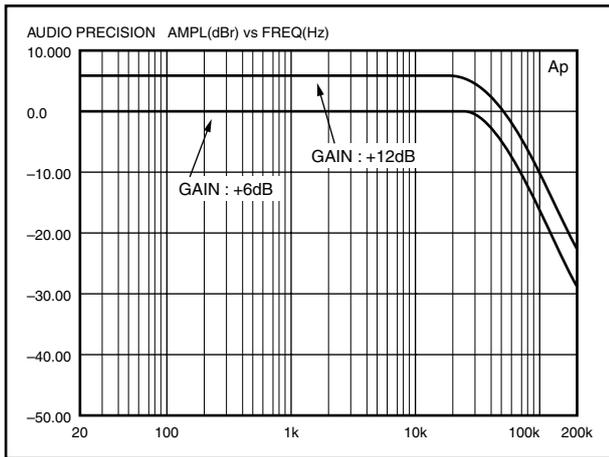


図 8. トランジスタ仕様フィルタ回路単体周波数特性

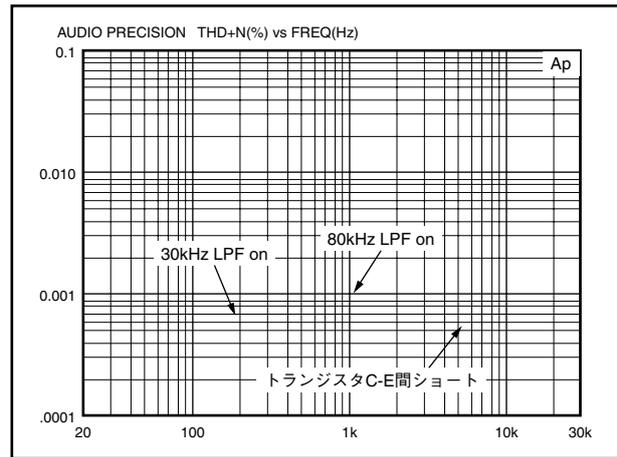


図 9. トランジスタ仕様フィルタ回路単体THD + N特性

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといいます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路

配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2006, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上