

## VC5501/5502 DMA 使用上の注意事項

山路澄子

DSP製品部アプリケーショングループ

### アブストラクト

TMS320VC5501/5502のDMAにはプリフェッチ機能があり、DMAの転送効率を向上させるためにDMAで転送する送信データを予め取り込む機能が具備されています。一方、本機能により予期しないタイミングで送信データを取り込む場

合があります。このドキュメントではプリフェッチ機能の概要と注意点、および問題の回避方法について記載すると共に3種類のサンプルコードも示します。

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお勧めします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましては如何なる責任も負いません。

## 目次

<b>1</b>	<b>VC5501/5502 DMAプリフェッチ機能</b> .....	<b>3</b>
1.1	VC5501/5502 DMA.....	3
1.2	VC5501/5502 DMAプリフェッチ機能.....	3
<b>2</b>	<b>プリフェッチ機能によるトラブル例と回避策</b> .....	<b>3</b>
2.1	例1. DMAを用いたMcBSP送信の例.....	3
2.1.1	プリフェッチ機能が問題となる例.....	3
2.1.2	ping-pongバッファを用いた解決方法.....	5
2.2	例2. パラレルA/Dデバイスを接続してタイマイベントにより動作させる場合.....	5
2.2.1	プリフェッチ機能が問題となる例.....	5
2.2.2	解決方法1 : DMAを用いずタイマ割込みで処理する方法.....	6
2.2.3	解決方法2 : パラレルA/DをEMIFポートではなくパラレルGPIOに接続する方法.....	6
	参考文献.....	8

## 図

図 1.	DMAコントローラのFIFO構成.....	3
図 2.	プリフェッチ機能が問題となるDMA+McBSP送信例.....	4
図 3.	Ping-Pongバッファを使用した場合のDMA+McBSP送信例.....	5
図 4.	タイマ+EMIFの例（パラレルA/D接続の例）.....	6
図 5.	パラレルA/Dをペリフェラルに接続する例.....	7
図 6.	パラレルポート HPIOポート（一部抜粋）.....	7

## 表

表 1.	同期イベントと非同期イベント.....	3
表 2.	DMAプリフェッチ機能の動作条件.....	3
表 3.	プリフェッチ機能が問題となるDMA設定例.....	4
表 4.	ping-pongバッファを使用した場合のDMA設定例（差分点のみ抽出）.....	5
表 5.	HPIポートを用いた場合のDMA設定例.....	7

## 1 VC5501/5502 DMAプリフェッチ機能

### 1.1 VC5501/5502 DMA

VC5501/5502には6チャンネルのDMAが実装されており、各チャンネルにつきデータの転送元であるソースポート、データの転送先であるディスティネーションポートがあります。ま

た、DMAの転送効率を向上させるために各チャンネルにはソースポートとディスティネーションポート間に8×32ビットのFIFOが具備されています。(図1) DMAのソースポートおよびディスティネーションポートはそれぞれイベント同期と非イベント同期の2種類に分別されます。(表1)

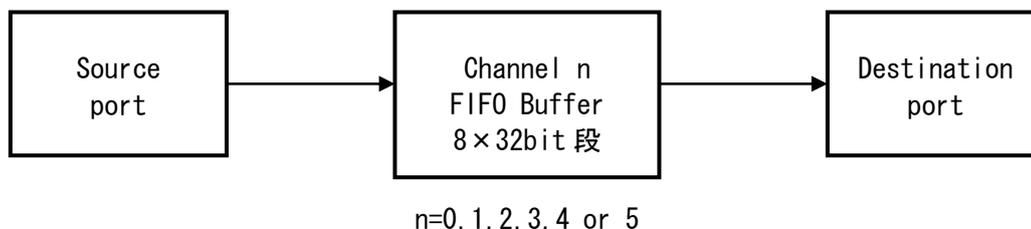


図1. DMAコントローラのFIFO構成

表1. 同期イベントと非同期イベント

ポートタイプ	イベント同期/非イベント同期
DARAM	非イベント同期
外部メモリ	非イベント同期
ペリフェラル	イベント同期

### 1.2 VC5501/5502 DMAプリフェッチ機能

VC5501/5502のDMAにはプリフェッチ機能が実装されています。この機能はソースポートが非イベント同期のタイプ(DARAMまたは外部メモリ)の場合、DMAのチャンネルがイネーブルになった時点でソースポートのデータを予めFIFOに転送します。これにより、DMAの転送の度にソースポートへのアクセスを回避し、DMAの転送効率を向上させています。ところが一方でプリフェッチ機能があるために、ユーザが意図しないタイミングでソースポートにアクセスすると

いう事象が発生します。これはソースポートのデータがダイナミックに変動する場合などに問題となります。

ソースポートがイベント同期(ペリフェラル)である場合はプリフェッチ機能は働きません。また、プリフェッチ機能はVC5501/5502特有の機能であり、C54xおよび他のC55xデバイスでは本機能は実装されていません。

DMAプリフェッチの動作条件については表2を参照ください。

表2. DMAプリフェッチ機能の動作条件

デバイス	TMS320VC5501/5502
ソースポート	非イベント同期 (DARAMまたは外部メモリ)

## 2 プリフェッチ機能によるトラブル例と回避策

### 2.1 例1. DMAを用いたMcBSP送信の例

#### 2.1.1 プリフェッチ機能が問題となる例

プリフェッチ機能が問題となるDMAとMcBSP送信の組み合わせについて図2を用いて例示します。例1では16ビット×8段のバッファ(先頭アドレスがsrc\_buf)を用意し、このバッファに格納したデータをDMAを用いてMcBSPの送信バッファDXR1に転送します。DMAはオートイニシャライズモードとなっており、DMAは継続して動作するようになっ

ています。DMAの割り込みイベントとしてFRAMEIE、HALFIEと設定すると、DMAは4エレメント転送毎に割り込みを発生します。CPUは割り込みが発生すると4エレメント分の転送が終了したと認識し、割り込み発生毎に送信データを新しいデータに更新します。たとえば、HALFIEの割り込みが発生した場合はsrc\_buf[0..3]のデータがDMAによりMcBSP送信に転送されたと認識し、src\_buf[4..7]のデータを更新します。逆に、FRAMEIEの割り込みが発生した場合はsrc\_buf[4..7]のデータがDMAによりMcBSP送信に転送されたと認識し、src\_buf[0..3]のデータを更新します。ところがこのとき、プリフェッチ機能により次の問題が発生します。

DMAはオートイニシャライズ機能を有効にしていると常時動作が継続しており、FIFOの空きが生じるたびにプリフェッチ機能が働きます。これにより、HALFIEの割り込みが発生した時点でDMAのプリフェッチ機能はすでにsrc\_buf[4..7]のデータ取り込みを始めていることとなります。この結果、HALFIEの割り込みが発生した時点でsrc\_buf[4..7]のデータをCPUが更新してもすでにFIFOに取り込まれていることになり、所望のデータがMcBSPの送信バッファに転送されていないこととなります。

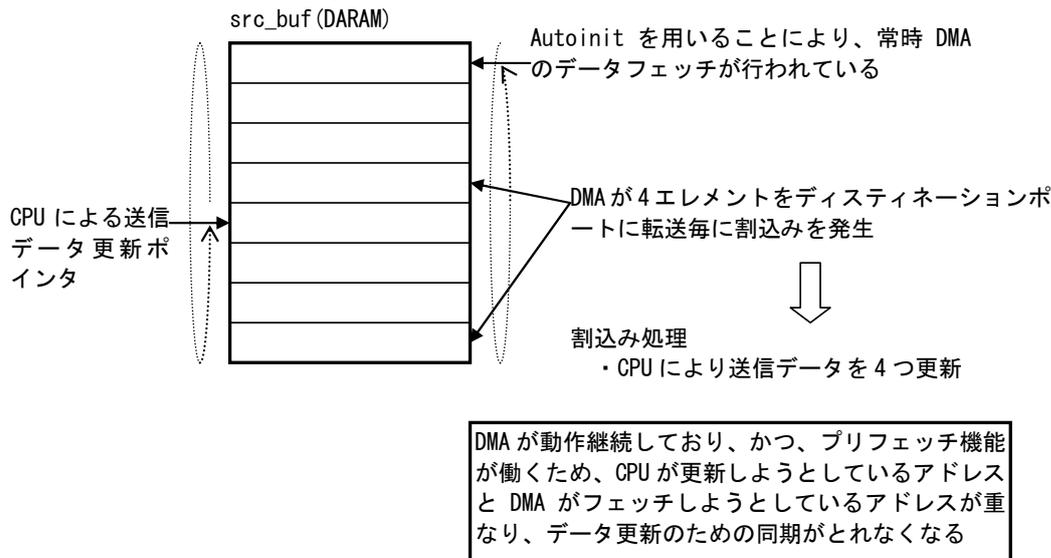


図 2. プリフェッチ機能が問題となるDMA+McBSP送信例

表 3. プリフェッチ機能が問題となるDMA設定例

レジスタ	ビットフィールド	設定値	意味
DMACCR	DSTAMODE	00b	ディスティネーションポートアドレスは固定
	SRCAMODE	01b	ソースポートアドレスはオートインクリメント
	AUTOINIT	1b	オートイニット有効
	FS	0b	エレメント同期
	SYNC	00110b	McBSP送信に同期
DMACICR	FRAMEIE, HALFIE	11b	フレーム転送または半フレーム転送で割り込み
DMACSDP	DST	0011b	ディスティネーションポートはペリフェラル
	SRC	0000b	ソースポートはDARAM
	DATATYPE	01b	1エレメントは16ビット
DMACSSAU,DMACSSAL	—	(addr)src_buf	DARAM上のメモリアドレス (バイトアドレス表示)
DMACDSAU,DMACDSAL	—	0x00005004	McBSP0 DXR1 (バイトアドレス表示)
DMACEN	—	8	1フレーム=8エレメント
DMACFN	—	1	1ブロック=1フレーム

### 2.1.2 ping-pongバッファを用いた解決方法

サンプルコード `mcbssp_dma`

DMAのプリフェッチ機能は内部のFIFOがFULLの状態になるか、ブロックのデータ転送が終了すると止まります。そこで送信用のバッファとして2面のバッファを用意し、一方のバッファをCPUによるデータ更新用、もう一方をDMAによるMcBSPへの転送用とします。(ping-pongバッファ) また、DMAについてはオートイニシャライズを用いずに、

DMA割込み処理の中でバッファの転送などが完了し、バッファの切り替えが完了した時点でDMAをイネーブルにするようにします。このようにCPUが更新するバッファとDMAで転送するバッファを明示的に分けることによりDMAのプリフェッチ機能が働く範囲を限定することができます。図3にPing-Pongバッファを用いた構成図を、表4にDMAの設定例(表3からの差分点のみの抽出)を示します。

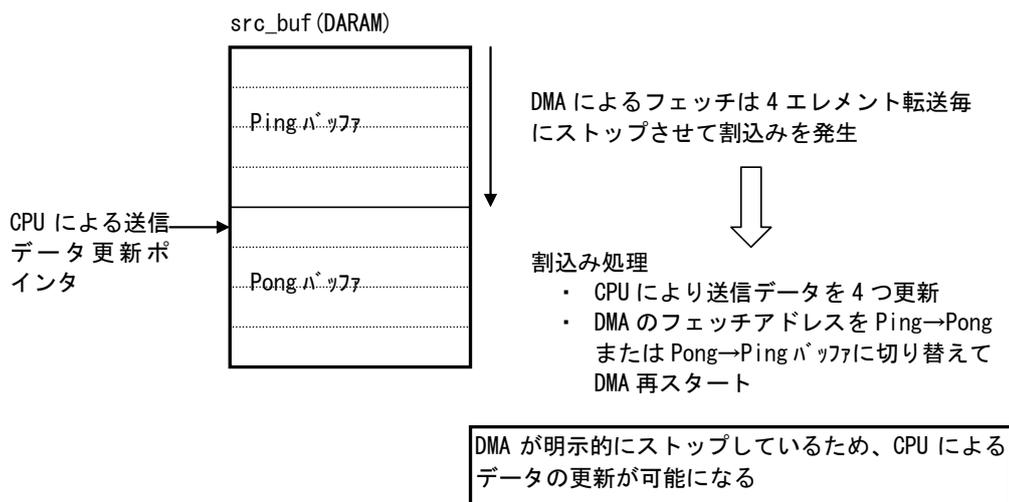


図3. Ping-Pongバッファを使用した場合のDMA+McBSP送信例

表4. ping-pongバッファを使用した場合のDMA設定例(差分点のみ抽出)

レジスタ	ビットフィールド	設定値	意味
DMACCR	AUTOINIT	0b	オートイニット有効
DMACEN	—	4	1フレーム=8エレメント
DMACFN	—	2	1ブロック=1フレーム

## 2.2 例2. 平行A/Dデバイスを接続してタイマイベントにより動作させる場合

### 2.2.1 プリフェッチ機能が問題となる例

プリフェッチ機能が問題となるタイマとEMIFの組み合わせについて図4を用いて例示します。本節ではDMAの同期イベントとしてタイマを指定し、一定周期でEMIFに接続している平行A/Dデバイスにアクセスし、そのデータを内部のDARAMに転送する例を示します。DMAがイネーブルになった時点で、DMAのプリフェッチ機能が働いてDMAのFIFOにデータを転送するため、DMAはタイマイベントに同

期することなく、DMAのFIFOがFULLになるまでEMIFへのアクセスを連続して行います。この結果、FIFOがFULLになるまでの間、タイマイベントとは非同期に平行A/Dにアクセスをすることになります。DMAはタイマイベント毎にFIFOのデータをDARAMに転送するのでいったんFIFOがFULLになった場合、タイマイベント毎にDARAMに転送するのに同期して一定周期でEMIF(平行A/D)アクセスするようになりますが、DMAをイネーブルにした段階ではタイマイベントとは非同期でEMIF(平行A/D)アクセスをします。

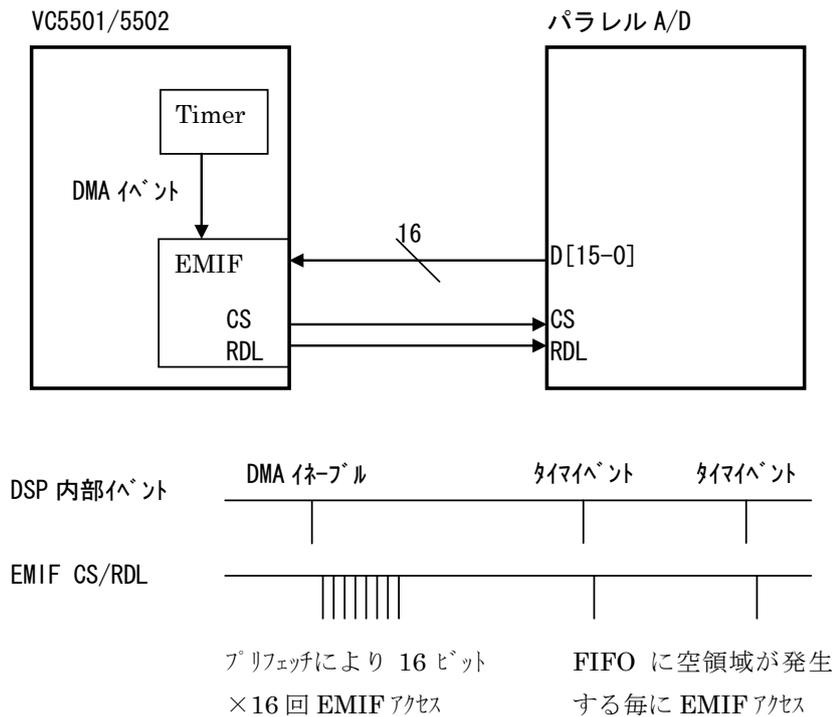


図 4. タイマ+EMIFの例 (パラレルA/D接続の例)

本問題を回避するためには次の2つのアプローチがあります。それぞれについての解決方法およびその場合の制約について記載します。

### 2.2.2 解決方法1: DMAを用いずタイマ割込みで処理する方法

#### サンプルコード nondma\_timer

DMAによるプリフェッチ機能をディセーブルにすることはできません。そこで、DMAを用いず、タイマ割込みによる割込み処理中でEMIF(パラレルA/D)にアクセスする方法があります。ただし、本方法はDMAを用いた場合と比べてCPUのリソースを利用してEMIF(パラレルA/D)にアクセスするためCPUのリソースにゆとりがある場合にしか使用することができません。また、EMIFへのアクセススピードもDMAよりもCPUアクセスの方が時間を要します。

タイマ割込みを用いたEMIFへのアクセス周波数はCPU周波数・EMIFアクセス周波数・他のプログラムコードとの兼ね合いにもよりますが2.5MHz近傍が上限になります。(CPU周波数150MHz、EMIF周波数75MHz、EMIFアクセス32ビット転送の場合)

### 2.2.3 解決方法2: パラレルA/DをEMIFポートではなくパラレルGPIOに接続する方法

#### サンプルコード dma\_timer\_hpi

DMAのプリフェッチ機能はソースポートが非イベント同期である場合に働きます。そこで、ソースポートを非イベント

同期であるDARAMやEMIFとせずにイベント同期であるペリフェラルに指定することでこのプリフェッチ機能を回避することができます。

たとえば、ターゲットシステム上でHPIを使用しない場合、HPI用のピンを汎用IOポートとして定義し、それらのピンをパラレルA/Dに接続することができます。図5ではHD[7-0]、HRW、HDS2/1、HCS、HASの16ピンのHPIポートを利用したA/Dとの接続例について例示します。また、HPIのピンを汎用IOピン(HGPIOピン)として定義する場合のレジスタについて図6に例示します。HPIポートの上位の16ピンを汎用ポートで使用する場合、図6に示すように0xA00Aと0xA00Eの2つのレジスタにアクセスすることになります。そこで、DMAの設定としては、1つのDMAイベントにて0xA00Aと0xA00Eの2つのレジスタにアクセスするように設定します。このためにはDMAの設定をフレームシンク、1フレーム=2エレメントおよびダブルインデックスモードにてアドレッシングするようにします。設定例について表5に記します。

このようにHPIのピンをペリフェラルポートとして定義することによりDMAのソースポートをペリフェラルに設定することができます。ただし本方法はHPIまたはEMIFなどを使用しない場合に限定されます。また、HPIの信号をペリフェラルに設定することにより、パラレルA/Dに対してチップセレクトやRead信号が出力されないことから、外部ロジック回路にて制御信号を生成する必要も生じます。

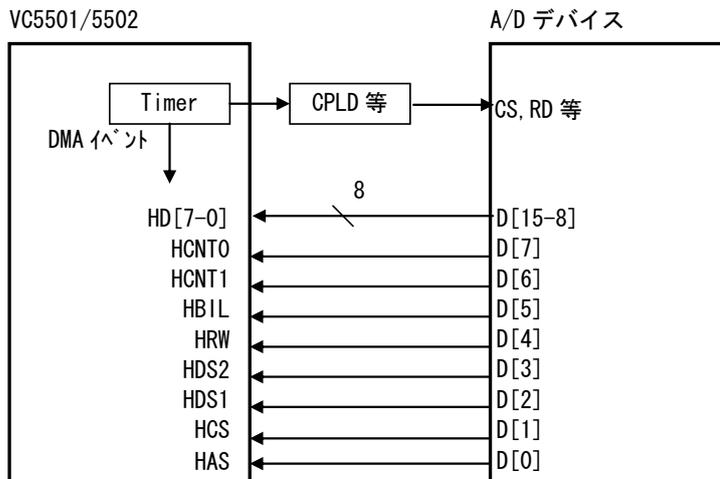


図 5. パラレルA/Dをペリフェラルに接続する例

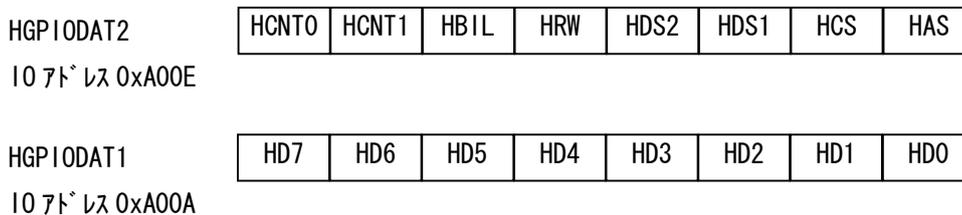


図 6. パラレルポート HPIOポート (一部抜粋)

表 5. HPIポートを用いた場合のDMA設定例

レジスタ	ビットフィールド	設定値	意味
DMACCR	DSTAMODE	01b	ディスティネーションポートアドレスはオートインクリメント
	SRCAMODE	11b	ソースポートアドレスはダブルインデックス
	AUTOINIT	1b	オートイニット有効
	FS	1b	フレーム同期
	SYNC	01101b	タイマに同期
DMACICR	BLOCKIE	1b	ブロック転送で割込み
DMACSDP	DST	0000b	ディスティネーションポートはDARAM
	SRC	0011b	ソースポートはペリフェラル
	DATATYPE	00b	1エレメントは8ビット
DMACSSAU,DMACSSAL	—	(addr)HGPIODAT2	HPIポートアドレス (バイトアドレス表示)
DMACDSAU,DMACDSAL	—	(addr)dst_addr	DARAM上のメモリアドレス (バイトアドレス表示)
DMACEN	—	2	1フレーム=2エレメント
DMACFN	—	32	1ブロック=32フレーム
DMACSEI0	—	-8	エレメントインデックス= -8
DMACSFIO	—	8	フレームインデックス = 8

---

**参考文献**

1. *TMS320VC5501/5502 DSP Direct Memory Access (DMA) Controller Reference Guide (SPRU613)*
2. *TMS320VC5501/5502 DSP Host Port Interface (HPI) Reference Guide (SPRU620)*

# ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということの意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款をご覧ください。

<http://www.tij.co.jp/jsc/docs/stdterms.htm>

Copyright © 2005, Texas Instruments Incorporated

日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
    - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
  4. 機械的衝撃
    - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
  5. 熱衝撃
    - んだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
  6. 汚染
    - んだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
    - んだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上