

# データ・コンバータの誤差について

セクション	目次 タイトル	ページ
1	初めに .....	1
2	理想伝達関数 .....	1
	2.1 A/Dコンバータ (ADC) .....	1
	2.2 D/Aコンバータ (DAC) .....	3
3	スタティック誤差の原因 .....	4
	3.1 オフセット誤差 .....	4
	3.2 ゲイン誤差 .....	5
	3.3 微分非直線性 (DNL) 誤差 .....	6
	3.4 積分非直線性 (INL) 誤差 .....	7
	3.5 絶対精度 (全体) 誤差 .....	8
4	アパチャー誤差 .....	9
5	量子化の効果 .....	10
6	理想サンプリング .....	12
7	実際のサンプリング .....	13
8	エリアシング効果およびその検討 .....	14
	8.1 フィルタの選択 .....	14
	8.2 フィルタのタイプ .....	14
	8.2.1 バターワース・フィルタ .....	15
	8.2.2 チェビシェフ・フィルタ .....	15
	8.2.3 逆チェビシェフ・フィルタ .....	15
	8.2.4 コーサ・フィルタ .....	15
	8.2.5 ベッセル・トムソン・フィルタ .....	15
	8.3 TLC04 アンチエリアシング・バターワース・フィルタ .....	16

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。

資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。

製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

**SLAA013 翻訳版**

最新の英語版資料

<http://www-s.ti.com/sc/techlit/slaa013.pdf>



図

タイトル

ページ

1. 理想伝達関数 (ADC) .....	2
2. 理想伝達関数(DAC) .....	3
3. オフセット誤差 .....	4
4. 利得誤差 .....	5
5. 微分非直線性 (DNL) .....	6
6. 積分非直線性 (INL) 誤差 .....	7
7. 絶対精度 (Total) 誤差 .....	8
8. アパチャー誤差 .....	9
9. 量子化効果 .....	10
10. 理想サンプリング .....	12
11. 実際のサンプリング .....	13
12. エリアシングの影響およびその検討 .....	14
13. TLC04 アンチエリアシング・バターワース・フィルタ .....	16

## 1 初めに

この資料ではICメーカーのデータシートからデータ・コンバータの仕様を決める方法について述べ、A/Dコンバータを用いた製品設計につきも考察します。また、デバイスの特性が理想と実際で異なる原因である誤差が何故おきるかについても述べます。

## 2 理想伝達関数

ADCの伝達関数は理論的には直線です。しかし、実際的な理想伝達関数は図1に示すように一様な階段特性です。DACの理論的伝達関数も無限の階段で構成される直線であると考えられます。しかし、実際には図2に示す様に理想直線上にある点の集合です。

### 2.1 A/Dコンバータ (ADC)

理想ADCは限定された数のデジタル出力コードの範囲内で、全てのアナログ入力に1対1で対応したデジタル出力コードを出力します。図1は各デジタル・コードが全アナログ入力レンジの一部分を表すことを示しています。アナログ値は連続しており、デジタル・コードは離散的なので、量子化のプロセスが必要となり、誤差の原因となります。デジタル・コードの数が増加すると、対応する階段の幅は狭くなり、伝達関数は理想直線に近付きます。階段の遷移点は、各階段の中央がこの理想直線上の点に対応するように設計されます。

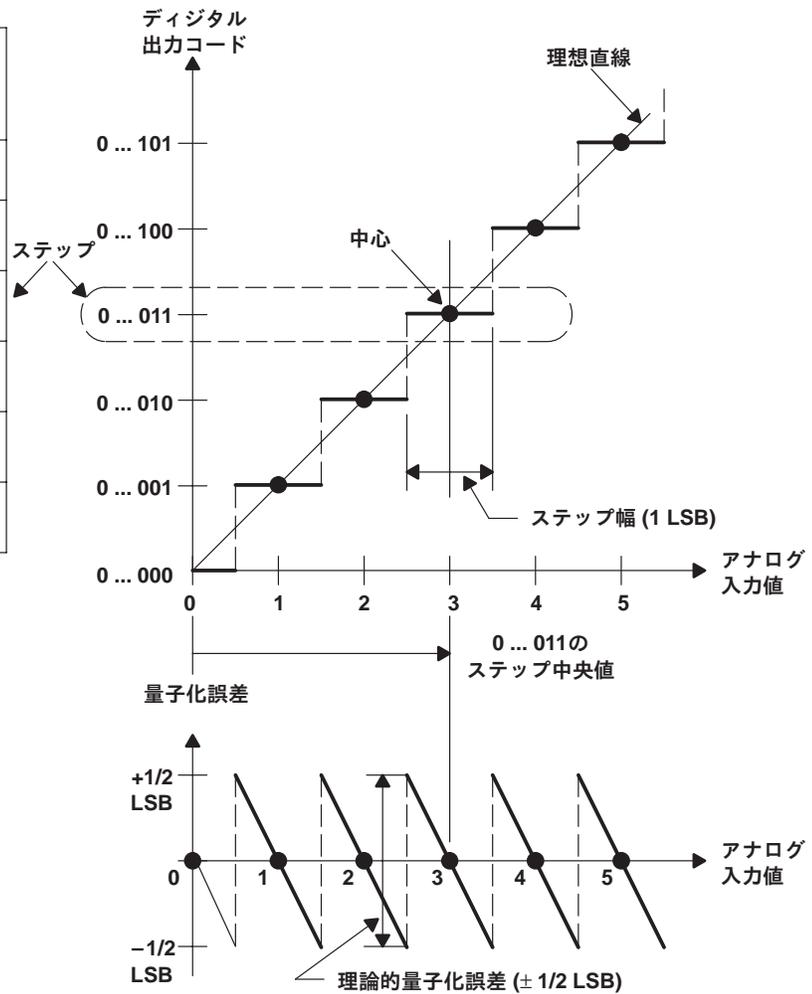
階段1つの幅は1LSB(最小ビット)と定義され、この仕様の他の項目の基準となる値として使用します。また、これは全アナログ入力範囲の分割する数を規定するためコンバータの分解能の尺度となります。このことから、1/2LSBはアナログ分解能の1/2に等しいアナログ量を示します。

ADCの分解能は通常デジタル出力コードのビット数として表されます。例えば、nビットの分解能のADCは $2^n$ ステップを規定する $2^n$ のデジタル・コードを有しています。しかし、最初のステップ(ゼロ)と最後のステップは、他のものの1/2幅しかないので、フルスケール・レンジ(FSR)は $2^n-1$ 幅に分割されることとなります。

このことから、n-ビット・コンバータでは

$$1 \text{ LSB} = \text{FSR} / (2^n - 1)$$

変換コード	
アナログ 入力範囲	デジタル 出力コード
4.5 • 5.5	0 ... 101
3.5 • 4.5	0 ... 100
2.5 • 3.5	0 ... 011
1.5 • 2.5	0 ... 010
0.5 • 1.5	0 ... 001
0 • 0.5	0 ... 000

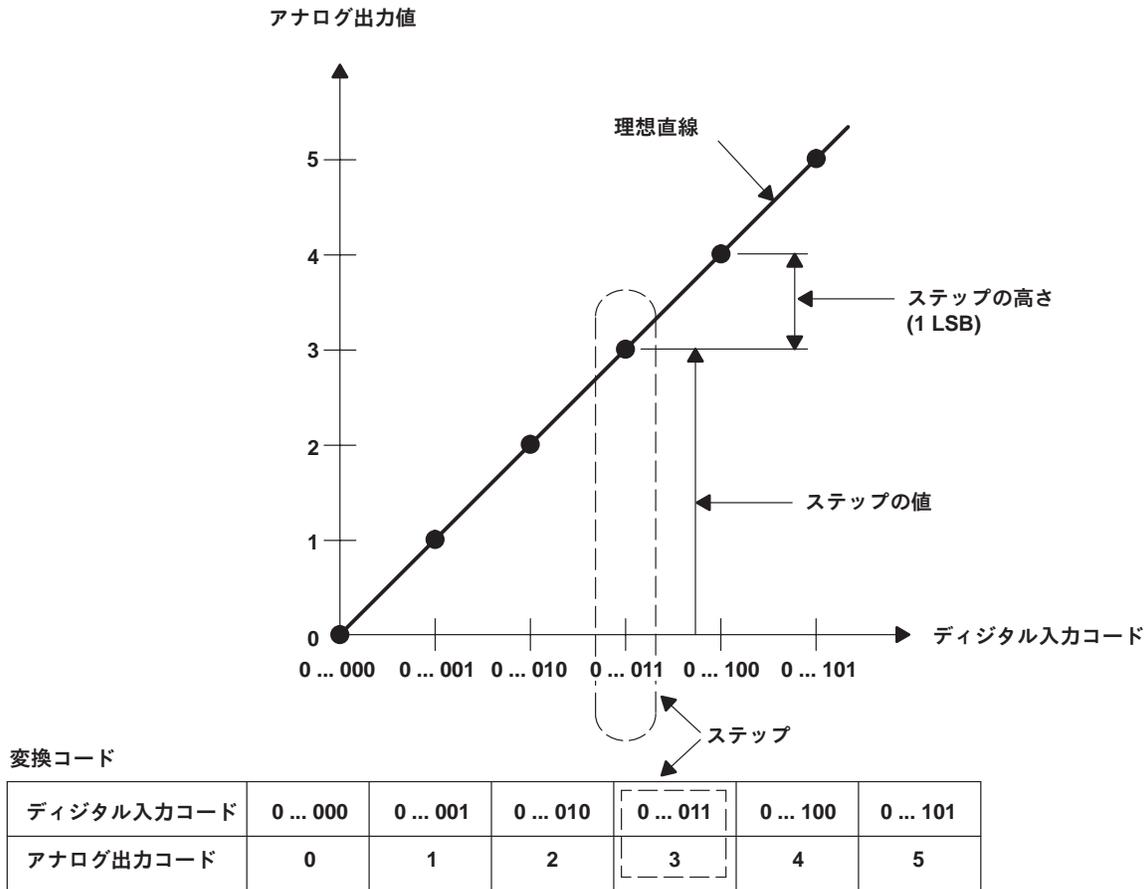


理想ADCトランスファー・ダイアグラム

図1. 理想伝達関数 (ADC)

## 2.2 D/Aコンバータ (DAC)

DACは有限の離散的なデジタル入力コードに対応する数のアナログ出力値に変換します。ですから、DACの伝達関数は図2に示す一連の離散的な点となります。DACでは1LSBは連続するアナログ出力間のステップの高さに対応します。その値はADCと同様な方法で定義されます。DACは、その出力がデジタル入力コードで決まるアナログ・フルスケール値の何分の1かになるデジタル的にコントロールされたポテンシオメータと考えることもできます。



理想リニアDAC伝達ダイヤグラム

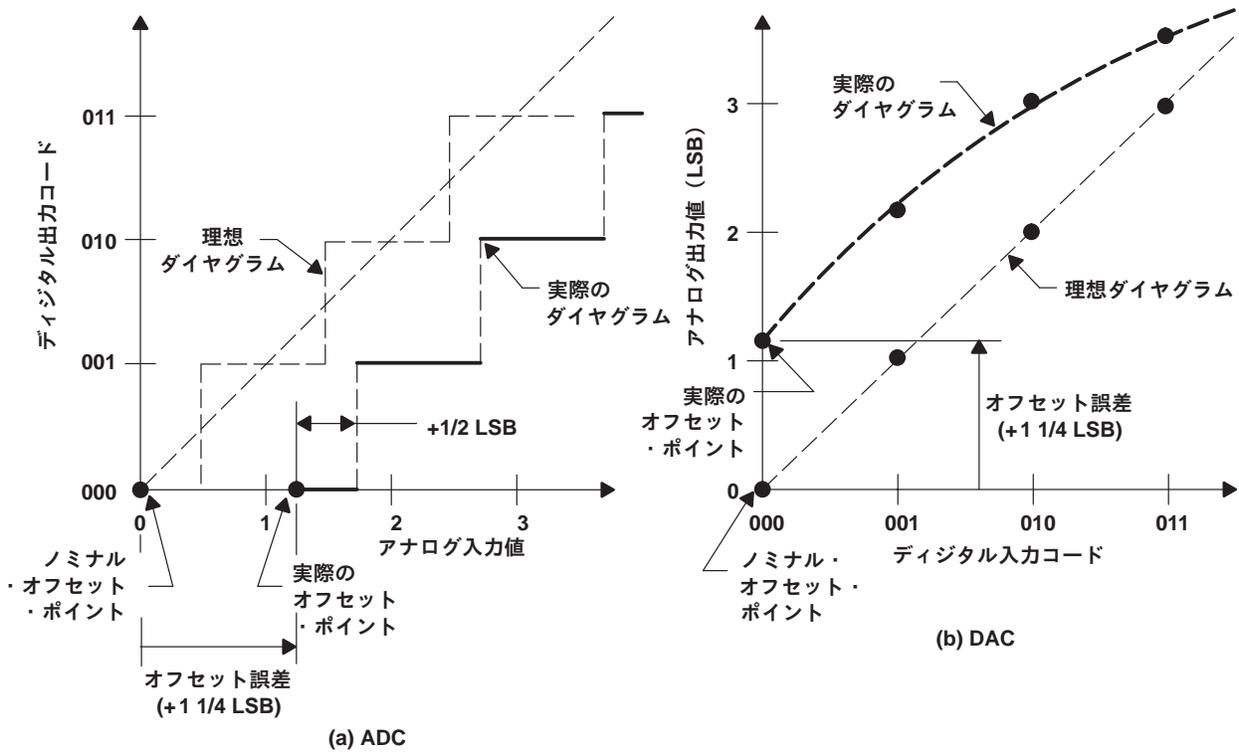
図2.理想伝達関数 (DAC)

### 3 スタティック誤差の原因

スタティック誤差はDC電圧を変換する場合変換の精度に影響する誤差で、次の4つの誤差、オフセット誤差、利得誤差、積分非直線性誤差、微分非直線性誤差で説明できます。それぞれの誤差はLSB単位又はFSRに対する比率(%)で表されます。例えば8ビット・コンバータの1/2LSB誤差は0.2%FSRに相当します。

#### 3.1 オフセット誤差

図3に示すオフセット誤差はノミナル・ポイントと実際のオフセット・ポイントの差として定義されます。ADCではオフセット・ポイントはデジタル出力がゼロの場合のステップ中央値で、DACではデジタル入力がゼロの場合のステップ値です。この誤差は全てのコードに同じ量だけ影響し、通常トリミングにより補償することができます。トリミングができない場合、誤差はゼロスケール誤差とみなされます。

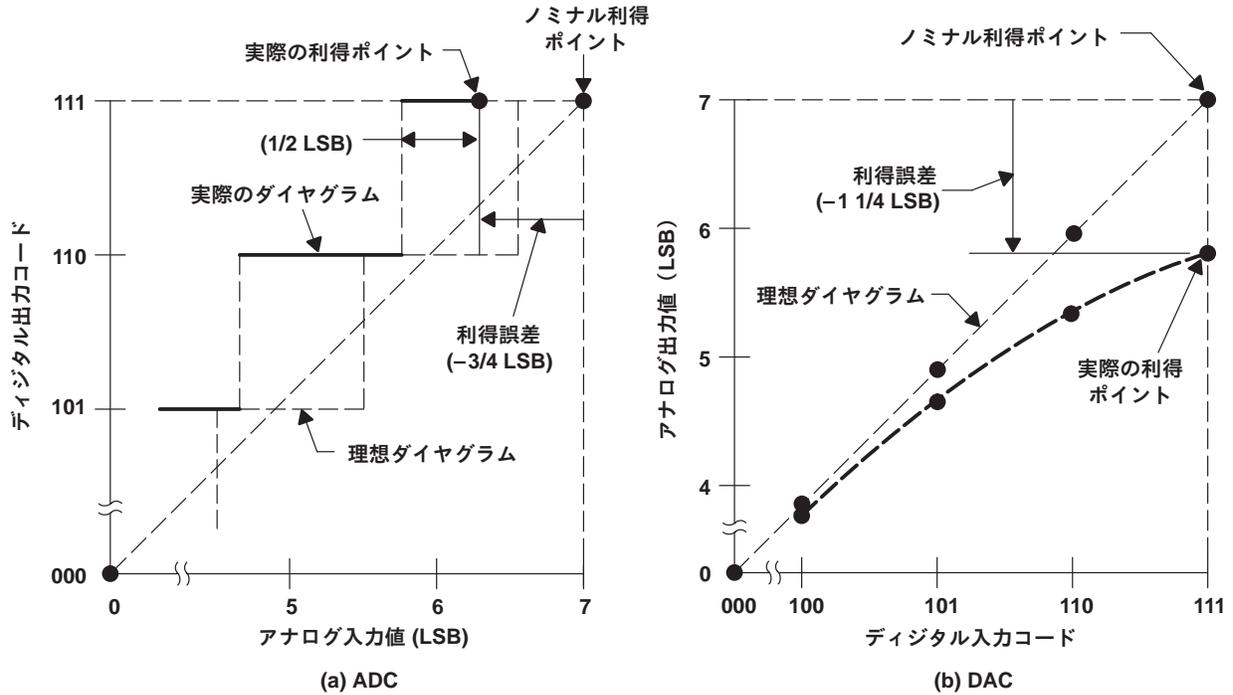


リニア3ビット・ナチュラル・バイナリ・コード・コンバータのオフセット誤差  
(ステップ 000で規定)

図3.オフセット誤差

### 3.2 利得誤差

図4に示す利得誤差は、オフセット誤差がゼロに修正された後の伝達関数のノミナル利得ポイントと実際の利得ポイントの差として定義されます。ADCの場合、利得ポイントはデジタル出力がフル・スケールの場合のステップの中央値であり、DACの場合デジタル入力がフル・スケールの場合のステップ値です。この誤差は実際のスロープと理想伝達関数の差を表しており、各ステップでの同じ比率(%)の誤差に対応します。この誤差は通常トリミングにより調整されます。

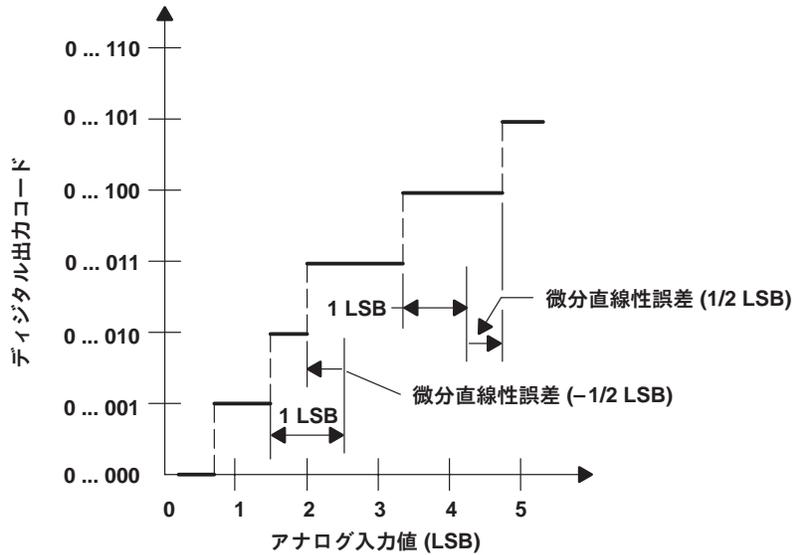


リニア3ビット・ナチュラル・バイナリ・コード・コンバータの利得誤差 (ステップ111) (オフセット誤差修正後)

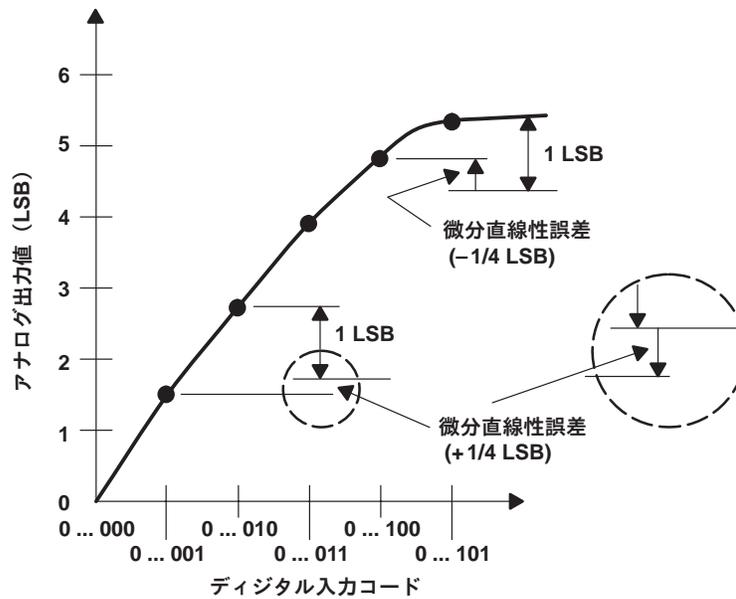
図4.利得誤差

### 3.3 微分非直線性誤差

図5に示す微分非直線性誤差(微分直線性と呼ぶ場合もある)は実際のステップ幅(ADC)又はステップ高さ(DAC)と1LSBの理想値の差です。ですから、ステップ幅又は高さが正確に1LSBであるならば、微分非直線性誤差はゼロです。DNLが1LSBを越えていると、そのコンバータは単調性を失っている可能性があります。このことは入力の増加に対して出力が減少することを意味します。また、ADCではミッシング・コードがある、つまり1こ以上の $2^n$ バイナリ・コードが出力できない可能性があります。



(a) ADC



(b) DAC

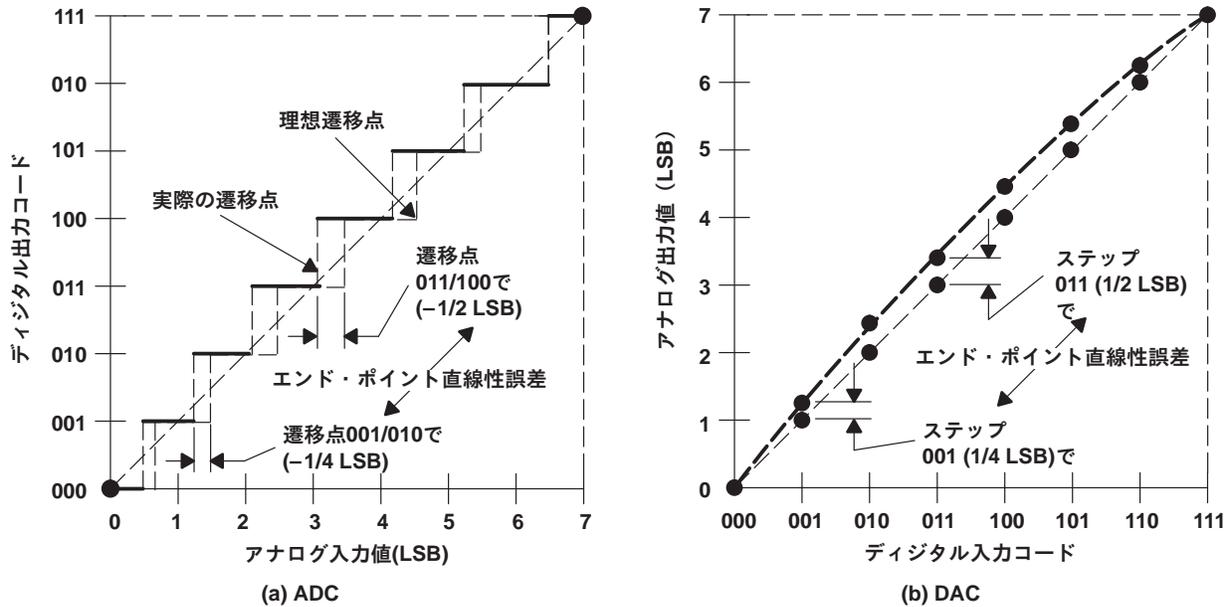
リニアADC又はDACの微分直線性誤差

図5. 微分非直線性誤差 (DNL)

### 3.4 積分非直線性 (INL) 誤差

図6に示す積分非直線性誤差(直線性誤差と呼ぶこともある)は直線からの実際の伝達関数の値の差です。この直線はこの差を最小にするようにひかれた直線、又は一旦利得誤差及びオフセット誤差がゼロ調整された伝達関数の始点、終点間に引かれた直線のどちらでも構いません。この方法はエンド・ポイント・リニアリティとよばれる方法で、より直接的に確認できるので通常用いられる定義です。

ADCについては、あるステップから次のステップへの遷移点で差の測定を行ないます。DACについては各ステップで差の測定を行ないます。名前の通り積分非直線性は一番下からそのステップまで微分非直線性の総和でそのステップでの積分非直線性が導かれます。

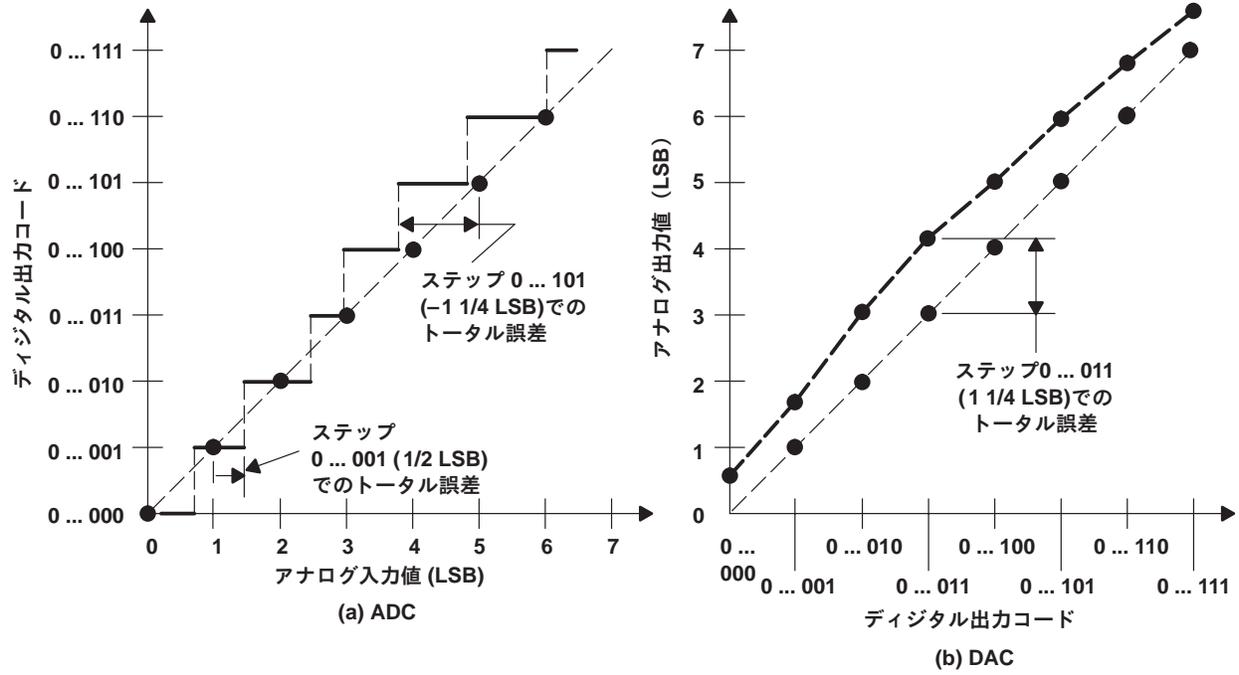


リニア3ビット・ナチュラル・バイナリ・コードADC又はDACのエンド・ポイント直線性誤差(オフセット誤差と利得誤差はゼロに調整)

図6.積分非直線性 (INL) 誤差

### 3.5 絶対精度 (トータル) 誤差

図7に示すADCの絶対精度誤差つまりトータル誤差はアナログ値と理想ステップ中央値の差の最大値です。これはオフセット誤差、利得誤差及び積分直線性誤差及び、ADCの場合はさらに量子化誤差で構成されています。



リニアADC又はDACの絶対精度誤差またはトータル誤差

図7. 絶対精度 (トータル) 誤差

#### 4 アパチャー誤差

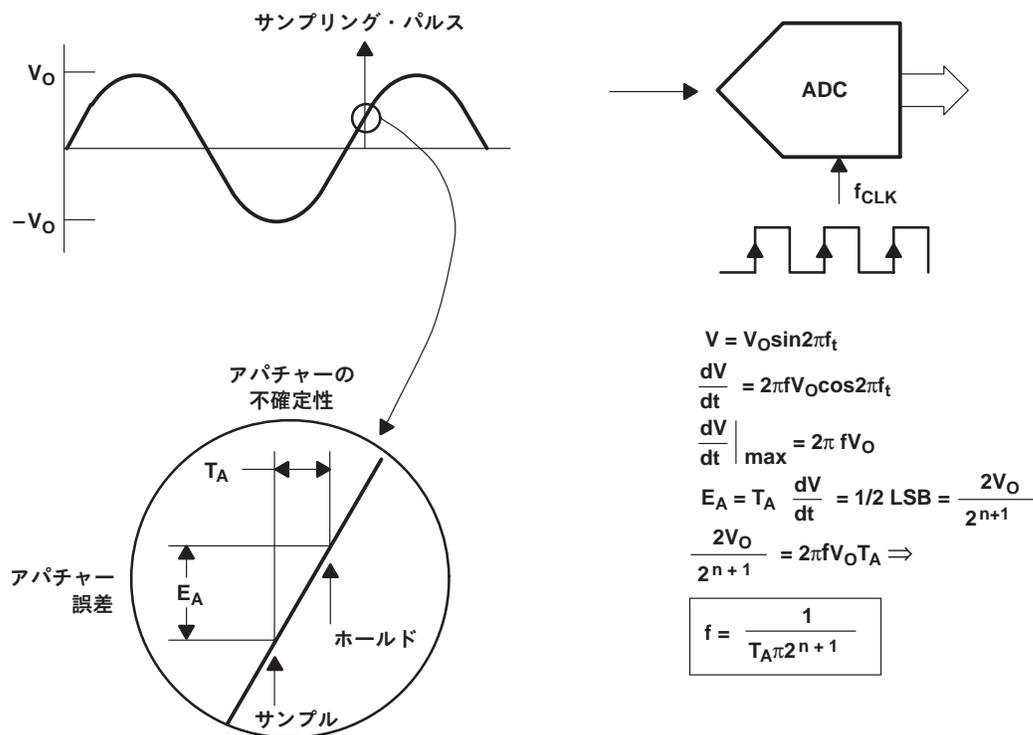


図8. アパチャー誤差

アパチャー誤差は、図8に示すようにサンプル&ホールド回路がサンプル・モードからホールド・モードに変化するタイミングの不確定性により発生します。この変動はクロック信号又は入力信号のノイズが原因です。アパチャー誤差の影響で入力信号の最大スルーレートが決まるため入力正弦波の最大周波数が制限されます。図示のように入力信号が正弦波である場合、入力電圧Vは次のように定義されます。

$$V = V_O \sin 2\pi f t$$

最大スルーレートはゼロを通過するときで、その値は次の通りです。

$$\left. \frac{dV}{dt} \right|_{\max} = 2\pi f V_O$$

アパチャー誤差がコンバータの精度に影響するものでなければ、最大スルーレート時に1/2LSB以下なければなりません。nビット・コンバータでは次のようになります。

$$E_A = T_A \frac{dV}{dt} = 1/2 \text{ LSB} = \frac{2 V_O}{2^{n+1}}$$

これに代入することにより、

$$\frac{2 V_O}{2^{n+1}} = 2\pi f V_O T_A$$

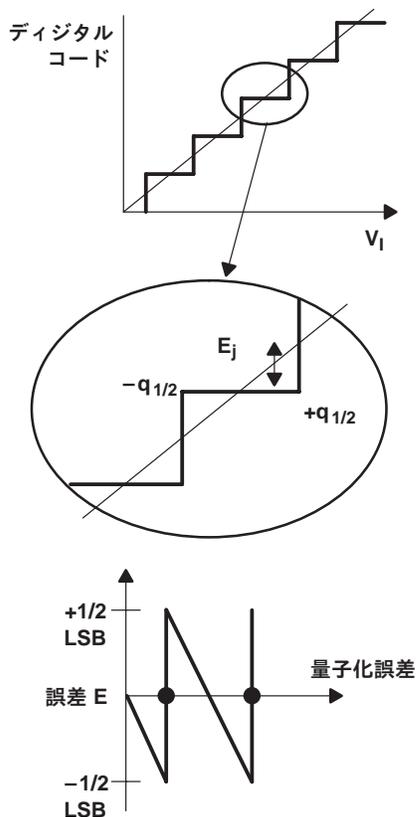
最大周波数は次のようになります。

$$f_{MAX} = \frac{1}{T_A \pi 2^{n+1}}$$

## 5 量子化の影響

ADCに対する物理世界からのアナログ入力が発生する無限の状態の連続した信号です。ところが、デジタル出力は、その性質上デバイスの分解能で決まる、ある数の異なる状態を持つ離散的な関数です。ですから、変換をおこなうと異なる電圧であった一部のアナログ入力信号がデジタル出力では同じ電圧となります。一部の情報は失われ信号に歪みが生じます。これが量子化雑音です。

ADCの理想的な階段状伝達関数では、実際の入力とそのデジタル出力の間の誤差は入力信号がランダムであると仮定すると、一様な確率密度関数を有しています。その誤差は $\pm 1/2$  LSB又は $\pm q/2$ の範囲で変化します。但し、 $q$ は図9に示される1ステップの幅です。



j番目のステップでの誤差

$$E_j = (V_j - V_i)$$

ステップの平均自乗誤差は

$$\bar{E}_j^2 = \frac{1}{q} \int_{-q/2}^{+q/2} E_j^2 dE = \frac{q^2}{12}$$

ステップが等しいとすると、トータル誤差は

$$\bar{N}^2 = q^2/12 \text{ (平均自乗量子化雑音)}$$

正弦波入力  $F(t) = A \sin \omega t$  に対して、信号電力は

$$\bar{F}^2(t) = \frac{1}{2\pi} \int_0^{2\pi} A^2 \sin^2 \omega t d\omega = \frac{A^2}{2}$$

$$\text{及び } q = \frac{2A}{2^n} = \frac{A}{2^{n-1}}$$

$$\text{SNR} = 10 \text{ Log} \left( \frac{\bar{F}^2}{\bar{N}^2} \right) = 10 \text{ Log} \left( \frac{A^2/2}{A^2/3 \times 2^n} \right)$$

$$\text{SNR} = 6.02n + 1.76 \text{ dB}$$

図9.量子化効果

但し、

$$p(\epsilon) = \frac{1}{q} \text{ for } \left( -\frac{q}{2} \leq \epsilon \leq +\frac{q}{2} \right)$$

又は、

$$p(\epsilon) = 0$$

1ステップでの誤差の平均雑音電力(自乗平均)は、次のように表すことができます。

$$\bar{N}^2 = \frac{1}{q} \int_{-q/2}^{q/2} \epsilon^2 d\epsilon$$

従って

$$\bar{N}^2 = \frac{q^2}{12}$$

全変換領域における全自乗平均誤差電圧 $N^2$ は、各量子化レベルの自乗平均誤差電圧に対応する確率を乗じたものの和となります。コンバータが理想的であるとすると、各コード・ステップの幅は等しく、確率は等しいこととなりますから、理想的な場合では次のようになります。

$$N^2 = \frac{q^2}{12}$$

振幅Aの正弦波入力 $F(t)$ について考えると、

$$F(t) = A \sin \omega t$$

自乗平均値を $F^2(t)$ とすると、

$$F^2(t) = \frac{1}{2\pi} \int_0^{2\pi} A^2 \sin^2(\omega t) dt$$

これは信号電力ですから、信号対雑音比SNRは

$$\text{SNR(dB)} = 10 \text{Log} \left[ \left( \frac{A^2}{2} \right) / \left( \frac{q^2}{12} \right) \right]$$

です。しかし、

$$q = 1 \text{ LSB} = \frac{2A}{2^n} = \frac{A}{2^{n-1}}$$

ですから、これを代入すると、

$$\begin{aligned} \text{SNR(dB)} &= 10 \text{Log} \left[ \left( \frac{A^2}{2} \right) / \left( \frac{A^2}{3 \times 2^{2n}} \right) \right] = 10 \text{Log} \left( \frac{3 \times 2^{2n}}{2} \right) \\ &\Rightarrow \underline{\underline{6.02n + 1.76\text{dB}}} \end{aligned}$$

これによって、 $n$ ビット・コンバータの理想SNR値を知ることができると共に分解能を1ビット増加することによりSNRが約6dB改善できることが判ります。

実際には、3で述べた誤差により非直線性が発生し、信号対雑音比は低下します。1/2LSB微分非直線性の限界はミッシング・コードが1つ発生した状態であり、これは分解能1ビットの低下つまりSNRの6dBの低下に相当します。従って、直線性誤差が1/2LSBの $n$ ビット・コンバータのSNRは最悪条件で次のようになります。

$$\text{SNR} = 6.02n + 1.76 - 6 = 6.02n - 4.24 \text{ dB}$$

このことから、所望のレベルのSNRを有するコンバータの分解能を選択する場合の境界条件を設定することができました。

## 6 理想的サンプリング

時間的に連続した信号を離散的なデジタル形式に変換する場合、サンプリングのプロセスが不可欠です。理想状態ではサンプリングは無限小の幅と単位の面積を有するインパルス列の形をとります。各インパルス間の時間の逆数をサンプリング・レートと言います。入力信号は帯域制限されて理想的化されており、スペクトラム上ある値をこえる周波数成分は含んでいません(図10参照)。

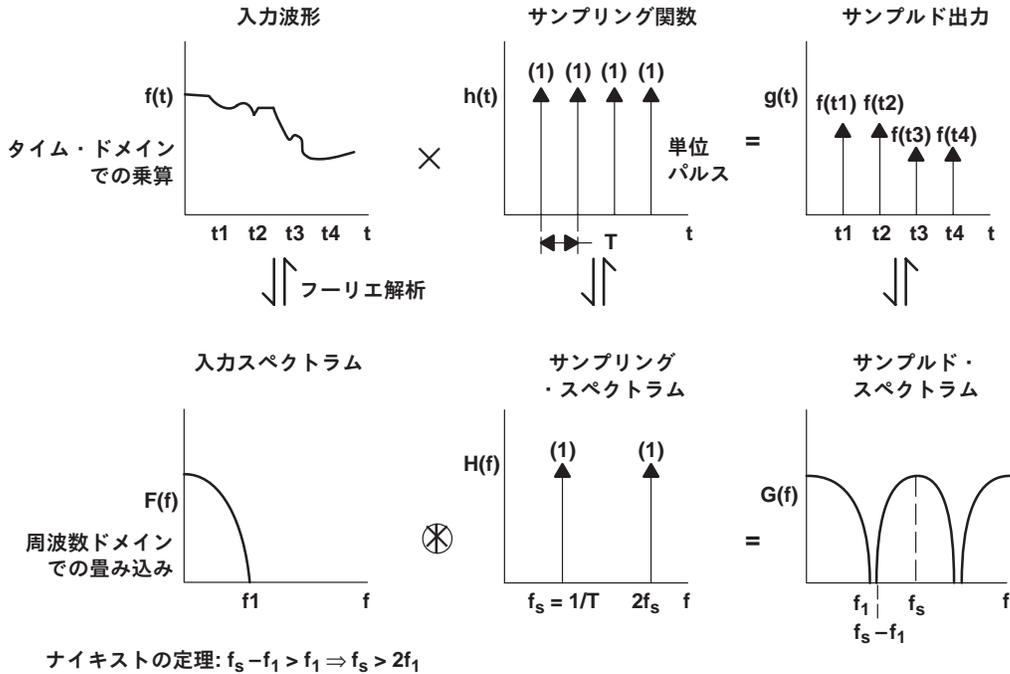


図10.理想サンプリング

理想サンプリング条件を周波数ドメインとタイム・ドメインで示します。タイム・ドメインでのサンプリングではサンプリング時点での入力信号の値を表す振幅変調されたインパルス列を生成します。周波数ドメインではパルス列のスペクトラムはサンプリング・レートの倍数である一連の離散的な周波数となります。サンプリングにより入力信号のスペクトラムと示されたパルス列のスペクトラムの畳み込みを行ないます。畳み込みの結果として図に示される統合されたスペクトラムが生成されます。これは振幅変調で生成された離散的な周波数とその両側に側帯波を伴っています。実際には高周波ではフォールド・バックが起こり、低い周波数で干渉を生じます。この干渉によりエリアシングとよばれる歪みが生じます。

入力信号が $f_1$ に帯域制限され、周波数 $f_s$ でサンプリングされるならば図示されるように、以下に示す条件を満たすならばオーバーラップ（従ってエリアシング）は発生しません。

$$f_1 < f_s - f_1 \quad \text{i.e., } 2f_1 < f_s$$

つまり、少なくとも入力信号周波数の2倍の周波数でサンプリングを行なうならば、エリアシングは発生せず、入力信号の全ての情報を取り出すことができます。これがナイキストのサンプリング定理であり、与えられた帯域幅の入力信号を変換するために必要なサンプリング周波数の設定の基本的な基準となります。

## 7 実際のサンプリング

インパルスの考え方はサンプリングの解析を単純化するために役に立ちます。しかし、理論的な考え方の整理には適していますが、実現することはできません。実際の信号はサンプリング周波数の逆数に等しい周期を有する一連のパルスです。この一連のパルスでサンプリングすると一連の振幅変調されたパルス列を得ることができます(図11参照)。

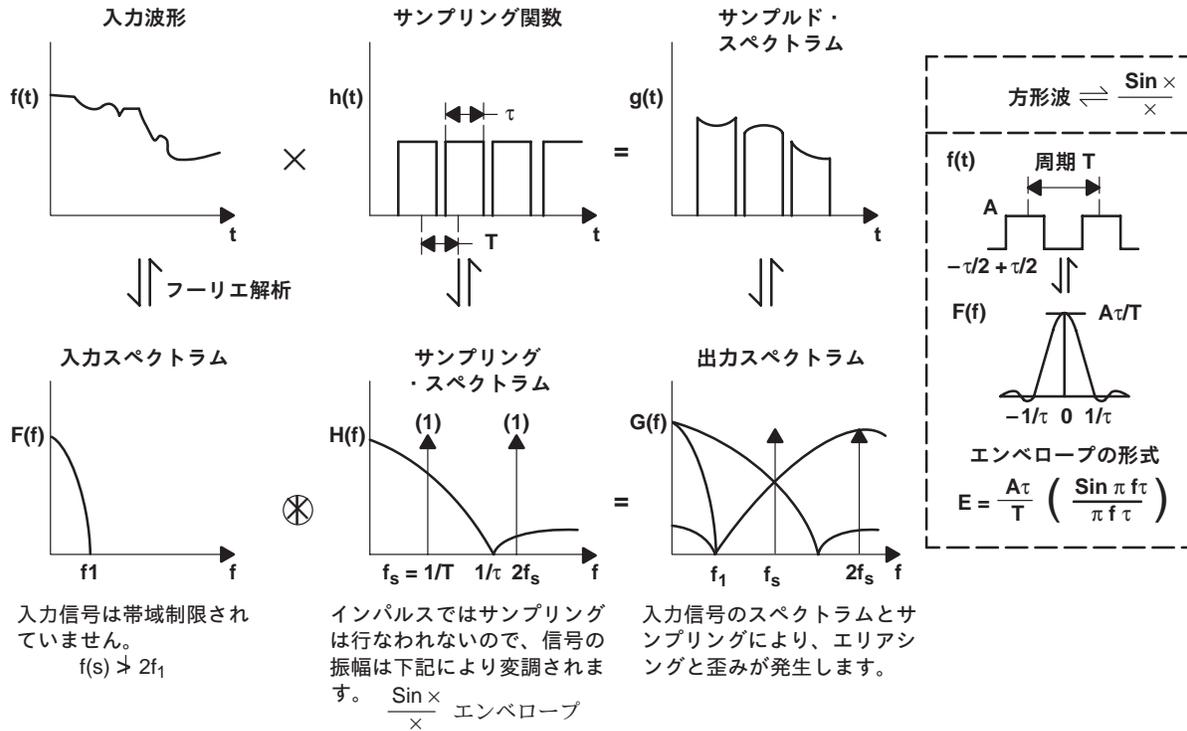


図11.実際のサンプリング

方形波パルス列を調べるとインパルス列の場合と同様、一連の離散的な周波数が現れます。しかし、この周波数の振幅は $(\sin x)/x$  [  $\text{sinc}(x)$ と表記されることもある]の包絡線に変調されます。但し、この場合 $x$ は $\pi f_s$ です。例えば振幅 $A$ の方形波では、スペクトラムの包絡線は次のように定義されます。

$$\text{Envelope} = A \left( \frac{\tau}{T} \right) \left[ \text{sin}(\pi f_s \tau) \right] / \pi f_s \tau$$

これから発生する誤差は $\text{sinc}$ 包絡線を補償するフィルタで抑えることができます。これはDSPを用いたデジタル・フィルタを用いても従来のアナログ方式のフィルタを用いても実現することができます。

## 8 エリアシング効果およびその検討

全ての信号は最初から決定されているわけではありません。そのため、実際には無限の帯域幅を有しています。しかし、高次の高調波成分のエネルギーは徐々に小さくなり、ある値で無視できるようになります。この値はシステム的设计者が決定しなければなりません。

図示のようにエリアシングの量はサンプリング周波数と必要なフィルタリングをおこなった入力信号の任意の帯域幅の影響を受けます。エリアシングの許容量は最終的にはシステムの分解能で決まります。システムの分解能が低ければノイズ・レベルは既に高く、エリアシングは実質的に問題ではありません。しかし、システムの分解能が高ければエリアシングによりノイズ・レベルは相当高くなり、ノイズを抑えることが必要になります。

エリアシングを避ける方法としてサンプリング・レートを高くする方法があります。しかし、サンプリング・レートは使用するコンバータの種類や接続するデジタル・プロセッサの最大クロック・レートによって制約されています。そのため、エリアシングの影響を許容できる範囲に抑制するためにアナログ・フィルタを使用して入力信号スペクトラム変更しなければなりません(図12)。

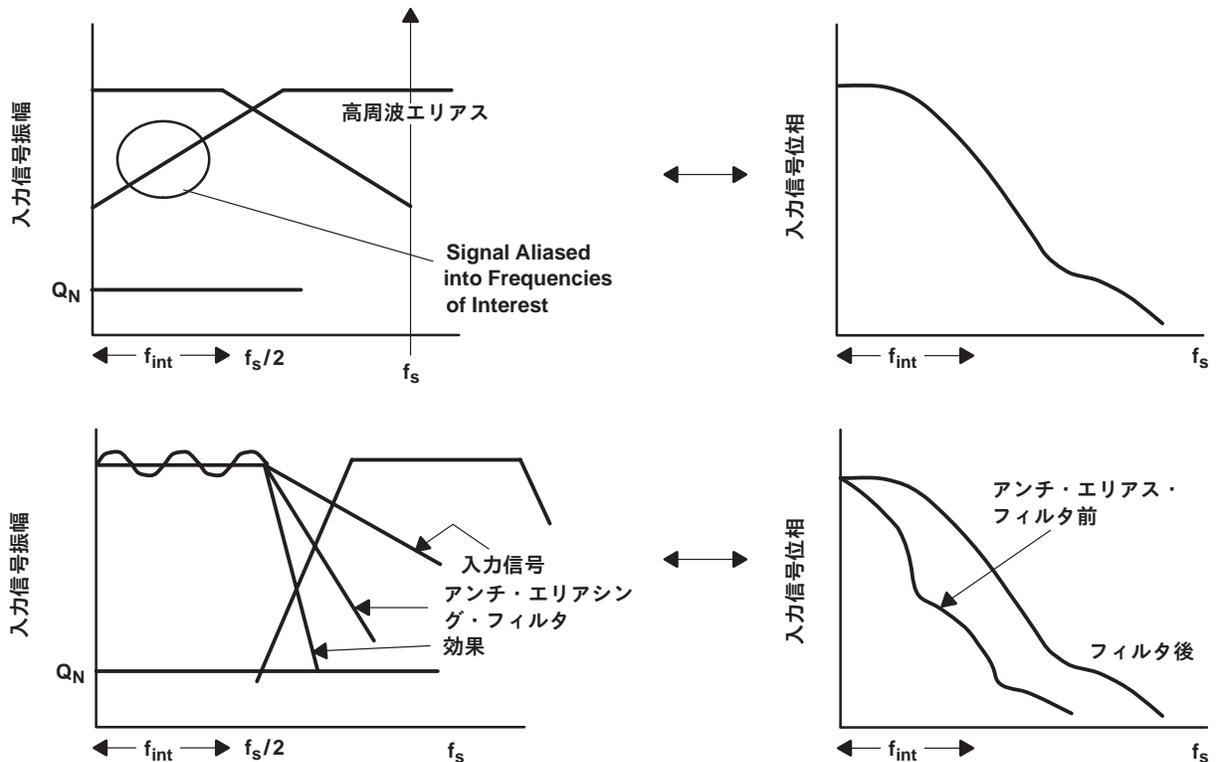


図12.エリアシングの影響とその検討

### 8.1 フィルタの選択

サンプリングの項でも述べたように、理想を追求したフィルタの選択を行なっても、実際には必要な妥協を行ない具体化しなければなりません。理想的フィルタはいわゆるブリック・ウォール・フィルタで通過帯域で減衰を生ぜず、阻止帯域では応答は直角に立上り無限大の減衰量で遮断します。実際にはこのフィルタは通過帯域でも若干の減衰を生じ、有限のロールオフを有し阻止帯域でも一部の周波数が通過するフィルタで近似されます。また、振幅歪みと同様に位相歪みも生じることがあります。フィルタの次数とタイプの選択はシステムの要求特性に合わせて決定する必要があります。

### 8.2 フィルタのタイプ

使用可能なフィルタの基本的なタイプの比較を簡単に述べます。ここではフィルタについて詳細に論じるわけではありませんので詳しくは他の他の資料を参照してください。

### 8.2.1 バターワース・フィルタ

バターワース・フィルタは最も一般的に使用される汎用フィルタです。このフィルタの通過帯域はナチュラル周波数として知られる3dBポイントまで減衰量が単調に増加します。この周波数はフィルタの次数に関係なく一定です。しかし、フィルタの次数が上がると、通過帯域でのロールオフがそのナチュラル周波数に接近し、ナチュラル周波数と阻止帯域の遷移領域のロールオフがより急峻となります。

### 8.2.2 チェビシェフ・フィルタ

リップル・フィルタと同じであるチェビシェフ・フィルタはロールオフが全通過帯域に存在しています。通過帯域でのリップルが多くなりますが、遷移領域ではより急峻なロールオフを実現しています。このタイプのフィルタはQ値が高いため過渡応答、ステップ応答が良くありません。

### 8.2.3 逆チェビシェフ・フィルタ

バターワース・フィルタもチェビシェフ・フィルタも遷移領域および阻止帯域では単調です。阻止帯域でのリップルが許容されるので、ロールオフをより急峻にすることができます。これが逆チェビシェフ・フィルタの基本的な特性であり、チェビシェフ・フィルタ応答の角周波数の逆数に基づいています。このフィルタは、チェビシェフ・フィルタより初期ロールオフが大きく、通過帯域で単調であり、バターワース・フィルタよりも平坦です。

### 8.2.4 Cauerフィルタ

Cauerフィルタ（又はEllipticフィルタ）は通過帯域及び阻止帯域いずれにおいても単調です。しかし、標準的なフィルタ構成で最大のロールオフを実現しています。

### 8.2.5 ベッセル・トムソン・フィルタ

以上述べた全てのタイプのフィルタは入力スペクトラムの周波数成分で位相関係に非直線性が発生します。信号が再構成された場合、これが問題となる場合があります。ベッセル・トムソンまたはリニア・ディレイ・フィルタでは位相歪みは発生しません。しかし、反面、振幅応答が悪くなります。

一般的にこれら全てのタイプのフィルタの特性は段数つまりフィルタの次数を上げることにより改善することができます。とうぜん、このため部品点数の増加や基板面積の増加などが伴います。このため、1kHz～100kHzの範囲ではディスクリット部品と同等の性能を実現しているIC化されたスイッチド・キャパシタ・フィルタ・ビルディング・ブロックを使用するのが良いでしょう。これはスペース面でもコスト面でも大変有利です。

### 8.3 TLC04 アンチ・エリアシング・バターワース・フィルタ

TLC04 4次バターワース・フィルタは次の機能を備えています。

- 低クローカットオフ周波数比誤差... 0.8%
- カットオフ周波数は外部クロックの安定性にのみ依存
- カットオフ周波数レンジ... 0.1 Hz ~ 30 kHz
- 電源動作範囲... 5-V ~ 12-V
- 内蔵クロックによる動作または TTL 及びCOS レベルのクロック入力

8.2.1で述べたようにバターワース・フィルタはフィルタでは最もバランスのよい構成であり、設計もやりやすいものです。バターワース・フィルタの特性は、フィルタを設計する場合、全ての段のフィルタが同じナチュラル周波数を持ち、フィルタの設計が容易になる考え方に基づいています。最近のオペアンプを使用するフィルタ設計は直列の2次ニューマレータ段及びデノミネータ段 (Biquad回路) により全体の伝達関数を構成します。これらの回路を使用することにより、バターワース・フィルタは各フィルタ段が同じナチュラル周波数を有しているため単純化することができます。この回路は容易に優れたキャパシタのマッチングと精度の高いRC合成時定数を備えたスイッチド・キャパシタ・フィルタ (SCF) に変換することができます。

スイッチド・キャパシタ方式を図13に示します。2系統の逆相のクロックが同じ周波数で動作し、キャパシタ $C_2$ を交互に入力とオペアンプの反転入力に接続します。 $\phi_1$ の期間中、 $V_1C_2$ に等しい電荷 $Q$ がキャパシタに流入します。スイッチは理想的なものと考えているので、直列抵抗は存在せず、キャパシタは即座に充電されます。 $\phi_2$ の期間中スイッチはオペアンプ入力端子の仮想GNDに接続され、蓄積された電荷 $Q$ を即座に放電します。

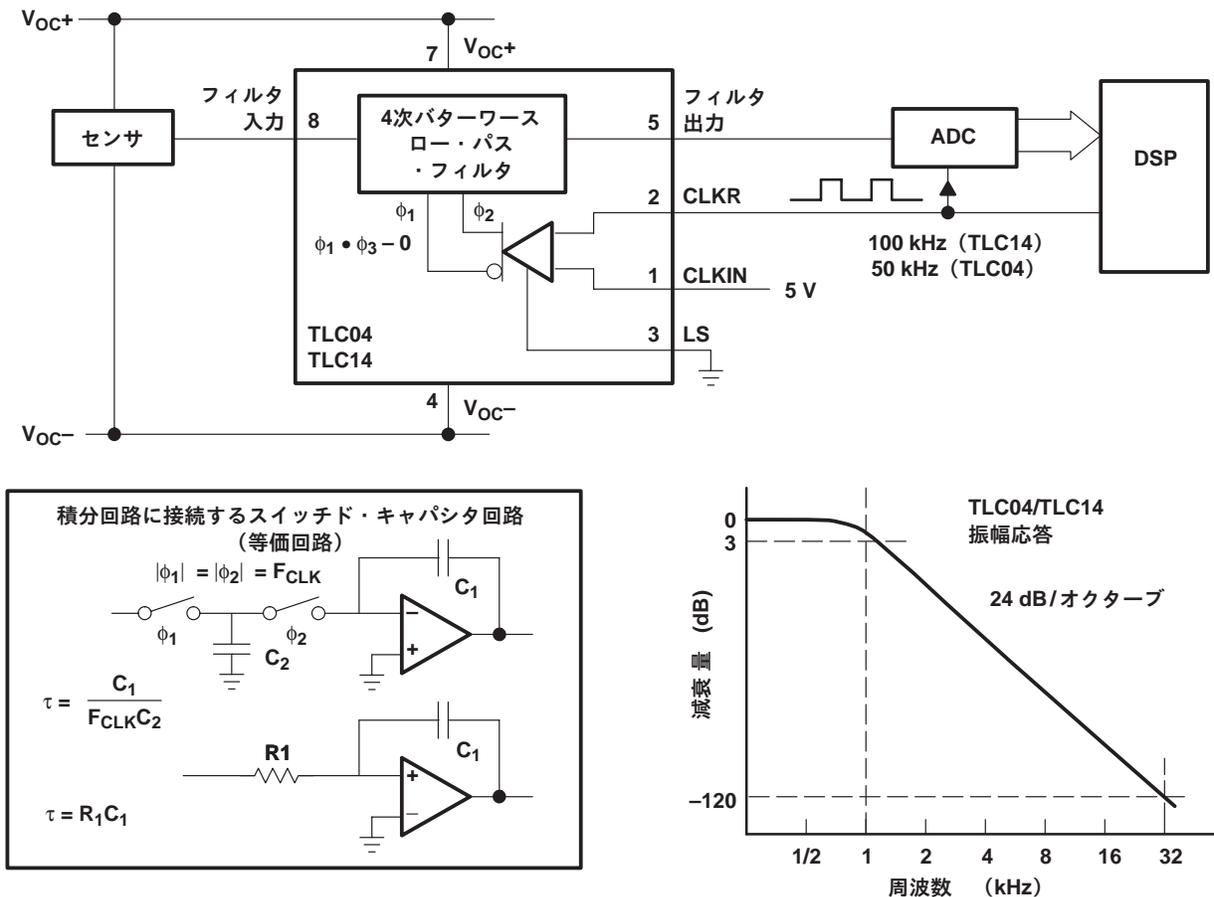


図13. TLC04 アンチ・エリアシング・バターワース・フィルタ

平均電流 $I_{AV}$ はクロック周期に依存し次のようになります。

$$I_{AV} = \frac{Q}{T} = V_I \frac{C_2}{T} = V_I C_2 F_{CLK}$$

従ってスイッチド・キャパシタは抵抗値と仮定することができます。

$$R_{eq} = \frac{V_I}{I_{AV}} = \frac{1}{C_2 F_{CLK}}$$

この方式のメリットは積分回路の時定数をこの等価抵抗を変更することにより設定できる点にあります。これは単純にクロック周波数を変更することにより行なうことができます。時定数は2このキャパシタの比に依存し、このキャパシタの比はICの製造プロセスで電圧と温度の変化に対して忠実に追従するように造ることができるので、フィルタ回路の精度を高めることができます。但し、クロック周波数は入力信号の周波数に対して充分高く、 $V_I$ は一定であるものと仮定します。

TLC04は上記のような特性を備えた、IC化されたバターワース・ロー・パス・フィルタで、カットオフ周波数をデジタル・クロックによりコントロールすることができます。このデバイスではカットオフ周波数はクロック周波数により設定されており、カットオフ周波数とクロック周波数の比は50:1で、精度は0.8%です。このため、フィルタのカットオフ周波数はサンプリング・レートに直結しており、システム全体として単一の基本クロック信号で動作しなければなりません。SCF方式を用いた場合の4次のフィルタを1このICで構成可能で、コントロールが容易なこともメリットとして挙げるすることができます。

n次バターワース・フィルタの応答は次式で示すことができます。

$$\text{Attenuation} = \left[ 1 + \left( \frac{f}{f_c} \right)^{2n} \right]^{1/2}$$

下表にTLC04による4次バターワース・フィルタ設計例を示します。

周波数	減衰量 (係数)	減衰量 (dB)	位相 (度)
$F_c/2$	0.998	0.02	26.6
$F_c$	0.707	3	45
$2F_c$	0.0624	24	63.4
$4F_c$	0.00391	48	76
$8F_c$	0.000244	72	82.9
$12F_c$	0.000048	86	85.2
$16F_c$	0.000015	96	86.4

これはカットオフ周波数の8倍でサンプリングした場合入力対エリヤスト・シグナル比が72dBとなり、この値は10ビットの量子化雑音による歪みよりも小さくなることを意味してしています。

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負ひません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。

前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上