

高速ADC(アナログ・デジタル・コンバータ)用 クロック・ソースのアプリケーションでピリオド・ジッタ σ_T を 単側波帯対キャリア比(SSCR) $L(f_n)$ から計算する方法

Alfio Zanchi

Texas Instruments, Inc. – Wireless Infrastructure Data Converters

12500 TI Boulevard - 75243 Dallas, TX (U.S.A.)

alfio.zanchi@ieee.org

要約

本論では、単側波帯対キャリア比(SSCR: Single Sideband to Carrier Ratio)を通じてあるクロック・ソースの位相ノイズを見積もる場合に、その位相ノイズを振幅周期のサイクル間ジッタに変換するための汎用的な数式を紹介し、この結びつきにより、外部クロック・ソースの位相ノイズ(通常はdBc/Hz単位)をシームレスに合計して、オンチップ・クロック同期回路の位相安定度の数値(通常はps-RMS単位で見積もられる)を出すことが可能になります。これはまた、サンプリング回路の総アパーチャ・ジッタへのそれらの影響を見積もることを可能にし、それによって最終的には(本論に示すように)アナログ・デジタル・コンバータのようなシステムのSNRを判別することが可能になります。

時間領域性能指数と周波数領域性能指数の関係の有効性はまず、バイポーラとCMOSを統合したVCOで特徴付けられる位相ノイズ・スペクトルについてテストされます。その後、PLL方式周波数シンセサイザでもっともよくある例が、時間から振幅への変換技法と、位相ノイズ専用のテスト装備の両方を導入して処理されます。

本文中に提示され、250に厳密に定量化された数式を利用して最適化された、最先端のアパーチャ・ジッタによって可能になった最適なパフォーマンスの実例は、Texas Instruments製品である3G ワイヤレス・インフラストラクチャBTSアプリケーション用の高速14b 65MSps ADCである ADS5420U で示されます。

目次

はじめに	3
汎用的な「SSCR \leftrightarrow ジッタ間変換式」の微分	3
数式の実験的検証	7
1. 自励LCタンク型 VCO	8
2. フェーズ・ロックド・ループのテスト	9
アプリケーション：高速ADCのクロック・ソース・ジッタ	10
結論	13
参考：	13

図目次

図1	周波数ノイズ、位相ノイズ、および出力電圧ノイズの電力スペクトル密度： a) 自励発振器の場合, b) PLL周波数シンセサイザの場合	4
図2	Matlabでシミュレートした信号スペクトルの詳細。上側のスペクトルは白色周波数雑音を示すオシレータ(自励VCO)に付随し、下側のスペクトルはハイパスフィルタをかけた周波数ノイズ(PLLに特徴的)によるもの。.....	4
図3	位相変調のみの原因となる2つのサイドトーンの影響を受けるキャリア周波数を、フェーザ面で表したもの	5
図4	実験設備のブロック・ダイアグラム。同軸スタブがゼロ交差検出器の動作を同期させるために使用されるのに対して、低ノイズ計装アンプはイメージ除去機能を備えている。(注[3])	7
図5	a) 実験で得られた、LC調整型VCOとその周辺に構築されたPLLについてのSSCR曲線。VCOプロットの純粋な $1/f^2$ 傾向での矛盾は、PLLアクションの残余によるものです。 b) Fig. 4での設定のMCAで収集された、周期持続の統計的分布	8
図6	実験での検証に使用する統合PLL(フェーズ・ロックド・ループ)の基本的な仕組み	8
図7	異なる帯域で動作するCMOS PLL周波数シンセサイザ用の、実験上のSSCRプロット。 b) ジッタを示しているPLL出力のゼロ交差。Agilent Infiniium™オシロスコープで撮影。.....	9
図8	統合内部基準電圧とオンチップ・クロック・ドライバの付いた、パイプライン・コンバータのアーキテクチャ(1段につき2.5ビット)	10
図9	30MHzでの外部電源のプロファイル(SSCR vs. f_n オフセット周波数)。 位相ノイズ・アナライザAeroflex PN9000で観測。.....	11
図10	TIのADS5420 14ビット65MSps ADコンバータ(ワイヤレス・インフラストラクチャ・アプリケーション用)で、サンプリング・レート65MSpsで f_{IN} の掃引を行った場合	12

はじめに

最新のCDMAマルチキャリア規格、低IF方式シングルヘテロダイナミック・レシーバ、および高度なパワー・アンプ線形化技術では、ADCのパフォーマンスに要求されるレベルがますます上がってきています。そのため、速度、ゲイン、マッチングおよび（現在、主として非常に進歩した技術で利用可能な）線形性といった点に関して、デバイスの柔軟性が求められています。また同時に、共通のBiCMOSプラットフォームを利用することにより、RFフロント・エンド（アナログ高周波回路）とIF（中間周波数）アナログ・デジタル変換の統合、つまりADCとデジタル・ダウンコンバータ（DDC）との統合が実現すれば、最終DSPの前段階の重要なボトルネックを取り除くこともできます。システムの分解能（resolution）に対する主な制限は、ADCのSNR（SN比：信号と雑音の比）になります。このSN比自体は、レシーバの中間周波数（IF）が70MHzより高くプッシュされる場合はジッタに制限されます。タイミングの不確実性は、外部クロック同期ソースとオンチップ・クロック条件と配布ネットワークのRMSの組み合わせによって生じます。

時間基準回路の位相ノイズを見積もるために使用される各性能指数を統一することは、外部計装と集積回路のまさに境界で不可欠になります。混合信号の設計者は、サンプリング・クロックの安定度と、最終的にはSNRの安定度を算定するために選択する数値（the figure of choice）として時間ジッタを選ぶ傾向にあります。RF計装データシートでは同じ現象を、単側波帯対キャリア比（SSCR：Single Sideband to Carrier Ratio）を通じて表現された位相ノイズとして評価する傾向にあります。

σ_{T_0} は、振幅周期の時間分を収集することによって得られた、統計的分布のRMS標準偏差と定義されます。これに対してSSCR(f_n)は、キャリアからのオフセット f_n での1-Hz帯域に見られる位相ノイズ電力と、 f_0 に集中されたキャリア電力の比率から得られるスペクトル・プロファイルです。

以前に発表したある論文（参考[1]）の中では、位相ノイズの見積もりに使用される時間領域パラメータ（ジッタ）と周波数領域パラメータ（SSCR）の関係を実例付で説明しました。ジッタのために提供された多くの定義の中から、周期波形のサイクル・ジッタ、つまりピリオド・ジッタについて説明します。このジッタは、よく知られた次の等式（参考[2]）の中の、SNRを決定するパラメータであるためです。

$$SNR = -20 \cdot \log(2\pi f_{IN} \sigma_{T_0}) \quad (1)$$

これから示される数式Eqs. 14または16を使用すると、積分の数値を計算するだけで位相ノイズのスペクトルからジッタを導き出すことができます。

実験的な見地から、この数式では、ジッタ専用の実験器具に依存せず、本論の最後の部分で示すように、標準的なスペクトル・アナライザのみを使ってタイミング偏差を見積もることができるようになっています。

この研究が目指すのは、クリティカルな回路の設計でのソース+クロック・ジッタ全体の最適化です。本論では、14b 65MSpsスイッチトキャパシタ・パイプライン型ADCを紹介します。このADCの仕様は、70MHzから220MHzのIFサンプリング能力を必要とする、3Gワイヤレス規格の基地局向けになっています。

ADCは最終的に、250fsという低い値のピリオド・ジッタを示します。これはCMOSベースのクロック用としてはこれまでで最適と証明された数値であり、65MSps, 220MHz IFで69.3dBFS（ディービー・フルスケール）という優良なSNRを可能にします。回路は、Texas Instrumentsが独自に開発したRFSiGe1シリコン・ゲルマニウム高速BiCMOSプロセスで設計されます。

汎用的な「SSCR ↔ ジッタ間変換式」の微分

参考[1]の論文中で作成した式（便宜的に下の式（2）に記述）は、キャリアの周囲にできたの線の特徴とする、古典的な位相ノイズ・プロファイルの仮定に基づいて得られたものです。（図1a）：

$$\sigma_{T_0}^2 = \frac{f_n^2}{f_0^3} \cdot SSCR(f_n) \quad (2)$$

ただし、実際には上記の動きから逸脱する状況も数多くあります。たとえばCMOSのVCO（電圧制御発振器）のフリッカノイズは、出力スペクトル側波帯にある特徴的な f_0^{-3} の勾配に移ります。さらに重要なことに、外部電源に同期した多くのアプリケーションでは、PLLによって合成されたスペクトルが、 f_0 の周りに集中するループ帯域BWの内側でフラットになっています（図1b）。計装（例：HP8644Bの電源）に見られるPLLの位相安定度の特性は、通常SSCR項で評価されるか、キャリア周波数からオフセット周波数 f_n 分だけ離れた点の値（単位：dBc/Hz）で表現されるため、任意のSSCRプロファイルをピリオド・ジッタ σ_{T_0} に関連付ける汎用式を、同じ基準の微分（the same standard derivation）によって得ることができます。

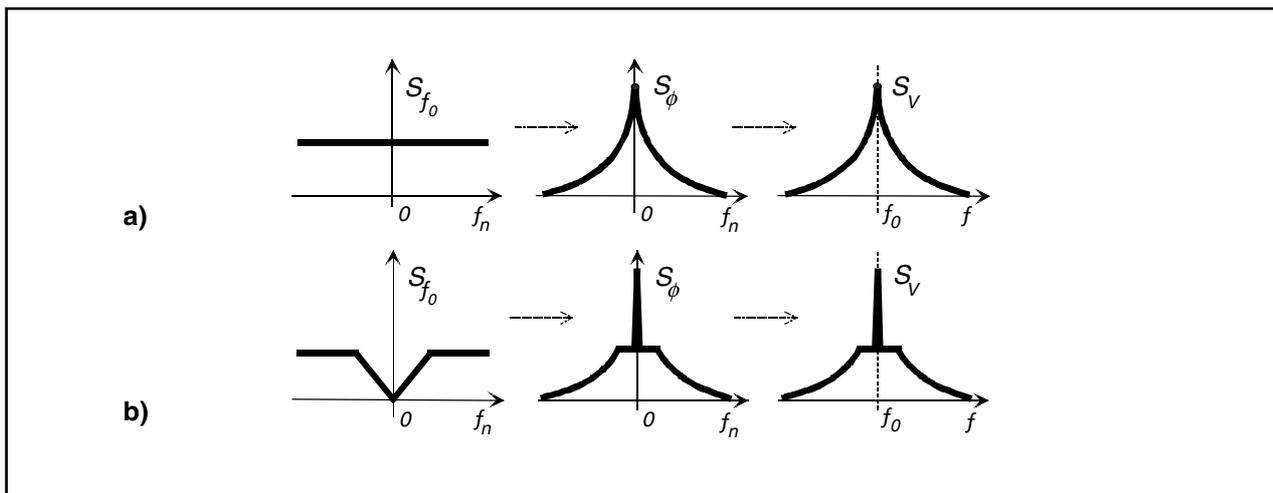


図1. 周波数ノイズ、位相ノイズ、および出力電圧ノイズの電力スペクトル密度：
a) 自励発振器の場合 b) PLL周波数シンセサイザの場合

図1に示したものは、アドホックな Matlabシミュレーションで容易に取得できます。例えば、最初の例では組み込み関数 `vco0` にホワイト・ノイズが供給され、2番目の例ではハイパス型ノイズが供給されています。PLL帯域が中心周波数 (100MHz vs.1GHz) の10%という広範囲に設定された場合に得られる結果を、図2に示します。

もちろんシミュレーション環境内では、定義(周期持続時間のガウス分布の標準偏差)からジッタを求めることも容易です。その場合、VCO配置でのジッタは2.48ps、PLL配置でのジッタは2.13psとなります。

以下は、周波数領域対時間領域の数式の拠りどころとなる数学的基礎と前提の実証です。汎用式を導くための数学的手順は参考[3]のドキュメントに示されていますが、読者の便宜のためにそれをここに記載します。ただし最終的な結果のみに関心がある読者は、途中経過をスキップして式(14)を見ても構いません。(そうしてもアプリケーション・ノートでの論理的連続性に問題はありませぬ)

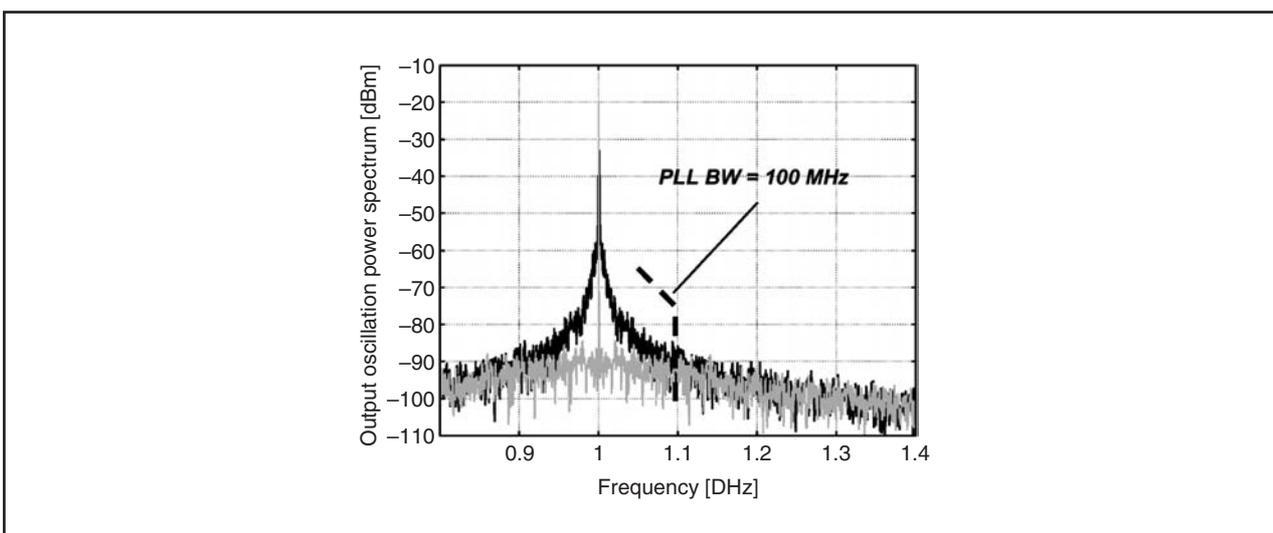


図2. Matlabでシミュレートした信号スペクトルの詳細。上側のスペクトルは白色周波数雑音を示すオシレータ(自励VCO)に付随し、下側のスペクトルはハイパス・フィルタをかけた周波数ノイズ(PLLに特徴的)によるもの。

周波数 f_0 で回転するキャリア周波数を表すフェーザの枠内で回転している、オフセット周波数 $-f_n$ での2つのノイズ成分(図3)について考察してみましょう。キャリア周波数のフェーザの角度を乱して結果的に位相ノイズ(PM)の原因となるような、キャリアに直交するフェーザを生成するためには、この2つのフェーザが振幅(偏角)において等しく、かつ図3に示すように配置されていなければなりません。この場合実際には、ノイズトーンを合成したものは一次的にはキャリア周波数の位相にしか影響せず、そのモジュールは変わりません。モジュールは振幅ノイズ(AM)になります。

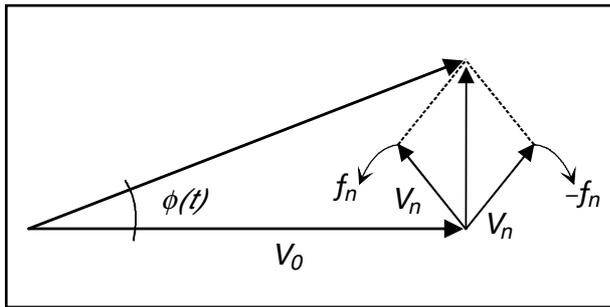


図3. 位相変調のみの原因となる2つのサイドトーンの影響を受けるキャリア周波数を、フェーザ面で表したもの

狭帯域FMノイズでモデル化できるノイズ寄与を扱うことは非常によくあります。これらの成分が原因の位相変調は、したがって、次の式で表されます。

$$\phi(t) = 2V_n \sin(2\pi f_n t) / V_0 \quad (3)$$

$d\phi/dt = 2\pi f$ となるため、位相エラー $\phi(t)$ は次の式で得られる即時周波数偏移を発生させます。

$$\Delta f_0 = f_n \cdot 2V_n \cos(2\pi f_n t) / V_0 \quad (4)$$

キャリア周波数に影響を与えている位相障害は、パワー・スペクトル S_ϕ (または S_{f_0})によって識別される確率過程としてモデル化できます。スペクトルは微分(derivation)全体を通じて常に双方向性(双峰特性)のものとなされます。フーリエ変換の微分法則を使用すると、下のように2つの関数の関係が得られます。

$$S_{f_0}(2\pi f_n t) = f_n^2 \cdot S_\phi(f_n) \quad (5)$$

図3の2つのトーンのみを考慮して、オフセット周波数 f_n で積分帯域 df を取ると、次のようになります。

$$\frac{V_n^2}{4} = S_V(f_0 \pm f_n) df \quad (6)$$

したがって、式(3)より次のようになります。

$$\begin{aligned} \langle \phi^2 \rangle &= \frac{1}{2} \cdot \frac{4V_n^2}{V_0^2} = \\ \frac{4 \cdot S_V(f_0 \pm f_n) \cdot df}{V_0^2/2} &= 2 \cdot SSCR(f_n) \cdot df/1\text{Hz} \end{aligned} \quad (7)$$

しかし定義により、次の式が成り立ちます。

$$\langle \phi^2 \rangle = 2 \cdot S_\phi(f_n) df \quad (8)$$

上記の2つの式を整理すると、次の式が得られます。

$$S_\phi(f_n) = SSCR(f_n) \quad (9)$$

このようにして、スペクトラム・アナライザ上で観察される電圧ノイズのスペクトルは、偏差の小さい場合について、信号の位相のスペクトルを示します – たいていの場合そうなります。これから、 σ_{T_0} に振幅1回分の時間 $T_0 = 1/f_0$ のRMSジッタを示させてみましょう。

$$\Delta T_0 = -\Delta f_0 / f_0^2 \quad (10)$$

上の式のようになるため、分散(variance)の統計的定義を当てはめて次のようにします。

$$\sigma_{T_0}^2 = 1/f_0^4 \cdot \sigma_{f_0}^2 \quad (11)$$

ここで、 σ_{f_0} は時間 T_0 1分にはわたって観察された周波数偏移、つまりサイクル・ジッタのRMS値です。これで、ウィーナー・ヒンチンの定理を利用してから $S_{f_0}(f_n)$ の値を求めることができます。特に $\sigma_{f_0}^2$ は、時間 T_0 1分にわたる周波数ノイズを積分してから決定できます。周波数領域では、このことが意味するのは、時間 T_0 がたつ間、スペクトルを「ゲート式積分器」のsinc伝達関数でフィルタリングすることです。したがって次のようになります。

$$\sigma_{f_0}^2 = \int_{-\infty}^{+\infty} S_{f_0}(f_n) \cdot |W(f_n)|^2 df_n \quad (12)$$

ここで、よく知られているように、加重関数は矩形のフーリエ変換です。次の形になります。

$$W(f_n) = \sin\left(\pi \frac{f_n}{f_0}\right) / \left(\pi \frac{f_n}{f_0}\right) = \text{sinc}\left(\pi \frac{f_n}{f_0}\right) \quad (13)$$

最終的に、式(11)と(12)を再度呼び出して、次の式が得られます。

$$\begin{aligned} \sigma_{T_0}^2 &= \frac{1}{f_0^4} \sigma_{f_0}^2 = \frac{1}{f_0^4} \int_{-\infty}^{+\infty} S_{f_n}(f_n) \cdot |W(f_n)|^2 df_n = \\ &= \frac{1}{f_0^4} \int_{-\infty}^{+\infty} f_n^2 S_\phi(f_n) \cdot |W(f_n)|^2 df_n \end{aligned} \quad (14)$$

この式で、時間継続のジッタと、クロック信号上で測定される位相ノイズ・スペクトルの間の一般的な関係が構成されます。

今回は、図1の2つの例を考察してみましょう。自励発振器の場合、ノイズ密度 $S_{f_0}(f_n)$ は白色なので S_{f_0} によって簡単に示すことができます。そして、式(14)の積分をそのまま単純に処理していくと、次の式になります。

$$S_{f_0} \cdot 1/T_0 = S_{f_0} \cdot f_0 \quad (15)$$

ここでは、ゲート式積分器の等価ノイズ帯域の式が使われています。式(14)からは、式(1)が本質的に復元できます。式(14)以外の方法であれば、式(1)を取得するのにもっとずっと複雑な微分を用いなければならないでしょう。

図2に示したMatlabでのシミュレート例にこの数式を適用すると、分布の σ_{T_0} は、サイクル・ジッタの定義から得られる値が2.48psなのに対して、ロック解除したVCOの場合で約2.50psという結果になります。予想どおり、数式を導き出すもとになったパラダイムの独自性および理想的なシミュレーション設定により、エラーはたった0.8%になりました。

上記と違って、図1に示すようなPLLにロックされたオシレータの場合には、スペクトル $S_{f_0}(f_n)$ はある帯域BWでハイパスフィルタをかけられています。式(14)には閉形式解がありませんが、オシレータのシミュレーションにより一度スペクトル S_ϕ が分かれば、標準的なsincフィルタのプロファイルによる乗算に続いて f_{n1} と f_{n2} 間で積分を行うことにより、次の数式が得られます。

$$\begin{aligned} \sigma_{T_0}(T_0) &\equiv \\ &= \frac{1}{f_0^2} \sqrt{\sum_{f_{n1}}^{f_{n2}} \left[2f_n^2 \cdot \text{SSCR}(f_n) \cdot \text{sinc}^2\left(\pi \frac{f_n}{f_0}\right) \Delta f_n \right]} \end{aligned} \quad (16)$$

NI社のLabView®等の波形解析ソフトウェアで広く使用可能な組み込み関数を使用すれば、単純かつ自動化された方法で数式(16)を計算できます。式(16)の数値解法は、たとえば分散 σ_{T_0} を、そして最終的には図2の2次スペクトルのジッタを取得するのに使用できます。この方法で計算されたジッタ値は2.15psです。

繰り返しになりますが、スペクトル $S_\phi(f_n)$ から見積もられたタイム・ジッタは、ゼロ交差の発生分布からジッタを統計的に抽出するという、直接的な – しかし冗長な – 作業から取得される、 σ_{T_0} 値の1%以内にマッチします。

要約すると、この式は位相ノイズのスペクトルを(ラプラス変換の法則 $S_f = j\omega S_\phi$ に従って)周波数ノイズのスペクトルに変換し、sinc関数を通じてそれを重み付けし、タイム・スパン $0 \rightarrow T$ での均一ジッタ累積(つまり方形型の重み付け関数 $h(t)$)を計算します。ノイズ・スペクトル密度の積分は、総観測時間 $f_1 = 1/T_{obs}$ の逆数から、スペクトラム・アナライザの計装で許容された最大オフセット周波数にまで拡張されます。

式(16)の数式はSSCRからジッタへの変換を可能にする実用的なツールであり、多くの事例において閉形式の解を得ることができます(ここでも、フリッカ・ノイズのないVCOです! その解法は参考[1]の文献に記載されています)。

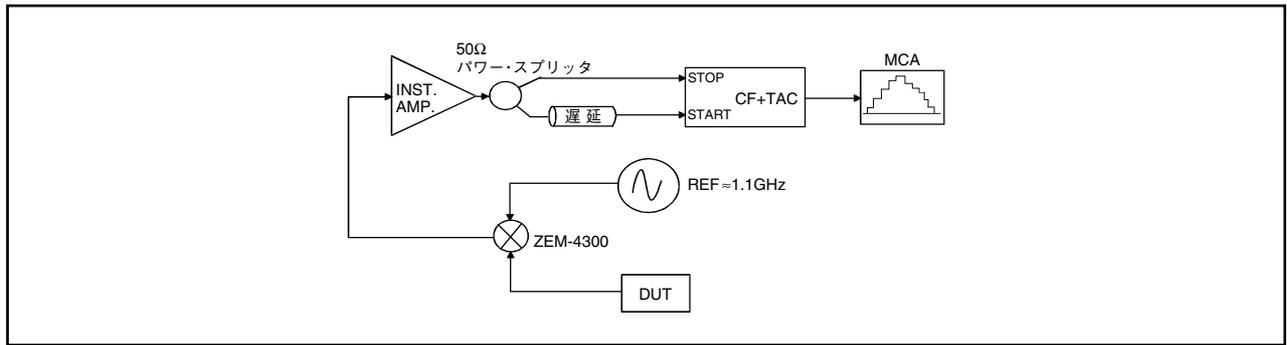


図4. 実験設備のブロック・ダイアグラム。同軸スタブがゼロ交差検出器の動作を同期させるために使用されるのに対して、低ノイズ計装アンプはイメージ除去機能を備えている。(注[3])

数式的実験的検証

テスト用オシレータの時間的安定性を特徴付けるのに適した実験装置の図式を、図4に示します。

実際には、通信用のRFオシレータからの典型的な数字を式(2)に入力することによって--つまり約1GHzで、 -110dBc/Hz (@オフセット周波数100kHz)より低いSSCR値を使用して動作することによって、あるいはもっと悪い場合には、高IFパフォーマンスADCの駆動に適した水晶発振信号源からの典型的な数字を式(2)に入力することによって--つまり100MHzで、 -140dBc/Hz (@オフセット周波数1kHz)のSSCR値を使用して動作することによって、約1ピコ秒以下のタイム・ジッタを処理することになる可能性があります。ラボで実際にテストしてみると、この問題は、より低い周波数での振幅のスペクトルを厳密に変換することで大幅に軽減できます。直感的な言い方をすれば、元の周期 (periods) をたくさん処理すればジッタを時間で構築することが可能になり、その観察が楽になります。何らかの数学的処理の後 (あるいはより発見的に、2つの異なる中心周波数での同じSSCRプロファイル用の単純化した式(2)さえも使用して)、下方変換の後で観察されるジッタは次のとおりであることが分かります。

$$\sigma_{f_1}^2 = \sigma_{f_0}^2 \cdot \left(\frac{f_0}{f_1}\right)^3 \tag{17}$$

もちろん、スペクトルに影響を与えずに周波数を低くするために使用されるデバイスとは低ノイズ・ミキサのことで、周波数分周器を使うとスペクトルが変わり、ジッタが低くなり、見積もりが複雑になり、そしてたいていの場合ノイズも増えます。最近では高周波ジッタ特性解析機能をオプションとして付けた高機能オシロスコープも増えてきているとはいえ、この代替方法は都合のよい周波数比を選択することによって強化できる分解能を特色としており、また非常に柔軟でもあります。

もっと低速な波形のタイム・ジッタの評価ならば、より安価なオシロスコープ・カードか、時間-波高変換によって容易に達成できます。時間-波高変換の実装に関するブロックは、図4に示すように、次のような構成になっています。

- 標準的な方形デジタル・パルスを出力とするゼロ交差検出器 (コンパレータ)。この検出器ではまた、あらゆるAMノイズの寄与を除去し、PMのみの通過を可能にします。
- 時間-波高変換器 (TAC)。基本的には、入力で受信したパルスの持続時間に振幅が比例する電圧出力レベルを持つ傾斜積分器 (ramp integrator) です。
- マルチ・チャンネル・アナライザ (MCA) ストレージ・システム。入力でサンプリングされたパルスの振幅をヒストグラム形式にソートするために、入力ADCによってアドレス指定されるメモリ・バンクで構成されます。

各モジュールの速度に制限があるために、元々の振幅信号周波数は最大で50kHzにまで落とす必要があります。

1. 自励LCタンク型VCO

上記の測定システムは、RFワイヤレスDABアプリケーション(参考[4])で、中心周波数2.2GHzで使用されるバイポーラ・スパイラルインダクタLC調整型VCOに関して、式(16)の有効性を証明するために採用されています。“スタンドアロン”で(実際には、PLL周波数を数100Hzに設定して)動作するオシレータ上で実行したテストの結果を図5に示します。上側の曲線(青いひし形)で強調されているとおり、VCOの位相ノイズは大体においてべき乗則に従って減衰し、 $1/f^2$ 同様に500Hz以降ずっと下降し続けます。

非常に狭い帯域のPLLを使用して、ジッタのばらつき(これに関しては、理論に複雑な構造関数を導入する必要があります。参考[5]または[6]を参照)と熱ドリフトに起因

する問題を回避することにより、ここではスタンドアロン状態が効果的に再現されています。図5aの振幅スペクトルはその後50kHzに下方変換され、波形のゼロ交差の時間的発生が検出されて記憶されます。図5bは、MCA装置によって記録された時間周期分布のヒストグラムです。幅の広い方のプロットは、標準偏差 $\sigma_{T_0} = 280\text{ns}$ (つまり、式(17)によって計算された元の振幅上の30.3fs)のガウス型プロファイルです。対応するジッタの見積もりは式(16)を位相ノイズ・スペクトルに数値的に適用して得られますが、たった200kHzで切り捨てられるためにスペクトルのかなりの部分が除外されています。この見積もりの値は260nsです - つまり、実験データに対して、エラーが7.1%にまで制限されているということです。

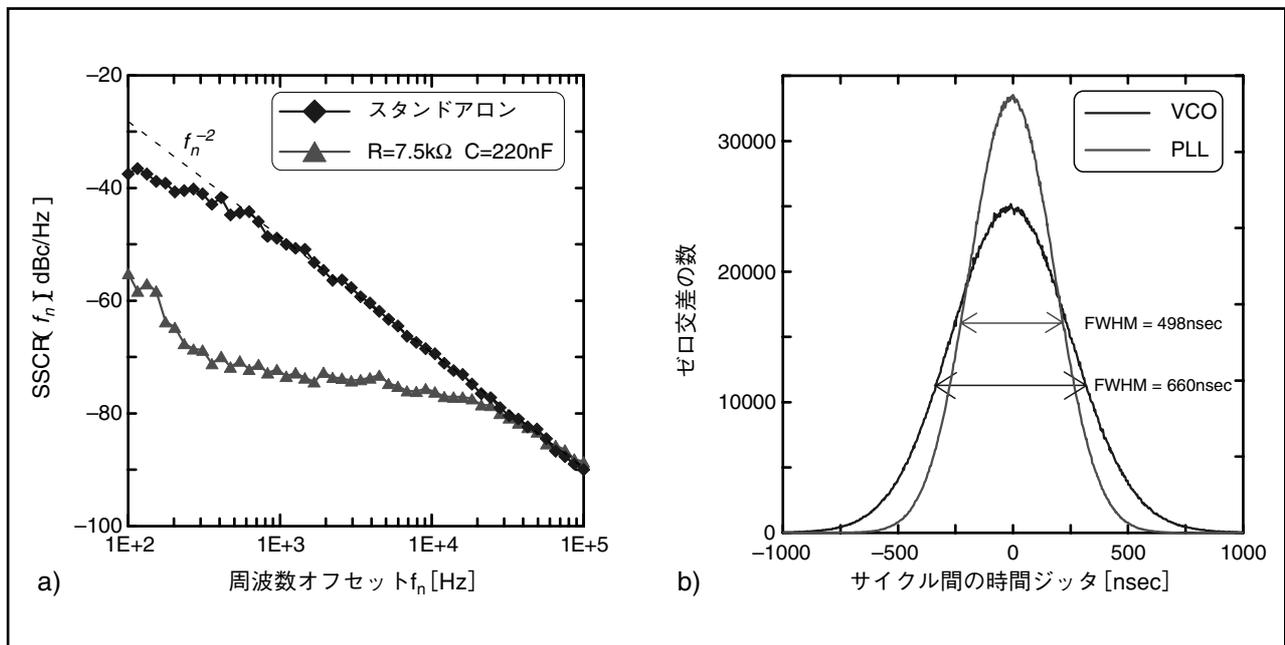


図5. a) 実験で得られた、LC調整型VCOとその周辺に構築されたPLLについてのSSCR曲線. VCOプロットの純粋な $1/f^2$ 傾向での矛盾は、PLLアクションの残余によるものです。
b) 図4での設定のMCAで収集された、周期持続の統計的分布

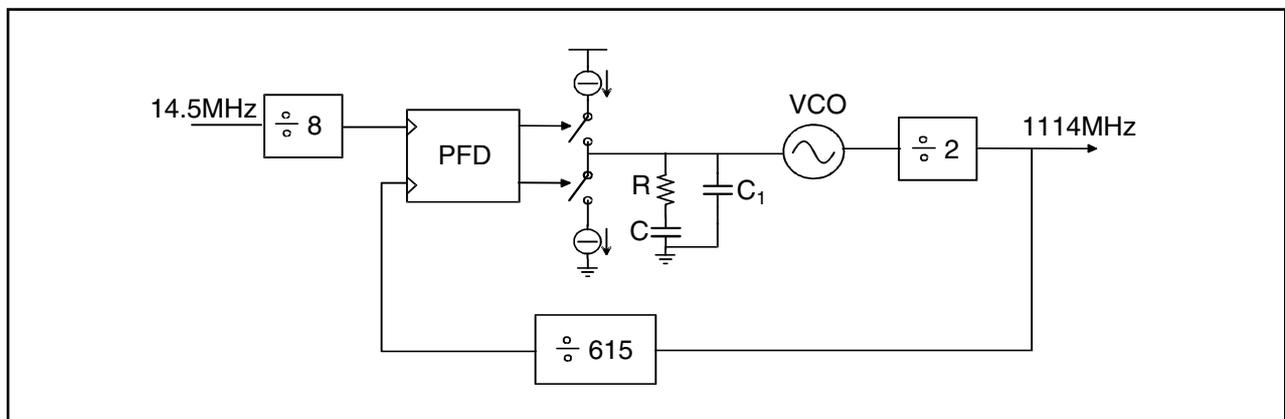


図6. 実験での検証に使用する統合PLL(フェーズ・ロックド・ループ)の基本的な仕組み

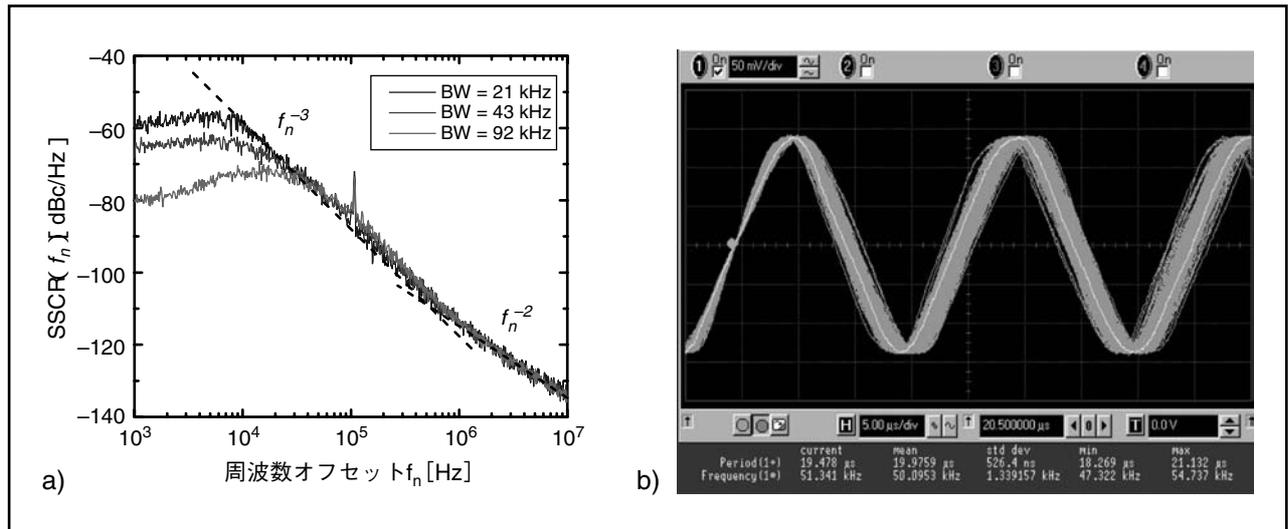


図7. a)異なる帯域で動作するCMOS PLL周波数シンセサイザ用の、実験上のSSCRプロット。
 b) ジッタを示しているPLL出力のゼロ交差。Agilent Infiniium™ オシロスコープで撮影。

2. フェーズ・ロックド・ループのテスト

前述の実験により、VCOで使用される場合も、提示された数式が正しいということを二重にチェックできました。大規模で実用的な妥当性の一例を、バイポーラVCOを統合PLLにロックする(同期する)ことによって解析します。統合PLLの基本的な仕組みは図6に示してあります。ループ・フィルタは、調整可能なオフチップ受動ネットワークを駆動する標準的なチャージポンプ回路で構成されています。

シンプルなRC直列フィルタ($R=7.6\text{k}\Omega$, $C=220\text{nF}$, $C_1=0$)を導入することにより、システムの帯域は約30 kHzに設定されます。図5aでは、スタンドアロン雑音のスペクトルとロックドイン雑音(三角雑音)のスペクトルの重畳により、VCOノイズが上記帯域を超えて広がっていることが証明されています。式(16)に示されている関係を数値積分すると、PLLについて周波数50kHzで185nsというジッタの推定値を返します。自励型VCO用に計算された260nsに対してデータを重み付けすると、PLLが中心に近い位相ノイズを大量に除去することがデータによって強調されます。これは、統合発振回路の実装では特に予期されることです。

PLLの出力上で実行される測定の結果は依然として、標準偏差195nsのガウス型ヒストグラム(図5b, 狭い方のプロット)になります。積分が200kHzまでで止められても、数式(16)からの予測との相違はまだ約5.1%です。

解析をさらに包括的なものにするために、位相ノイズアナライザ(HP3048A)を使用して、5GHz動作用に作られた0.25 μm LC調整型CMOS VCOをPLLにロックしてあります。この計装の採用により、フィルタ・バンクを切り替え

るだけでPLL帯域を調整することが可能になっています。テスト用に選択された帯域値は21, 43, 92kHzであり、図7aに記載のスペクトルを形成します。プロット中に示されている勾配を見ればすぐに分かるように、また回路を形作っている技術の性質から予想できるように、テスト中、この種のVCOにはフリッカ・ノイズ成分が多くなっています。式(16)の計算に基づいた、図中に描かれた各スペクトルについてのジッタ予測は、最終振幅50kHzを基準にした場合、次のようなRMS値の結果を出します。

$\sigma_T(T_0)$ = 帯域21kHzで750ns, 42kHzで519ns, 92kHzで358ns

システムの正確度は7ppmであり、入力50kHzにつき140psの不確定度になりますが、この値は無視できるほどわずかなものです。

波形が一度合成されて50kHzになれば、ジッタ解析を容易に実行できます。ミ実用性を考慮して、今回はAgilent Infiniium™ オシロスコープを介して行います。最初の振幅交差でトリガを同期させることができ、周期テストのメニューでは変化の測定を非常に容易に行うことができます。この方式によって得られるばらつきは、上記の3つのPLL帯域について、それぞれ $\sigma_T(T_0) = 798\text{ns}, 526\text{ns}, 361\text{ns}$ となります。数値積分の範囲を10MHz分拡張することに加えて、設定をよりシンプルすることによって、従来よりも相対誤差を小さくできます。個別に見ると、帯域21kHzで6.0%、42kHzで1.3%、および92kHzでわずか0.8%となります。この一連の有効性確認テストを完遂することにより、本論で提示するSSCR対ピリオド・ジッタの関係が完全に証明され、シリコンとシステム(ハードウェアとソフトウェア)両方の設計と最適化にとって有効なツールになります。

アプリケーション： 高速ADCのクロック・ソース・ジッタ

数式の有効性にとって最高の証明とアプリケーションは、TIのADS5420 (14b 65MSps アナログ-デジタル・コンバータ) を駆動する外部電源が原因のクロック・ジッタの測定という、きわめて実践的な例で達成されています。大多数の市販シンセサイザの内部にPLL方式が採用されているため(ただし仕様は図7aに記載されているものよりはるかに上ですが)、この例は、「2. フェーズ・ロックド・ループのテスト」で説明されている状況の必然的帰結として見るすることができます。

消費電力を抑えつつも、無線通信プロトコルに必要なダイナミック・レンジを最大限にするために、マルチビット構成 (multibit-per-stage) アーキテクチャが選択されています。図8に示すように、ADCは2.5b (有効ビット2 + デジタル修正用の冗長ビット1) の段5つとそれに続く4bのフラッシュから構成されます。ダイナミック・エレメント・マッチング (キャパシタ交換 (cap shuffling)) アルゴリズムはADCの中に最初から設計されていますが、TIのテクノロジーで使われている受動部品 (passives) に元々備わっているマッチング (inherent matching) は、ダイナミック・シャッフリング (動的入れ替え) やワンタイム・トリミング、キャリブレーション等を行わなくても、14bレベルで使用可能であることが分かります。

回路のアナログ・フロントエンド (AFE) は、フリップアラウンド・アーキテクチャを実装したサンプル/ホールド段をベースにしています。このブロックは入力のサンプリングが発生する場所であり、CMOSスイッチを用いてキャパシタ上の電圧信号を取り込みます。したがって、S/Hスイッチを開くクロック信号の位相安定度は、高IFでのSNRにとって最も重要なこととなります。実際、サンプリングの即時発生が決定されない状態が1ps以上続いた場合には、サンプリングされた入力電圧は大幅に変化します。したがって、その部分のパフォーマンスを記録している実験データが外部基準電源を最適化せずに収集されると、回路のSNRが高い入力周波数 (100MHzより上) で急速に低下します。ノイズは上記 IFレンジでのジッタ寄与の影響を大き

く受けるため、すでに式 (1) で紹介した数式を介してSNRを判定できます。同様に、数式を反転させて、SNRからジッタ数値を推測することもできます。SNRが周波数220MHzでほぼ55dBFS程度の、最適化されていないクロック信号を供給されているADS5420上でこの課題を実行すると、S/Hブロックに影響する総アパーチャ・ジッタは1.3psより大きくなるのが分かります - 設計仕様をかなり上回っています! 同様の挙動は、たとえ12ビット・レベルであっても、同じサンプリング原理に基づいていれば他のどんなデバイスのパフォーマンスにも影響します。(たとえば、参考 [7] の12b 80MSpsデバイスの例がそうです)。

チップ設計者の最終目標は、PCB設計者の解析の目標と同様に、クロック回路を改良してジッタ数値を減らし、SNRを高めることです。このためには、外部クロック・ソースに起因するジッタ成分と、内部クロックの調整・配布ツリーに起因するジッタ成分を区別することが必要になります。最初の作業については、位相ノイズ測定システム、つまりAeroflex Comstron社製PN9000を使用してラボで達成できます。PN9000は元々航空電子工学のテスト (VOR: 超短波全方向式レンジ) で使用するためのものであり、位相ロックモードで動作し、サンプリング・レート (図9の例では約30MHz) で動作するクロック・ソースを供給されています。この計器によって検出されているように、プロットは位相ノイズ (SSCRまたは $L(f_n)$) vs 外部電源のオフセット周波数 f_n の関数を示しています。

図9に示す位相ノイズのプロファイルは、ASCIIデータ・ストリーム形式でエクスポートしてMatlab等の数学プログラムで処理したり、数式 (16) に入力したりできます。数式 (16) では、ノイズ・スペクトル密度の積分が総観測時間の逆数 (この場合約4kHz) から拡張され、PN9000で測定できる最大の周波数 (ここでの設定で約40MHz) にまでなります。実験では、サイクル・ジッタの値として1.36psが返されます。注意すべきなのは、図9のX軸が対数であるため、フラットなスペクトル幅が 3+ディケードにわたってノイズの大部分を構成しているにもかかわらず、中心部に近い位相ノイズがそれほど重要にならないことです。

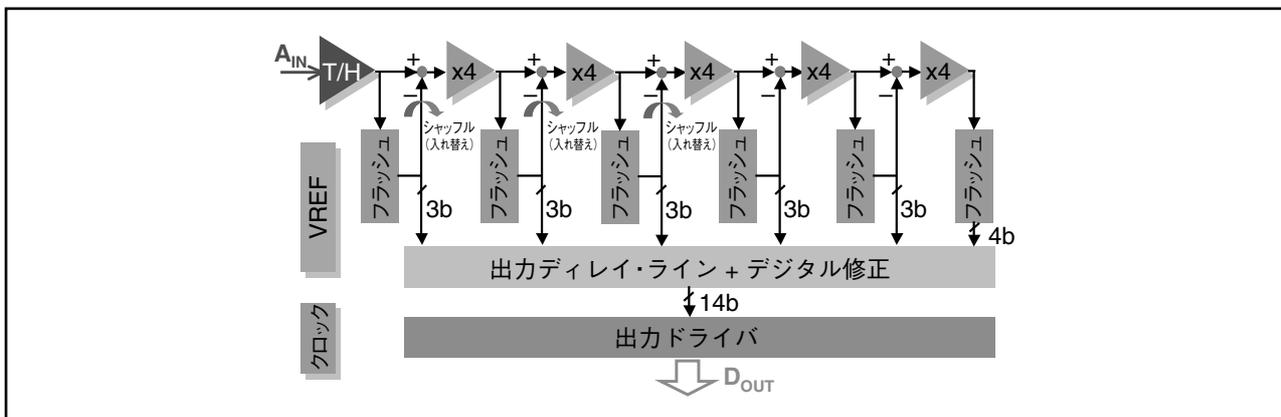


図8. 統合内部基準電圧とオンチップ・クロック・ドライバの付いた、パイプライン・コンバータのアーキテクチャ (1段につき2.5ビット)

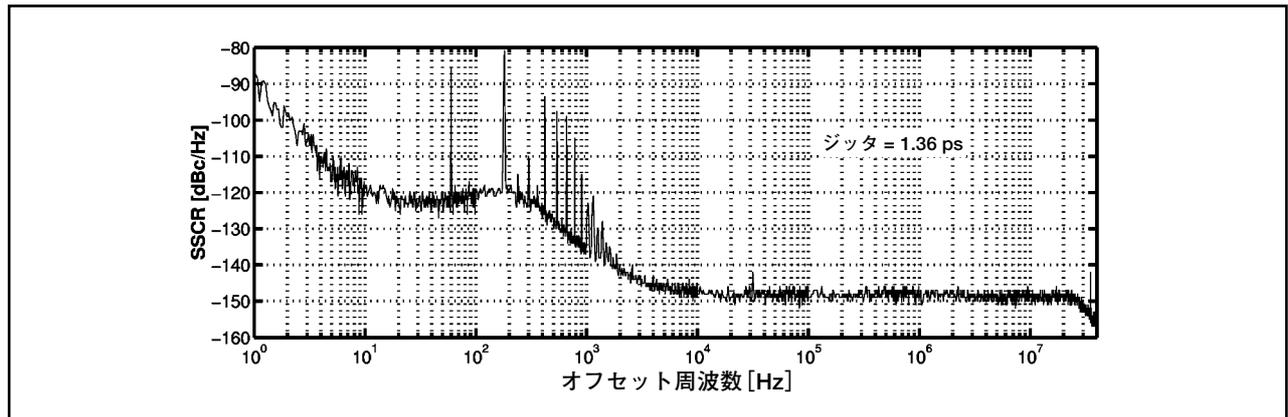


図9. 30MHzでの外部電源のプロファイル (SSCR vs. fn オフセット周波数)。位相ノイズ・アナライザAeroflex PN9000で観測。

これは、統合オシレータでは通常見られないケースです。統合オシレータでは位相ノイズはキャリア周波数にずっと近く、ホワイト・スペクトルの寄与を無力化します。この2つの状況の違いを明確に示す指標となるのが、ジッタの絶対値です。中心周波数が同じ場合、最初の例では σ_{T0} が数十ピコ秒、質のよい安定したクォーツ (OXCO: 恒温槽付水晶発振器) ならば1ピコ秒未満になる可能性があります。

ホワイトフロアを減少させることは不可能であり、数式では sinc の $1/f_n$ ロールオフのバランスが f_n 項によってとられているため、安定したホワイト・フロアの寄与が図9の対数横軸上で急に顕著になります。しかし、適度にきつい帯域通過フィルタ (標準的なLCフィルタを使用した4MHz帯域幅) を電源の後で使用してから、式 (16) 内の関係を図9のスペクトルにもう一度当てはめることにより、計算されるジッタはたった25fsになります。その後、なぜこのようなことが起こったかについて、式にユニークな考察が示されます。1kHz-1MHz間に実際に存在するジッタはごくわずか (1.36psに対して25fs、または1360fs!) です。残りは、10MHz~25MHz間にあるフロアの寄与によるものです。

これらの最先端の数値は、測定の非常な難しさと同時に正確さを強調しています。上で計算された寄与は、オンチップ再生/分配回路によって導入される付加的なアパーチャ不確定度を分離するために、式 (1) を使ってSNRから推測されたアパーチャ・ジッタからは差し引かれることになり

ます。最終的には、図8のオンチップ・プリアンプ/クロック・バッファ回路の影響としてRMS減算が250fsを返します。この値の方が設計された (designed-in) 仕様にとずっと近くなります。この数値は、図10のプロットが示すSNRの改善を見れば完全に確かなものになります。この図では、61.44Msps および220MHzで取られているノイズ・パフォーマンス全体が、以前に観測された54.5dBFS以下 (BPフィルタなし) から69.3dBFS (BPフィルタ付き) に、劇的に増加しています。

このように優れたアパーチャ・ジッタの数値は、新しいコヒーレント・サンプリング技法 (参考 [8]) を使用すれば直接測定できるものであり、CMOSベースの (つまりECL/PECLではない) クロック回路としてはこれまで報告されたうちで最高のパフォーマンスであるといえます。図10で見られるIF軸全体に対しての非常に直感的なSNRプロットで確認できるように、250fsという数値では、SNRでの非常に限定されたロールオフが、より高い周波数で可能です。ジッタ最適化のメリットとして、65Mspsおよび1MHzで、SNRが73.2dBFS、ENOB (有効ビット数) が11.9、SFDR (スプリアス・フリー・ダイナミック・レンジ) が92dBcという条件で測定されるADCの低IFパフォーマンスは、SNR = 69.3dBFS、ENOB = 10.7、SFDR = 70dBcという値を220MHz で保ち続け、ADS5420を、積極的なシングル下方変換レシーバ・チェーンに対して他に類を見ないほど適したものにしています。

100MHz IFで始まるSNRの独特な凹形プロファイルは、100MHz以降のSNR上のジッタ寄与の広がりを示すものです。ADCの総消費電力は65MSpsで約1Wであり、内部電圧基準はアナログ/デジタル電源3.3Vおよび出力駆動電源電圧3.3Vから消費されます。後者は1.8Vまで落としても、データ・キャプチャ・ウィンドウを損なう恐れなしにSNRパフォーマンスをさらに改善することが可能です。外部電圧基準が回路に供給される場合は、消費電力が約900mWにまで落とされます。

クリッピングを避けるため、すべてのデータは振幅-1dBFSの正弦波入力を使用して収集されます。チップはTIのPowerPad®テクノロジーを用いた、標準的な64ピンTQFPパッケージで提供されます。これにより、全温域の動作(-40°C ~+85°Cの間)について、また2.7Vから3.6Vまでの拡張アナログ/デジタル電源供給範囲において、パフォーマンスの変動が最小限になることが保証されます。

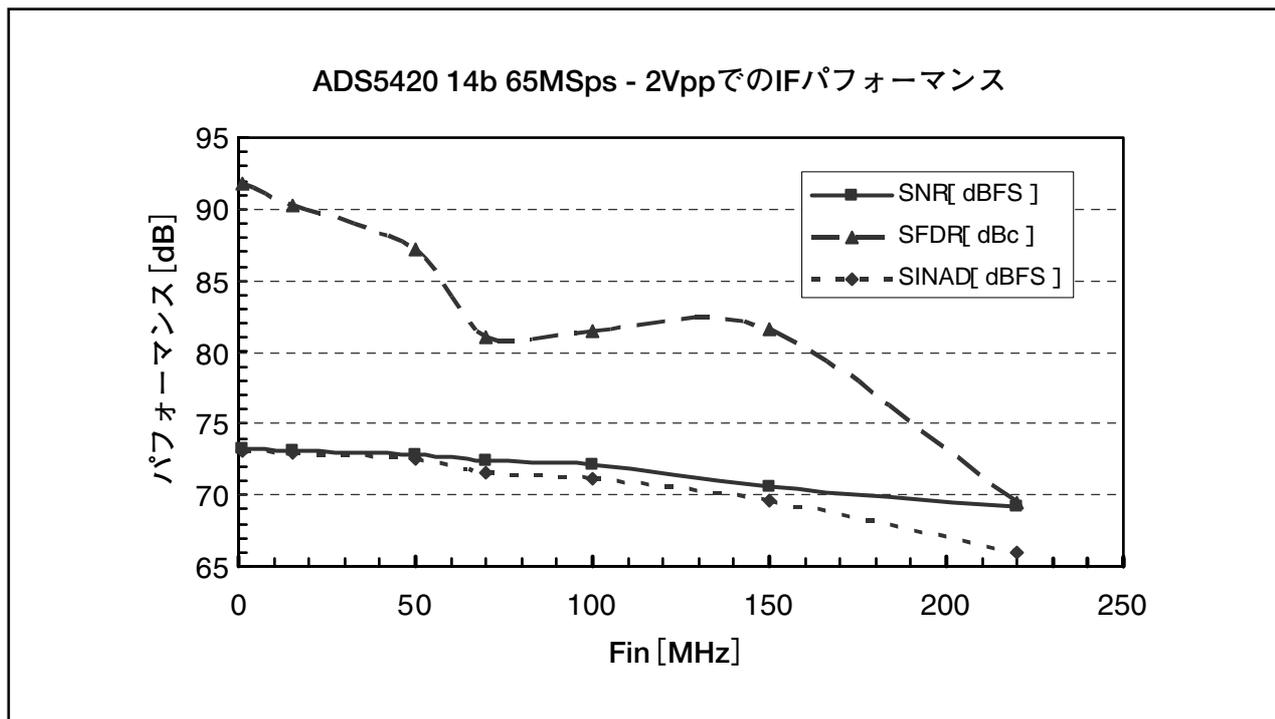


図10. TIのADS5420 14ビット65MSps ADコンバータ(ワイヤレス・インフラストラクチャ・アプリケーション用)で、サンプリング・レート65MSpsでfINの掃引を行った場合

結論

テストされたシンセサイザの種類豊富なや、採用された最終的な数値ツールのシンプルさにもかかわらず、ジッタの見積もりと測定のためのマッチングは常に7%を下回っています。このために、提示された解析と考案された数式(式(14)および(16))は、設計者が周波数領域のソフトウェア

(Spectre RF) から得られたシミュレーション結果を解釈したり、テストエンジニアがSSCR仕様をジッタ仕様に結び付けたりするための有効なツールとなります。その結果、クロック・チェーンに沿ってデータを成分に分けたり逆に合計したりするための計算を実行し、最良のジッタ・パラメータ用に設定を最適化できるようになります。

参考文献

- [1] C. Samori, A.L. Lacaita, A. Zanchi, and F. Pizzolato, "Experimental verification of the link between timing jitter and phase noise", IEE Electronics Letters., vol. 34, no. 21, Oct. 1998, pp. 2024-2025.
- [2] M. Shinagawa, Y. Akazawa, and T. Wakimoto, "Jitter analysis of high-speed sampling systems", IEEE Journal of Solid-State Circuits, vol. 25, no. 1, Feb. 1990, pp. 220-224.
- [3] A. Zanchi, A. Bonfanti, S. Levantino, and C. Samori, "General SSCR vs. cycle-to-cycle jitter relationship with application to the phase noise in PLL", in Proceedings of the IEEE SSMSD, pp. 32-37, Austin, TX, Feb. 2001.
- [4] G. Cali, G. Cantone, P. Filoramo, G. Sirna, P. Vita, and G. Palmisano, "A high-performance Si-Bipolar RF receiver for digital satellite radio," IEEE Transactions on Microwave Theory and Techniques, vol. 46, pp. 2568 - 2576, Dec. 1998.
- [5] S.L.J. Gierkink, "Control linearity and jitter of relaxation oscillators". Ph.D. dissertation, University of Twente, Enschede, The Netherlands, 1999.
- [6] J. Rutman, "Characterization of phase and frequency instabilities in precision frequency sources: fifteen years of progress", Proceedings of IEEE, vol. 66, no. 9, Sep. 1978, pp. 1048-1075.
- [7] A. Loloee, A. Zanchi, H. Jin, S. Shehata, and E. Bartolome, "A 12b 80MSps pipeline ADC core with 190mW consumption from 3V in 0.18_μm digital CMOS", in Proceedings of ESSCIRC 2002, pp. 467-470, Florence (Italy), Sep. 2002.
- [8] A. Zanchi, I. Papantonopoulos, and F. Tsay, "Measurement and Spice prediction of sub-picosecond clock jitter in A/D converters", in Proceedings of ISCAS 2003, May 2003, Bangkok (Thailand), vol. 5, pp. 557-560.

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated (TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認ください。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾することは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認することを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright 2008, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高湿状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上