

## C6000ペリフェラルズリファレンス・ガイドに関する 参考資料(拡張バス)

アプリケーション技術部

### アブストラクト

本資料は、日本語版TMS320C6000ペリフェラルズリファレンス・ガイドのうち「第8章 拡張バス」を抜粋したものです。

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお勧めします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましては如何なる責任も負いません。

## 本文章について

本資料は、” TMS320C6000 Peripherals Reference Guide” (spru190c)を翻訳したTMS320C6000ペリフェラルズリファレンス・ガイド(spru537)の「第8章 拡張バス」を抜粋したものです。

元となった英語版文書はのちに改定され、現在はC6000デバイスのペリフェラルの概要のみを述べる資料となっています。ペリフェラルの詳細説明に関しては、ペリフェラル固有のリファレンス・ガイドを用意しています。

本資料は、日本語でのペリフェラル理解の手助けのために、英語版ペリフェラル・リファレンス・ガイドの参考資料として用意しました。ペリフェラルの詳細につきましては、必ず最新の英語版リファレンス・ガイド及びデータシートをご参照ください。

## 参考文献

1. TMS320C6000 DSP Peripherals Overview Reference Guide (SPRU190)
2. TMS320C62x DSP Expansion Bus (XBUS) Reference Guide (SPRU579)

## 拡張バス

---

---

---

この章では、CPUが外部ペリフェラル、FIFO、PCIインターフェイス・チップなどをアクセスするために使用する拡張バスについて解説します。

Topic	Page
8.1 概要 .....	8-2
8.2 拡張バス信号 .....	8-5
8.3 拡張バス・レジスタ .....	8-7
8.4 拡張バスI/Oポート動作 .....	8-11
8.5 拡張バス・ホストポート機能 .....	8-22
8.6 拡張バス・アービトレーション .....	8-44
8.7 拡張バスによるブート時の設定 .....	8-49

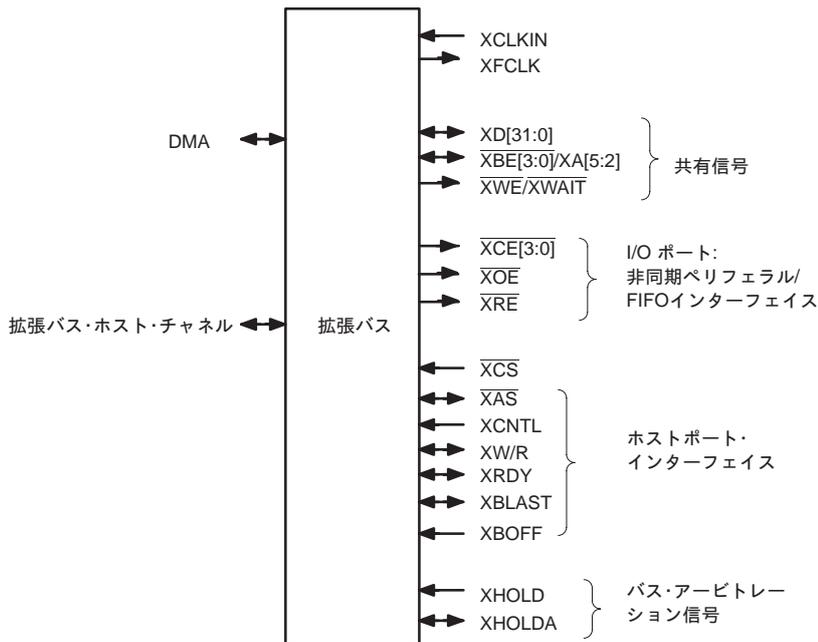
### 8.1 概要

拡張バスは、様々な非同期ペリフェラル、非同期/同期式FIFO、PCIブリッジ・チップ、マスタとなる外部チップなどとのインターフェイスが可能な32ビット幅のバスです。

拡張バスは、二つの信号XHOLDとXHOLDAにより、柔軟性のあるバス・アービトレーション機構を提供します。拡張バスは、内部アービタをイネーブルにして動作することができます。その場合、外部ホストがバスを使用するためには、外部ホストはDSPに対してバスのリクエストしなければなりません。柔軟性を増すため、内部アービタはディセーブルすることもできるようになっています。その場合、DSPが外部アービタに対してバスのリクエストをします。

拡張バスには、二つの主要サブ・ブロックがあります。I/Oポート・インターフェイスとホストポート・インターフェイスです。拡張バスのブロック図を図8-1に示します。

図8-1. 拡張バス・ブロック図

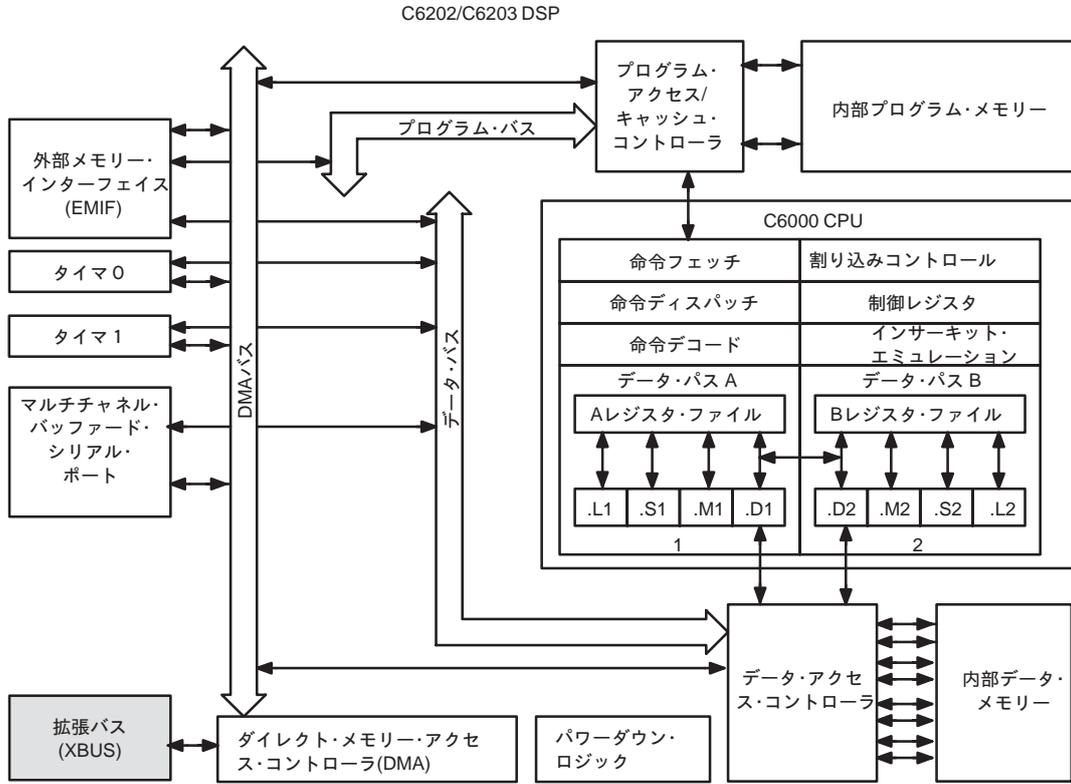


I/Oポートは、2つの動作モード(非同期I/Oモード及び同期FIFOモード)を持っています。2つのモードは同時に使用することができます。拡張バスは、4つのチップ・イネーブル領域(XCE領域)を持っており、各領域毎に2つのモードのどちらを使用するかを設定することができます。非同期I/Oモードは、アウトプット・ストロブを出力する事ができ、外部メモリー・インターフェイス(EMIF)の非同期型インターフェイスに似た機能を持っています。拡張バスのI/Oポート・インターフェイスは、このモードでは4つの外部アドレス信号を持っており、外部デコード回路によって、各XCE領域に最大16個までのデバイスを接続することができます。FIFOモードでは、1つのリード用同期式FIFOと3つのライト用同期式FIFO、または、4つのライト用同期式FIFOまでを外部ロジック無しに接続することができます。また、最小限のグルー・ロジックを接続する事により、最大、リード用16個及びライト用16個までの同期式FIFOを各XCE領域に接続することができます。拡張バスのI/Oポートには、DMAによってのみアクセスすることができます。

拡張バスのもう一つのサブ・ブロックは、ホストポート・インターフェイスです。このインターフェイスは、2つのモード(非同期及び同期)のいずれかで動作することができます。同期モードでは、DSPは、マスタまたはスレーブになる事ができ、アドレス/データ共通の信号線を持ちます。非同期モードでは、DSPは常にスレーブになります。この非同期モードは、C6201/C6211/C6701/C6711のホストポート・インターフェイス(HPI)を32ビットに拡張したのになります。非同期ホストポート・モードにより、同期式の転送に対応していないホストとのインターフェイスを行うことができます。

拡張バス・ホストポート・インターフェイスとDSPのメモリー空間の接続には、DMA補助チャンネルが使用されます。外部ホストとのインターフェイスには、専用のアドレス・レジスタとデータ・レジスタが使われます。外部マスタは、外部データ線と制御線によってそれらのレジスタにアクセスします。専用のポートにより、DSPと拡張バスI/Oポートの接続を可能にします。同期ホストポート・インターフェイスでのデータ転送をするためには、DSPのCPUコアは、一連の設定レジスタを設定しなければなりません。図8-2に、チップ・レベルでのブロック・ダイアグラムを示します。

図8-2. TMS320C6202/C6203拡張バス・ブロック図



8

## 8.2 拡張バス信号

表8-1に、それぞれのモードでの拡張バス信号とその機能を示します。拡張バスのI/Oポートのみを使用する場合(または、拡張バスをまったく使用しない場合)、拡張バスの信号線は表8-2にしたがってインアクティブにする必要があります。

表8-1. 拡張バス信号

拡張バス信号	I/Oポート・モード(非排他的)				相互排他的ホストポート・モード			
	(I/O/Z)	非同期信号	(I/O/Z)	同期式FIFO信号	(I/O/Z)	同期モード	(I/O/Z)	非同期モード
XD[31:0]	I/O/Z	D[31:0]	I/O/Z	D[31:0]	I/O/Z	D[31:0]	I/O/Z	D[31:0]
XFCLK			O	XFCLK				
XCLKIN					I	CLK		
$\overline{XCE0}$	O	$\overline{CS}$	O	$\overline{RE}/\overline{WE}/\overline{CS}$				
$\overline{XCE1}$	O	$\overline{CS}$	O	$\overline{RE}/\overline{WE}/\overline{CS}$				
$\overline{XCE2}$	O	$\overline{CS}$	O	$\overline{RE}/\overline{WE}/\overline{CS}$				
$\overline{XCE3}$	O	$\overline{CS}$	O	$\overline{RE}/\overline{WE}/\overline{CS}$				
$\overline{XBE0}/XA2$	O/Z	XA2	O/Z	XA2	I/O/Z	BE0	I	BE0
$\overline{XBE1}/XA3$	O/Z	XA3	O/Z	XA3	I/O/Z	BE1	I	BE1
$\overline{XBE2}/XA4$	O/Z	XA4	O/Z	XA4	I/O/Z	BE2	I	BE2
$\overline{XBE3}/XA5$	O/Z	XA5	O/Z	XA5	I/O/Z	BE3	I	BE3
$\overline{XOE}$	O	$\overline{OE}$	O	$\overline{OE}$				
$\overline{XRE}$	O	$\overline{RE}$	O	$\overline{RE}$				
$\overline{XWE}$	O	$\overline{WE}$	O	$\overline{WE}$	O	$\overline{WAIT}$		
$\overline{XAS}$					I/O/Z	AS		
XRDY	I	XRDY			I/O/Z	READY	O/Z	READY
XW/R					I/O/Z	$W/\overline{R}$	I	$W/\overline{R}$
XBLAST					I/O/Z	BLAST		
XHOLD	I/O/Z	HOLD	I/O/Z	HOLD	I/O/Z	HOLD	I/O/Z	HOLD
XHOLDA	I/O/Z	HOLDA	I/O/Z	HOLDA	I/O/Z	HOLDA	I/O/Z	HOLDA
XCNTL					I	CNTL	I	CNTL
XBOFF					I	BOFF		
$\overline{XCS}$					I	CS	I	CS

表8-2. ホストポート不使用時の信号状態

信号名	(I/O/Z)	外部接続
XD[31:0]	I/O/Z	システムに依存/XD[13:9]=00010b
XFCLK	O	N/C
XCLKIN	I	プルアップ
XCE[3:0]	O	N/C
$\overline{\text{XBE}}[3:0]/\text{XA}[5:2]$	O/Z	プルダウン
$\overline{\text{XOE}}$	O	N/C
$\overline{\text{XRE}}$	O	N/C
$\overline{\text{XWE}}$	O	N/C
$\overline{\text{XAS}}$	I/O/Z	プルアップ
XRDY	I/O/Z	プルアップ
XW/R	I/O/Z	プルアップ
XBLAST	I/O/Z	プルアップ
XHOLD	I/O/Z	プルダウン
XHOLDA	I/O/Z	プルアップ
XCNTL	I	プルアップ
XBOFF	I	プルダウン
$\overline{\text{XCS}}$	I	プルアップ

### 8.3 拡張バス・レジスタ

拡張バスとペリフェラル・インターフェイスの制御は、拡張バス内のメモリー・マップド・レジスタで行います。表8-2にメモリー・マップド・レジスタを示します。

表8-3. 拡張バス・メモリー・マップド・レジスタ

バイト・アドレス	名前
0188 0000h	拡張バス・グローバル・コントロール(XBGC)・レジスタ
0188 0004h	XCE1領域コントロール・レジスタ
0188 0008h	XCE0領域コントロール・レジスタ
0188 000ch	拡張バス・ホストポート・インターフェイス・コントロール(XBHC)・レジスタ
0188 0010h	XCE2領域コントロール・レジスタ
0188 0014h	XCE3領域コントロール・レジスタ
0188 0018h	予約
0188 001ch	予約
0188 0020h	拡張バス内部マスタ・アドレス(XBIMA)・レジスタ
0188 0024h	拡張バス外部アドレス(XBEA)・レジスタ

### 8.3.1 拡張バス・ホストポート・レジスタ

拡張バスの外部マスタは、どの内部レジスタにアクセスするかを選択するために、XCNTL信号を使用します。このピンの状態により、拡張バス内部スレーブ・レジスタ(XBISA)又は拡張バス・データ・レジスタ(XBD)のどちらにアクセスするのかが選択します。又、外部マスタは、DSPのメモリー・マップド・レジスタを含むすべてのメモリー領域にアクセスすることができます。

表8-4に、ホスト・デバイスとCPUとのやりとりのために使用する拡張バス・ホストポート・インターフェイスによって使用される設定レジスタを示します。

表8-4. 拡張バス・ホストポート・レジスタ

レジスタの略	レジスタ名	ホスト・リード/ ライト・アクセス	C6202リード/ ライト・アクセス	メモリー・マップ ド・アドレス
XBHC	拡張バス・ホストポート・ コントロール・レジスタ	—	RW	0x0188 000C
XBEA	拡張バス外部アドレス・ レジスタ	—	RW	0x0188 0024
XBIMA	拡張バス内部マスタ・ アドレス・レジスタ	—	RW	0x0188 0020
XBISA	拡張バス内部スレーブ・ アドレス・レジスタ	RW	—	
XBD	拡張バス・データ・ レジスタ	RW	—	

### 8.3.2 拡張バス・グローバル・コントロール・レジスタ

拡張バス・グローバル・コントロール・レジスタ(図8-3及び表8-4に表示、また表8-5で解説)によって、拡張バスのすべてのインターフェイスに共通のパラメータが設定されます。I/Oポート・インターフェイスの動作中は拡張バス・グローバル・コントロール・レジスタを変更しないでください。

図8-3. 拡張バス・グローバル・コントロール・レジスタ

31	16	15	14	13	12	11	10	0
Reserved		FMOD	XFCEN	XFRAT	XARB	Reserved		
R, +0		R, +x	RW, +0	RW, +00	R, +x	RW, +x		

表8-5. 拡張バス・グローバル・コントロール・レジスタ・フィールド解説

フィールド	解説
FMOD	FIFOモード。ブートモード選択によって決定 FMOD=0:FIFOモードで動作するすべてのXCE領域のFIFOリード・インターフェイスにグルーを使用 FMOD=1:グルーなしのリードFIFOインターフェイス。XCE3領域をFIFOモードに設定した時、XOEはFIFO出カインーブル、XCE3はFIFOリード・インーブルとなります。他のすべてのXCE領域では、XOEはMTYPEの設定に関わらずディセーブルにされます。
XFCEN	FIFOクロック・インーブル XFCEN=0:XFCLKをハイに保つ XFCEN=1:XFCLKをクロックとしてインーブルにする XCE領域へのDMAリクエストがアクティブの間、FIFOクロック・インーブルを変更することができません。
XFRAT	FIFOクロック・レート XFRAT=00:XFCLK=1/8 CPUクロック・レート XFRAT=01:XFCLK=1/6 CPUクロック・レート XFRAT=10:XFCLK=1/4 CPUクロック・レート XFRAT=11:XFCLK=1/2 CPUクロック・レート XCE領域へのDMAリクエストがアクティブの間、FIFOクロックの設定を変更することができません。
XARB	XARB アービトレーション・モード。ブートモード選択によって設定。 XARB=0:内部アービタをディセーブル XARB=1:内部アービタをインーブル

### 8.3.3 XCE領域コントロール・レジスタ

4個のXCE領域コントロール・レジスタ(図8-4及び表8-6)は、拡張バスによってサポートされる4つのXCEメモリー領域に対応します。

図8-4. 拡張バスXCE(0/1/2/3)領域コントロール・レジスタ

31	28	27	22	21	20	19	16	15	14	13	8	7	6	4	3	2	1	0
WRITE SETUP		WRITE STROBE		WRITE HOLD		READ SETUP		rsvd		READ STROBE		rsvd		MTYPE		rsvd		READ HOLD
RW, +1111		RW, +111111		RW, +11		RW, +1111		R, +00		RW, +111111		R, +0		R, +x		R, +00		RW, +11

表8-6. 拡張バスXCE(0/1/2/3)領域コントロール・レジスタ・フィールド解説

フィールド	解説
MTYPE	メモリー・タイプは、拡張バスのプルアップ/プルダウン抵抗を使用して、ブート時に決定されます。 MTYPE=010b:32ビット幅非同期インターフェイス MTYPE=101b:32ビット幅FIFOインターフェイス
その他	予約

残りのフィールドの詳細は、第9章外部メモリー・インターフェイスに記述されています。これらのフィールドは、非同期インターフェイス特有で、EMIF CE領域コントロール・レジスタのフィールドと機能的に同じです。

## 8.4 拡張バスI/Oポート動作

拡張バスの外部I/Oポート・インターフェイスでは、 $\overline{XBE}$ 信号はアドレス信号XA[5:2]として動作します。これによって、各XCE領域で、16個までのR/Wペリフェラルまたは32個までのFIFOを識別する事ができます。FIFOについては、独立なリード/ライトのFIFOを互いに同じアドレスに位置づけることで32個のデバイスとの接続が可能になります。

拡張バスI/Oポートへのアクセスは、DMAチャンネル0~3を介してのみ行うことができます。データ・メモリー・コントローラ(DMEMC)は、拡張バスへ直接アクセスすることができません。つまり、CPUがロード/ストア命令(LD/ST)を使用して拡張バスのメモリー領域にアクセスすることはできません。拡張バスへのロード/ストア命令を実行した場合、動作は不定になります。DMAは一つのXCE領域から他のXCE領域へ転送することはできません。又、ホストポートが、XCE領域にアクセスすることはできません。

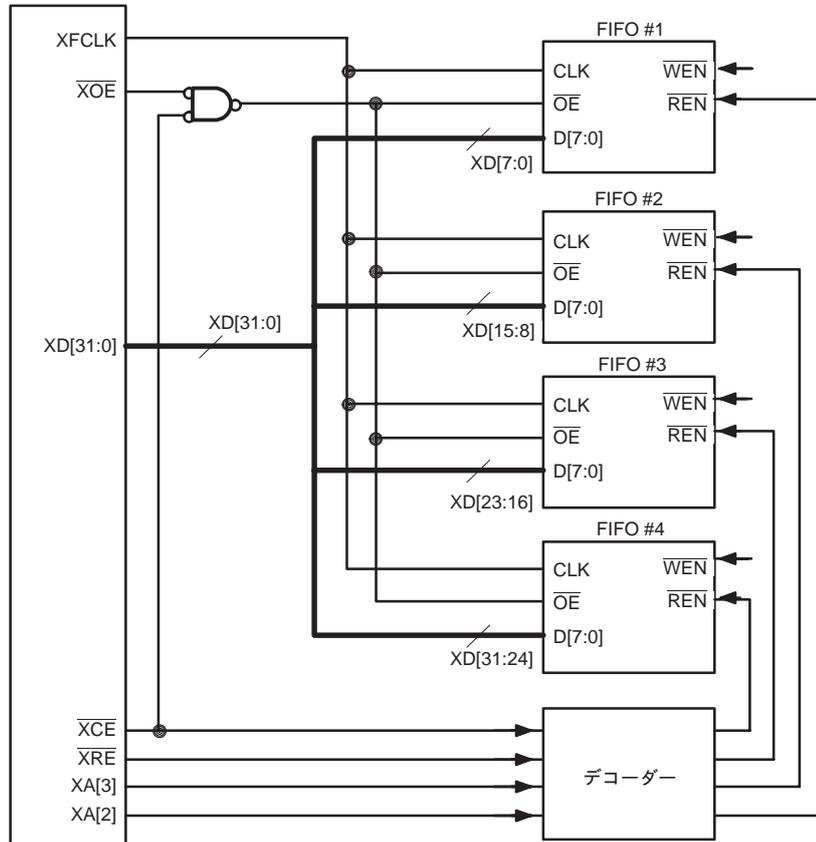
リードの場合、同一のXCE領域において、あるペリフェラルから次のペリフェラルへ切り替える時、データバスの競合が発生しないようにする必要があります。DMAでは一つの転送から別の転送に切り替わる時に、インアクティブなサイクルが挿入されますので、この問題は回避されます。複数のペリフェラルやFIFOから交互にフレームをリード/ライトするようにDMAを設定することもできます。たとえば、DMAの転送アドレス更新のエLEMENT・インデックスを0に、フレーム・インデックスを4の倍数(ワード・アドレス)に設定すれば、各フレーム転送が終了する度に別の外部デバイスが選択される事になります。

拡張バスは、基本的には、32ビット幅のメモリー幅しかサポートしていませんが、DMAはバイト/ハーフ・ワードの論理アドレッシングをすることで、8ビットや16ビット幅のペリフェラルやFIFOにもリード/ライトする事ができます。例えば、XCE2領域に8ビット幅のFIFOが接続されている場合、DMA転送のESIZEを8ビットにします。そして、DMAソース・アドレス・レジスタまたは、デスティネーション・アドレス・レジスタの下位2ビットをI/OポートのFIFOが接続されているバイトに合わせて設定します。下位2ビットが00b(ワード・アライン)の場合、XD[7:0]のみが有効なデータとなります。下位2ビットが01bの場合、XD[15:8]が使用されます(図8-5及び表8-7を参照)。

逆に、16ビット(または8ビット)のペリフェラルを使用する場合、上記の方法で各バイトに割り当てられたペリフェラルを識別する事ができます。例えば、はじめにA[5:0]=xxxx00bにアクセスすると、データ・バスの下位16ビットがペリフェラルによってドライブされ、次にA[5:0]=xxxx10bにアクセスすると、データ・バスの上位16ビットが別のペリフェラル(FIFO等)によってバスの競合無しにドライブされるという事ができます。外部に出ているアドレス線はA[5:2]のみです。特定のペリフェラルやFIFOを指定するためにアドレス線のデコードが必要になる場合がある場合には、適切にペリフェラルがアドレッシングされるために、必要に応じてDMAでアドレスを変更する必要があります(図8-6及び表8-8参照)。

図8-5に4つの8ビットFIFOの接続例を示します(表8-7にその場合のメモリー・マップを示します。)。また、図8-6に2つの16ビットFIFOの接続例を示します(表8-8にその場合のメモリー・マップを示します。)。

図8-5. 4つの8ビットFIFOへの拡張バス・インターフェイス例



8

表8-7. アドレス・スキーム - 4つの8ビットFIFOへインターフェイスした場合

論理アドレス	A[31:6]	A5	A4	A3	A2	A1	A0
FIFO #1 アドレス	X	X	X	0	0	0	0
FIFO #2 アドレス	X	X	X	0	1	0	1
FIFO #3 アドレス	X	X	X	1	0	1	0
FIFO #4 アドレス	X	X	X	1	1	1	1
物理アドレス		XA5	XA4	XA3	XA2		

図8-6. 2つの16ビットFIFOへの拡張バス・インターフェイス例

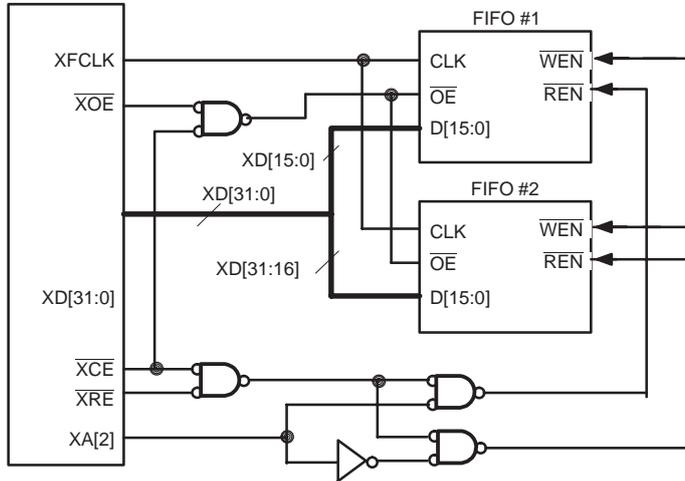


表8-8. アドレス・スキーム - 2つの16ビットFIFOへインターフェイスした場合

論理アドレス	A[31:6]	A5	A4	A3	A2	A1	A0
FIFO #1 アドレス	X	X	X	X	0	0	0
FIFO #2 アドレス	X	X	X	X	1	1	0
物理アドレス		XA5	XA4	XA3	XA2		

### 8.4.1 非同期モード

拡張バスの非同期インターフェイスのアクセス・サイクルは、外部メモリー・インターフェイス(EMIF)の非同期型インターフェイスのアクセス・サイクルと同じになります。非同期ペリフェラル・アクセスでは、XRDYピンはアクティブ・ハイのレディ入力ピン、XBE[3:0]/XA[5:2]ピンはアドレス信号ピンXA[5:2]として動作します。その他の非同期ペリフェラル用信号はEMIFの対応する信号と同じになります。詳しくはEMIFの章をご覧ください。非同期パラメータには下記の制限がかかります。

- SETUP+STROBE+HOLD ≥ 3
  - SETUP ≥ 1
  - STROBE ≥ 1
- XRDYが拡張STROBEとして使用された場合、HOLD ≥ 2

**注:**

- 1) ホストポート・アクセスの間XRDY信号はアクティブ(ロー)です。
- 2) ホストポート・アクセスの間XBE[3:0]/XA[5:2]ピンはXBE[3:0]として動作します。

### 8.4.2 同期式FIFOモード

拡張バスの同期式FIFOモードでは、標準の同期式FIFOとのグルーレス、または、最小限のロジック回路での、標準的な同期式FIFOとのインターフェイスが可能です。

拡張バスは、外付けのロジック回路を使用しない場合、最大4つのライト用FIFO(各XCE領域に1つずつ)または、3つのライト用FIFOと1つのリード用FIFO(XCE3に接続)を直結する事ができます。しかし、最小のロジック回路を使用することで、各XCE領域に最大16個までのリード/ライト用FIFO(計32個)を接続する事ができます。

XOE、XRE、XWE、及び $\overline{XCE_n}$ 信号は、DSPが拡張バスのコントロールをしていないときもトライ・ステートにはなりません。

表8-9. 同期式FIFOモード・ピン詳細

信号	(I/O/Z)	信号動作	信号機能	
			R/Wモード	リード・モード
XFCLK	O	FIFOクロック出力	CPUクロック周波数の1/2、1/4、1/6、または1/8に設定可能。つまり、CPUクロックが250MHzの場合、XFCLKは125、62.5、41.7、または31.25MHzに設定できます。XFCLKはDSPが拡張バスの制御を手放した場合も出力し続けます。	
XD[31:0]	I/O/Z	データ	データ線	
$\overline{XCE_x}$	O	FIFOリード・イネーブル/ライト・イネーブル/チップ・セレクト	リード動作/ライト動作いずれにもアクティブです。特定のFIFOを指定するためにXOEと外部で論理和をとる必要がある場合があります。1つのXCE領域に1つのライト用FIFOを接続する場合には、ライト・イネーブル信号としても使用できます。	リード・イネーブル信号として動作(XCE3のみ)
$\overline{XWE}$	O	FIFOライト・イネーブル	FIFOへのライト・イネーブル信号。特定のFIFOのみをイネーブルするために、外部でXCE信号との論理和をとる必要があります。	
$\overline{XRE}$	O	FIFOリード・イネーブル	FIFOへのリード・イネーブル信号。特定のFIFOのみをイネーブルするために、外部でXCE信号との論理和をとる必要があります。	
$\overline{XOE}$	O	FIFOアウトプット・イネーブル	共有の出力イネーブル信号。特定のFIFOのみをイネーブルするために、外部でXCE信号との論理和をとる必要があります。	FIFOリード・モードに設定した場合には、XCE3領域は出力イネーブル信号として使用します。その場合、他の領域ではこの信号は使用できなくなります。
$\overline{XBE[3:0]}$ / XA[5:2]	O/Z	拡張バス・アドレス	XA[5:2]として動作し、16個までのペリフェラルを識別が可能です。1つのXCE領域に16個のリード用FIFOと16個のライト用FIFOまでを接続できます。	

8.4.2.1 ライト・インターフェイス

リード/ライトFIFOモードとして設定された領域にライト・アクセスしている間、 $\overline{XCE}$ 信号と $\overline{XWE}$ 信号は共にXFCLKの立ち上がりエッジでアクティブです。システムの状態によって、ライト・インターフェイスは、グルーありもしくはグルーレスで実現できます。

グルーレスでのインターフェイスは、 $\overline{XCE}$ 信号をライト・イネーブルとして使用する事により、1つのXCE領域に1つのライト用FIFOのみを接続する場合に実現できます。(図8-7を参照)この場合、 $\overline{XCE}$ 信号は直接FIFOのライト・イネーブル入力に接続されます。同じXCE領域にリード用FIFOも同時に接続する場合、 $\overline{XCE}$ 信号はリード用FIFOからリードをする場合にもローになってしまうので、外部グルーが必要になります。

図8-8に、同じXCE領域にリード用FIFOとライト用FIFOを1つずつ接続する場合の接続法を示します。この例では、 $\overline{XCE}$ 信号は、適切なリード/ライト・ストロブをFIFOに与えるためのゲートの役割をしています。FIFOへのライトタイミングを図8-9に示します。

アドレス・デコード回路を外部に持つ事により、複数のFIFOを1つのXCE領域に接続する事ができます。

図8-7. グルーなしライトFIFOインターフェイス

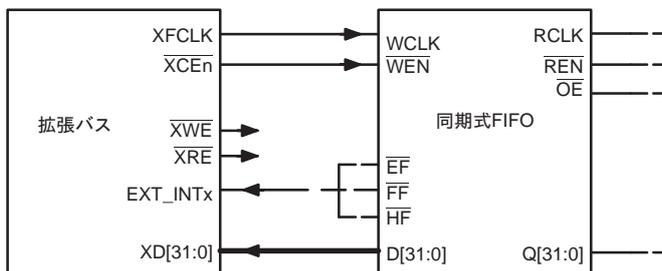
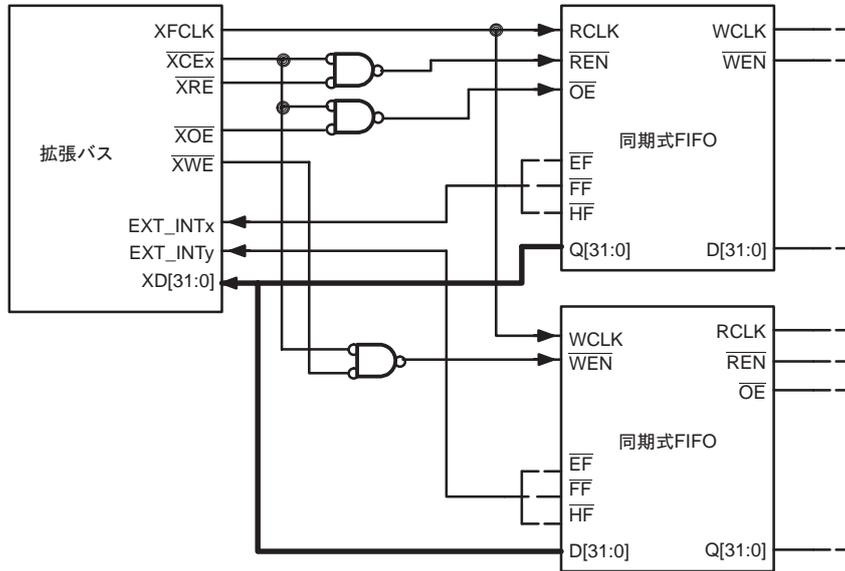
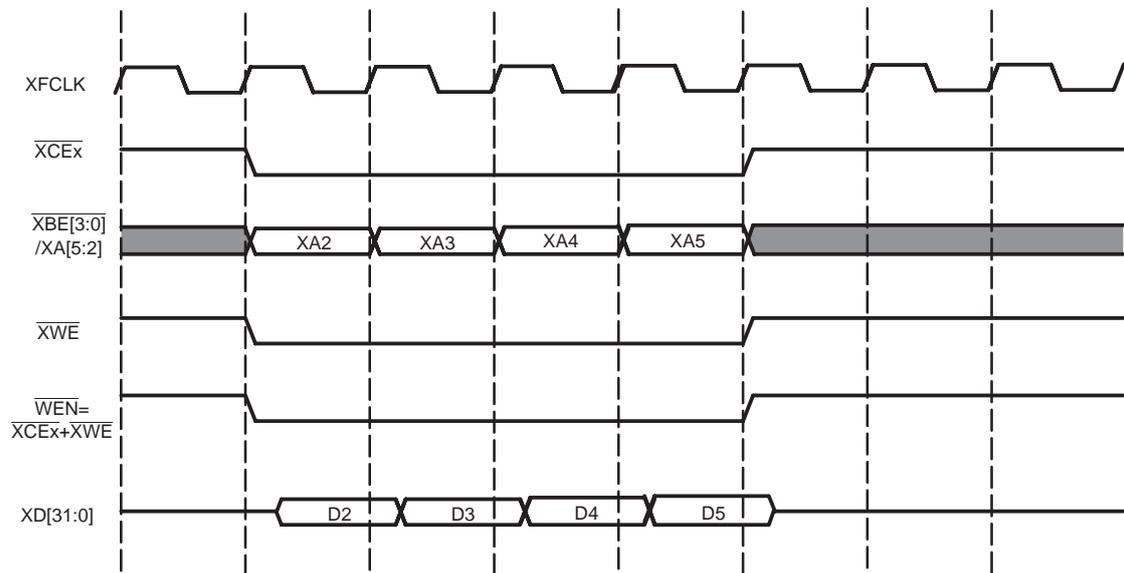


図8-8. グループありリード/ライトFIFOインターフェイス



8

図8-9. FIFOライト・サイクル



8.4.2.2 リードFIFOインターフェイス

リード用FIFOはグルーレスではXCE3領域に、また最小のグルーを使用することで他のすべてのXCE領域に接続することができます。グルーレスでのリードFIFOインターフェイスを使用する(ブート設定で選択します)場合、 $\overline{XOE}$ 信号は、XCE3領域でのみ有効になり、FIFOインターフェイスでのみ使用されます。ブート時にこのモードが選択されると、 $\overline{XOE}$ 信号は他のすべての領域でディセーブルにされます。このモードでは、 $\overline{XCE3}$ 信号はリード・イネーブル信号、 $\overline{XOE}$ 信号は出力イネーブル信号として使用されます。図8-10にこのモードの接続例を示します(図8-11にこの接続でのタイミング図を示します。)。グルーレスでのリードFIFOモードが選択されない場合、FIFOインターフェイスとして設定されたすべてのXCE領域に最小限のグルーと共にリード用FIFOを接続することができます。図8-8に必要なグルーを示します。図8-12にその場合のタイミング図を示します。

図8-10. グルーなしリードFIFOインターフェイス

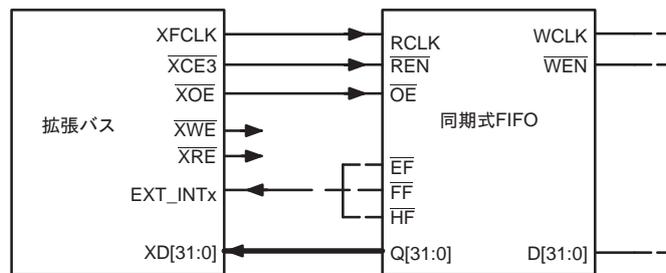


図8-11. FIFOリード・モードーリード・タイミング(グルーレス)

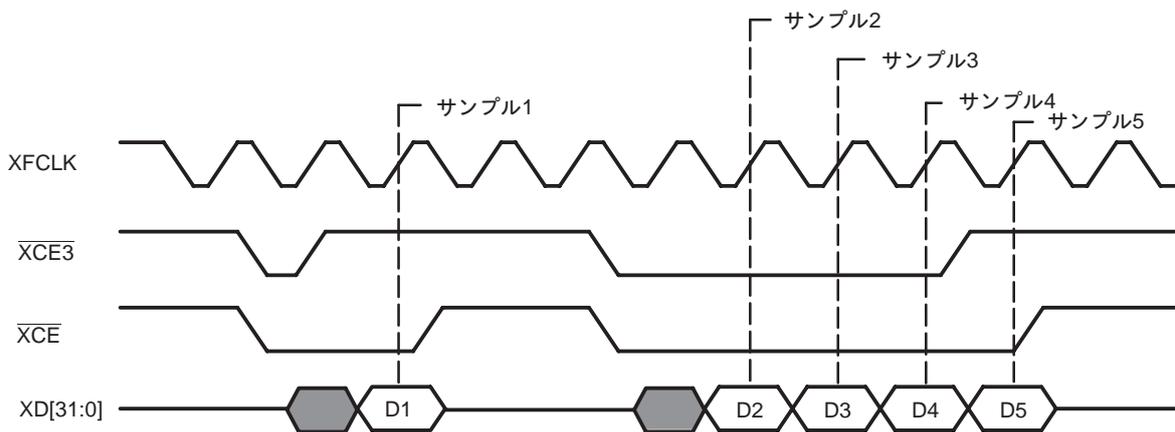
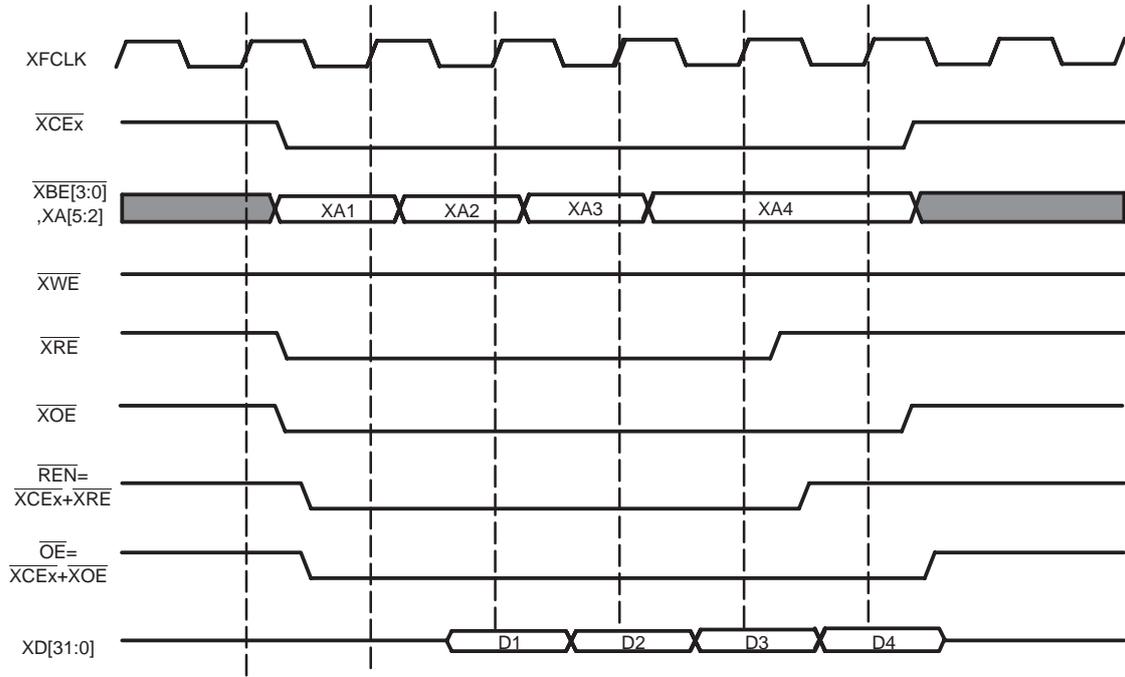


図8-12. FIFOリード・モード - グルーあり



8.4.2.3 オフセット・レジスタの設定

FIFOのプログラマブル・オフセット・レジスタによって、FIFOの状態を示すフラグに対するオフセット値を保持することができます。

プログラマブル・オフセット・レジスタは、連続したサイクルで設定、リードしなければなりません。また、FIFOからのリードは、FIFOへのオフセット・レジスタをライトがあるまで行えません。FIFOからのリードは、FIFOへのライトの後になりますので、このことは問題にはなりません。FIFOへのライトはオフセット・レジスタをプログラムした後にすべきです。

オフセット・レジスタをプログラムする(またはリードする)ためには、連続した一連のアクセスをする必要があります。例えば、はじめのXFCLKエッジでPAEレジスタを設定し、次のXFCLKエッジでPAFレジスタを設定します。また、9ビットや、より大きい18ビットのFIFOでは、それぞれのレジスタを設定するのに2または3サイクルかかるのが通常です。はじめのライトで下位ビットを設定し、次のライトで中位のビット、3度目のライトで上位ビットを設定するなどします。

汎用出力(DMACxやTOUTx)は、FIFOへのリード/ライトが、FIFOメモリーへのものなのか、FIFOのプログラマブル・オフセット・レジスタへのものなのかを制御する目的に使用できます。または、XA[5:2]信号をデコードしてプログラマブル・オフセット・レジスタへのアクセスをコントロールする事もできます。

#### 8.4.2.4 フラグのモニタリング

FIFOインターフェイスとのデータ・バースト転送を制御するために、割り込み信号EXT\_INT4、EXT\_INT5、EXT\_INT6、及び、EXT\_INT7をDMA転送をコントロールするフラグとして使用する事ができます。転送を開始するために使用される信号の極性は、DMAセカンダリ・コントロール・レジスタで設定する事ができます。CPUのEXT\_INTとDMAのEXT\_INTの極性は個別に設定できます。詳しくは、DMAの章をご覧ください。

### 8.4.3 DMA転送の例

#### 8.4.3.1 例1(シングル・フレーム転送)

拡張バスのI/Oポートに接続されたペリフェラルに対しては、DMAを通してのみアクセスする事ができます。この節では、XCE0に接続されたFIFOから、内部データ・メモリー0x80000000へ、256ワードのシングル・フレームを転送する例を示します。この例では、単純に、ソース・レジスタとデスティネーション・レジスタを設定し、DMAをスタートさせます。そのとき、デスティネーション・アドレスは要素分だけインクリメント、ソース・アドレスは変更なしの設定です。FIFOはメモリー・マップ上で固定されていますので、ソース・アドレスは変更しません。関連レジスタと、DMAチャンネル・プライマリ・コントロール・レジスタの設定値を表8-10及び表8-11に示します。

表8-10. 関連レジスタの内容(シングル・フレーム転送)

レジスタ	内容
DMAプライマリ・コントロール・レジスタ	0000 0041h
DMAソース	4000 0000h
DMAデスティネーション	8000 0000h
転送カウンタ・レジスタ	0000 0100h

表8-11. DMAチャンネル・プライマリ・コントロール・レジスタ・フィールドの内容

DST リロード	SRC リロード	EMOD	FS	TCINT	PRI	WSYNC	RSYNC	INDEX	CNT リロード	SPLIT	ESIZE	DST DIR	SRC DIR	STATUS	START
00	00	0	0	0	0	00000	00000	0	0	00	00	01	00	00	01

8.4.3.2 例2(フレーム同期を伴う転送)

この例では、256ワードを1フレームとして、10フレームをXCE0に接続されたFIFOから内部データ・メモリの80000000hへ転送します。この例では、ソース及びデスティネーション・アドレス・レジスタを設定した後、デスティネーション・アドレスではインクリメント、ソース・アドレスに関しては変更なしとしてDMAをスタートさせています。FIFOのアドレスは固定されていますので、ソース・アドレスは変更しません。アクティブ(ハイ)のEXT\_INT4がフレーム同期として使用されています。関連レジスタの内容と、DMAチャンネル・プライマリ・コントロール・レジスタ及びDMAチャンネル・セカンダリ・コントロール・レジスタの内容を表8-12、表8-13及び表8-14に示します。

表8-12. 関連レジスタの内容(複数フレーム転送)

レジスタ	内容
DMAプライマリ・コントロール・レジスタ	0401 0041h
DMAセカンダリ・コントロール・レジスタ	0008 0000h
DMAソース	4000 0000h
DMAデスティネーション	8000 0000h
転送カウンタ・レジスタ	000A 0100h
グローバル・カウンタ・リロード・レジスタA	0000 0100h

表8-13. DMAプライマリ・コントロール・レジスタ

DST リロード	SRC リロード	EMOD	FS	TCINT	PRI	WSYNC	RSYNC	INDEX	CNT リロード	SPLIT	ESIZE	DST DIR	SRC DIR	STATUS	START
00	00	0	1	0	0	00000	00000	0	0	00	00	01	00	00	01

表8-14. DMAセカンダリ・コントロール・レジスタ

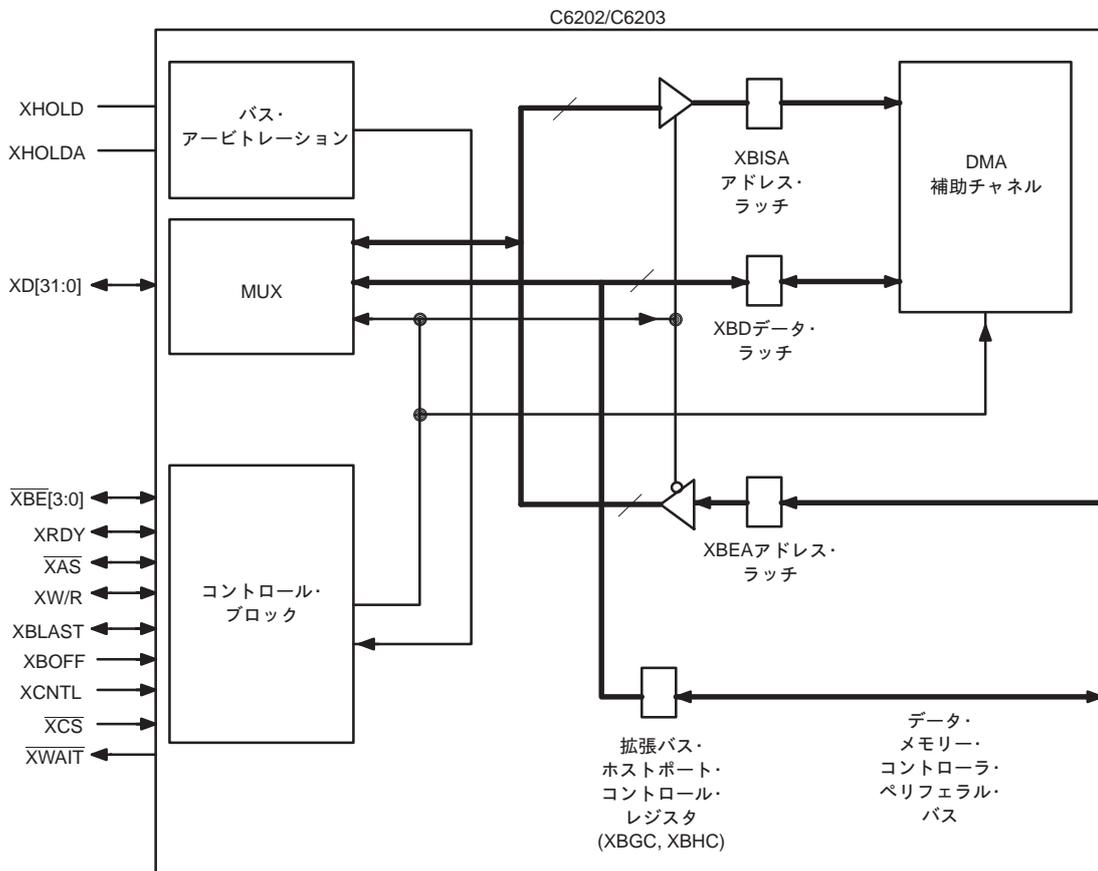
予約	SYNC CNTL	DMAC EN	WSYNC CLR/WSYNC STAT/RSYNC CLR/RSYNC STAT/WDROP IE/ WDROP COND/WDROP COND/RDROP IE/RDROP COND/BLOCK IE/BLOCK COND/LAST IE/LAST COND/FLAME IE
0000 0000 00	001	0 00	0000 0000 0000 0000

### 8.5 拡張バス・ホストポート機能

拡張バス・ホストポートには、外部プロセッサ、PCIブリッジ・チップやその他の外部ペリフェラルとのインターフェイスを行うための2つのモードがあります。2つのモードとは、同期ホストポート・モードと非同期ホストポート・モードです。同期ホストポート・モードは、PCIブリッジ・チップや各種の一般的なマイクロ・プロセッサとの最小限のグルーでのインターフェイスを可能にします。非同期ホストポート・モードは、非同期デバイスとのインターフェイスを可能にします。

拡張バス・ホストポート・ブロック図を図8-13に示します。

図8-13. 拡張バス・ホストポート・ブロック図



拡張バスのデータ・バスにプル・アップ/ダウン抵抗を接続することで、リセット立ち上げ時に、ホストポートの動作モード、DSPブート・モード及びエンディアンを指定します。

8

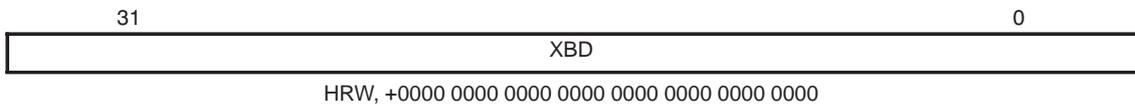
### 8.5.1 拡張バス・ホストポート・レジスタ

#### 8.5.1.1 拡張バス・データ・レジスタ

図8-14に示す拡張バス・データ(XBD)・レジスタには、現行のアクセスがリードの場合、拡張バス・ホストポートがメモリーからリードしたデータが、現行のアクセスがライトの場合、メモリーへライトするデータが格納されます。

拡張バス・ホストポートが同期モード、非同期モードどちらの場合でも、このレジスタは使用されます。

図8-14. 拡張バス・データ・レジスタ



#### 8.5.1.2 拡張バス内部スレーブ・アドレス・レジスタ

拡張バス内部スレーブ・アドレス(XBISA)・レジスタは、拡張バスの外部マスタがデータ転送を始める時に使用されます。このレジスタは、外部マスタがアクセスするメモリーのDSPメモリー・マップ上でのアドレスを示します。このアドレスは、30ビット・ワード・アドレスです。このレジスタの下位2ビットはホストによって使用されます。XBISAレジスタの自動インクリメントのイネーブル/ディセーブルの設定ができ、(DSPINTビットに1をセットすることによって)ホストからDSPへの割り込みをかけることが可能です。XBISAレジスタを図8-15と表8-15に示します。

8

図8-15. 拡張バス内部スレーブ・アドレス・レジスタ(XBISA)

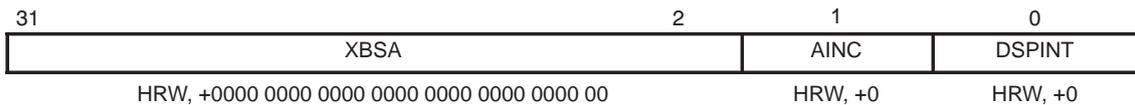


表8-15. XBISAレジスタの解説

フィールド	解説
DSPINT	DSPへの外部マスタ割り込み。リセットからDSPコアを起動開始するために使用。このビットはXBHCレジスタの対応するビットによってクリアされます。
AINC	自動インクリメントのイネーブル(非同期モードのみ) AINC=0: XBDレジスタにアクセスするとき、XBSAフィールドの自動インクリメントをとまなう。 AINC=1: XBDレジスタをアクセスするとき、XBSAフィールドは変わらない。
XBSA	30ビット・ワード・アドレス。XBSAビット・フィールドは、ホストがアクセスするDSPメモリー・マップのメモリー位置を示します。

このレジスタは、拡張バス・ホストポートが同期モード、非同期モードどちらの場合でも使用されます。DSPからXBISAレジスタへのアクセスはできません。同期ホストポート・モードでの連続転送は、常に自動インクリメント・モードが仮定されています。(AINCビットは0にしておく必要があります。)自動インクリメントモード(AINC=0)では、外部ホストが内部データRAMの最後の2ワードにアクセスしようとした場合、動作は不定です。これは、内部データRAM上の予約領域からデータをプリフェッチしようとするからです。

### 8.5.1.3 拡張バス内部マスタ・アドレス・レジスタ

図8-16に示す拡張バス内部マスタ・アドレス・レジスタ(XBIMA)は、転送が開始されるDSPメモリー・マップのソースまたはデスティネーション・アドレスを示します。このレジスタは、DSPが拡張バスの転送を初期化したいときにDSPによってセットされます。すべての転送が1ワード幅単位なので、XBIMAレジスタは各々の転送後、4ずつ増加します。

このレジスタは、ホストポートが同期モードで動作する場合に使用されます。

図8-16. 拡張バス内部マスタ・アドレス・レジスタ



### 8.5.1.4 拡張バス外部アドレス・レジスタ

このレジスタは、DSPが拡張バスの転送を初期化したいときにDSPがセットします。図8-17に示す、拡張バス外部アドレス(XBEA)レジスタの内容は、DSPが初期化した転送のアドレス・フェーズ中にXD[31:0]ラインに現れます。XBEAは、外部スレーブ・メモリー・マップ中のデータ・アクセスをする場所を示します。すべての転送が1ワード幅単位なので、XBIMAレジスタは各々の転送後、4ずつ増加します。

このレジスタは、ホストポート同期モード場合に使用されます。

図8-17. 拡張バス外部アドレス・レジスタ



8.5.1.5 拡張バス・ホストポート・インターフェイス・コントロール・レジスタ

拡張バス・ホストポート・インターフェイス・コントロール・レジスタ(XBHC)(図8-18、表8-16を参照)は、拡張バス・ホストポートのパラメータを設定します。

XBHCレジスタのSTARTビット・フィールドは、転送が終了しても0にクリアされません。XRDYがハイになっていることで転送がストールしているとき、STARTビット・フィールドへ'00'をライトすると、転送が停止されます。転送が停止したとき、XBIMAレジスタとXBEAレジスタ及びXFRCT転送カウンタは転送停止時の状態を反映します。この情報を利用して、転送を再開することが可能です。転送中にSTARTビット・フィールドに'00'以外の値を書くことは推奨しません。

図8-18. 拡張バス・ホストポート・インターフェイス・コントロール(XBHC)・レジスタ

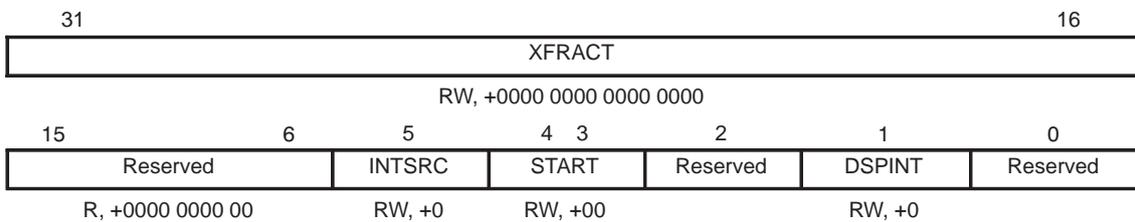


表8-16. XBHCレジスタ解説

フィールド	解説
DSPINT	このビットをセットすると、外部マスターからDSPへの割り込み(リセットからDSPを起動開始するために使用)がクリアされます。
START[1:0]	バス・マスタ転送開始。 START=01:XBIMAの示すアドレスからXBEAの示すアドレスへライト連続転送を開始します。 START=10:XBEAの示すアドレスからXBIMAの示すアドレスへリード連続転送を開始します。 アクティブ転送がXRDYがハイになることでストールしているときに、STARTビット・フィールドに'00'をライトすると、転送が停止します。転送が停止したとき、拡張バスのレジスタは転送停止時の状態を反映します。この情報を使用して、転送を再開することが可能です。
INTSRC	DSPINTビットまたはXFRCTカウンタのどちらかが拡張バス・ホストポート割り込みを引き起こします。INTSRCは、DSPINTとXFRCTカウンタから割り込みソースを選択します。 INTSRC=0:割り込みソースはDSPINTビット INTSRC=1:STARTビット・フィールドへのライトによって開始された転送が終了した時に割り込みを生成します。
XFRCT	CPUがバスのマスタのとき、外部スレーブと拡張バス間の転送数(64Kまでの範囲)を示します。

### 8.5.2 同期ホストポート・モード

このモードでは、ホストポートは、i960Jxと互換性のあるマルチプレクスされたデータとアドレスの信号を出力します。これにより、最小限のインターフェイスでPCIバスと接続できます。これは、主要なPCIバス・チップ・メーカーがそのチップ上にローカル・バスとしてi960バスを採用しているからです。

同期ホストポート・モードでは、各種の一般的なプロセッサとの接続を容易に行うことができ、本質的にはスレーブ・モードでのみ動作します。

拡張バスは、バースト転送を開始及び受信することが可能です。

表8-17に拡張バスの同期ホストポート・モードでのピンの機能を示します。

表8-17. 拡張バス・ピンの解説(同期ホストポート・モード)

信号シンボル	信号の種類	信号数	信号名	信号機能
XCLKIN	I	1	クロック入力	拡張バス・クロック(最大クロック・スピード)
$\overline{XCS}$	I	1	チップ・セレクト	外部マスタがDSPをターゲットとして選択
XHOLD	I/O/Z	1	ホールド・リクエスト	ケース1(内部バス・アービタ・イネーブル) 外部デバイスはXHOLDによってDSPに拡張バスの制御権を要求します。DSPは制御権を与えるとXHOLDAを返します。 ケース2(内部バス・アービタ・ディスエーブル) DSPはバス・スレーブとしてリセットから立ち上がります。 DSPはXHOLDによって拡張バスの制御権を要求します。 拡張バスの外部アービタはDSPに制御権を与えるときXHOLDAを返します。
XHOLDA	I/O/Z	1	ホールド・アクノレッジ	ケース1(内部バス・アービタ・ディスエーブル) DSPはバス・スレーブとしてリセットから立ち上がります。拡張バスの外部アービタはXHOLDによる要求に応じてDSPに制御権を与えるときにXHOLDAを返します。DSPはバスの制御権を得るためにはXHOLDによって外部アービタにリクエストをする必要があります。 ケース2(内部バス・アービタ・イネーブル) DSPはバス・マスタとしてリセットから立ち上がります。 DSPはXHOLDによる要求に応じて外部デバイスにバスの制御権を与えるときにXHOLDAを返します。
XD[31:0]	I/O/Z	32	アドレス/ データ・バス	データ

表8-17. 拡張バス・ピンの解説(同期ホストポート・モード)(続き)

信号シンボル	信号の種類	信号数	信号名	信号機能
XBLAST	I/O/Z	1	バースト・ラスト	拡張バスのバス・マスタがバス・アクセスの最後の転送を示すために使用します。入力極性はブート時の設定で決まります。出力極性は常にアクティブ・ローです。
$\overline{\text{XAS}}$	I/O/Z	1	アドレス・ストローブ	アドレスが有効であることと、転送が開始されることを示します。バス・アクセスの最初のクロックで出力されます。
XCNTL	I	1	コントロール信号	アクセス先がXBDであるかXBISAであるかを選択します。 XCNTL=0;XBDレジスタへのアクセス XCNTL=1;XBISAへのアクセス
$\overline{\text{XBE}}[3:0]$ $\overline{\text{XA}}[5:2]$	I/O/Z	4	バイト・イネーブル	ホストポート・アクセスの間 $\overline{\text{XBE}}[3:0]$ として動作します。 $\overline{\text{BE}}3$ バイト・イネーブル3:XD[31:24] $\overline{\text{BE}}2$ バイト・イネーブル2:XD[23:16] $\overline{\text{BE}}1$ バイト・イネーブル1:XD[15:8] $\overline{\text{BE}}0$ バイト・イネーブル0:XD[7:0] 8ビット、16ビット、32ビットのデータはそれぞれ、バイト、ハーフ・ワード、ワードでアラインされている必要があります。
XW/R	I/O/Z	1	リード/ライト	ライト/リード・イネーブル 極性はブート時に設定されます。
XRDY	I/O/Z	1	レディ・アウト レディ・イン	ホストポート・アクセスの間は、アクティブ・ローの信号として動作します。DSPがバス・マスタの場合はXRDYは入力になります。DSPがスレーブの場合、DSPに対するアクセスが発生しない限りXRDYはドライブされません。
XBOFF	I	1	バス・バックオフ	要求を受けた場合、現行のアクセスが中断され、DSPはバスの制御権を手放します。
$\overline{\text{XWAIT}}$	O	1	ウエイト	マスタのアクセスのためのレディ出力

### 8.5.2.1 TMS320C6202/C6203 が拡張バスのバス・マスタの場合

C6202/C6203は拡張バスのバス・マスタとして拡張バスに接続された外部ペリフェラルに対してバースト・リード/バースト・ライトを行うことができます。

DSPがバスの制御をする場合、データ・フローはDMA転送と同様の手順で制御されますが、実際のデータ転送は拡張バス・ホスト・チャンネルが制御します。イベント・フローは以下のようになります。

- 1) DSPがXBEAを設定します。XBEAはデータ・アクセスが行われる外部スレーブのメモリー・マップ上でのアドレスを示します。
- 2) XBIMA レジスタに転送の開始されるDSPメモリー・マップ上でのソースまたはデスティネーション・アドレスをセットします。
- 3) 拡張バス・ホストポート・コントロール(XBHC)レジスタのXFRACNTフィールドに、転送される32ビット・ワードの数を設定します。
- 4) STARTフィールドにリード・バースト転送またはライト・バースト転送に応じた値をライトします。

XBHCレジスタのINTSRCビットの設定により転送完了時に割り込みを発生させることができます。

8

図8-19及び図8-20に、DSPがバス・マスタになっているときのバースト・リード及びバースト・ライトのタイミング図の例を示します。この例では内部バス・アービタはディセーブル(XHOLDは出力、XHOLDAは入力)であり、拡張バスのスレーブとしてリセットから立ち上がります。

$\overline{\text{XWAIT}}$ 信号によって、DSPが拡張バスのバス・マスタであるときのデータ・オーバーフロー/アンダーフローを回避できます。 $\overline{\text{XWAIT}}$ 信号は、 $\overline{\text{XWE}}$ 信号とマルチプレクスされており、DSPが拡張バスの転送を開始するときのレディ出力として使用することができます。 $\overline{\text{XWAIT}}$ をローにすることにより、DSPは新しいデータの送信/受信の準備が出来ていない事を表明します。

バースト・リード転送

図8-19にDSPがリード・バースト転送を行うときの参照手順を示します。転送は、DSPによって初期化され、 $\overline{\text{XWAIT}}$  及び  $\text{XRDY}$  信号によって制御されています。

図8-19. DSPによる $\overline{\text{XWAIT}}$ 及び $\text{XRDY}$ を用いたリード転送(内部バス・アービタ・ディセーブル)

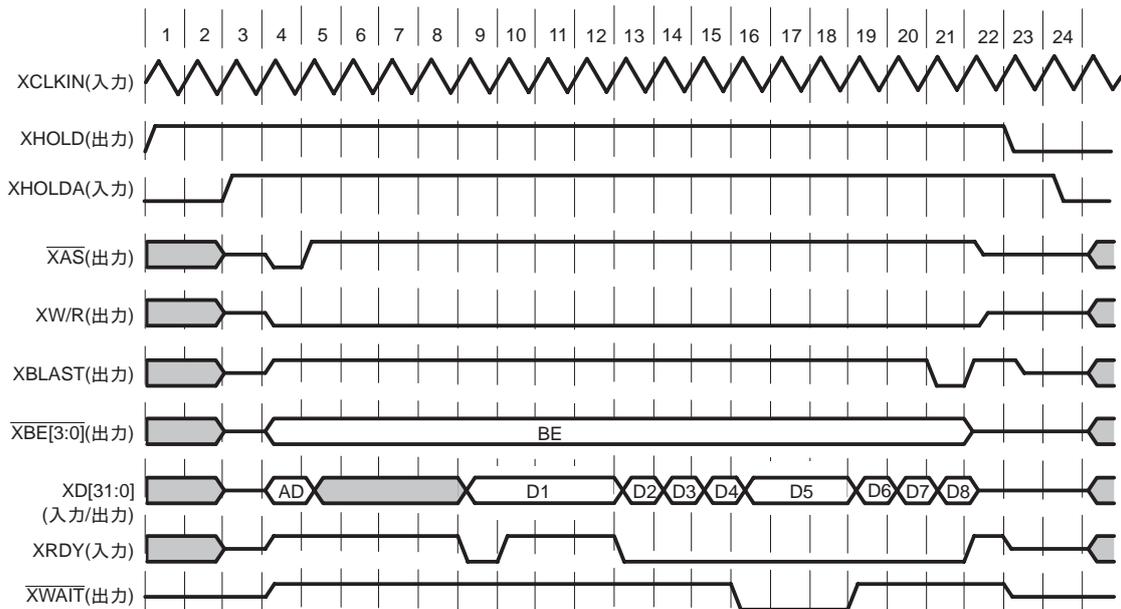


図8-19の各サイクルでの動作は以下のようになります。

- 1) DSP が、XHOLDをアサートすることにより拡張バスを要求します。
- 2) DSP は外部アービタがXHOLDA信号を返すのを待ちます。
- 3) 外部バス・アービタがXHOLDAを返します。 $\overline{\text{XAS}}$ 、 $\text{XW/R}$ 、 $\text{XBLAST}$ 、及び $\overline{\text{XBE}}[3:0]$ は出力に、 $\text{XRDY}$ は入力になります。
- 4) アドレス・フェーズ: $\overline{\text{XAS}}$ がアサートされ、アドレスが拡張バスに出力されます。
- 5) データ・フェーズ: $\text{XRDY}$ がハイなので、外部デバイスがデータ転送に対してノット・レディであることが示されます。
- 6) 5と同じ
- 7) 5と同じ
- 8) 5と同じ
- 9) 外部デバイスが要求されたデータ(D1)を拡張バスに出力し、 $\text{XRDY}$ をアサートします。
- 10) 外部デバイスが次のデータ出力に対してノット・レディです。 $\text{XRDY}$ はネゲートされません。
- 11) 10と同じ
- 12) 10と同じ

- 13) 外部デバイスが次のデータ(D2)を出力し、XRDYをアサートします。
- 14) 外部デバイスが次のデータ(D3)を出力します。XRDYはアサートされたままです。
- 15) 外部デバイスが次のデータ(D4)を出力します。XRDYはアサートされたままです。
- 16) 外部デバイスが次のデータ(D5)を出力します。XRDYはアサートされたままです。しかし、DSP がデータを受け取る準備ができていないため $\overline{XWAIT}$ がアサートされます。
- 17) 外部デバイスが $\overline{XWAIT}$ を認識し、D5を拡張バス上に保ちます。XRDYはアサートされているので、外部デバイスはDSPがデータを受信できるようになるのを待っている状態です。
- 18) DSP が $\overline{XWAIT}$ のアサートを解除し、D5を受け取ります。
- 19) 外部デバイスが次のデータ(D6)を出力します。XRDYはアサートされたままです。
- 20) 外部デバイスが次のデータ(D7)を出力します。XRDYはアサートされたままです。
- 21) 外部デバイスが最後のデータ(D8)を出力し、DSPはXBLASTをアサートします。
- 22) リカバリ・サイクル
- 23) DSPは拡張バスのリクエスト(XHOLD)をネゲートし、出力を停止します。

バースト・ライト転送

図8-20にDSPがバースト・ライト転送を行うときの参照手順を示します。転送は、DSPによって初期化され、 $\overline{\text{XWAIT}}$  及び  $\text{XRDY}$  信号によって制御されています。

図8-20. DSPによる $\overline{\text{XWAIT}}$ 及び $\text{XRDY}$ を用いたライト転送(内部バス・アービ・ディセーブル)

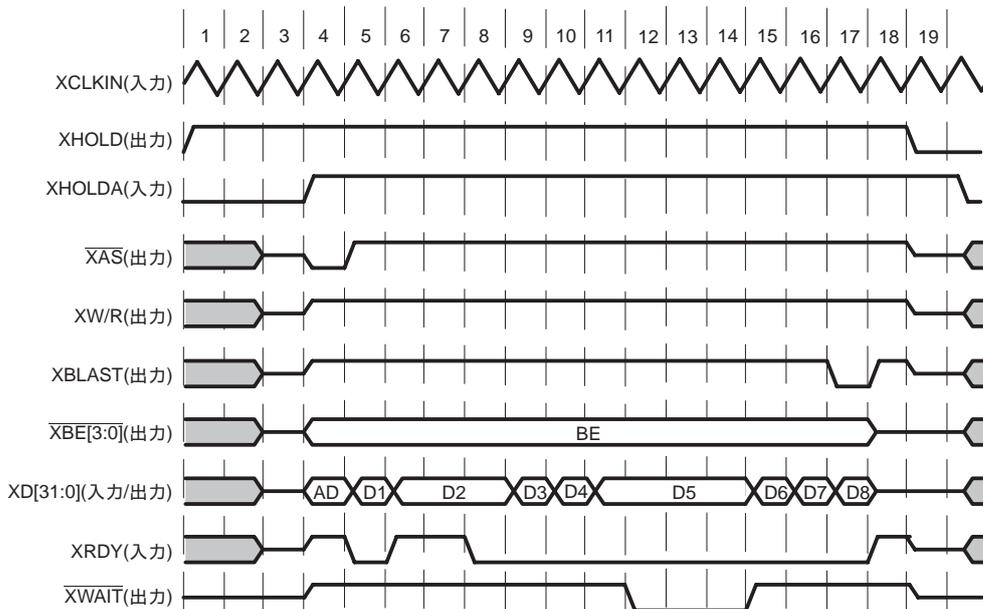


図8-20の各サイクルでの動作は以下のようになります。

- 1) DSP が拡張バスを要求します (XHOLDをアサート)。
- 2) DSP は外部アービタがXHOLDA信号をアサートするのを待ちます。
- 3) 外部バス・アービタがXHOLDAをアサートします。 $\overline{\text{XAS}}$ 、 $\text{XW/R}$ 、 $\text{XBLAST}$ 、及び $\overline{\text{XBE}}[3:0]$ は出力に、 $\text{XRDY}$ は入力になります。
- 4) アドレス・フェーズ: $\overline{\text{XAS}}$ がアサートされ、アドレスが拡張バスに出力されます。
- 5) データ・フェーズ:DSPからデータ(D1)が出力されます。 $\text{XRDY}$ がアクティブであることから外部デバイスがデータライトに関してレディであることが分かります。
- 6) DSPが次のデータ(D2)を出力します。外部デバイスは $\text{XRDY}$ をインアクティブにすることにより、データライトに関してノット・レディであることを示します。
- 7) DSPは外部デバイスがレディになるまで拡張バス上にデータD2を保持し続けます。
- 8) 外部デバイスがD2を受け取ります。
- 9) DSPが次のデータ(D3)を出力します。外部デバイスはD3を受け取れます。
- 10) DSPが次のデータ(D4)を出力します。外部デバイスはD4を受け取れます。
- 11) DSPが次のデータ(D5)を出力します。外部デバイスはD5を受け取れます。

- 12) DSPは次のデータ(D6)を出力する準備ができていないため、 $\overline{\text{XWAIT}}$ をアサートします。  
外部デバイスは、DSPが新しいデータを出力するのを待ちます。
- 13) 12と同じ
- 14) 12と同じ
- 15) DSPが次のデータ(D6)を出力し、 $\overline{\text{XWAIT}}$ をネゲートします。外部デバイスはD6を受け取れます。
- 16) DSPが次のデータ(D7)を出力します。外部デバイスはD7を受け取れます。
- 17) DSPが最後のデータ(D8)を出力し、 $\text{XBLAST}$ をアサートします。外部デバイスはD8を受け取れます。
- 18) リカバリ・サイクル
- 19) DSPは拡張バスのリクエスト( $\text{XHOLD}$ )をネゲートし、出力を停止します。

競合を防ぐため、最後のデータ転送と次のアドレス・フェーズの間にリカバリ・サイクルが挿入されます。

バックオフによるデッドロックの回避

DSPがマスタ転送を行っているときのデッドロックを回避するため、拡張バスには、XBOFFピンが用意されています。XBOFFがアサートされると継続中の転送が中断され、DSPは拡張バスの制御権を手放します。図8-21にXBOFF信号のタイミング図を示します。

マスタ転送中にバックオフが認識される条件は、XRDYがノット・レディを示していることと以下のいずれかです。

- 1) 内部アービタがイネーブル(XARB=1)であるとき、外部デバイスが拡張バスの要求をしている(XHOLD=1)場合

または、

- 2) 内部アービタがディセーブル(XARB=0)であり、DSPが拡張バスのマスターになっている(XHOLD=1かつXHOLDA=1)場合

バックオフの要求は実行中のマスタ転送が内部的に完了するまで実行されません。これにより、一度リードしたデータが失われることはありません。I/Oポート・モードではXBOFF信号は認識されません。

図8-21. 外部デバイスのXBOFFを使ったDSPへのバス要求

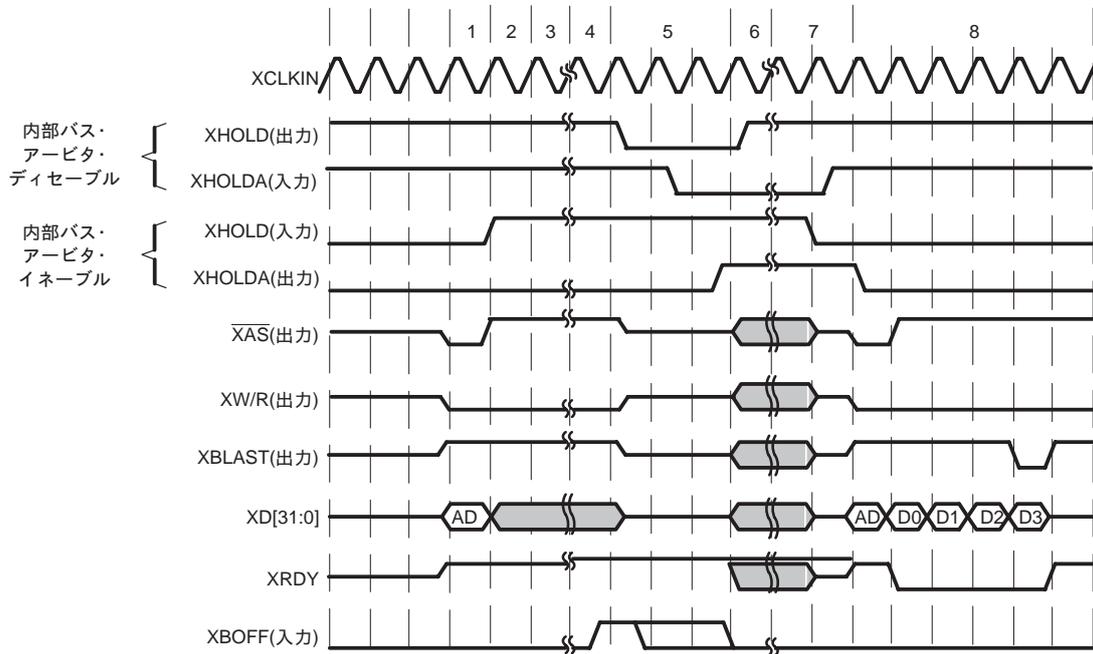


図8-21に示すタイミング図は、XBOFF信号によって拡張バスが解放される様子を示しています。内部バス・アービタがイネーブルの場合とディセーブルの場合の両方が示されています。図8-21の各タイミングでの動作を以下に示します。

- 1) DSPが拡張バスのバス・マスタとしてリード転送のアドレス・フェーズを開始します。 $\overline{\text{XAS}}$ がアクティブになり、有効なアドレス・データが出力されます。
- 2) XRDYハイによって、外部デバイスがデータ転送に対してノット・レディであることがわかります。また、外部デバイスがXHOLDをアクティブにすることによって、拡張バスの制御権を要求しています。
- 3) DSPはXRDYがローになるのを待っていて拡張バスの制御を手放しません。
- 4) 外部デバイスがデッドロックの可能性を認識し、XBOFFをアサートしています。
- 5) DSPは要求に応じて拡張バスを解放します。内部バス・アービタがイネーブルの場合はDPSはXHOLDAをアサートし、内部バス・アービタがディセーブルの場合はDPSはXHOLDのアサートを解除します。DSPがXBOFFに反応するには数サイクル必要になる場合があります。図8-21は最短の1サイクルでの場合になります。
- 6) 拡張バスのオーナーが替わります。新しいマスタが拡張バスをドライブします。XBOFFのアサートが解除されます。
- 7) 外部デバイスは目的とする転送を終了して拡張バスを解放します。
- 8) XHOLDAが解除され、DSPが再び拡張バスのオーナーになります。
- 9) DSPは4ワードのバースト・リードを行います。

DSPはバックオフによって中断された転送を、中断された個所から自動的に再転送します。転送の再開は、ユーザにとって非常にわかりやすくなっています。

### 8.5.2.2 TMS320C6202/6203が拡張バスのスレーブの場合

外部ホストは、以下のようにXCNTL信号をドライブすることで、目的の拡張バス・ホストポート・レジスタにアクセスすることができます。

XCNTL=0

拡張バス・データ(XBD)・レジスタへのリード及びライト

XCNTL=1

拡張バス内部スレーブ・アドレス(XBISA)・レジスタへのリード及びライト

拡張バスのホストによって行われるすべての転送は、2段階の手順を踏んで行われます。始めにホストはXBISAレジスタをセットし、次にXBISAレジスタの値によって示されているアドレスへからデータを転送します。データ転送は、XBISAレジスタの自動インクリメント付きで行なわなければなりません。それゆえ、XBISAレジスタのANICビットは0にしなければなりません。

DSPのメモリー空間に対してデータをリード/ライトするためには、ホストは以下の手順を踏む必要があります。

- 1) ホストはXBISAレジスタに転送のソース/デスティネーション・アドレスをライトし、AINCビット(XBISAレジスタの第1ビット)をクリアします。
- 2) ホストはXBISAによって特定されるアドレスに対してリード/ライトを行います。リードかライトかはXBISAのXW/R信号によって決まります。XBISAレジスタは、ホストによってその第1ビットがクリアされていますので、自動インクリメントされます。
- 3) バースト転送の場合、BLASTがハイの間データは連続してリード/ライトされます。複数ワードのバーストの場合には、32ビットのバーストのみしか許されませんので、すべての $\overline{\text{XBEx}}$ 信号をローにしなければなりません。転送データが32ビット以下の場合には $\overline{\text{XBEx}}$ 信号によって特定)、単一エレメントの転送のみが許されます。

## サイクル解説

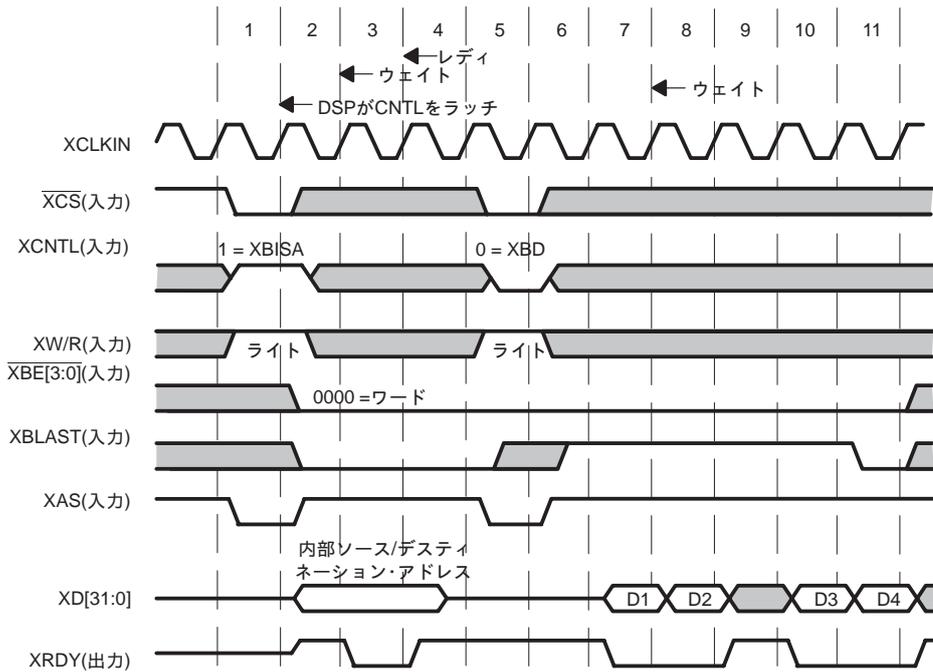
外部ホストによって行われるアクセスは、以下ように分類できます。

- **アドレス・フェーズ:** アドレス・フェーズの間、 $\overline{XCS}$ 入力によってDSPが選択され、 $\overline{XAS}$ のロー・パルスによってアドレス・フェーズが開始されます。このフェーズでは、DSPは、外部マスタがリード/ライトのどちらを行おうとしているのか(XW/R入力)、また、どのレジスタにアクセスしようとしているのか(XCNTL入力)判断します。
- **ウェイトデータ・フェーズ:** アドレス・フェーズの直後、ウェイト・フェーズまたはデータ・フェーズに移行します。リードの場合は、DSPが外部ホストにデータを出す前に、少なくとも一度ウェイト・フェーズとなります。この制御はDSPのXRDY出力によって行われます。XRDY信号をハイにすることによって、DSPは外部ホストに対してライト・データの受信の準備ができていない、または、リード・データを出力する準備ができていないためにウェイト・フェーズになっていることを表明します。
- **リカバリ・フェーズ:** バースト・アクセスの最後のデータ・フェーズまたは単一アクセスのデータ・フェーズの後に、リカバリ・フェーズが挿入されます。DSPがスレーブで、外部マスタのデータ線とアドレス線がマルチプレクスされている場合、バスの競合を避けるために、外部マスタは、リード・データ・フェーズとそれに続くアドレス・フェーズの間に少なくとも1つのリカバリ・フェーズを挿入することを推奨します。

バースト・ライト転送

図8-22に示すタイミング図は、DSPがバースト・ライト転送を行うときの参照手順です。転送はXRDY信号によって制御されています。

図8-22. 拡張バス・マスタによるDSPへのバースト・ライト転送



XBLASTとXW/Rのブート時の設定は、BLPOL=0及びRWPOL=0です。詳しくは表8-17をご覧ください。

図8-22に示すタイミング図で、各サイクルでの動作は以下のようになります。

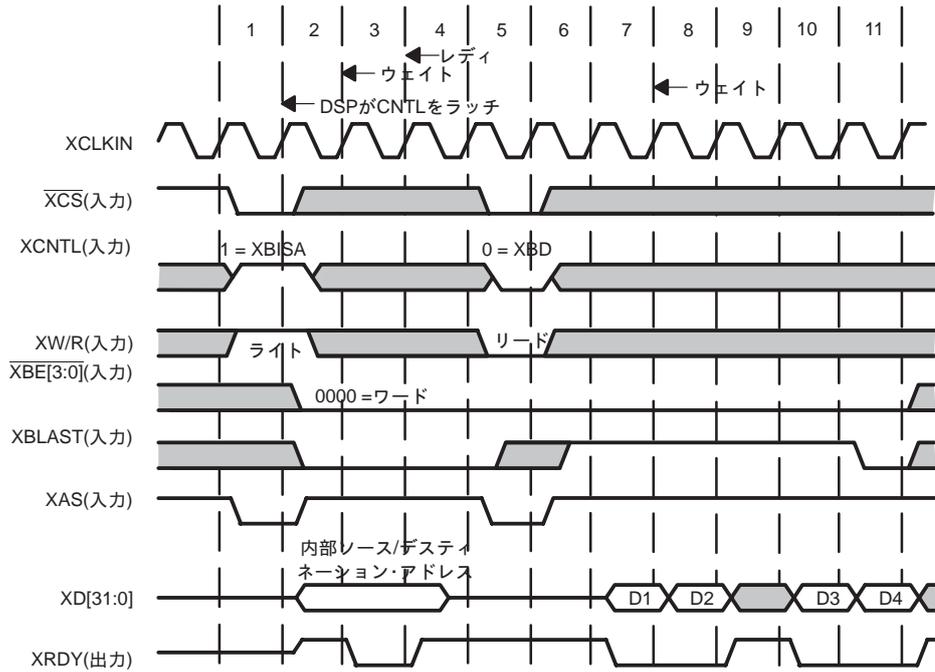
- 1)  $\overline{XCS}$ 、 $\overline{XAS}$ 、及びXCNTLがそれぞれロー、ロー、ハイです。これによって、次の転送のデスティネーションがXBISAレジスタであることが示されています。XW/Rがハイなので、ライト・アクセスが行われます。
- 2) DSPは外部ホストによって開始された転送に応じてXRDY出力のドライブを始めます。XRDYがハイであることで、DSPがノット・レディであることを示します。
- 3) DSPがXRDY出力をローにすると、データがXBISAにライトされます。
- 4) DSPは、アドレス・フェーズと最初のデータ・フェーズの間に1つ以上のノット・レディ・サイクル(XRDY=1)を挿入します。
- 5)  $\overline{XAS}$ 、XCNTLが共にロー( $\overline{XCS}$ もロー)であることにより、次の転送はXBDレジスタがデスティネーションになります。XW/Rはハイなので、ライト・アクセスが行われます。
- 6) DSPが1つのノット・レディ・サイクルを挿入します(XRDY=1)。
- 7) 拡張バス・マスタが有効データを出力します。データは、XRDYがアクティブ・ローであるときXCLKINの立ち上がりエッジでXBDにライトされます。
- 8) 7と同じ
- 9) XRDYがハイなので、DSPは次のデータを受け取る準備ができていません。
- 10) 7と同じ
- 11) 拡張バス・マスタは、XBLAST信号をアサートすることによって最後のライト転送であることを示します。データはXCLKINの立ち上がりエッジでXBDにライトされます。

注 : $\overline{XWAIT}$ はスレーブ・モードでは使用されません。

バースト・リード転送

図8-23に示すタイミング図は、DSPがバースト・リード転送を行うときの参照手順です。転送はXRDY信号によって制御されています。

図8-23. 外部マスタによるDSPからのバースト・リード転送



XBLASTとXW/Rのブート時の設定は、BLPOL=0及びRWPOL=0です。詳しくは表8-17をご覧ください。

図8-23に示すタイミング図で、各サイクルでの動作は以下のようになります。

- 1)  $\overline{XCS}$ 、 $\overline{XAS}$ 、及びXCNTLがそれぞれロー、ロー、ハイです。これによって、次の転送のデスティネーションがXBISAレジスタであることが示されています。XW/Rがハイなので、ライト・アクセスが行われます。
- 2) DSPは外部ホストによって開始された転送に応じてXRDY出力のドライブを始めます。XRDYがハイであることで、DSPがノット・レディであることを示します。
- 3) DSPがXRDY出力をローにすると、データがXBISAにライトされます。
- 4) DSPは、アドレス・フェーズと最初のデータ・フェーズの間に1つ以上のノット・レディ・サイクル(XRDY=1)を挿入します。
- 5)  $\overline{XAS}$ 、XCNTLが共にロー( $\overline{XCS}$ もロー)であることにより、次の転送はXBDレジスタがデスティネーションになります。XW/Rはハイなので、リード・アクセスが行われます。
- 6) DSPが1つのノット・レディ・サイクルを挿入します(XRDY=1)。
- 7) DSPが有効データを出力します。XRDYがローにドライブされます。
- 8) 7と同じ
- 9) XRDYがハイなので、DSPは次のデータを出力する準備ができていません。
- 10) 7と同じ
- 11) 拡張バス・マスタは、XBLAST信号をアサートすることによってリード転送が完了したことを示します。

注：  $\overline{XWAIT}$ はスレーブ・モードでは使用されません。

### 8.5.3 非同期ホストポート・モード

このモードはDSPがスレーブの場合のみ使用できます。データ・バスは32ビット幅ですが、C6201のHPIと同様の動作をします。非同期ホストポート・モードはマイクロプロセッサの非同期バスとのインターフェイスに使用します。

表8-18に、拡張バスが非同期ホストポート・モードで動作するときを使用される信号の一覧を示します。

表8-18. 拡張バス・ピンの解説(非同期ホストポート・モード)

信号シンボル	信号の種類	信号数	信号名	信号機能
$\overline{\text{XCS}}$	I	1	チップ・セレクト	DSPを外部マスタのターゲットとして選択
$\text{XD}[31:0]$	I/O/Z	32	データ・バス	
$\overline{\text{XBE}}[3:0]$	I	4	バイト・イネーブル	機能はC6201のHPIのものと同じです。リード時には無視されます。ライト時には以下のバイトをイネーブルします。 $\overline{\text{BE}}3$ バイト・イネーブル3:XD[31:24] $\overline{\text{BE}}2$ バイト・イネーブル2:XD[23:16] $\overline{\text{BE}}1$ バイト・イネーブル1:XD[15:8] $\overline{\text{BE}}0$ バイト・イネーブル0:XD[7:0] 8ビット、16ビット、32ビットのデータはそれぞれ、バイト、ハーフ・ワード、ワードでアラインされている必要があります。
$\text{XCNTL}$	I	1	コントロール信号	XBDレジスタ及びXBISAレジスタを選択します。 $\text{XCNTL}=0$ 、XBDレジスタへのアクセスになります。 $\text{XCNTL}=1$ 、XBISAレジスタへのアクセスになります。
$\text{XW/R}$	I	1	リード/ライト	信号の極性はブート時に設定されます。
$\text{XRDY}$	O/Z	1	レディ出力	レディ信号は、通常ノット・レディ状態を示します。非同期ホストポート・モードでは、DSPがバスを所有していないとき、この信号は常にドライブされています。

$\text{XCNTL}$ によって、ホストはどの内部レジスタにアクセスするかを選択します。このピンの状態によって、アクセス先が拡張バス内部スレーブ・アドレス(XBISA)・レジスタであるか、拡張バス・データ(XDB)・レジスタであるかが決定します。

拡張バス・ホストポート動作が非同期モードで行われている場合、拡張バスのホストによって行われるすべての転送は、2段階の手順を踏んで行われます。最初にホストはXBISAレジスタをセットし、次にXBISAレジスタの値によって示されているアドレスへ/からデータを転送します。データ転送は、XBISAレジスタの自動インクリメントを伴ってまたは自動インクリメントなしで行なうことができます。自動インクリメントを行うか否かは、XBISAレジスタの第1ビットであるANICビットによって決定されます。

DSPのメモリー空間に対してデータをリード/ライトするためには、ホストは以下の手順を踏む必要があります。

- 1) ホストはXBISAレジスタに転送のソース/デスティネーション・アドレスをライトし、XBISAレジスタの第1ビットであるAINCを設定します。
- 2) ホストはXBISAによって特定されるアドレスに対してリード/ライトを行います。リードかライトかはXW/R信号によって決まります。XBISAレジスタは、手順 1)でのAINCビットの設定にしたがって自動インクリメントありまたはなしになります。

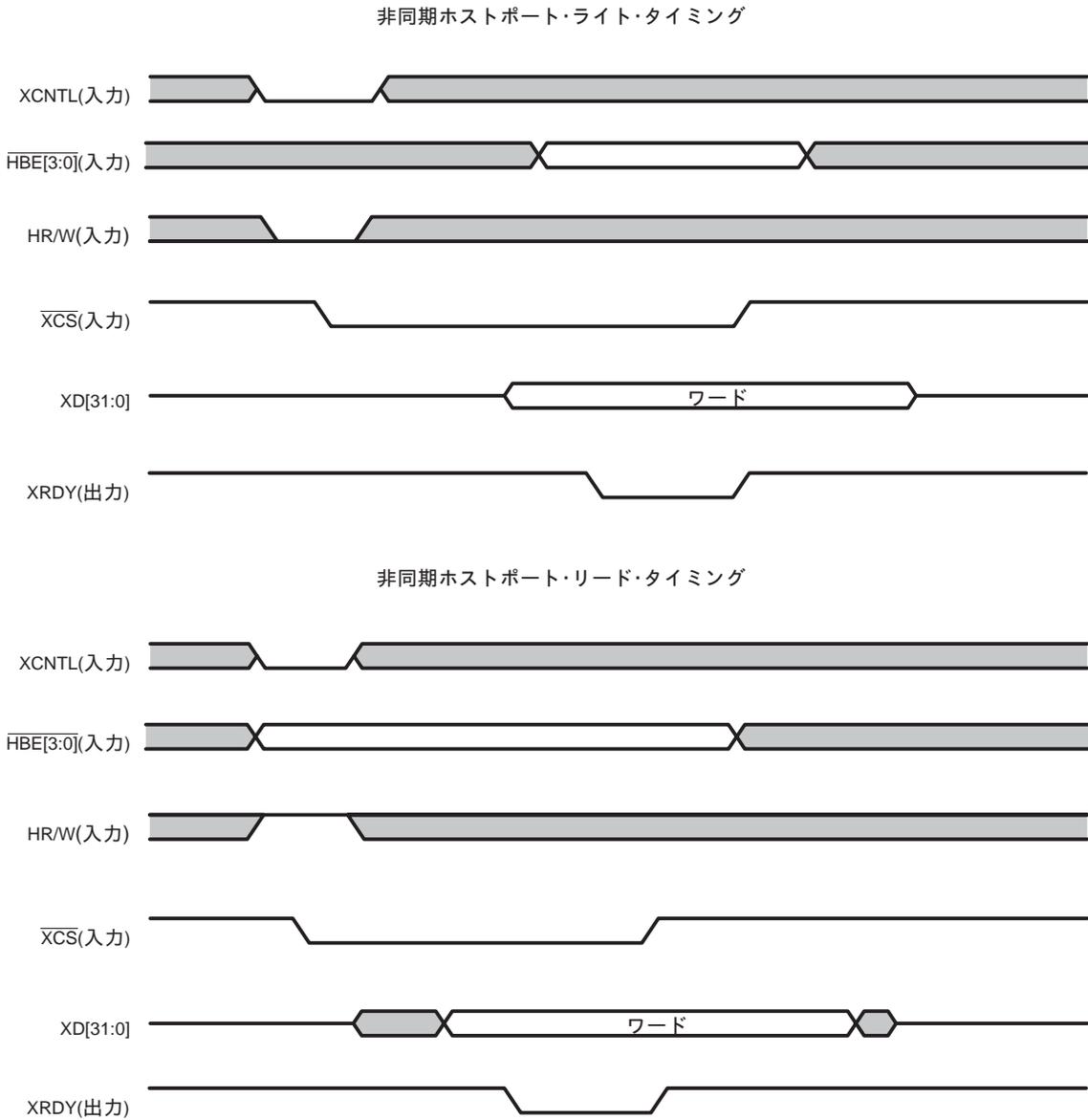
拡張バス・ホストポートが非同期モードで動作するよう設定されている場合、 $\overline{XCS}$ 信号は以下の4つの目的に使用されます。

- 1) 拡張バス・ホストポートを外部マスタのターゲットとして選択します。
- 2) リードの場合、 $\overline{XCS}$ の立ち下がりエッジでリード・アクセスが開始されます。
- 3) ライトの場合、 $\overline{XCS}$ の立ち上がりエッジでライト・アクセスが開始されます。
- 4)  $\overline{XCS}$ の立ち下がりエッジで拡張バス・ホストポートのコントロール入力:XW/R及びXCNTLがラッチされます。

拡張バスのXRDY信号はC6201のHPIのREADY信号とは機能が異なります。XRDY信号は通常ノット・レディ状態を示しています(アクティブ・ローのREADY信号と $\overline{XCS}$ 信号を内部的にORしたものがXRDYです)。

拡張バスの非同期ホストポート・モードでのリード/ライトのタイミング図を図8-24に示します。

図8-24. 拡張バスの非同期ホストポート・モードのタイミング図



## 8.6 拡張バス・アービトレーション

バス・アービトレーション用に2つの信号、XHOLDとXHOLDAが用意されています。内部バス・アービタはリセット時の拡張バス・データ・バスの値によってイネーブルかディセーブルかが決定されます。

拡張バス・グローバル・コントロール・レジスタのXARBビットによって、内部バス・アービタがイネーブルかディセーブルか決定します。関係を表8-19に示します。

表8-19. XARBビットとXHOLD/XHOLDA信号の機能

XARBビット(リードのみ)	XHOLD	XHOLDA
0(内部バス・アービタはディセーブル)	出力	入力
1(内部バス・アービタはイネーブル)	入力	出力

内部バス・アービタがイネーブルの場合、DSPはバス・マスタとしてリセットから立ち上がります。内部バス・アービタがディセーブルの場合は、DSPはバス・スレーブとしてリセットから立ち上がります。DMAのブロック転送中は、DMAコントローラはフレームの間で拡張バスをの制御を解放します。DSPが拡張バスの制御を放した場合、ホストポート信号は、I/Oポート信号( $\overline{XWE}/\overline{XWAIT}$ 、 $\overline{XOE}$ 、 $\overline{XRE}$ 、 $\overline{XCE}[3:0]$ 及びXFCLK)を除いてトライステートになります。

### 8.6.1 内部バス・アービタ・イネーブル

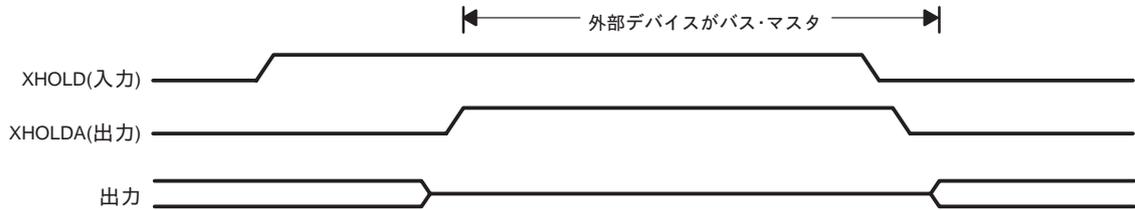
このモードでは、DSPはデフォルトで拡張バスのオーナーになります。DSPは拡張バスのマスタとしてリセットから立ち上がり、その他のデバイスが拡張バスを利用するためにはDSPにバスの要求をしなければなりません。このモードはDSPを1つのPCIインターフェイス・チップと接続する場合に適しています。

DSPが拡張バスの所有権を持っているときには、XHOLD(入力)及びXHOLDA(出力)はともにローです。XHOLDは外部デバイスが拡張バスの所有を要求するときに、外部デバイスによってアサートされます。リクエストが受け入れられると、DSPはXHOLDAをアサートします。拡張バスの所有権はXHOLDによってのみリクエストできます。

図8-25に、内部バス・アービタがイネーブルのときのXHOLDとXHOLDAの動作を示します。このモードでは、ペンディングされた拡張バスへの内部転送リクエストがない時のみ、DSPは外部リクエストの要求に答えます。

同期スレーブ転送で単一ワードをXBDレジスタにライトしている間に、XBLAST=0から十分早く(同じサイクルで)XHOLD入力がディアサートされると、転送は正しく行われません。単一ワードではない場合は、XHOLDのディアサートとXBLASTのアサートが同時に起こっても問題ないようにしておく必要がある場合があります。そのような場合には、XHOLD信号をDSPのXHOLD入力に接続する前にレジスタに格納することなどが考えられます。

図8-25. バス・アービトレーションのタイミング図 - XHOLD/XHOLDA(内部バス・アービタ・イネーブル)



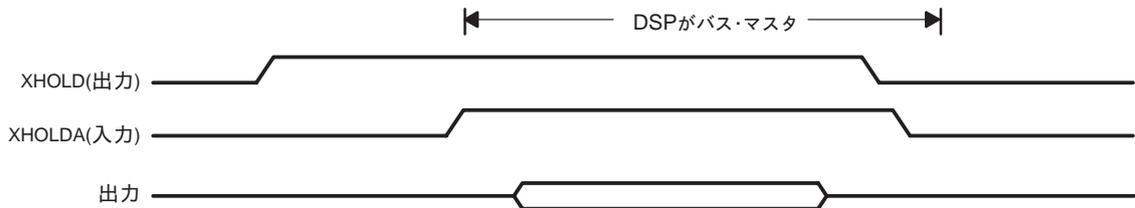
### 8.6.2 内部バス・アービタ・ディセーブル

このモードでは、DSPはデフォルトで拡張バスのスレーブになります。このモードはDSPを外部ホストと接続する場合、または複数のDSPを1つのPCIインターフェイス・チップと接続する場合に適しています。

DSPがバスの所有権を持っているときには、XHOLD(出力)及びXHOLDA(入力)はともにハイです。拡張バスの所有権を要求する場合(例えば、FIFOへのアクセス)、DSPはXHOLDをアサートします。制御権がDSPに与えられるとき、外部の拡張バス・アービタはXHOLDAをアサートします。外部バス・アービタは、XHOLDによるリクエストによってのみDSPに制御権を渡します。

図8-26に、このモードでのXHOLDとXHOLDAの動作を示します。

図8-26. バス・アービトレーションのタイミング図 - XHOLD/XHOLDA(内部バス・アービタ・ディセーブル)



内部バス・アービタがディセーブル(XARB=0)であり、拡張バス・マスタの転送がXBHCレジスタのスタート・ビット・フィールドへのライトによって開始された時に、DSPがXHOLDリクエストをアサートします。ホストが、DSP拡張バスへのDSPのアクセスを許すかわりに、自分の転送をはじめてしまうと、DSPは図8-27に示すように、XHOLDリクエストを取り下げます。

DSPがバス・リクエストに取り下げられる場合があるのは、ペンディングされたリクエストが拡張バス・ホストポートへの転送リクエストであるときのみです。DSPは、ホストが転送を完了した後に再びバス・リクエストを行います(図8-27を参照)。詳しくは、表8-20をご覧ください。

図8-27. 外部ホストがDSPの拡張バスへのアクセスを許す代わりにDSPへの転送を開始するときのXHOLDタイミング(内部バス・アービタ・ディセーブル)



表8-20に、内部バス・アービタがディセーブル(XARB=0)である時に起こりうる状況を示します。

表8-20. 起こりうる拡張バス・アービトレーションの状況(内部バス・アービタ・ディセーブル)

XARB='0'			
XBOFF アサート	現在の外部ホスト の動作	DSPの状態	動作
		拡張バスI/OポートへのDMAリクエストがペンディング中	<input type="checkbox"/> DMAリクエストが、ホストの転送の開始より前に、または同時に起こった場合、DSPはXHOLDをアサートし、ホスト転送の間アサートし続けます。 <input type="checkbox"/> DMAリクエストがホスト転送の開始した後だった場合、DSPはホスト転送の完了を待ってXHOLDをアサートします。
N/A	拡張バスへのホスト転送中	拡張バスI/OポートへのDMAリクエスト及び、DMA補助チャンネルのリクエストがペンディング中	DSPが拡張バスの制御を獲得した後、DMA補助チャンネルのリクエストが始めに実行されます(拡張バスでは、DMA補助チャンネルは他のDMAチャンネルよりも常に高い優先順位を持っているから)。補助チャンネルの転送完了後DSPはDMA転送を開始します。2つの転送の間XHOLDは保持されます。
		DMA補助チャンネルのリクエストがペンディング中	<input type="checkbox"/> DMA補助チャンネルのリクエストがホストの転送の開始より早かった場合、DSPはXHOLDをアサートし、ホストが転送を開始するまでアサートし続けます。ホストが転送を開始すると、DSPはリクエストを中止します(図8-27を参照)。DSPはホストが転送を完了した後再びXHOLDをアサートします。 <input type="checkbox"/> DMA補助チャンネルのリクエストがホスト転送の開始した後だった場合、DSPはホスト転送の完了を待ってXHOLDをアサートします。

表8-20. 起こりうる拡張バス・アービトレーションの状況(内部バス・アービタ・ディセーブル)(続き)

XARB='0'			
XBOFF アサート	現在の外部ホスト の動作	DSPの状態	動作
NO	なし	拡張バスI/OポートへのDMAリクエストがペンディング中	DSPはXHOLDをアサートします。拡張バスを獲得した後、転送を開始します。
		拡張バスI/OポートへのDMAリクエスト及び、DMA補助チャンネルのリクエストがペンディング中	DSPが拡張バスの制御を獲得した後、DMA補助チャンネルのリクエストが始めに実行されます(拡張バスでは、DMA補助チャンネルはその他のDMAチャンネルよりも常に高い優先順位を持っています)。補助チャンネルの転送完了後、DSPはDMA転送を開始します。2つの転送の間XHOLDは保持されます。
		DMA補助チャンネルのリクエストがペンディング中	DSPはXHOLDをアサートします。拡張バスを獲得した後、転送を開始します。
YES	N/A	拡張バスI/OポートへのDMA転送中	拡張バスI/OポートへのDMA転送中は、XBOFFは無視されます。
		DMA補助チャンネルの転送が実行中	DSPは可能になり次第拡張バスの所有権を手放します。その後、DSPはXBOFFによって中断された転送を完了するため拡張バスの所有権をリクエストします。
		拡張バスI/OポートへのDMAリクエストがペンディング中	DSPは実行中のDMA補助チャンネルの転送を中断し、ペンディング中の拡張バスI/OポートへのDMA転送を開始します。DMA転送の完了後、DSPは拡張バスを外部デバイスに解放します。その後DSPはXBOFFによって中断されていた転送を完了するため拡張バスを要求します。

### 8.6.3 拡張バス・リクエストの優先順位

拡張バスにおいてDMA補助チャンネルは、常に通常のDMAチャンネル(DMA0チャンネルが高優先順位)よりも高い優先順位を持っています。

優先順位	詳細
高	補助チャンネル
	DMA0
	DMA1
	DMA2
低	DMA3

DMA補助チャンネルは通常のDMAチャンネルのフレーム転送を中断できませんし、通常のDMAチャンネルはDMA補助チャンネルの転送を中断できませんので、多くの場合、補助チャンネルと通常のDMAチャンネルのリクエストは、早いものから先に実行されます。通常のDMAチャンネル同士はお互いの実行を中断できます。

補助チャンネルは、DMAフレームの境界、または他のDMA転送が行われていないときのみバスの制御を獲得することができます。例えば、32エレメント4フレームの非同期DMA転送が設定されているとします。このとき、内部バス・アービタがイネーブルで外部ホストがXHOLDリクエストをアサート、または、DSPがXBHCレジスタのスタート・ビットへのライトによってマスタ転送を開始しようとする(内部アービタはイネーブルまたはディセーブル)、といったDMA補助転送がペンディングされている場合、補助チャンネルのリクエストは外部メモリーへのフレーム転送中は無視されます。しかし、最初のフレームの後、補助チャンネルのリクエストが認識され、ホスト転送を開始可能にするために、拡張バスへのDMA転送は中断されます。

ホストが十分に拡張バスにアクセスできるようにするためには、DMA転送のフレーム長をできるだけ短くする必要がある場合があります。拡張バスI/OポートへのDMA転送のフレーム長は、ホストが拡張バスにアクセスできない時間を決定します。

### 8.7 拡張バスによるブート時の設定

拡張バスのXW/R及びXBLASTの極性は、ブート時に、XD[31:0]ピンに接続されたプルアップ/プルダウン抵抗によって決定されます。拡張バスのプルアップ/プルダウン抵抗は、ブート・モードの選択や、内部バス・アービタのイネーブル/ディセーブル、拡張バス・ホストポート・モードの選択、拡張バスの各メモリー空間に接続されているメモリーの種類、FIFOモードの選択を行うためにも使用されます。すべての拡張バス・データ・ピンXD[31:0]には、設定に応じたプルアップ/プルダウン抵抗を接続します。予約のフィールドにはプル・ダウン抵抗を接続します。ブート設定の詳細を図8-28及び表8-21に示します。

図8-28. XD[31:0]のプル・アップ/プル・ダウン抵抗による拡張バス・ブート設定

31	30	29	28	27	26	25	24	23	22	20	19	18	16
rsvd	MTYPE XCE3			rsvd	MTYPE XCE2			rsvd	MTYPE XCE1		rsvd	MTYPE XCE0	
15	14	13	12	11	10	9	8	7	5	4	0		
Reserved		BLPOL	RWPOL	HMOD	XARB	FMOD	LEND	Reserved			BOOTMODE		

表8-21. XD[31:0]のプル・アップ/プル・ダウン抵抗による拡張バス・ブート設定の解説

フィールド	XDビット	解説
MTYPE0	XD[18:16]	メモリー・タイプ
MTYPE1	XD[22:20]	MTYPE=0:10b:32ビット幅非同期インターフェイス
MTYPE2	XD[26:24]	MTYPE=1:10b:32ビット幅FIFOインターフェイス
MTYPE3	XD[30:28]	MTYPE=その他:予約
BLPOL	XD13	DSPが拡張バスのスレーブであるときのXBLAST信号の極性 BLPOL=0:XBLASTはアクティブ・ロー BLPOL=1:XBLASTはアクティブ・ハイ DSPがマスタのときはXBLASTはXBLASTはアクティブ・ローです。
RWPOL	XD12	拡張バス・リード/ライト信号の極性 RWPOL=0:X/R/W、ライトがアクティブ・ハイ RWPOL=1:XR/W、リードがアクティブ・ハイ
HMOD	XD11	ホスト・モード(XB HPICの状態) HMOD=0:非同期スレーブ・モード HMOD=1:同期マスタ/スレーブ・モード
XARB	XD10	拡張バス・アービタ(XBGCの状態) XARB=0:内部バス・アービタ・ディセーブル XARB=1:内部バス・アービタ・イネーブル
FMOD	XD9	FIFOモード(XBGCの状態) FMOD=0:FIFOモードになっているすべてのXCE領域で、リードFIFOにグローバル・ロジックを使用。XOE信号はすべてのXCE領域で使用可。 FMOD=1:XOEはXCE3のリードFIFOにのみ使用。そのほかのXCE領域ではXOEは使用不可。
LEND	XD8	リトル・エンディアン・モード LEND=0:ビッグ・エンディアン・モード LEND=1:リトル・エンディアン・モード
BOOT MODE[4:0]	XD[4:0]	ホストポート・ブート、ROMブート、メモリーマップを選択するデバイスのブート・モードを設定。詳しくは、ブート・モードの章をご覧ください。

# ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負ひません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated  
日本語版 日本テキサス・インスツルメンツ株式会社

## 弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

### 1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

### 2. 温・湿度環境

温度: 0~40、相対湿度: 40~85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

### 3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

### 4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

### 5. 熱衝撃

はんだ付け時は、最低限260以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

### 6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上