

C6000ペリフェラルズリファレンス・ガイドに関する 参考資料(外部メモリー・インターフェイス)

アプリケーション技術部

アブストラクト

本資料は、日本語版TMS320C6000ペリフェラルズリファレンス・ガイドのうち「第9章 外部メモリー・インターフェイス」を抜粋したものです。

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお勧めします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましては如何なる責任も負いません。

本文章について

本資料は、” TMS320C6000 Peripherals Reference Guide” (spru190c)を翻訳したTMS320C6000ペリフェラルズリファレンス・ガイド(spru537)の「第9章 外部メモリー・インターフェイス」を抜粋したものです。

元となった英語版文書はのちに改定され、現在はC6000デバイスのペリフェラルの概要のみを述べる資料となっています。ペリフェラルの詳細説明に関しては、ペリフェラル固有のリファレンス・ガイドを用意しています。

本資料は、日本語でのペリフェラル理解の手助けのために、英語版ペリフェラル・リファレンス・ガイドの参考資料として用意しました。ペリフェラルの詳細につきましては、必ず最新の英語版リファレンス・ガイド及びデータシートをご参照ください。

参考文献

1. TMS320C6000 DSP Peripherals Overview Reference Guide (SPRU190)
2. TMS320C6000 DSP External Memory Interface (EMIF) Reference Guide (SPRU580)

外部メモリー・インターフェイス

この章では、CPUがオフチップのメモリーにアクセスするために使用する外部メモリー・インターフェイスについて解説します。この章では、EMIFのリセットの方法とEMIFコントロールレジスタとそのフィールドについて解説します。さまざまなメモリー・インターフェイスについて解説するとともに、EMIFとサポートされているメモリーの種類に応じた接続の方法を図解します。

Topic	Page
9.1 概要	9-2
9.2 EMIFのリセット	9-9
9.3 EMIFレジスタ	9-10
9.4 SDRAMインターフェイス	9-21
9.5 SBSRAMインターフェイス	9-43
9.6 非同期型インターフェイス	9-49
9.7 ホールド・インターフェイス	9-60
9.8 メモリー・リクエストにおける優先順位	9-62
9.9 EMIFレジスタへのライト時のバウンダリ条件	9-64
9.10 クロック出力イネーブル	9-65
9.11 エミュレーション・ホールド間の動作	9-65
9.12 パワー・ダウン	9-65

9.1 概要

外部メモリー・インターフェイス(EMIF)は、次のようなさまざまな外部デバイスとの間でグルーレスなインターフェイスを構成するためのものです。

- シンクロナス・バーストSRAM(SBSRAM)
- シンクロナスDRAM(SDRAM)
- 非同期SRAM、ROM、及びFIFOを含む非同期デバイス。
- 外部メモリー共有デバイス

TMS320C6201/C6202/C6203/C6701 EMIFでは4つのリクエストからの外部バスのリクエストを処理します。

- CPUによるプログラム・フェッチをサービスするオンチップのプログラム・メモリー・コントローラ
- CPUによるデータ・フェッチをサービスするオンチップのデータ・メモリー・コントローラ
- オンチップのDMA
- 外部のメモリー共有デバイス

複数のリクエストを同時に受け取った場合には、EMIFは、その優先順位を判断して、必要な数の動作を行いません。

TMS320C6201/C6701 EMIFのブロック図を図9-3に、TMS320C6202/C6203 EMIFのブロック図を図9-4に、図に示された信号についての解説を表9-1に示します。

C6211/C6711は2つのリクエストからの外部バスのリクエストを処理します。

- エンハンスドDMA(EDMA)
- 外部メモリー共有デバイス

TMS320C6211/C6711 EMIFのブロック図を図9-5に示します。

図9-1. TMS320C6201/C6701ブロック図における外部メモリー・インターフェイス

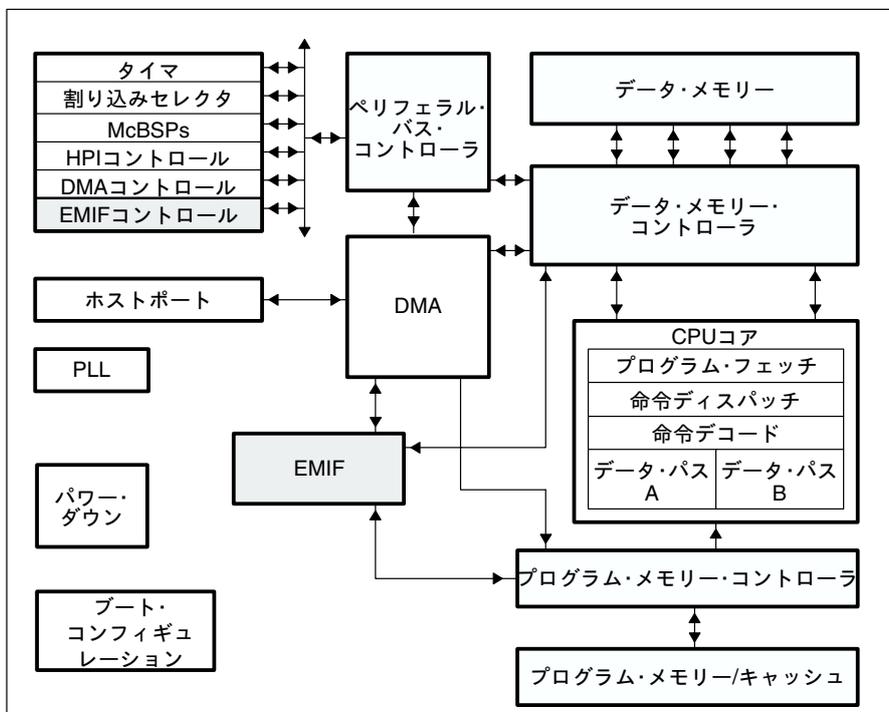


図9-2. TMS320C6211/C6711ブロック図における外部メモリー・インターフェイス

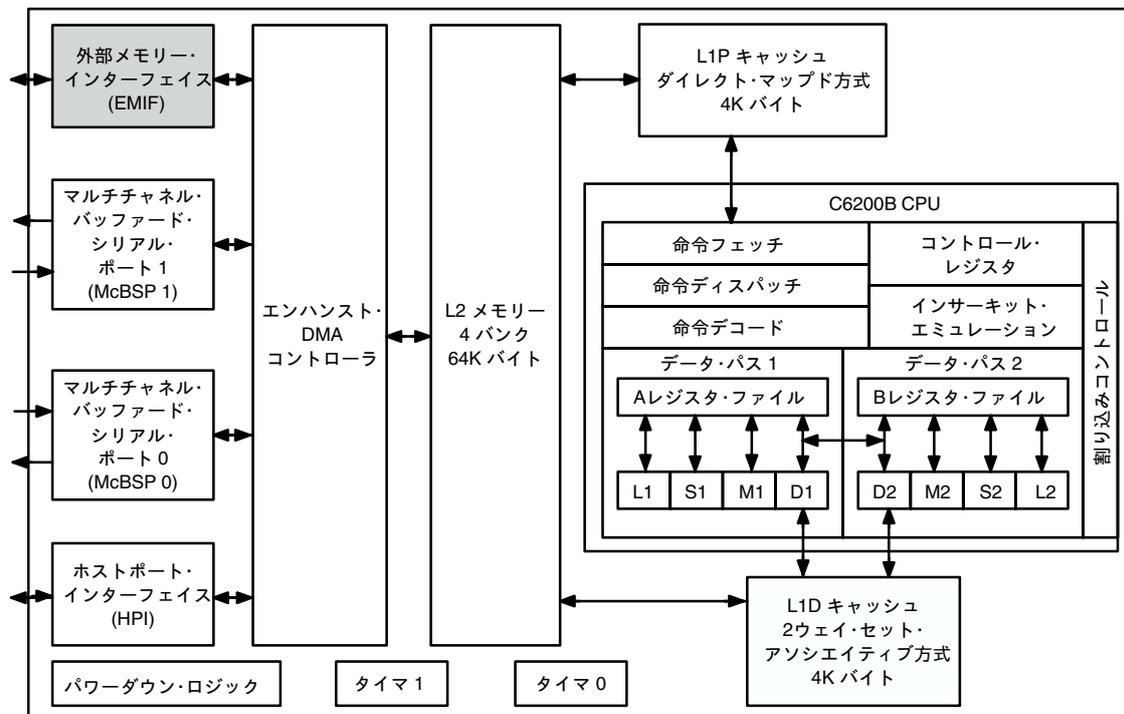
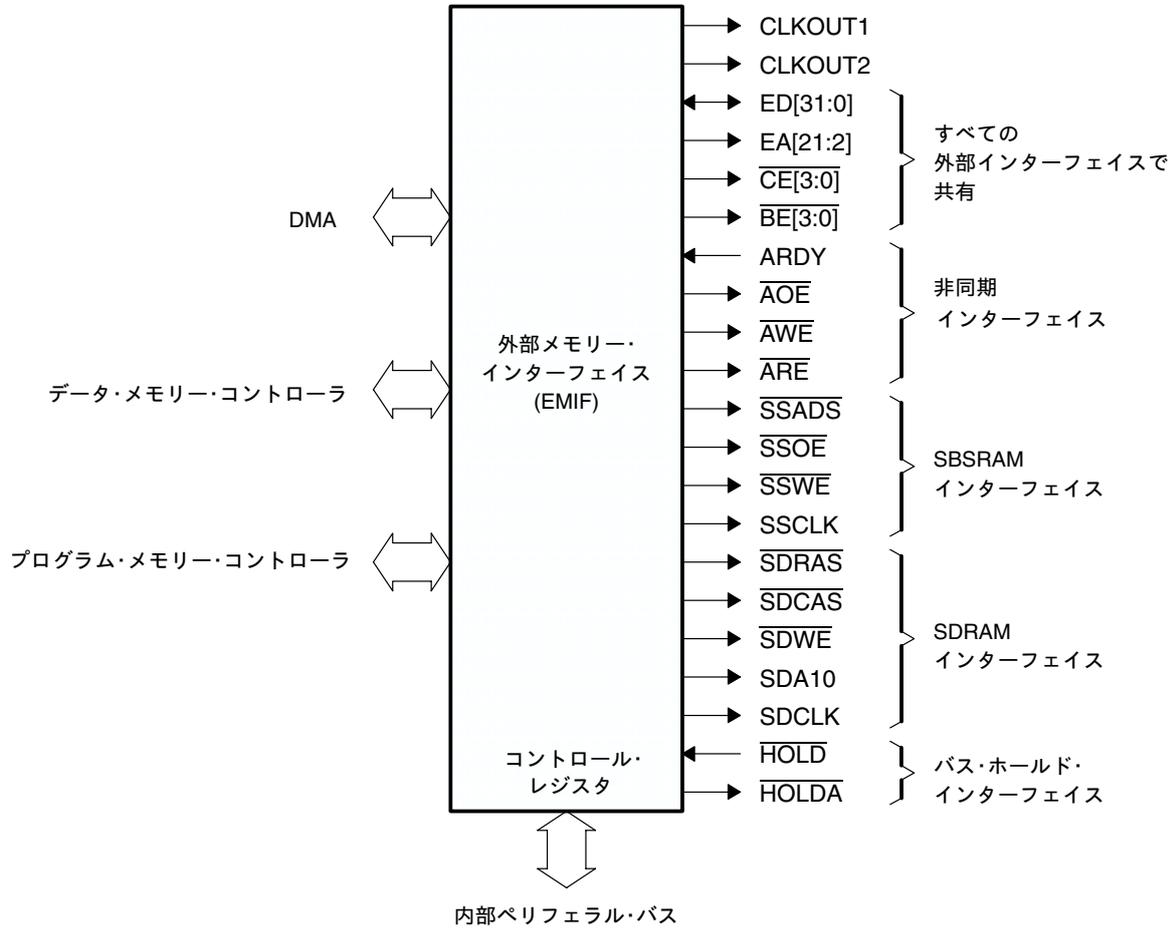
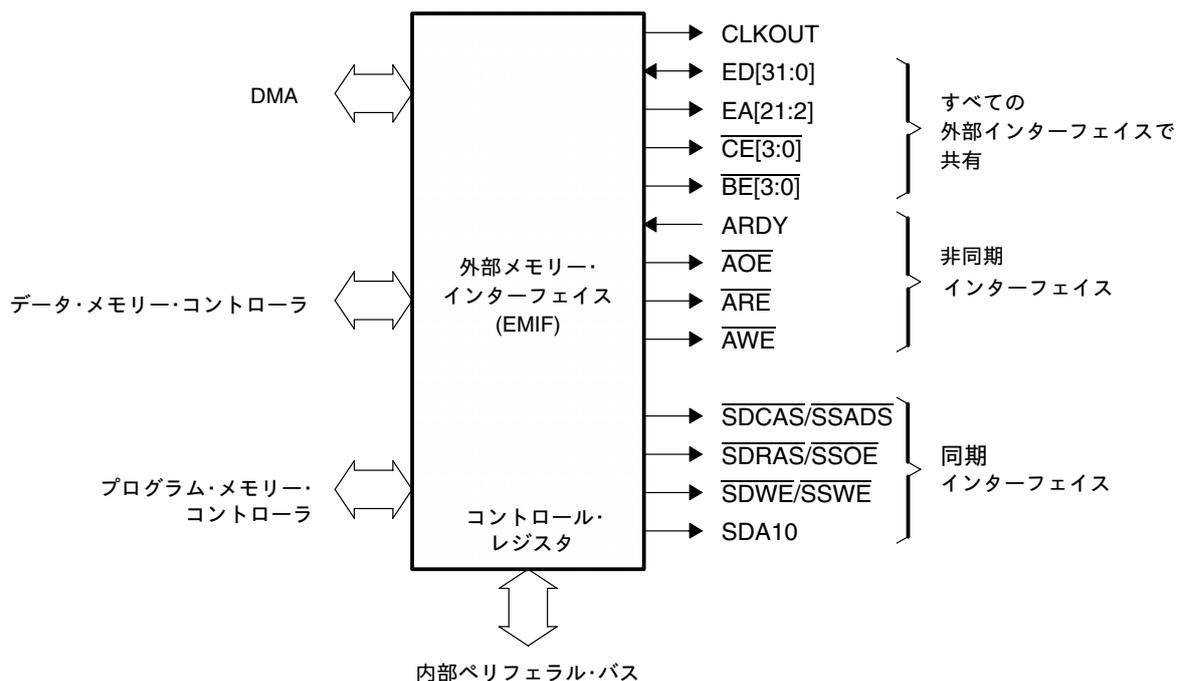


図9-3. TMS320C6201/C6701外部メモリー・インターフェイス



C6202/C6203のEMIF信号を図9-4に示します。C6202/C6203では、SDRAMとSBSRAMの信号を統合し、1つのシステムで2つのメモリーのうちどちらかのみ使用することができます。これらのメモリーは、CPUクロックの1/2であるCLKOUT2で動作します。

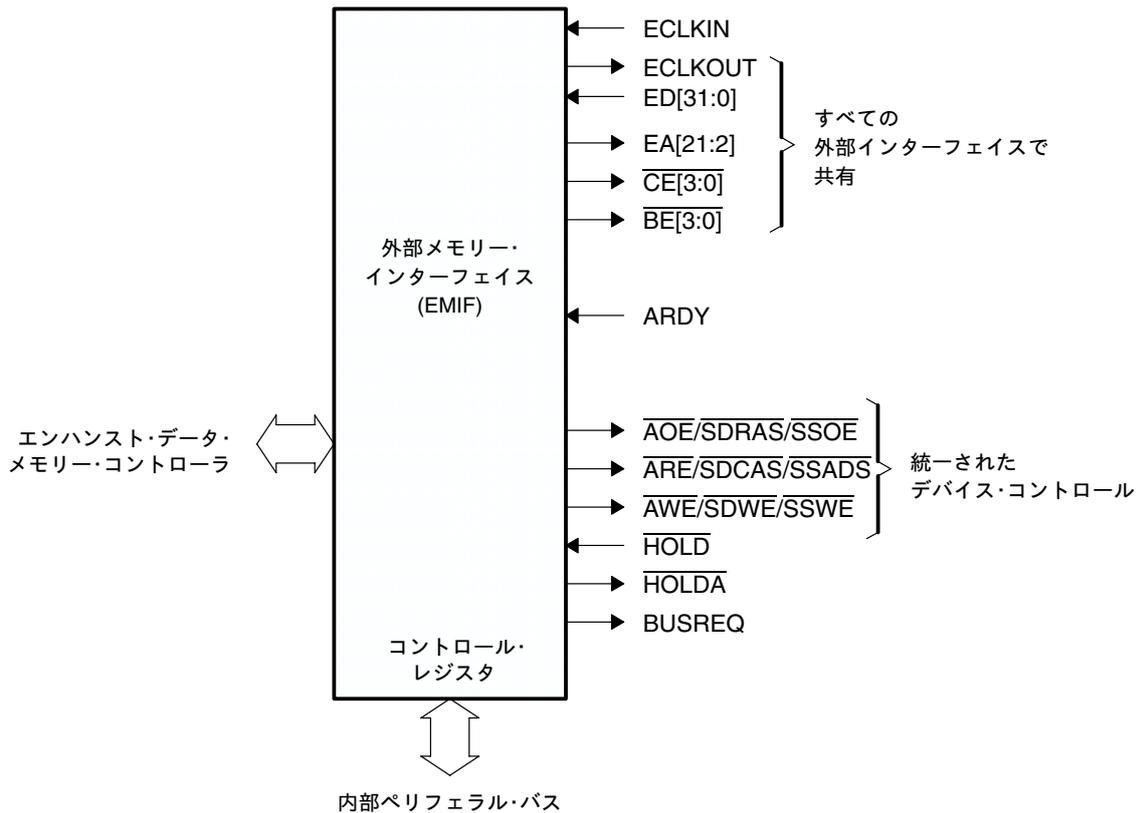
図9-4. TMS320C6202/C6203外部メモリー・インターフェイス



C6211/C6711のEMIF信号を図9-5に示します。C6211/C6711では、次のような機能があります。

- C6211/C6711 EMIFでは、システムに外部クロック・ソース(ECLKIN)が供給される必要があります。ECKOUT信号は(ECLKINに基づいて)内部で生成されます。C6211/C6711に接続されているすべてのメモリーはECLKOUTで動作します。CLKOUT2出力をECLKIN入力に使用することもできます。
- 同期メモリー・インターフェイスは2レベル・キャッシュ構造に最適化された4ワード・バースト長を使用します。
- SDRAMインターフェイスは柔軟に、さまざまな幅のSDRAMの設定が可能です。
- SDA10ピンはなくなり、SDRAMメモリーに対してはアドレス・ピンEA[12]がSDA10ピンの役割を果たします。

図9-5. TMS320C6211/C6711外部メモリー・インターフェイス



9

表9-1. EMIF信号の解説

6 2 0 1	6 7 0 1	6 2 0 2	6 2 0 1	ピン	(I/O/Z)	解説
				CLKOUT1	O	クロック出力、CPUのクロック・レート
				CLKOUT2	O	クロック出力、CPUのクロック・レートの2分の1、C6202/C6203では同期メモリー・インターフェイスに使用
				BUSREQ	O	アクティブ・ハイのバス・リクエスト信号
				ECLKOUT	O	EMIFクロック出力、すべてのEMIF I/OはECLKOUTを基準に動作します
				ECLKIN	I	EMIFクロック入力、必ず供給される必要があります
				ED[31:0]	I/O/Z	データI/O、外部メモリー及びペリフェラルからの32ビット・データの入力/出力
				EA[21:2]	O/Z	外部アドレス出力、バイト・アドレスの21-2ビットをドライブ
				$\overline{CE0}$	O/Z	メモリー領域CE0に対するアクティブ・ローのチップ・セレクト
				$\overline{CE1}$	O/Z	メモリー領域CE1に対するアクティブ・ローのチップ・セレクト
				$\overline{CE2}$	O/Z	メモリー領域CE2に対するアクティブ・ローのチップ・セレクト
				$\overline{CE3}$	O/Z	メモリー領域CE3に対するアクティブ・ローのチップ・セレクト
				$\overline{BE}[3:0]$	O/Z	アクティブ・ローのバイト・イネーブル、ライト・サイクルにおいて、バイトとハーフ・ワード、ワードを選択可能、バイト・アドレスの下位ビットからデコードされる、リード・サイクルでは4つのバイト・イネーブルはすべてアクティブ
				ARDY	I	レディ、アクティブ・ハイの非同期レディ入力であり、低速のメモリーやペリフェラルに対しウェイト・ステートを挿入するために使用される
M				\overline{AOE}	O/Z	アクティブ・ローの出力イネーブル、非同期メモリーのインターフェイス用
M				\overline{AWE}	O/Z	アクティブ・ローのライト・ストロブ、非同期メモリーのインターフェイス用
M				\overline{ARE}	O/Z	アクティブ・ローのリード・ストロブ、非同期メモリーのインターフェイス用
M	M			\overline{SSADS}	O/Z	アクティブ・ローのアドレス・ストロブ/イネーブル、SBSRAMのインターフェイス用
M	M			\overline{SSOE}	O/Z	出力バッファ・イネーブル、SBSRAMインターフェイス用
M	M			\overline{SSWE}	O/Z	アクティブ・ローのライト・イネーブル、SBSRAMインターフェイス用
				SSCLK	O/Z	SBSRAMインターフェイス・クロック、CPUのクロック・レートまたはCPUのクロック・レートの2分の1に設定可能
M	M			\overline{SDRAS}	O/Z	SDRAMメモリー・インターフェイス用のアクティブ・ローのロウ・ストロブ
M	M			\overline{SDCAS}	O/Z	SDRAMメモリー・インターフェイス用のアクティブ・ローのカラム・ストロブ
M	M			\overline{SDWE}	O/Z	SDRAMメモリー・インターフェイス用のアクティブ・ローのライト・イネーブル
				SDA10	O/Z	SDRAM A10 アドレス線、SDRAMメモリー用アドレス・ライン/オートプリチャージ・ディスエーブル

† 'M'はマルチプレクスされた出力信号であることを示します。

概要

6 6 6 6				
2 7 2 2				
0 0 0 1				
1 1 2 1	ピン	(I/O/Z)	解説	
	SDCLK	O/Z	SDRAMインターフェイス・クロック、CPUのクロック・レートの2分の1、CLKOUT2と同じ	
	$\overline{\text{HOLD}}$	I	アクティブ・ローの外部バス・ホールド(スリー・ステート)リクエスト	
	$\overline{\text{HOLDA}}$	O	アクティブ・ローの外部バス・ホールド・アクノリッジ	

† 'M'はマルチプレクスされた出力信号であることを示します。

9.2 EMIFのリセット

デバイスの $\overline{\text{RESET}}$ ピンを使ったハードウェア・リセットにより、すべてのレジスタ値はリセットでの値となります。リセットの間、クロック出力(SDCLK、SSCLK、CLKOUT1、CLKOUT2)を除くすべての出力は、インアクティブなレベルにドライブされ、 $\overline{\text{RESET}}$ 信号がアクティブな間、CLKOUT2、SSCLK、SDCLKは、ハイ・レベルまたはロー・レベルにドライブされます。CLKOUT1は、PLLコンフィギュレーション・ピンの値が変更されない限り、クロック出力を続けます。リセットの間、CLKOUT2は、C6201/C6701/C6202/C6203では、ハイまたはローにドライブされ、C6211/C6711では出力しつづけます。C6211/C6711では、EMIF信号を正しいリセット値でドライブするために、リセット中も供給される必要があります。ECLKOUTはECLKINが供給されている間、出力しつづけます。

9.3 EMIFレジスタ

EMIFとこれによりサポートされるメモリー・インターフェイスは、EMIFにあるメモリー・マップド・レジスタを通じて制御されます。メモリー・マップド・レジスタを表9-2に示します。

表9-2. EMIFメモリー・マップド・レジスタ

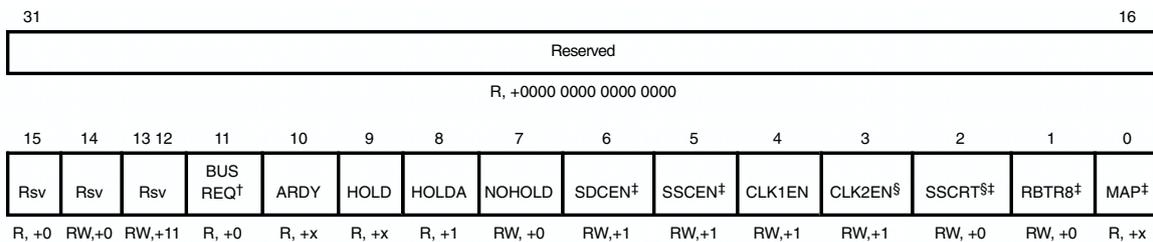
バイト・アドレス	レジスタ名
0180 0000h	EMIFグローバル・コントロール
0180 0004h	EMIF CE1領域コントロール
0180 0008h	EMIF CE0領域コントロール
0180 000Ch	予約
0180 0010h	EMIF CE2領域コントロール
0180 0014h	EMIF CE3領域コントロール
0180 0018h	EMIF SDRAMコントロール
0180 001ch	EMIF SDRAMタイミング・レジスタ
0180 0020h	EMIF SDRAM拡張レジスタ (C6211/C6711のみ)

9

9.3.1 EMIFグローバル・コントロール・レジスタ

EMIFグローバル・コントロール・レジスタ(図9-6に表示、表9-3に解説)は、CE領域のすべてについて共通なパラメータを設定します。

図9-6. EMIFグローバル・コントロール・レジスタ



† C6211/C6711でのみ利用可

‡ C6211/C6711では利用不可

§ C6202/C6203では利用不可

表9-3. EMIFグローバル・コントロール・レジスタ・フィールドの解説

フィールド	解説
BUSREQ [†]	BUSREQ=0:BUSREQ出力がロー BUSREQ=1:BUSREQ出力がハイ
ARDY	ARDY=0:ARDY入力がロー ARDY=1:ARDY入力がハイ
HOLD	HOLD=0: $\overline{\text{HOLD}}$ 入力がロー HOLD=1:HOLD入力がハイ
HOLDA	HOLDA=0: $\overline{\text{HOLDA}}$ 出力がロー HOLDA=1:HOLDA出力がハイ
NOHOLD	外部ホールド・ディスエーブル NOHOLD=0:ホールド・イネーブル NOHOLD=1:ホールド・ディスエーブル
SDCEN [‡]	SDCLKイネーブル SDCEN=0:SDCLKをハイに保持 SDCEN=1:SDCLKクロック出力イネーブル C6211/C6711ではSDCLKがなく、すべての外部メモリーはEMIF外部ク ロックECLKIN/ECLKOUTで動作します。 C6202/C6203では、システムでSDRAMが使用された場合(CE領域コント ロール・レジスタのMTYPEフィールドで設定された場合)、SDCENが CLKOUT2をイネーブルします。
SSCEN [‡]	SSCLKイネーブル SSCEN=0:SSCLKをハイに保持 SSCEN=1:SSCLKクロック出力イネーブル C6211/C6711ではSSCLKがなく、すべての外部メモリーはEMIF外部ク ロックECLKIN/ECLKOUTで動作します。 C6202/C6203では、システムでSBSRAMが使用された場合(CE領域コント ロール・レジスタのMTYPEフィールドで設定された場合)、SSCENが CLKOUT2をイネーブルします。
CLK1EN	CLKOUT1イネーブル CLK1EN=0:CLKOUT1をハイに保持 CLK1EN=1:CLKOUT1クロック出力イネーブル
CLK2EN [§]	CLKOUT2イネーブル CLK2EN=0:CLKOUT2をハイに保持 CLK2EN=1:CLKOUT1クロック出力イネーブル C6202/C6203では、SSCEN/SDCENを使用してCLKOUT2をイネーブル/ ディセーブルします。

[†] C6211/C6711でのみ利用可

[‡] C6211/C6711では利用不可

[§] C6202/C6203では利用不可

表9-3. EMIFグローバル・コントロール・レジスタ・フィールドの解説(続き)

フィールド	解説
SSCRT [†]	SBSEDRAMクロック・レート選択 SSCRT=0:SSCLKがCPUクロック・レートの2分の1 SSCRT=1:SSCLKがCPUクロック・レート C6202/C6203では、SSCLKがありません。CLKOUT2はCPUクロックの2分の1に固定です C6211/C6711ではSBSRAMはEMIFクロックレート(ECLKIN)で動作します。
RBTR8 [‡]	リクエスト・アービトレーション・モード RBTR8=0:高い優先順位のリクエストが発生するまでリクエストがEMIFを制御 RBTR8=1:最低8サイクル間リクエストがEMIFを制御 [‡] すべてのアービトレーションはC6211/C6711のEMIFの外部で行われます
MAP [‡]	マップ・モード、デバイスのメモリー・マップ・モードの値を保持 MAP=0:メモリー・マップ0アドレス0で外部メモリーを使用 MAP=1:メモリー・マップ1アドレス0で内部メモリーを使用 C6211/C6711では、メモリー・マップ1のみ使用可能

[†] C6211/C6711でのみ利用可

[‡] C6211/C6711では利用不可

[§] C6202/C6203では利用不可

C6202/C6203 EMIFレジスタは、C6201のものと同様です。SDRAMとSBSRAM信号が統合されたことで、ユーザーは同一のシステムにSDRAMとSBSRAMの両方を含めることができます。EMIFグローバル・コントロール・レジスタ・ビットフィールドは、この違いを反映して若干変更されています。

C6201とC6202/C6203の間で、なるべく多くの共通したプログラミングを実現するために、SSCEN及びSDCENはメモリー・インターフェイス・クロックCLKOUT2をイネーブルするために使用されます。システムでSBSRAMが使用される場合(CEコントロール・レジスタのMTYPEフィールドで設定される場合)、SSCENがCLKOUT2をイネーブルまたはディセーブルします。SDRAMが使用される場合、SDCENがCLKOUT2をイネーブルまたはディセーブルします。これが可能になるのは、1つのシステムには、1種類の同期メモリーしか存在しないためです。

C6211/C6711は、グローバル・コントロール・レジスタのいくつかのビットフィールドがなくなったことを除いて、C6201と同様です。C6211/C6711 EMIFグローバル・コントロール・レジスタは新たにBUSREQフィールドが追加されています。

9.3.2 EMIF CE領域コントロール・レジスタ

4つのCE領域コントロール・レジスタを図9-7に示し、表9-4で解説します。これらのレジスタは、EMIFによってサポートされる4つのCEメモリー領域に対応します。MTYPEフィールドは、対応するCE領域のメモリー種類を特定します。MTYPEにより、SDRAMかSBSRAMが選択されると、レジスタの他のフィールドは意味を持ちません。非同期タイプ(ROMまたは非同期)が選択されると、他のフィールドは、アドレス構成とその領域にアクセスするための制御信号の設定のために使用されます。これらの機能については、9.6節で解説します。

CE領域コントロール・レジスタのMTYPEフィールドは、CE1領域がROMブート・モードに使用されているときを除いて、システム初期化の間に一度だけ設定される必要があります。このROMブート・モードでは、CE領域は別の非同期メモリー・タイプに設定することができます。

C6202/C6203では、一度に1種類の同期メモリーのみが設定できます。あるCE領域が同期メモリー・タイプ(SBSRAMまたはSDRAM)として設定された場合、すべての同期メモリー領域はその新しいメモリー・タイプとして変更されます。例えば、CE2がSDRAMとして設定されていて(MTYPE=011b)、CE3をSBSRAMとしてセット(MTYPE=100b)した場合、CE2とCE3はSBSRAMに変更されます。あるCE領域のメモリー・タイプを非同期メモリーへ変更した場合には、他のCE領域のメモリー・タイプに影響を与えません。また、メモリー領域に同期タイプを設定しても、他の非同期メモリー領域へは影響を与えません。

図9-7. TMS320C6201/C6202/C6701 EMIF CE領域コントロール・レジスタ

31	28	27	22	21	20	19	16			
Write setup				Write strobe			Write hold	Read setup		
RW, +1111				RW, +111111			RW, +11	RW, +1111		
15	14	13	8	7	6	4	3	2	1	0
Reserved		Read strobe				rsv	MTYPE		Reserved	Read hold
R, +00		RW, +111111				R, +0	RW, +010		R, +0	RW, +11

図9-8. TMS320C6211/C6711 EMIF CE領域コントロール・レジスタ

31	28	27	22	21	20	19	16	
Write setup				Write strobe			Write hold	Read setup
RW, +1111				RW, +111111			RW, +11	RW, +1111
15	14	13	8	7	4	3	2	0
TA	Read strobe				MTYPE		Reserved	Read hold
RW, +11	RW, +11111				RW, +0010		R, +0	RW, +011

表9-4. EMIF領域コントロール・レジスタ・フィールドの解説

フィールド	解説
Read setup Write setup	セットアップ幅。アドレス(EA)、チップ・イネーブル(\overline{CE})、バイト・イネーブル($BE[0-3]$)について、リード・ストロブまたはライト・ストロブの立ち下がりエッジまでに必要とされるセット・アップ・タイムのクロック・サイクル数 [§] 。非同期のリード・アクセスについては、更に、 \overline{ARE} の立ち下がりエッジ前の \overline{AOE} のセットアップ・タイム。
Read strobe Write strobe	ストロブ幅。リード・ストロブ(\overline{ARE})及びライト・ストロブ(\overline{AWE})の幅のクロック・サイクル [§] 。
Read hold Write hold	ホールド幅。リード・ストロブまたはライト・ストロブの立ち上がりから、アドレス(EA)及びバイト・ストロブ($BE[0-3]$)を保持すべきサイクル数 [§] 。また、非同期のリード・アクセスでは、 \overline{ARE} の立ち上がりからの \overline{AOE} のホールド・タイム。
MTYPE [†]	C6201/C6202/C6203/C6701での対応するCE領域のメモリー・タイプ MTYPE=000b:8ビット幅ROM(CE1のみ) MTYPE=001b:16ビット幅ROM(CE1のみ) MTYPE=010b:32ビット幅非同期インターフェイス MTYPE=011b:32ビット幅SDRAM(CE0、CE2、CE3のみ) MTYPE=100b:32ビット幅SBSRAM MTYPE=その他:予約
MTYPE [‡]	C6211/C6711での対応するCE領域のメモリー・タイプ MTYPE=0000b:8ビット幅非同期インターフェイス MTYPE=0001b:16ビット幅非同期インターフェイス MTYPE=0010b:32ビット幅非同期インターフェイス MTYPE=0011b:32ビット幅SDRAM MTYPE=0100b:32ビット幅SBSRAM MTYPE=1000b:8ビット幅SDRAM MTYPE=1001b:16ビット幅SDRAM MTYPE=1010b:8ビット幅SBSRAM MTYPE=1011b:16ビット幅SBSRAM MTYPE=その他:予約
TA [‡]	異なるCE領域(非同期メモリー・タイプのみ)に対してリードとライトの間またはリードの間における切り替えのためのECLKOUTサイクル数

[†] TMS320C6201/C6202/C6203/C6701に適用

[‡] TMS320C6211/C6711に適用

[§] クロック・サイクルは、C6201/C6202/C6203/C6701ではCLKOUT1、C6211/C6711ではECLKOUTを使用します

C6211/C6711では、CE領域コントロール・レジスタが改良され、MTYPE及びreadholdビット・フィールドがそれぞれ1ビットずつ拡張されています。C6211/C6711のCE領域コントロール・レジスタを図9-8に示します。設定される値は、C6201/C6202/C6203/C6701のようにCLKOUT1サイクルではなく、ECLKOUTクロック・サイクルで計算されます。

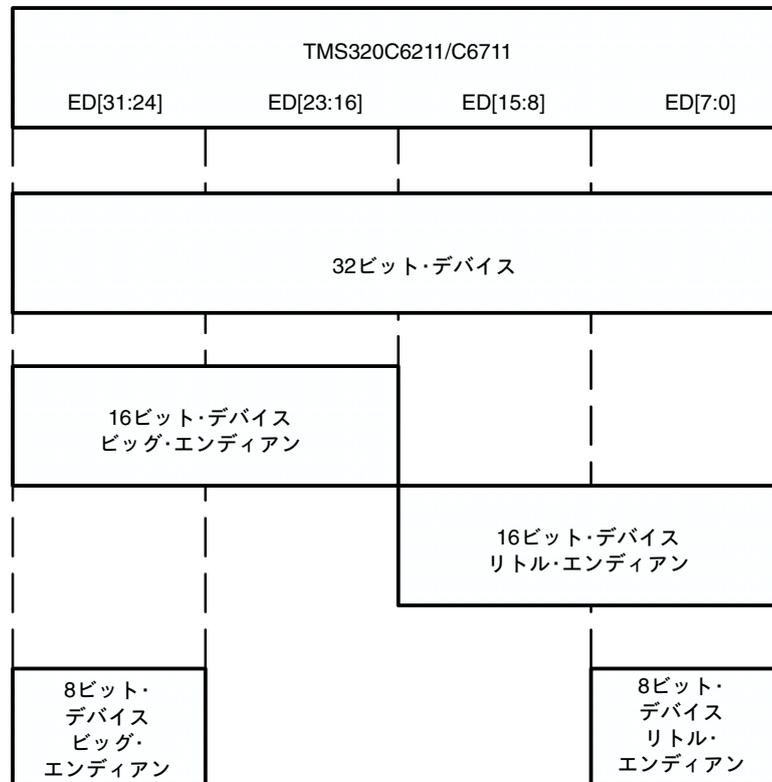
read holdフィールドは1ビット増え、より柔軟に非同期の設定をできるようになりました。MTYPEフィールドは1ビット増え、すべてのメモリー・タイプに対して8、16、32ビット・インターフェイスを選択できるようになりました。

C6211/C6711 EMIFでは8、16、32ビット幅のメモリーをサポートし、ビッグ・エンディアンとリトル・エンディアン両方のデバイスに対してアクセスできます。ROMと非同期インターフェイスの間に違いはありません。

すべてのメモリー・タイプに対して、32ビット以下のメモリー幅を補償するために、アドレスは内部的にシフトされます。デバイスの幅にかかわらず、最下位アドレス・ビットは常に外部アドレス・ピンEA[2]から出力されます。8ビット・メモリーへのアクセスでは、論理アドレス・ビット0はEA[2]に出力されます。

32ビット以下の幅の外部メモリーへのワード・アクセスでは、EMIFで自動的にパッキング及びアンパッキングを実行します。8ビット・メモリーへの32ビット・ライトでは、データは自動的にバイト単位にアンパックされ、バイト・アドレスN、N+1、N+2、N+3へライトします。16ビット・メモリーからの32ビット・リードでも同様に、データはハーフ・ワード・アドレスN、N+1からリードし、32ビット・ワードにパックされ、目的の位置にライトします。使用されるバイト・レーン、図9-9に示すように、システムのエンディアンによります。

図9-9. TMS320C6211/C6711におけるエンディアンによるバイト・アライメント



9.3.3 EMIF SDRAMコントロール・レジスタ

SDRAMコントロール・レジスタ(図9-10に表示)は、対応するCE領域コントロール・レジスタのMTYPEフィールドにおいてSDRAMが指定されているすべてのCE領域について、SDRAMのパラメータを制御します。SDRAMコントロール・レジスタは、すべての領域のSDRAMを制御するため、各領域は、同じリフレッシュ、タイミング、ページ特性を持ったSDRAMにより構成されていなければなりません。このレジスタのフィールドを図9-10及び図9-11に示し、表9-5で解説します。SDRAMをアクセスしているときに、このレジスタを変更することはできません。

図9-10. TMS320C6201/C6202/C6203/C6701 EMIF SDRAMコントロール・レジスタ

31	28	27	26	25	24	23	20	19	16
Reserved		Rsv	SDWID	RFEN	INIT	TRCD		TRP	
RW, +000		R, +0	RW, +0	RW, +1	W, +1	RW, +1000		RW, +1000	
15	12	11	0						
TRC		Reserved							
RW, +1111		R, +0000 0000 0000							

図9-11. TMS320C6211/C6711 EMIF SDRAMコントロール・レジスタ

31	30	29	28	27	26	25	24	23	20	19	16
Rsv	SDBSZ	SDRSZ	SDCSZ	RFEN	INIT	TRCD		TRP			
R, +0	RW, +0	RW, +00	RW, +0	RW, +1	W, +1	RW, +0100		RW, +1000			
15	12	11	0								
TRC		Reserved									
RW, +1111		R, +0000 0000 0000									

表9-5. EMIF SDRAMコントロール・レジスタ・フィールドの解説

フィールド	解説
TRC	SDRAMの t_{RC} 値を指定します。 $TRC = t_{RC} / p^{\S} - 1$
TRP	SDRAMの t_{RP} 値を指定します。 $TRP = t_{RP} / p^{\S} - 1$
TRCD	SDRAMの t_{RCD} 値を指定します。 $TRCD = t_{RCD} / p^{\S} - 1$
INIT	接続されているすべてのSDRAMを初期化します。 INIT=0:初期化を行なわない。 INIT=1:SDRAMの設定がされている各CE領域を初期化します。
RFEN	リフレッシュ・イネーブル RFEN=0:SDRAMリフレッシュ・ディスエーブル RFEN=1:SDRAMリフレッシュ・イネーブル
SDWID†	SDRAM幅選択 SDWID=0:各外部SDRAM領域が4つの8ビット幅のSDRAMによって構成 SDWID=1:各外部SDRAM領域が2つの16ビット幅のSDRAMによって構成
SDCSZ‡	SDRAMカラム・サイズ SDCSZ=00:9カラム・アドレス・ピン SDCSZ=01:8カラム・アドレス・ピン SDCSZ=10:10カラム・アドレス・ピン SDCSZ=11:予約
SDRSZ‡	SDRAMロウ・サイズ SDRSZ=00:11ロウ・アドレス・ピン SDRSZ=01:12ロウ・アドレス・ピン SDRSZ=10:13ロウ・アドレス・ピン SDRSZ=11:予約
SDBSZ‡	SDRAMバンク・サイズ SDBSZ=0:2バンク SDBSZ=1:4バンク

† C6201/C6202/C6203/C6701に適用

‡ C6211/C6711に適用

§ pはEMIFのクロック周期を指します。C6201/C6202/C6203/C6701ではCLKOUT2、C6211/C6711ではECLKOUTです。

9.3.4 EMIF SDRAMタイミング・レジスタ

SDRAMタイミング・レジスタは、C6201/C6202/C6203/C6701のCLKOUT2(CPUクロック・レート[†]の2分の1)、またはC6211/C6711のECLKOUTのサイクル数単位でリフレッシュ・タイムを制御します。オプションとして、PERIODフィールドによりCPUに対する割り込みをかけることができます。これにより、SDRAMを使用しないシステムでは、このカウンタを汎用タイマとして使用することができます。COUNTERフィールドは、CPUによるリードが可能です。カウンタが0となると、PERIODの値が自動的にカウンタにロードされ、割り込み(SDINT)が、割り込みセクタに送られます。SDRAMのリフレッシュについての詳細は、9.4.3節を参照してください。

SDRAMタイミング・レジスタのフィールドを図9-12と表9-6に示します。

C6211/C6711では、XRFRフィールドにより、カウンタが0になったときに行われるリフレッシュの回数を制御できます。リフレッシュ・カウンタが0になったときに最大4回のリフレッシュを行なうことができます。

図9-12. EMIF SDRAMタイミング・レジスタ

31	26	25	24	23	12	11	0
Reserved		XRFR [‡]		COUNTER		PERIOD	
R, +0000 00		R, +0 [†] RW, +00 [‡]		R, +0000 1000 0000 [†] R, +0101 1101 1100 [‡]		RW, +0000 0100 0000 [†] RW, +0101 1101 1100 [‡]	

[†] TMS320C6201/C6202/C6203/C6701に適用

[‡] TMS320C6211/C6711に適用

表9-6. EMIF SDRAMタイミング・レジスタ・フィールドの解説

フィールド	解説
PERIOD	[†] CLKOUT2サイクルでのリフレッシュ間隔 [‡] ECLKOUTサイクルでのリフレッシュ間隔
COUNTER	リフレッシュ・カウンタの現在の値
XRFR [‡]	エクストラ・リフレッシュ:リフレッシュ・カウンタが0になったときにSDRAMに対して行うリフレッシュの回数

[†] TMS320C6201/C6202/C6203/C6701に適用

[‡] TMS320C6211/C6711に適用

9.3.5 TMS320C6211/C6711 SDRAM拡張レジスタ

C6211/C6711のSDRAM拡張レジスタによりSDRAMの多くのパラメータを設定できます。このプログラマビリティにより、大きく2つの利点が追加されます。第一に、C6211/C6711では、いくつかの設定やスピードなどに限定されずに、多くのSDRAMと接続することが可能です。さらに、C6211/C6711では、オート・プリチャージ、複数バンク・オープンといった機能によって、外部SDRAMからの連続的なデータ転送が可能です。図9-13にSDRAM拡張レジスタを示し、表9-7でこのパラメータについて解説します。

図9-13. TMS320C6211/C6711 SDRAM拡張レジスタ

31	21	20	19	18	17	16	15	14	12	11	10	9	8	7	6	5	4	3	1	0
Rsvd	WR2RD	WR2DEAC	WR2WR	R2WDQM	RD2WR	RD2DEAC	RD2RD	THZP	TWR	TRRD	TRAS	TCL								
R, +0	RW, +1	RW, +01	RW, +1	RW, +11	RW, +101	RW, +11	RW, +1	RW, +10	RW, +01	RW, +1	RW, +111	RW, +1								

表9-7. TMS320C6211/6711 SDRAM拡張レジスタ・フィールドの解説

フィールド	解説
TCL	ECLKOUTサイクルでのSDRAMのCASレイテンシ TCL=0: CASレイテンシ=2 ECLKOUTサイクル TCL=1: CASレイテンシ=3 ECLKOUTサイクル
TRAS	ECLKOUTサイクルでのSDRAMの t_{RAS} の値 TRAS= $t_{RAS} - 1$
TRRD	ECLKOUTサイクルでのSDRAMの t_{RRD} の値 TRRD=0: $t_{RRD} = 2$ ECLKOUTサイクル TRRD=1: $t_{RRD} = 3$ ECLKOUTサイクル
TWR	ECLKOUTサイクルでのSDRAMの t_{WR} の値 TWR= $t_{WR} - 1$
THZP	ECLKOUTサイクルでのSDRAMの t_{HZP} の値 THZP= $t_{HZP} - 1$
RD2RD	ECLKOUTサイクルでのSDRAMの(同じCE領域への)READコマンドからREADコマンドまでのサイクル数 RD2RD=0: リードとリードの間には1 ECLKOUTサイクル RD2RD=1: リードとリードの間には2 ECLKOUTサイクル
RD2DEAC	ECLKOUTサイクルでのSDRAMのREADからDEAC/DCABまでのサイクル数 RD2DEAC=(READからDEAC/DCABまでのサイクル数)-1
RD2WR	ECLKOUTサイクルでのSDRAMのREADからWRITEまでのサイクル数 RD2WR=(READからWRITEまでのサイクル数)-1
R2WDQM	BEx信号が、READに割り込んで優先度の高いWRITEを出すまでのサイクル数 R2WDQM=(BExハイのサイクル数)-1
WR2WR	ECLKOUTサイクルでのSDRAMのWRITEからWRITEまでのサイクル数 WR2WR=(WRITEからWRITEまでのサイクル数)-1
WR2DEAC	ECLKOUTサイクルでのSDRAMのWRITEからDEAC/DCABまでのサイクル数 WR2DEAC=(WRITEからDEAC/DCABまでのサイクル数)-1
WR2RD	ECLKOUTサイクルでのSDRAMのWRITEからREADまでのサイクル数 WR2RD=(WRITEからREADまでのサイクル数)-1

9.4 SDRAMインターフェイス

TMS320C6201/C6202/C6203/C6701 EMIFは2バンクの16MビットSDRAMと4バンクの64MビットSDRAMをサポートしており、高速・高密度のメモリーに対するインターフェイスを提供しています。EMIFは、表9-8に示すSDRAMコマンドをサポートしています。16Mビット及び64MビットSDRAMインターフェイスを、それぞれ図9-14、図9-15に示します。表9-9に、TMS320C6201/C6202/C6203/C6701 EMIFで利用可能なSDRAM設定を示します。

TMS320C6211/C6711 EMIFでは、カラム・アドレス・ビットの数(ページ・サイズ)、ロウ・アドレス・ビットの数(バンクにおけるページ数)、バンク数などのSDRAMのアドレッシングの設定が可能です。これにより、C6211/C6711では同時にSDRAMの最大4ページを使用することが可能です。ページは単一のCE領域としても、複数のCE領域に分配することも可能です。表9-10にピン接続とSDRAM動作に関連する信号について解説します。

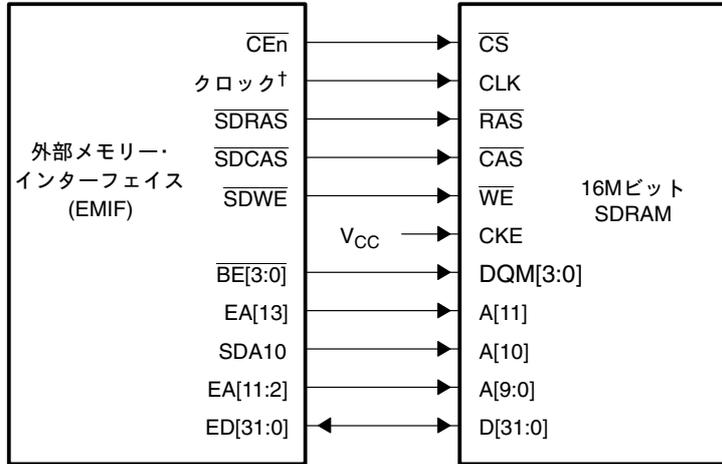
C6211/C6711ではページの設定が可能なので、表9-8はC6211/C6711では適用されません。C6211/C6711では、8から10のカラム・アドレス・ピン、11から13のロウ・アドレス・ピン、2から4のバンクを持ったすべてのSDRAMとインターフェイス可能です。

表9-8. TMS320C6201/C6202/C6203/C6701 EMIF SDRAMコマンド

コマンド	機能
DCAB	すべてのバンクをインアクティブにする
DEAC†	1つのバンクをインアクティブにする
ACTV	選択されたバンク及び選択されたロウをアクティブにする
READ	始まりのカラム・アドレスを入力し、リード動作を開始する
WRT	始まりのカラム・アドレスを入力し、ライト動作を開始する
MRS	モード・レジスタをセットし、SDRAMモード・レジスタを設定する
REFR	内部アドレスでの自動リフレッシュ・サイクル

† TMS320C6211/C6711のみ

図9-14. TMS320C6201/C6202/C6203/C6701 EMIFから16MビットSDRAMへのインターフェイス



† クロックはC6201/C6701ではSDCLK、C6202/C6203ではCLKOUT2

図9-15. TMS320C6211/C6711 EMIFから16MビットSDRAMへのインターフェイス

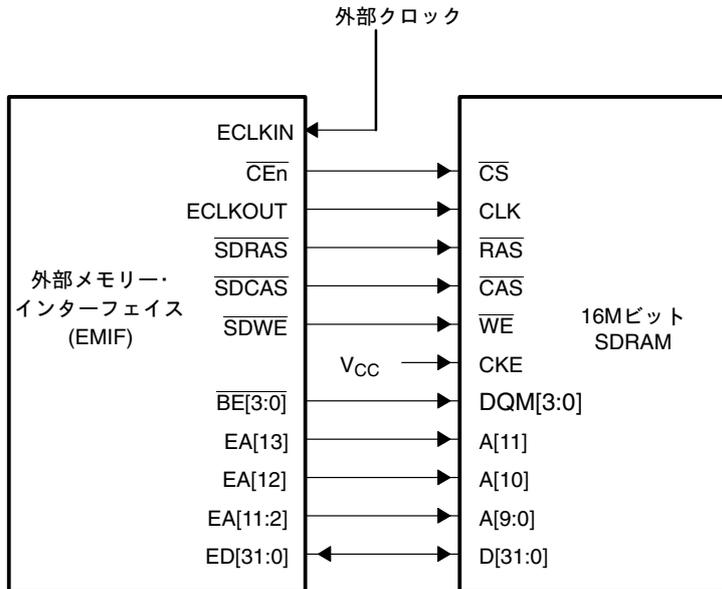
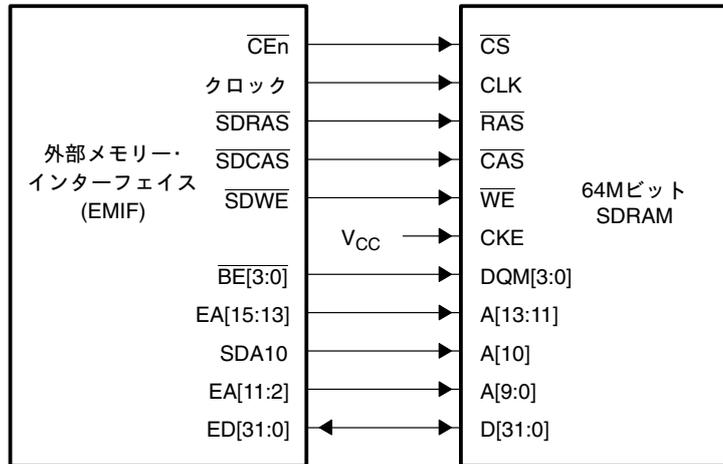


図9-16. TMS320C6201/C6202/C6203/C6701 EMIFから64MビットSDRAMへのインターフェイス



† クロックはC6201/C6701ではSDCLK、C6202/C6203ではCLKOUT2

表9-9. TMS320C6201/C6202/C6203/C6701 SDRAMメモリーの構成†

SDRAMの サイズ	SDRAMのバンク数	SDRAMの幅	CE領域あたりの デバイス数	CE領域あたりの メモリー・サイズ
16Mビット	2	16ビット	2	4Mバイト
16Mビット	2	8ビット	4	8Mバイト
64Mビット	4	16ビット	2	16Mバイト

† C6211/C6711では、より大きなCE領域があり、アドレス設定も柔軟なので、これらの設定に限定されません。

表9-10. SDRAMコントロール・ピン

EMIF信号	SDRAM信号	SDRAMの機能
SDA10	A10	アドレス線 A10/オートプリチャージ・ディスエーブル。ACTVコマンドの間は、ロウ・アドレス・ビットとして機能し、また、SDRAMのオートプリチャージの機能をディスエーブルする(C6201/C6202/C6203/C6701のみ)。
$\overline{\text{SDRAS}}$	$\overline{\text{RAS}}$	ロウ・アドレス・ストロブ及びコマンド入力。CLKの立ち上がりエッジでラッチされ、動作状態が決定される。CLKのエッジで $\overline{\text{CS}}$ がアクティブ(ロー)のときのみ有効。
$\overline{\text{SDCAS}}$	$\overline{\text{CAS}}$	カラム・アドレス・ストロブ及びコマンド入力。CLKの立ち上がりエッジでラッチされ、動作状態が決定される。CLKのエッジで $\overline{\text{CS}}$ がアクティブ(ロー)のときのみ有効。
$\overline{\text{SDWE}}$	$\overline{\text{WE}}$	ライト・ストロブ及びコマンド入力。CLKの立ち上がりエッジでラッチされ、動作状態が決定される。CLKのエッジで $\overline{\text{CS}}$ がアクティブ(ロー)のときのみ有効。
$\overline{\text{BE}}[3:0]$	DQM[3:0]	データ/出力・マスク。DQMは、入力/出力バッファの制御信号です。ハイ・レベルのとき、ライト動作をディスエーブルとし、リード動作に対しては、出力をハイ・インピーダンス状態とします。DQMは、リードに対して2-CLK-サイクルのレイテンシを持ち、ライトに対し0-CLK-サイクルのレイテンシを持っています。DQMピンは、実質的にバイト・ストロブとして機能し、BE[3:0]出力に接続されます。
$\overline{\text{CE}}3$ 、 $\overline{\text{CE}}2$ 、 $\overline{\text{CE}}0$	$\overline{\text{CS}}$	チップ・セレクトとコマンド・イネーブル。コマンドがSDRAMにクロックに同期して入力される時、 $\overline{\text{CS}}$ はアクティブ(ロー)となっていなければなりません。ライトまたはリードが始まった後は、 $\overline{\text{CS}}$ は、データの入力や出力に影響を与えません。CE1は、SDRAMをサポートしていません。
—	CKE	CKEクロック・イネーブル。EMIFとのインターフェイスによりクロックを常時イネーブルとするためには、プル・アップ。
CLKOUT2	CLK	SDRAMクロック入力。CPUクロック・レートの2分の1で動作。C6202/C6203で同期メモリー・インターフェイスとして使用。
SDCLK	CLK	SDRAMクロック入力。CPUクロック・レートの2分の1で動作。C6201/C6701でSDRAMインターフェイスとして使用。

C6202/C6203のSDRAMインターフェイスは、SBSRAMインターフェイスと統合されたことを除いて、C6201のインターフェイスと同じです。C6202/C6203のシステムでは、2つの同期メモリー・タイプのうち、どちらか一方のみ使用できます。C6202/C6203は、SDRAMに対してバックグラウンドでリフレッシュを行うため、仮に両方のメモリーが存在していると、SDRAMリフレッシュ中のSBSRAMアクセスが誤りを起こす可能性があります。

C6211/C6711のSDRAMインターフェイスは、EA12がSDA10の役割を果たすことを除いて、C6201のインターフェイスと同じです。SDRAM信号は、SBSRAM及び非同期メモリー・インターフェイスと統合されています。SDRAMインターフェイスに使用されるECLKOUTを生成するために、C6211/C6711に外部クロック・ソースを供給する必要があります。さらに、C6211/C6711では8、16、32ビットSDRAMインターフェイスが可能です。C6211/C6711はバックグラウンド・リフレッシュを行わないので、すべてのメモリーを同じシステムに含めることができます。

9.4.1 SDRAMの初期化

CE領域のいずれかについてSDRAMの設定がされると、EMIFは、SDRAMを初期化するために必要な機能を実行します。SDRAMの初期化のリクエストには、EMIF SDRAMコントロール・レジスタのINITビットに1をライトします。

初期化の実際のシーケンスを以下に示します。

- 1) DCABコマンドをSDRAMの設定がなされているすべてのCE領域に送ります。
- 2) 8つのリフレッシュ・コマンドを送ります。
- 3) MRSコマンドをSDRAMの設定がなされているすべてのCE領域に送ります。

$\overline{\text{HOLD}}$ 入力がアクティブとなっていない場合には、リセットの直後にDCABサイクルが実行されます(ホスト・リクエスト)。 $\overline{\text{HOLD}}$ がアクティブの場合には、ホールド状態が解除されるまで、DCABコマンドは実行されません。この場合には、外部リクエスタは、SDRAMの初期化が終了し、外部リクエスタからの制御ができるようになるまで、SDRAMのバンクをアクセスしてはいけません。

9.4.2 ページ・バウンダリの監視

SDRAMは、ページ付きのメモリーであるため、EMIF SDRAMコントローラは、アクティブとなっているSDRAMのロウを監視して、アクセス中にロウのバウンダリを超えることのないようにします。この監視を行なうために、EMIFは、開いているページのアドレスを格納して、そのSDRAMバンクへの以後のアクセスのアドレスとの比較を行ないます。C6201/C6202/C6203/C6701では、このような格納と比較は、それぞれのCE領域について独立に行なうので、それぞれのCE領域でひとつのページを開くことができます。

比較の対象とされるアドレスのビット数は、C6201/C6202/C6203/C6701では、EMIF SDRAMコントロール・レジスタのSDWIDフィールドにプログラムされたページのサイズにより決定されます。SDWID=0の設定に対しては、EMIFは、SDRAMの設定がされたCE領域が、4つの8ビット幅のSDRAMにより構成され、512のページを持っていると判断します。そのため、比較される論理バイト・アドレスのビットは、23から11までとなります。SDWID=1の設定に対しては、EMIFは、CE領域のSDRAMが、2つの16ビット幅のSDRAMによって構成され、256のページを持っていると判断します。そのため、比較される論理バイト・アドレスのビットは、23から10までとなります。また、論理アドレス・ビットの25と24は、CE領域を決定します。アクセス中に、ページのバウンダリを超えた場合には、EMIFがDCABコマンドを実行して、新しいロウからアクセスを開始します。

C6211/C6711では、SDRAMの最大4ページまでを同時に開くことができます。このページは、単一のCE領域でも、すべてのCE領域にわたることもできます。例えば、CE0とCE2から2つのページを開くことも、CE0から4つのページを開くことも可能です。SDCSZ、SDRSZ、SDBSZの組み合わせで、ページを開くか決定するために、どの論理アドレス・ビットを比較するか、を制御します。例えば、典型的な2バンク×512K×16ビットSDRAMは、2バンク、11ロウ・アドレス・ビット、8カラム・アドレス・ビットの設定です。32ビット幅のSDRAMは、アクセスしているカラムを特定するために、論理アドレス・ビットA[9:2](ワード・アドレッシングのために2ビットのオフセット)を使用します。ビットA[20:10]はロウ・オフセットを決定し、A[21]はバンクを特定します。論理アドレス・バイトA[31:28]は使用されるCE領域を決定します。ページ境界が同一のCE領域の中にある場合、C6211/C6711はDEACコマンドを実行し、新しいロウ・アクセスを開始します。

現行のアクセスを終了するだけでは、アクティブとなっているSDRAMのロウを強制的に閉じることにはなりません。EMIFは、ロウを閉じる必要が生じるまで、アクティブとなっているロウを開いたままにします。このような機能により、インアクティブ化と再アクティブ化によるオーバーヘッドを削減することができ、インターフェイスは、メモリー・アクセスにおけるアドレスの局所性を有効に利用することができます。

9.4.3 SDRAMのリフレッシュ

9

SDRAMコントロール・レジスタのRFENビットにより、EMIFにおけるSDRAMのリフレッシュ・モードを選択します。RFENを0に設定した場合には、EMIFによるリフレッシュがディスエーブルされるため、外部デバイスによりリフレッシュが確実に行われるように注意する必要があります。RFENに1を設定した場合には、EMIFがSDRAMのリフレッシュを行いません。

リフレッシュ・コマンド(REFR)は、SDRAMとして指定された(CE領域コントロール・レジスタのMTYPEフィールドによって指定)CE領域の \overline{CE} 信号のすべてをイネーブルとします。REFRに先立ってDCABコマンドが自動的に実行されます。これにより、SDRAMとして指定されたCE領域のすべてがインアクティブの状態になっていることが確認されます。DCABコマンドに続いて、EMIFは、ベンディングとなっている他のSDRAMのアクセスがないことを条件として、EMIF SDRAMコントロール・レジスタのPERIODに設定された値によって定義されたレートでトリクル・リフレッシュを実行します。

C6201/C6202/C6203/C6701では、SDRAMのインターフェイスは、受け付けたリフレッシュのリクエストの数を監視するとともに、リフレッシュを実行します。EMIF SDRAM制御ブロックの中では、2ビットのカウンタにより、リフレッシュ・リクエストの履歴を監視します。このカウンタは、リフレッシュのリクエストの発生によりインクリメントされ、各リフレッシュ・サイクルの実行によりデクリメントされます。カウンタは、11と00で飽和します。リセット時には、カウンタは自動的に11に設定され、アクセスの開始前に数回のリフレッシュを発生するようになっています。

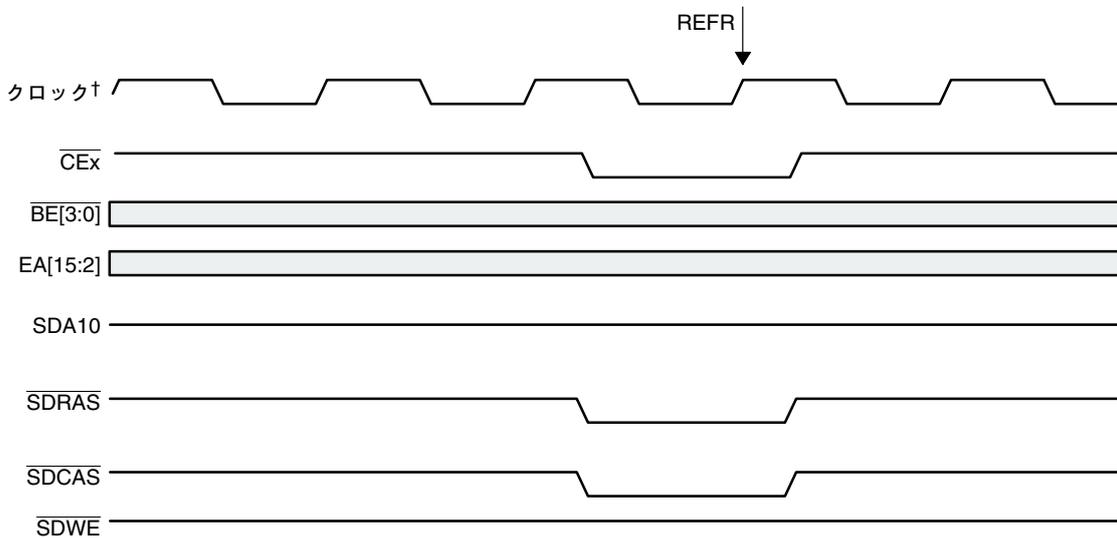
C6201/C6202/C6203/C6701 EMIFのSDRAMコントローラは、SDRAMのリフレッシュのリクエストとEMIFのリクエストからのデータ・アクセスのリクエストの優先順位を決定します。この決定については、次のルールが適用されます。

- カウンタ値が11のときには、ページ情報レジスタが無効とされ、コントローラによって現行のSDRAMページが強制的に閉じられます。カウンタ値が11であることは、直ちにリフレッシュを実行する必要があることを示します。それゆえ、EMIF SDRAMコントローラは、現行のアクセスの残りの部分を実行する前に、DCABコマンド及びREFRコマンドを実行してカウンタの値を00にデクリメントします。SDRAMが複数のCE領域に存在している場合には、DCABからリフレッシュまでのシーケンスは、SDRAMが存在しているすべてのCE領域で生じます。
- SDRAMのインターフェイスがアイドル期間中には、EMIFからのリクエストがペンディングとなっていないことを条件として、カウンタの値が00である場合を除き、SDRAMインターフェイスがREFRコマンドを実行します。この機能によって、以後に発生するSDRAMのアクセスにおいて、エージェント・リフレッシュが必要となる事態を防止することができます。SDRAMが複数のCE領域ある場合には、このリフレッシュは、無効なページ情報によりすべてのインターフェイスがアイドル状態となっている時のみ発生します。

C6201/C6202/C6203/C6701 EMIFとは異なり、C6211/C6711ではREFRリクエストは高優先順位とみなされ、トリクル・リフレッシュとエージェント・リフレッシュの区別がありません。転送の途中である場合は完了することができます。C6211/C6711 SDRAMリフレッシュ間隔には、カウンタが0になったときに実行されるリフレッシュの数を制御する拡張されたビット・フィールドXRFRがあります。この機能により、リフレッシュ・カウンタが0になったときに、最大4回のリフレッシュを実行するようにXRFRフィールドに設定することが可能です。

C6000デバイスすべてにおいて、EMIF SDRAMインターフェイスは、SDRAMに対して、CASビフォアRASのリフレッシュを実行します。SDRAMのメーカーによっては、このリフレッシュをオート・リフレッシュと呼んでいます。REFRのコマンドの前に、DCABコマンドが、SDRAMに設定されたすべてのCE領域に対して実行され、SDRAMのアクティブなバンクがすべて閉じられていることを確認します。ページ情報は、REFRのコマンドの前後では、常に無効であるため、リフレッシュ・サイクルは、常にページ・ミスを伴います。リフレッシュ・コマンドの前には、インアクティブにするためのサイクルが必要とされます。図9-17に、SDRAMリフレッシュのタイミングを示します。

図9-17. SDRAMリフレッシュ



† クロックは、C6201/C6701ではSDCLK、
C6202/C6203ではCLKOUT2、
C6211/C6711ではECLKOUT

9.4.4 モード・レジスタ・セット

C6201/C6202/C6203/C6701 EMIF SDRAMコントロール・レジスタのINITフィールドがセットされている場合には、EMIFは、自動的に、DCABコマンドを実行し、これに続いてMRSコマンドを実行します。INITは、デバイスのリセットまたはユーザによるライトによってセットされます。DCABコマンドやREFRRコマンドと同様に、MRSコマンドは、MTYPEフィールドによってSDRAMとして指定されているCE領域のすべてについて実行されます。ホールドに続いて、外部のリクエスタは、バスの制御をEMIFに返す前に、EMIFをもとの設定に戻さなければなりません。その代わりに、EMIFグローバル・コントロール・レジスタのHOLDとHOLDAのビットをポーリングして、外部ホールドの完了を検出すると同時に、EMIF SDRAMコントロール・レジスタのINITビットに1をライトすることにより、EMIFを再び初期化することもできます。

EMIFでは、MRSコマンドの間、モード・レジスタの値として、常に0030hを使用します。図9-18に、モード・レジスタのビット、EMIFのピン、それにモード・レジスタの値のマッピングを示します。表9-11は、このモード・レジスタの値によって選択されるJEDEC標準SDRAMの設定値を示します。図9-21に、MRSコマンドの実行時のタイミングを示します。

図9-18. TMS320C6201/C6202/C6203/C6701モード・レジスタの値

13	12	11	10	9	8	7
EA15	EA14	EA13	SDA10	EA11	EA10	EA9
予約				ライト・バースト長	予約	
0000				0	00	
6	5	4	3	2	1	0
EA8	EA7	EA6	EA5	EA4	EA3	EA2
リード・レイテンシ			S/I	バースト長		
0	1	1	0	000		

表9-11. TMS320C6201/C6202/C6203/C6701でのMRSの値によるSDRAMの設定

フィールド	選択
ライト・バースト長	1ワード
リード・レイテンシ	3サイクル
シリアル/インターリーブ・バースト・タイプ	シリアル
バースト長	1ワード

C6211/C6711では、モード・レジスタの値として、0032hか0022hのいずれかを使用します。レジスタの値と解説を図9-19、図9-20に示します。両方の値は、リードとライト両方に対して、デフォルトの4ワードのバースト長を設定します。実際に使用される値は、SDRAM拡張レジスタで定義されるCASLパラメータによります。CASレイテンシが3の場合、0032hがライトされます。CASレイテンシが2の場合、0022hがMRSサイクルでライトされます。表9-12にこれをまとめます。

図9-19. TMS320C6211/C6711モード・レジスタの値(0032h)

13	12	11	10	9	8	7
EA15	EA14	EA13	SDA10	EA11	EA10	EA9
予約				ライト・バースト長	予約	
0000				0	00	
6	5	4	3	2	1	0
EA8	EA7	EA6	EA5	EA4	EA3	EA2
リード・レイテンシ			S/I	バースト長		
0	1	1	0	010		

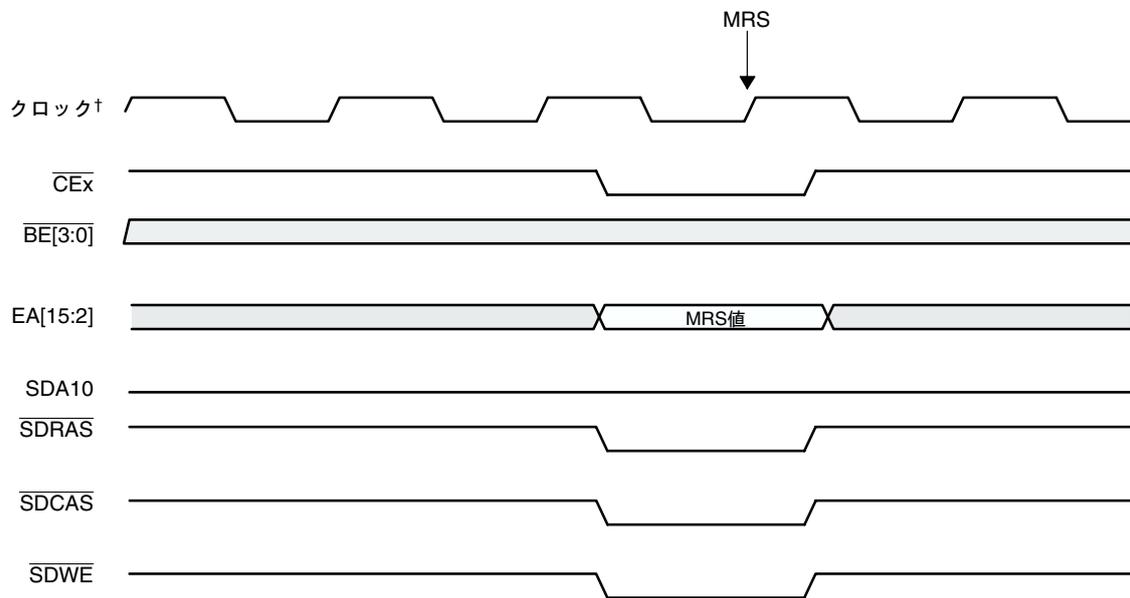
図9-20. TMS320C6211/C6711モード・レジスタの値(0022h)

13	12	11	10	9	8	7
EA15	EA14	EA13	SDA10	EA11	EA10	EA9
予約				ライト・バースト長	予約	
0000				0	00	
6	5	4	3	2	1	0
EA8	EA7	EA6	EA5	EA4	EA3	EA2
リード・レイテンシ			S/I	バースト長		
0	1	0	0	010		

表9-12. TMS320C6211/C6711でのMRSの値によるSDRAMの設定

フィールド	CASL=0	CASL=1
ライト・バースト長	4ワード	4ワード
リード・レイテンシ	2サイクル	3サイクル
シリアル/インターリーブ・バースト・タイプ	シリアル	シリアル
バースト長	4ワード	4ワード

図9-21. SDRAMモードレジスタセット:MRSコマンド



† クロックは、C6201/C6701ではSDCLK、
C6202/C6203ではCLKOUT2、
C6211/C6711ではECLKOUT

9.4.5 アドレスのシフト

ロウ・アドレスとカラム・アドレスによるアドレッシングは、EMIFの同じピンを使って行なわれるため、EMIFのインターフェイスは、アドレスがロウかカラムかに従い、アドレスを適切にシフトします。表9-13に、バイト・アドレスのビットが、ロウ・アドレス/カラム・アドレスに従って、EAピンに出力される様子を示します。SDRAMは、アドレス入力を制御とアドレッシングの両方の目的のために使用します。

C6201/C6202/C6203/C6701では、アドレス・シフトのプロセスで以下のことが適用されます。

- SDRAMのバンク選択フィールド(16MビットのSDRAMではA11、64MビットのSDRAMではA13とA12)に対応するアドレス線は、SDRAMコントローラによって内部的にラッチされます。これにより、READやWRTコマンドの実行中を通じて、正しいバンク選択が保持されます。それゆえ、EMIFは、ロウ・アドレスとカラム・アドレスの双方において、これらの値を保持します。
- EMIFは、 $\overline{\text{RAS}}$ がアクティブとなっていない時に、アクセスしているページの終了時のDCABコマンドの間、ハイとなっていたSDA10を強制的にローとします。これにより、READやWRTのコマンドの後で、オートプリチャージが発生するのを防止することができます。

C6211/C6711では、アドレス・シフトのプロセスで以下のことが適用されます。

- アドレス・シフトは完全にカラム・サイズ・フィールド(SDCSZ)で制御され、バンク及びロウ・サイズ・フィールドから影響を受けません。バンク及びロウ・サイズは、どのページが開かれているか、を特定するために内部的に使用されます。
- 専用のプリチャージ・ピンSDA10ではなく、EA12が直接A10信号に接続されます。

表9-13. TMS320C6201/C6202/C6203/C6701でのSDRAMの $\overline{\text{RAS}}$ と $\overline{\text{CAS}}$ に対するバイト・アドレスからEAへのマッピング

EMIFピン				EA [21:17]																
				EA16	EA15	EA14	EA13	SDA10	EA11	EA10	EA9	EA8	EA7	EA6	EA5	EA4	EA3	EA2		
SDRAMピン																				
				A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0			
	SDRAM幅	SDWID	DRAMコマンド																	
アドレス・ビット	x16	1	$\overline{\text{RAS}}$																	
			$\overline{\text{CAS}}$																	
アドレス・ビット	x8	0	$\overline{\text{RAS}}$																	
			$\overline{\text{CAS}}$																	

凡例 ACTVコマンドの間、内部的にラッチされるビット
 将来の使用のため予約。未定義。

注: $\overline{\text{RAS}}$ と $\overline{\text{CAS}}$ の値は、 $\overline{\text{RAS}}$ または $\overline{\text{CAS}}$ サイクルの間に対応するEAピンに出力されるバイト・アドレスのビットを示します。



表9-14に、C6211/C6711における32ビット幅SDRAMインターフェイスのアドレッシングについて解説します。ピンにあらわれるアドレスは、8ビットまたは16ビット・インターフェイスにシフトされます。

表9-14. TMS320C6211/C6711での32ビット・インターフェイスに対するバイト・アドレスからEAへのマッピング

		E	E	E	E	E	†E	E	E	E	E	E	E	E	E	E	E
		A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
		[21:17]	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
カラム・アドレス・ ビットの数	DRAMコマンド	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A	A
8	$\overline{\text{RAS}}$		24	23	22	21	20	19	18	17	16	15	14	13	12	11	10
	$\overline{\text{CAS}}$		24	23	22	21	20	19	18	9	8	7	6	5	4	3	2
9	$\overline{\text{RAS}}$		25	24	23	22	21	20	19	18	17	16	15	14	13	12	11
	$\overline{\text{CAS}}$		25	24	23	22	21	20	10	9	8	7	6	5	4	3	2
10	$\overline{\text{RAS}}$		26	25	24	23	22	21	20	19	18	17	16	15	14	13	12
	$\overline{\text{CAS}}$		26	25	24	23	22	11	10	9	8	7	6	5	4	3	2

凡例  ACTVコマンドの間、内部的にラッチされるビット

 将来の使用のため予約。未定義。

† EA12は、CASサイクルにおいて、上位アドレス・ビットとしてではなく、プリチャージ・ビットとして動作します。

9.4.6 タイミング要求

表9-15に示す5つのタイミング・パラメータにより、SDRAMのスピード上の制約がEMIFの性能に与える影響を減らすことができます。これらのパラメータのうち3つは、EMIFのSDRAMコントロールレジスタによって設定することが可能であり、残りの2つは、一定の値を持っていると仮定されます。プログラム可能な3つの値によって、EMIFはSDRAMの性能を最大限に引き出すことができます。使用するSDRAMのデータシートを参照して、適切なパラメータの値を定めてください。

表9-15. TMS320C6201/C6202/C6203/C6701 SDRAMのタイミングに関するパラメータ

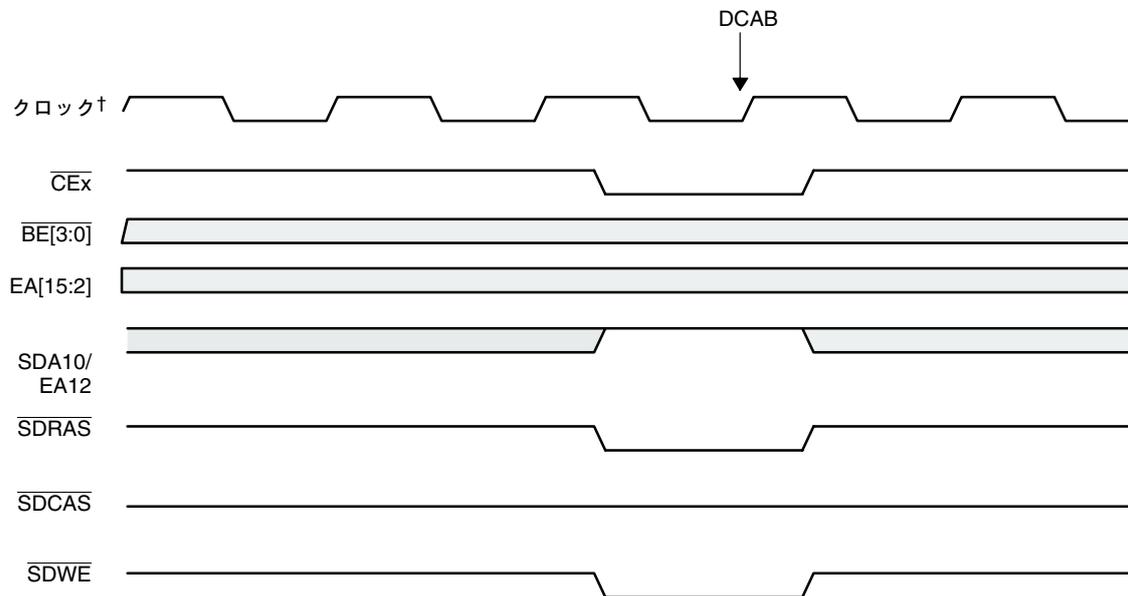
パラメータ	解説	CLKOUT2/ECLKIN2の サイクル数 [†]
t _{RC}	REFRからACTV、MRS、または次のREFRコマンド	TRC + 1
t _{RCD}	ACTVコマンドからREADまたはWRTコマンド	TRCD + 1
t _{RP}	DCABコマンドからACTV、MRS、またはREFRコマンド	TRP + 1
t _{RAS}	ACTVコマンドからDEAC、DCABコマンド	7
t _{nEP}	データのリードとDCABコマンドのオーバーラップ	2

[†] C6201/C6202/C6203/C6701ではCLKOUT2サイクル、C6211/C6711ではECLKOUTサイクルが適用されます。

9.4.7 SDRAMインアクティブ化

SDRAMのインアクティブ化(DCAB)は、ハードウェア・リセットの後またはEMIF SDRAMコントロール・レジスタでINIT=1の設定がされている時に実行されます。このサイクルは、REFRやMRSの前に、またはC6201/C6202/C6203/C6701ではページ境界を超えたアクセスが行われる場合にSDRAMによって要求されます。DCABコマンドの間は、SDA10は、ハイに保持され、SDRAMバンクのすべてがインアクティブ化されます。図9-22に、SDRAMのインアクティブ化の場合のタイミングを示します。

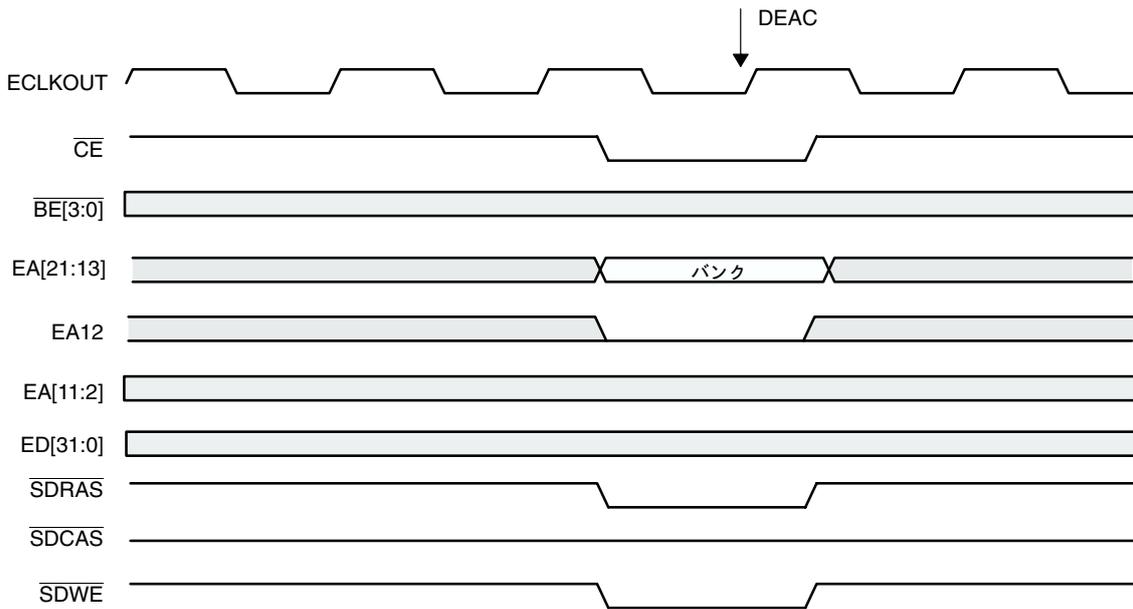
図9-22. SDRAM DCAM-すべてのバンクをインアクティブにする



† クロックはC6201/C6701ではSDCLK、
C6202/C6203ではCLKOUT2、
C6211/C6711ではECLKOUT

C6211/C6711でもDEACコマンドをサポートしており、この動作を図9-23に示します。バンク選択信号によって指定されたSDRAMの1つのページを閉じます。ページ境界を越えるとき、DEACコマンドは開いているページを閉じるのに使用されます。C6211/C6711では、REFRやMRSコマンドの前にすべてのページを閉じるDCABコマンドもサポートしています。

図9-23. TMS320C6211/C6711 SDRAM DEAC - 1つのバンクをインアクティブにする

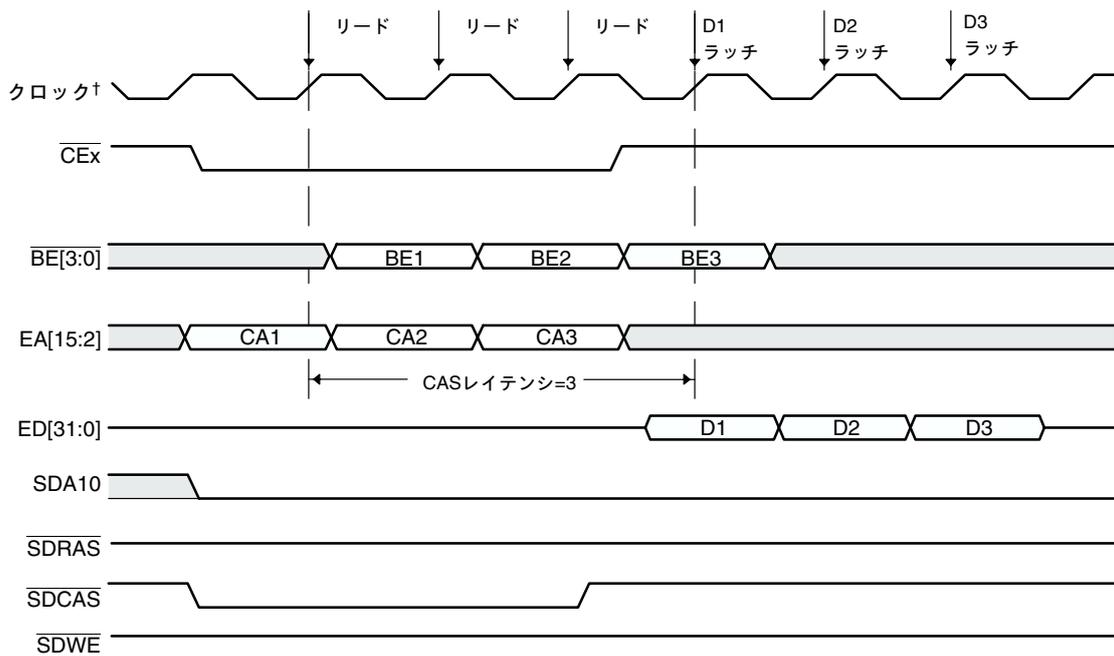


9.4.8 SDRAMリード

9.4.8.1 TMS320C6201/C6202/C6203/C6701 SDRAMリード

SDRAMのリードの間、選択されたバンクは、ACTVコマンドの間のロウ・アドレスによってアクティブにされます。図9-24に、C6201/C6202/C6203/C6701における3つのリード・コマンドが3つの異なるカラム・アドレスにおいて実行されるタイミングを示します。EMIFでは、 $\overline{\text{CAS}}$ レイテンシ3及びバースト長1を使用します。この3サイクルのレイテンシにより、データは、対応するカラム・アドレスから3サイクル後に出力されます。C6201/C6202/C6203/C6701の最後のリード・コマンドの後には、タイミング要求を満たすためのアイドル・サイクルが挿入されます。必要であれば、このサイクルの後で、バンクをDCABコマンドでインアクティブにし、EMIFにより新しいページをアクセスします。新しいアクセスがないか、同じページに対するアクセスが続く場合には、ページ情報が有効となるまで、DCABコマンドは実行されません。カラム・アクセスとDCABコマンドの間のEA[15:13]の値は、ACTVコマンドの間にラッチされた値となります。

図9-24. TMS320C6201/C6202/C6203/C6701 SDRAMリード

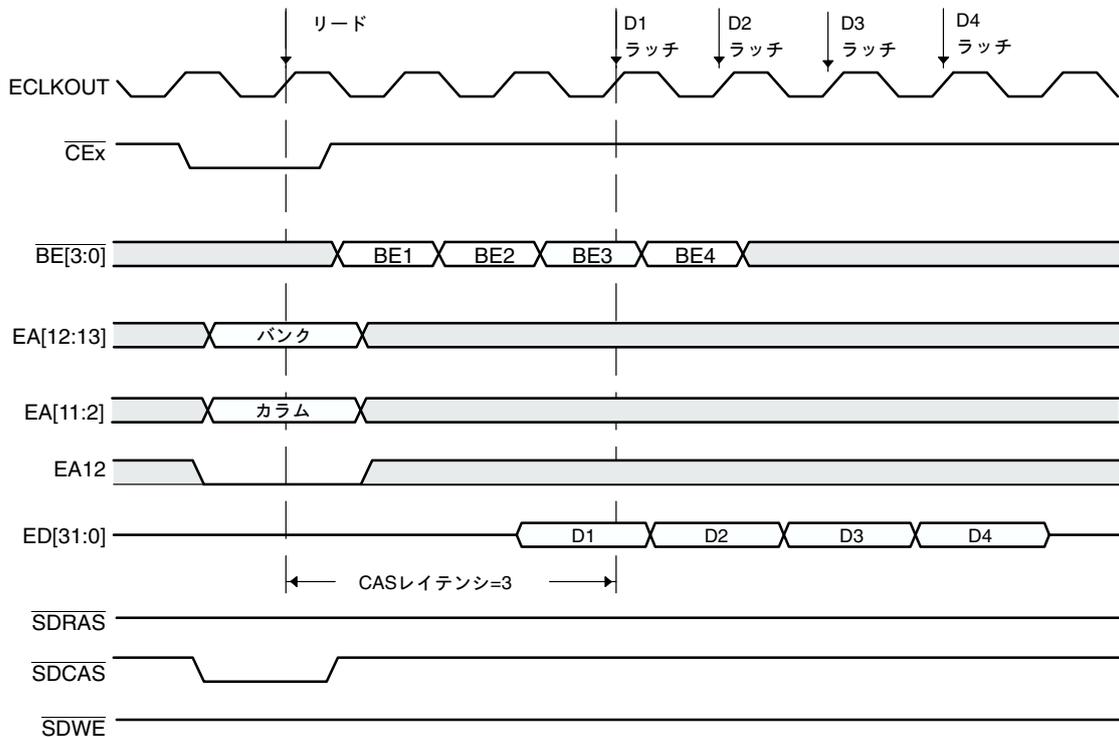


† クロックはC6201/C6701ではSDCLK、
C6202/C6203ではCLKOUT2

9.4.8.2 TMS320C6211/C6711 SDRAMリード

図9-25に、C6211/C6711によるSDRAMから3ワードのリード・バーストを示します。C6211/C6711はバースト長4を使用し、2または3サイクルのCASレイテンシが設定できます。この例では、CASレイテンシは3サイクル(CASL=1)です。デフォルトのバースト長は4ワードなので、SDRAMはリード・コマンドに対して常に4つのデータを返します。図9-25のように、EMIFに対してペンディングしているアクセスがない場合、リード・バーストは完了し、必要ないデータは無視されます。アクセスがペンディングしている場合、SDRAM拡張レジスタによって制御される、新しいコマンド(READ、WRT、DEAC、DCAB)によって、リード・バーストに割り込むことができます。新しいアクセスがペンディングしていない場合、ページ情報が無効になるまで、DCAB/DEABコマンドは実行されません。

図9-25. TMS320C6211/C6711 SDRAMリード

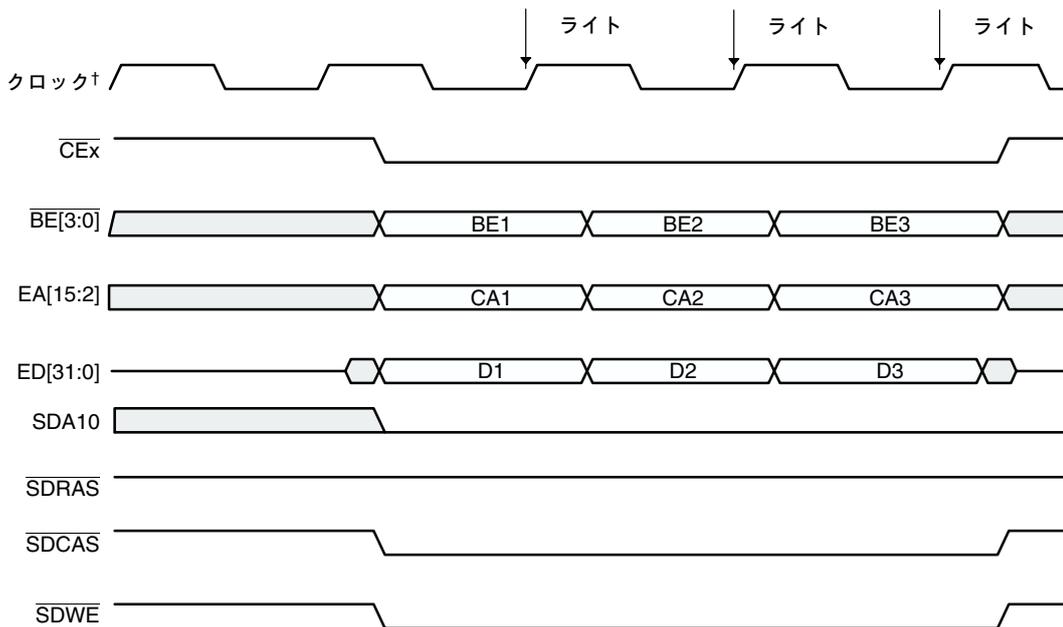


9.4.9 SDRAMライト

9.4.9.1 TMS320C6201/C6202/C6203/C6701 SDRAMライト

C6201/C6202/C6203/C6701では、SDRAMのライトは、すべてバースト長が1となっています。バンクは、ACTVコマンドの間のロウ・アドレスによってアクティブにされます。ライトについては、レイテンシがないため、データは、カラム・アドレスと同じサイクルで出力されます。特定のバイトに対するライトは、適当なDQM入力によってディスエーブルすることができ、これによりバイト及びハーフ・ワードのライトが可能となっています。図9-26に、C6201/C6202/C6203/C6701での3ワードのライトのタイミングを示します。デフォルトのライト・バースト長が1ワードなので、3ワード・バーストを行うための新しいコマンドはどのサイクルでも発行されます。SDRAMのタイミング上の要求を満たすために、最後のライト・コマンドの後にアイドル・サイクルが挿入されます。バンクは、このサイクルの後でDCABコマンドによりインアクティブにされ、メモリー・インターフェイスは新しいページのアクセスを開始することができます。新しいアクセスがない場合には、ページ情報が無効となるまで、DCABコマンドは実行されません(9.4.2節を参照)。カラム・アクセスとDCABコマンドの間のEA[15:13]の値は、ACTVコマンドの間にラッチされた値となります。

図9-26. TM320C6201/C6202/C6203/C6701でのSDRAMへの3ワードのライト

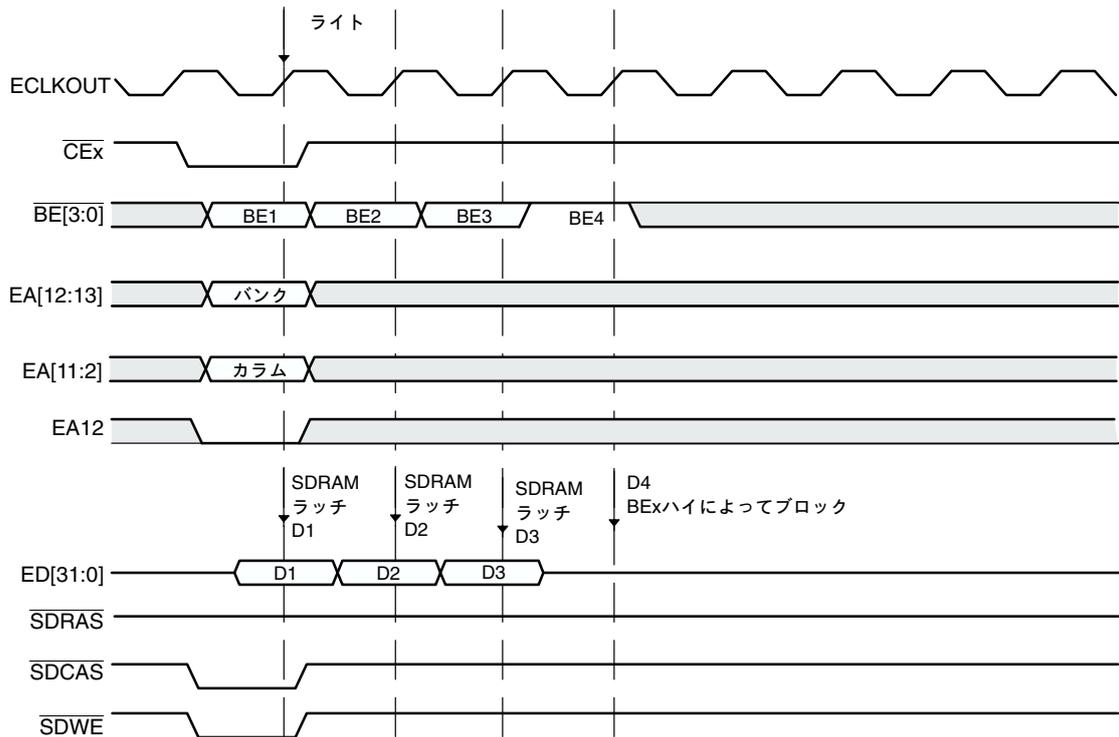


† クロックはC6201/C6701ではSDCLK、
C6202ではCLKOUT2

9.4.9.2 TMS320C6211/C6711 SDRAMライト

C6211/C6711では、すべてのSDRAMライトをバースト長4で行います。バンクは、ACTVコマンドの間のロウ・アドレスによってアクティブにされます。ライトについては、レイテンシがないため、データは、カラム・アドレスと同じサイクルで出力されます。特定のバイトに対するライトは、適当なDQM入力によってディスエーブルすることができ、これによりバイト及びハーフ・ワードのライトが可能となっています。図9-27に、C6211/C6711の3ワードのライトのタイミングを示します。デフォルトのC6211/C6711のライト・バースト長が4ワードなので、バイト・イネーブル信号によって最後のライトはマスクされます。C6211/C6711では、アイドル・サイクルは、SDRAM拡張レジスタ・フィールド(WR2RD、WR2DEAC、WR2WR、TWR)のパラメータの制御により挿入されます。C6211/C6711では、バンクはDEACコマンドによってインアクティブにされ、メモリー・インターフェイスは新しいページのアクセスを開始することができます。新しいアクセスがない場合には、ページ情報が無効となるまで、DEACコマンドは実行されません(9.4.2節を参照)。カラム・アクセスとDEACコマンドの間のEA[15:13]の値は、ACTVコマンドの間にラッチされた値となります。

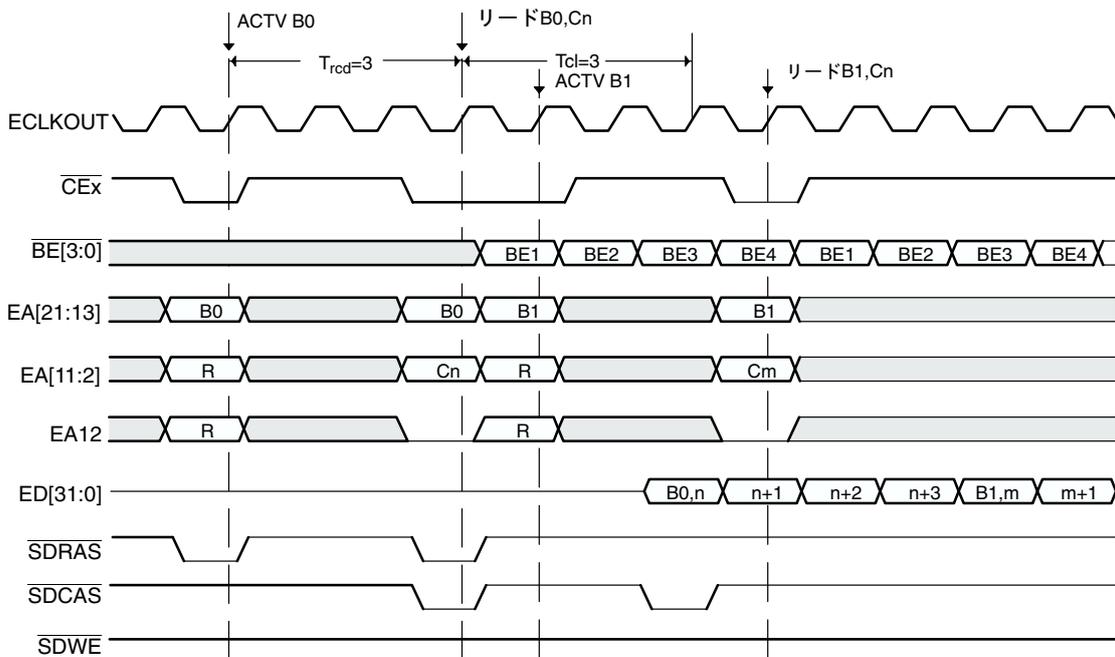
図9-27. TMS320C6211/C6711でのSDRAMへの3ワードのライト



9.4.10 TMS320C6211/C6711での連続的なデータ・アクセス

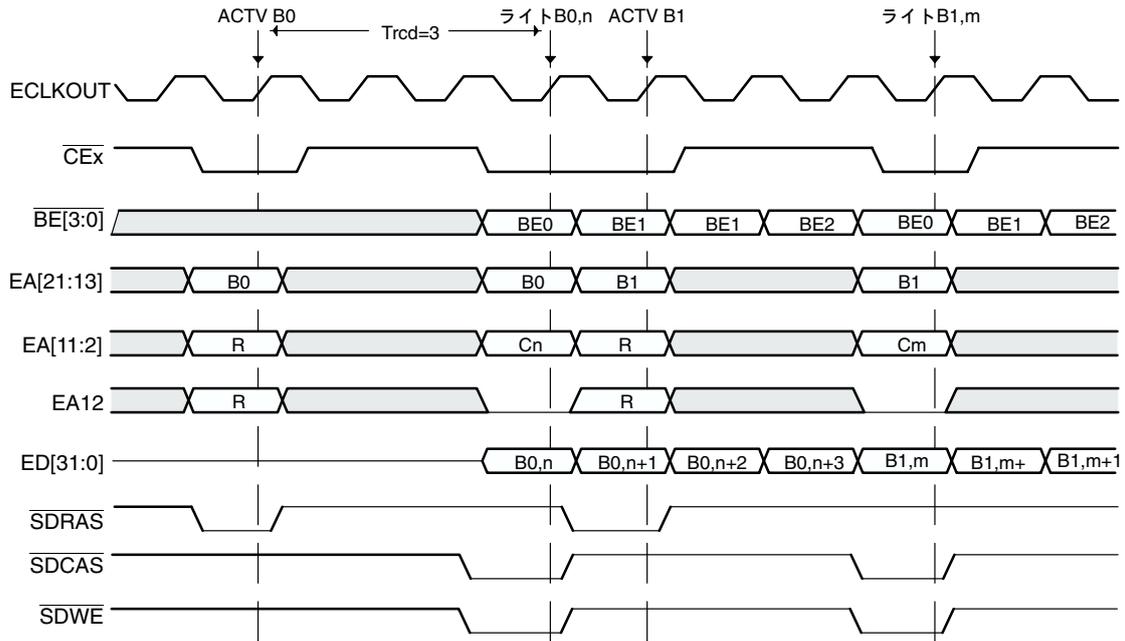
C6211/C6711では、4ワード・バーストでSDRAMへデータを転送し、1つのCE領域で最大4ページまで開くことができるので、このデバイスはSDRAMの複数ページに対して連続的にデータ転送を行うことができます。図9-28には、C6211/C6711が1つのCE領域の異なるページに対して2つの連続的なバースト・リードを行う例を示します。最初のページがACTVコマンドによって開かれ、 T_{rcd} によって制御されるディレイの後、最初のリード・バーストがバンク0に対して始まります。デフォルトでは4ワード・バーストが行われるので、C6211/C6711では、最初のリード・バーストが行われている間に、バンク1を開くためのACTVコマンドが発行され、余分なサイクルが必要ありません。最初のリード・バーストが終了しようとしているとき、バンク1へのリード・バーストが発行され、3サイクルのCASレイテンシにより、データは連続的になります。

図9-28. SDRAMの2ページからのバースト・リード



連続的なライト転送は同じ方法で実現されます。まず、バンク0が T_{rcd} サイクルの後に開かれ、ライト・バーストが開始します。最初のライト・バーストの間に、バンク1のページが開かれます。これによって、図9-29に示すように、バンク0へのライト・バーストが終了した直後に、バンク1へのライトを開始することができます。

図9-29. 連続的なSDRAMライト



9.5 SBSRAMインターフェイス

図9-30(C6201/C6202/C6203/C6701)及び図9-31(C6211/C6711)に示すように、EMIFは業界標準となっている同期式バーストSRAM(SBSRAM)と直接接続することができます。このメモリー・インターフェイスにより、SDRAMより柔軟に、高速なメモリー・インターフェイスを実現することができます。もっとも注目すべきは、SBSRAMはSRAMであるため、同じ方向(リードまたはライト)であれば、ランダムなアクセスが1サイクルで可能であるということです。SBSRAMインターフェイスは、C6201/C6701では、CPUのクロック・レートかこの1/2で動作させることができます。この選択は、EMIFグローバル・コントロール・レジスタのSSCRTビットの設定によって行います。C6202では、インターフェイスは1/2のレートのみ動作になります。また、C6211/C6711では、SBSRAMは外部クロックによって動作します。

4つのSBSRAMコントロール・ピンは、SSCLK信号の立ち上がりエッジでSBSRAMにラッチされて、動作の決定のために使用されます。これらのピンを表9-17に示します。これらの信号は、SBSRAMへのチップ・セレクト信号がローのときにのみ有効となります。

C6201/C6202/C6203/C6701では、SBSRAMの \overline{ADV} 信号はハイにします。これによって、SBSRAMの内部バースト・アドバンス・カウンタをディセーブルにします。C6201/C6202/C6203/C6701インターフェイスでは、各サイクルでSBSRAMに新しいアドレスを出力してバースト転送を行うことができます。

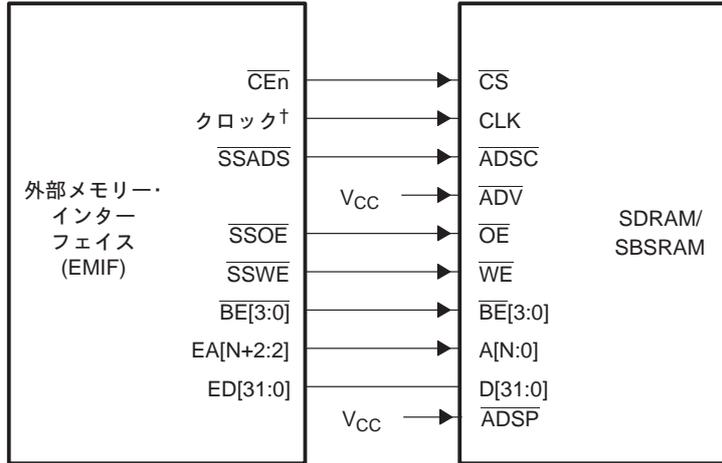
C6211/C6711インターフェイスでは、このSBSRAMの内部・アドバンス・カウンタを利用しません。このインターフェイスのために、 \overline{ADV} 信号はローにして、C6211/C6711からSBSRAMへのすべてのアクセスは4ワード・バーストであると想定します。任意のアクセスで、ランダム・アドレッシングが必要な場合、C6211/C6711はSBSRAMのバースト機能を止めて、SBSRAMに対して各サイクルで新しいコマンドを出力することで、これを実現します。表9-16に、リニア・バースト・モードでの、標準的なSBSRAMへの4ワード・バースト・シーケンスを示します。SBSRAMが意図していないアドレス(グレーで示された部分)へアクセスするのを避けるために、C6211/C6711はSBSRAMに対して新しいアドレスを出力します。これは、ランダム・リードの場合、または、バーストの順序がインクリメントしないものであったり、反対方向のバーストであったりする場合にも当てはまります。

表9-16. リニア・バースト・モードでのSBSRAM

	ケース1	ケース2	ケース3	ケース4
SBSRAMアドレス	A[1:0]	A[1:0]	A[1:0]	A[1:0]
EMIFアドレス	EA[3:2]	EA[3:2]	EA[3:2]	EA[3:2]
最初のアドレス	00	01	10	11
	01	10	11	00
	10	11	00	01
4つめのアドレス	11	00	01	10

C6202におけるSBSRAMインターフェイスは、SDRAMインターフェイスと統合されていることを除いて、C6201と同様です。C6202システムでは、この2つの同期メモリー・タイプのうち一方のみを使用することができます。

図9-30. TMS320C6201/C6202/C6203/C6701 SBSRAMインターフェイス



† クロックはC6201/C6701ではSSCLK、C6202/C6203ではCLKOUT2

図9-31. TMS320C6211/C6711SBSRAMインターフェイス

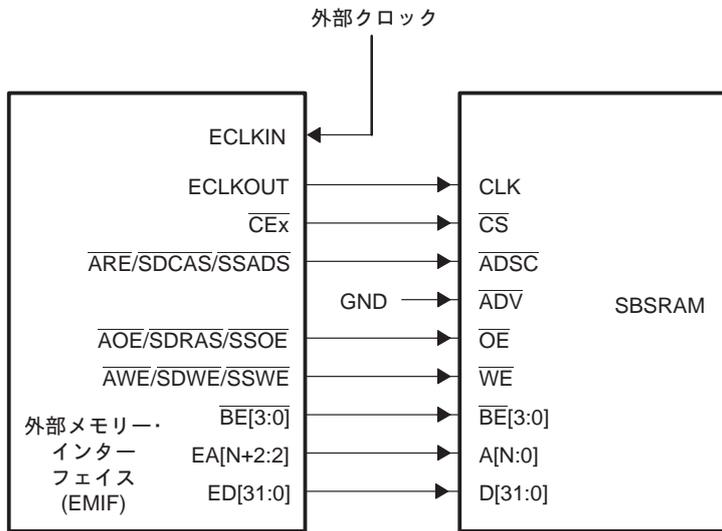


表9-17. EMIF SBSRAMピン

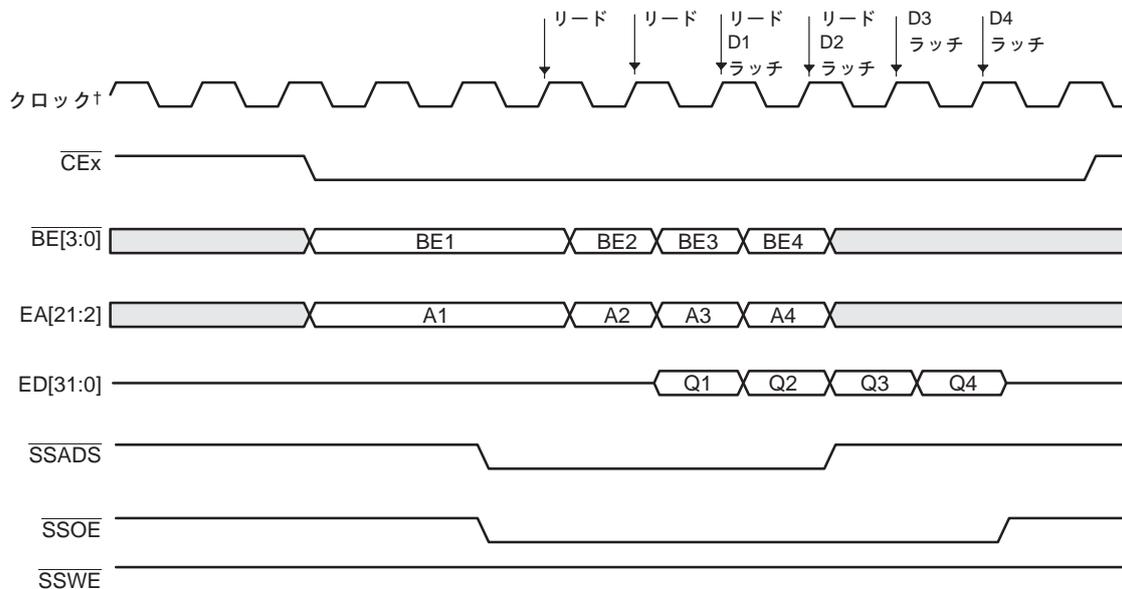
EMIF信号	SBSRAM信号	SBSRAM機能
\overline{SSADS}	\overline{ADSC}	アドレス・ストロープ
\overline{SSOE}	\overline{OE}	アウトプット・イネーブル
\overline{SSWE}	\overline{WE}	ライト・イネーブル
SSCLK/CLKOUT2/ECLKOUT	CLK	SBSRAMクロック

SBSRAMには、そのアーキテクチャ上、レイテンシが存在します。つまり、リード・データは、アドレスや制御情報に続いて出力されます。このため、EMIFは、リードとライトのコマンドの間にサイクルを挿入して、ED[31:0]バスで競合が発生するのを防止します。EMIFは、動作時間におけるペナルティを最小限にします。リードとライトを切り替えるためには、その最初で2サイクルのペナルティが課されます。一般的に、バースト・シーケンスにおける最初のアクセスについては、そのスタートにおいて2サイクルのペナルティが課されます。

9.5.1 SBSRAMリード

図9-32に、C6201/C6202/C6203/C6701におけるSBSRAMからの4ワードのリードを示します。それぞれのアクセスにおいて、SBSRAMには、 \overline{SSADS} ストロープのローによって示されるアドレスが渡されます。最初のアクセスには、スタート時の初期化のためのペナルティとして2サイクルが必要ですが、その後のアクセスは、単一のSSCLKサイクルの中で行われます。

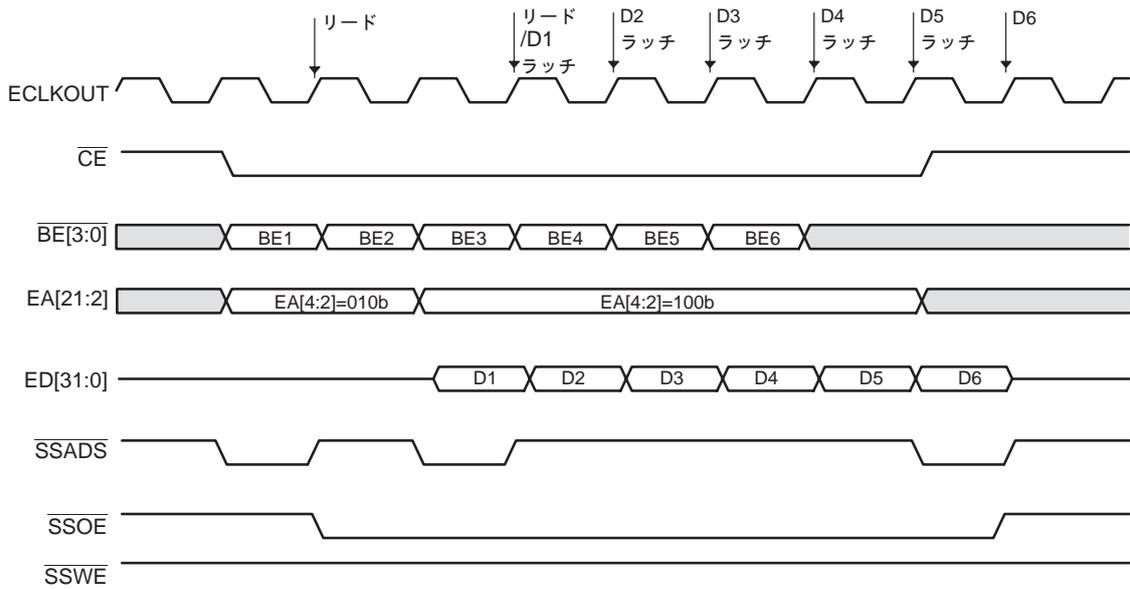
図9-32. SBSRAMにおける4ワードのリード



† クロックはC6201/C6701ではSSCLK、
C6202/C6203ではCLKOUT2

図9-33に、C6211/C6711における6ワードのリードのタイミングを示します。アドレスは、10bと等しいEA[3:2]から開始します。内部のバースト・カウンタが000bにならないように、新しいアドレスが3サイクル目でSBSRAMに渡されます。バーストは、SSADSがローの間にCE_nをディアサートすることでターミネイトされます。

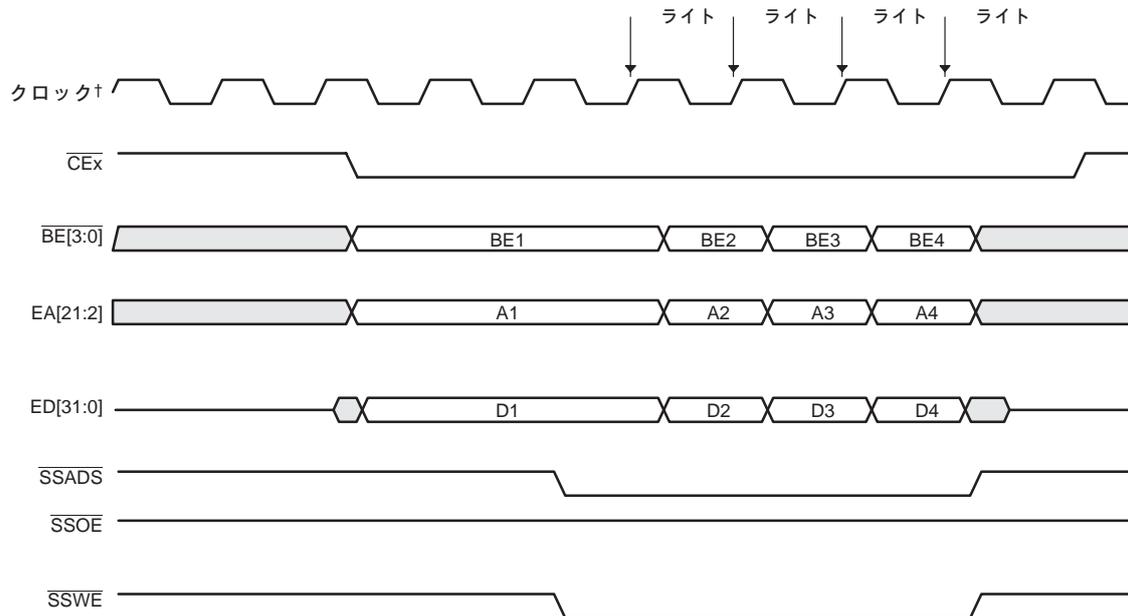
図9-33. TMS320C6211/C6711でのSBSRAMへの6ワードのリード



9.5.2 SBSRAMライト

図9-34に、SBSRAMに対する4ワードのライトを示します。それぞれのアクセスにおいて、新しいアドレスがSBSRAMに渡されます。最初のアクセスには、スタート時の初期化のためのペナルティとして2サイクルが必要ですが、その後のアクセスは、単一のSSCLKサイクルの中で行われます。

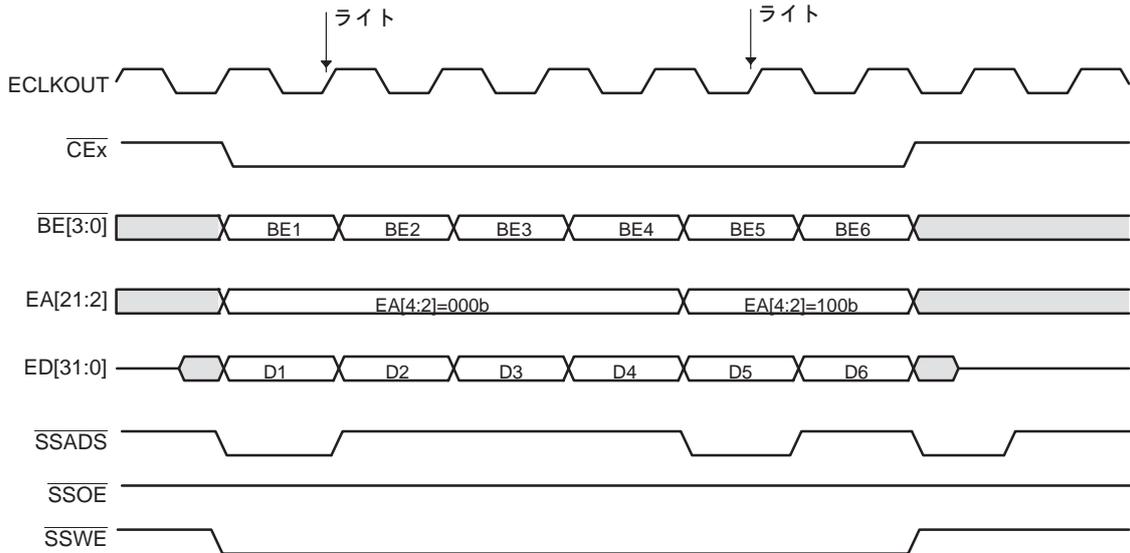
図9-34. TMS320C6201/C6202/C6203/C6701 SBSRAMへの4ワードのライト



† クロックはC6201/C6701ではSSCLK、
C6202/C6203ではCLKOUT2

図9-35に、C6211/C6711におけるSBSRAMへの6ワードのライトを示します。内部バースト・カウンタが000bにならないように、新しいアドレスが5サイクル目でSBSRAMに渡されます。

図9-35. TMS320C6211/C6711 SBSRAMライト



9.6 非同期型インターフェイス

非同期型のインターフェイスにより、メモリー・サイクルのタイプを設定することにより、SRAM、EPROM、フラッシュ・メモリー、それにFPGAやASICといったさまざまなメモリーやペリフェラルとのインターフェイスが可能となります。

表9-18に非同期インターフェイスのためのピンを示します。

図9-36に、標準的なSRAMとのインターフェイスを示します。図9-38、図9-39、図9-40には、C6201/C6202/C6203/C6701及びリトル・エンディアン・モードでのC6211/C6711における8ビット、16ビット、32ビットのROMとのインターフェイスを示します。ROMはどのCE領域にでもインターフェイスが可能ですが、C6201/C6202/C6203/C6701において、CE1領域は32ビット以下の幅で設定することができるので、CE1領域でよく使用されます。C6211/C6711では、すべてのCE領域で8/16ビットの非同期モードが可能です。図9-37には、C6211/C6711のビッグ・エンディアン・モードにおける16ビットSRAMとのインターフェイスを示します。唯一の違いは、ED[15:0]ではなく、ED[31:16]が使用されていることです。C6211/C6711の非同期インターフェイスは、SDRAMやSBSRAMインターフェイスと統合されていることを除いて、C6201と同様です。さらに、より長いリード・ホールド・タイムをサポートし、ROM以外のライト可能な非同期メモリーに対しても8ビット及び16ビットのインターフェイスが可能です。プログラマブルなターンアラウンド・タイム(TA)によって、バス衝突を避けるために、ユーザーがリードとライトの間に入れるサイクル数を制御することが可能です。

表9-18. EMIF非同期インターフェイス・ピン

EMIF信号	機能
\overline{AOE}	アウトプット・イネーブル、リード・アクセスの全期間を通じてアクティブ(ロー)
\overline{AWE}	ライト・イネーブル、ライト転送ストロークの間アクティブ(ロー)
\overline{ARE}	リード・イネーブル、リード転送ストロークの間アクティブ(ロー)
ARDY	レディ、メモリー・サイクルにウェイト・ステートを挿入するための入力

図9-36. TMS320C6201/C6202/C6203/C6701 EMIFから32ビットSRAMへのインターフェイス

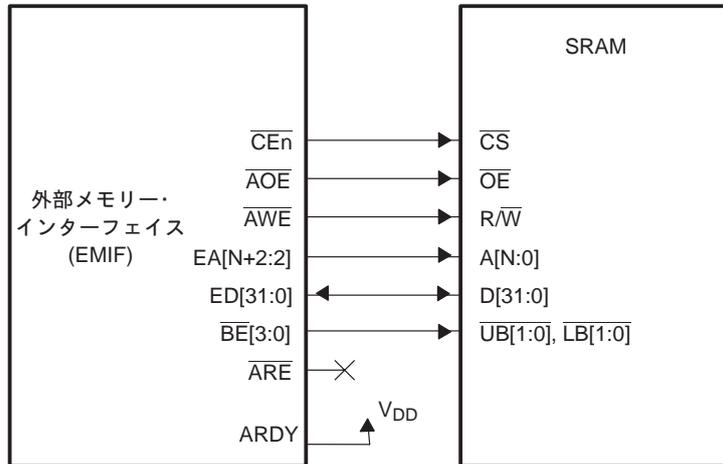
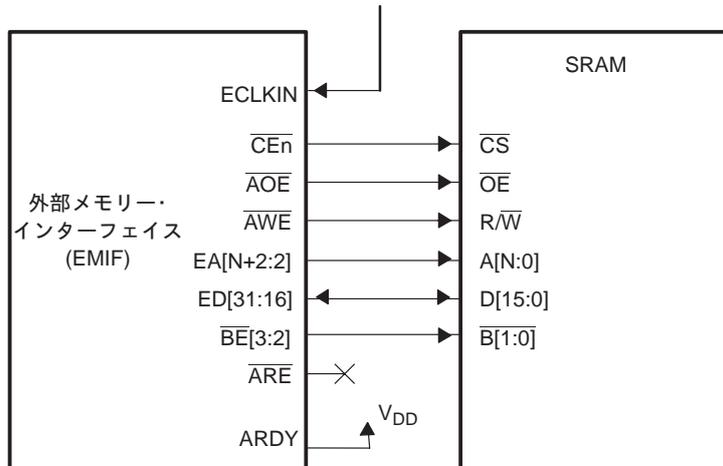


図9-37. TMS320C6211/C6711 EMIFから16ビットSRAMへのインターフェイス (ビッグ・エンディアン)



9

図9-38. EMIFから8ビットROMへのインターフェイス

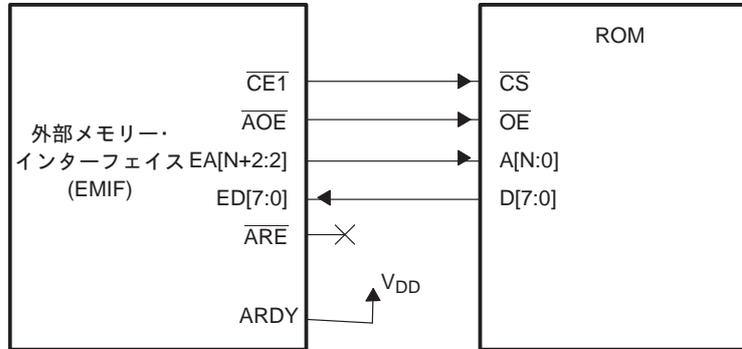


図9-39. EMIFから16ビットROMへのインターフェイス

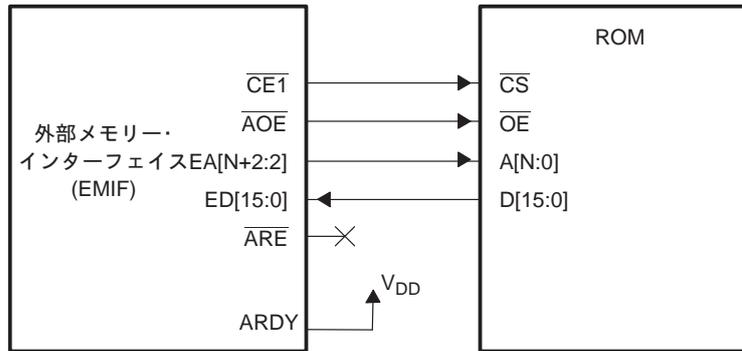
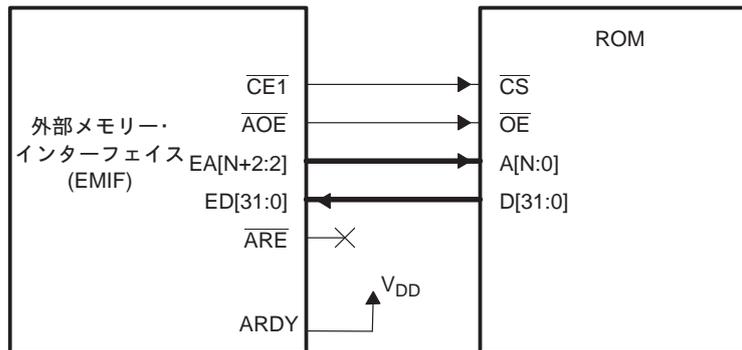


図9-40. EMIFから32ビットROMへのインターフェイス



9.6.1 TMS320C6201/C6202/C6701でのROMモード

EMIFでは、EMIF CE領域コントロールレジスタのMTYPEフィールドによって選択される、8ビットと16ビットのROMアクセスモードをサポートしています。これらの狭いビット幅のメモリー領域からデータをリードするため、EMIFでは、複数のリードの結果を32ビット幅にまとめる機能を持っています。このモードは、主に、8ビットや16ビットのROMデバイスへのワードアクセスを想定したものです。ROMについては、以下の制約が適用されます。

- リード動作は、アクセスのサイズやメモリーのビット幅に関係なく、常に32ビットのリードを行ないます。
- アドレスは、ビット幅の狭いメモリーに対するアドレスを生成するために、必要に応じてシフト・アップされます。シフト量は、16ビットのROMに対して1ビット、8ビットのROMに対して2ビットです。このように、アドレス・ビットの上位は、シフト・アウトされ、 \overline{CE} 領域がEAバスの全体にわたっている場合には、アクセスが重なり合うことになります。表9-19に、CE1の領域へのアクセスにおけるすべての非同期メモリー幅に対するEAバスにおけるアドレス・ビットを示します。
- EMIFは、常に、下位のアドレスを最初にリードし、これを最下位バイトにパックした後で、より高位のバイトをアクセスして、これをパックします。このように、ROMにおけるパックのフォーマットは、LENDIANビットの値に関係なく、常に、リトル・エンディアンとなります。

9

表9-19. 非同期メモリー幅に対するバイト・アドレスからEAへのマッピング

		EA線																				
		22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
データ幅		論理バイト・アドレス																				
×32		22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2
×16		21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
×8		20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

9.6.1.1 8ビットROM

8ビットROMモードでは、アドレスは、2ビット左シフトされてバイト・アドレスとしてEAに出力されバイト幅のROMのアクセスに使用されます。EMIFでは、常に、4バイト(バイト・アドレス=4N)の境界にアラインされた4つの連続したバイトをパックして、ワードのアクセスとします。各バイトは、4N、4N+1、4N+2、4N+3のアドレスの順序でフェッチされます。バイトは、最上位バイトから最下位バイトへ4N+3、4N+2、4N+1、4Nの順で、つまり、リトル・エンディアンの順で32ビットのワードにパックされます。

9.6.1.2 16ビットROM

16ビットROMモードでは、アドレスは、1ビット左シフトされてハーフ・ワード・アドレスとしてEAに出力されて16ビット幅のROMのアクセスに使用されます。EMIFでは、常に、4バイト(バイト・アドレス=4N)のバウンダリにアラインされた2つの連続したハーフ・ワードをパックして、ワードのアクセスとしています。各ハーフ・ワードは、4N、4N+2のアドレスの順序でフェッチされます。ハーフ・ワードは、最上位ハーフ・ワードから最下位ハーフ・ワードへ4N+2、4Nの順で、つまり、リトル・エンディアンの順で32ビットのワードにパックされます。

9.6.2 プログラマブルなASRAMのパラメータ

EMIFでは、非同期のアクセスを実現するために高いレベルのプログラマビリティを確保しています。プログラマブルなパラメータとしては以下のものがあります。

- セットアップ:** メモリー・サイクルの最初(\overline{CE} ロー、アドレス有効)からリードまたはライト・ストロブがアクティブとなるまでの時間
- ストロブ:** リード(\overline{ARE})またはライト(\overline{AWE})・ストロブがアクティブとなってからインアクティブとなるまでの時間
- ホールド:** リードまたはライト・ストロブがインアクティブとなってからサイクルの終わり(アドレスの変更または \overline{CE} 信号のインアクティブ)までの時間

C6201/C6202/C6203/C6701では、これらのパラメータは、EMIF CE領域コントロール・レジスタの中のフィールドの設定により、CPUクロック・サイクル単位で設定することができます。C6211/C6711では、これらのパラメータはECLKOUTサイクル単位で設定します。セットアップ、ストロブ、ホールドの各タイミング・パラメータは、リードとライトのアクセスについて、別々に指定することができます。非同期SRAMの最小値は以下の通りです。

- SETUP ≥ 1 (0は1として扱われます)
- STROBE ≥ 1 (0は1として扱われます)
- HOLD ≥ 0
- C6201/C6202/C6203/C6701では、連続的なアクセス、または、単一のアクセスの最初のアクセスで、SETUP期間は最低2サイクル必要です。

9.6.3 非同期リード

図9-41に、SETUP、STROBE、HOLDの値をそれぞれ、2、3、1に設定した場合の非同期リードの例を示します。非同期のリードは、次のように行われます。

- セットアップ期間の最初:
 - \overline{CE} がアクティブとなる
 - \overline{AOE} がアクティブとなる
 - $\overline{BE}[3:0]$ が有効となる
 - EAが有効となる

- ストロブ期間の最初で \overline{ARE} がアクティブとなる

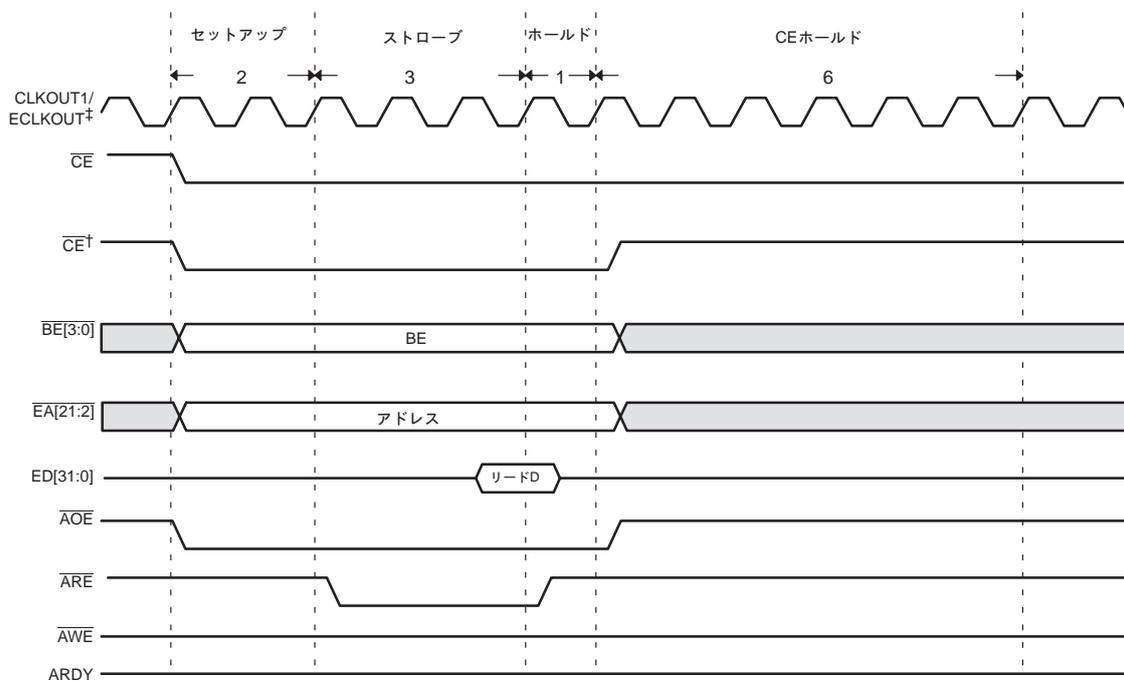
- ホールド期間の最初:
 - \overline{ARE} がインアクティブ(ハイ)となる
 - データがホールド期間の最初(ストロブ期間の終わり)で \overline{ARE} のローからハイへの遷移の直前のCLKOUT1の立ち上がりエッジでサンプルされる。

- ホールド期間の最後:次のサイクルで同じCE領域に対するリード・アクセスがスケジュールされていない限り、 \overline{AOE} がインアクティブとなる。

- C6201/C6202/C6203/C6701では、最後のアクセス(DMA転送またはCPUによるアクセス)の後に、CEは、7からリード・ホールド・サイクルの数を引いたサイクル数にわたりアクティブとなる。例えば、リード・ホールドが1であれば、CEは、6サイクルにわたって、アクティブとなる。これは、パフォーマンスに影響を与えるものではなく、EMIFのオーバーヘッドを反映するに過ぎない。

- C6211/C6711では、 \overline{CEn} 信号は、プログラムされたホールド期間の直後にハイになる。

図9-41. 非同期リードのタイミング例



† C6211/C6711では、 \overline{CE} は設定されたホールド期間の直後にハイになります。

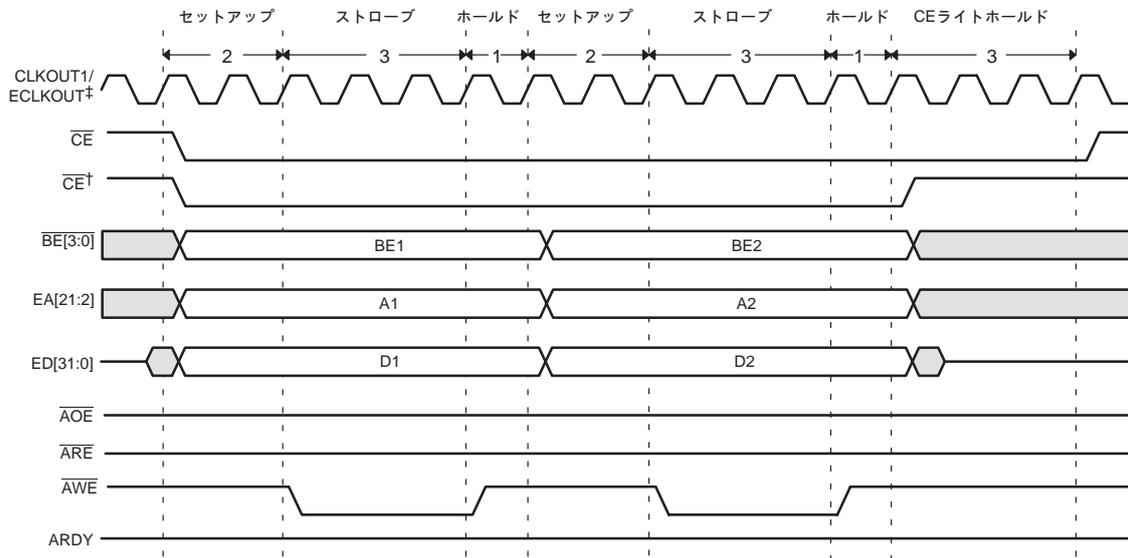
‡ C6201/C6202/C6203/C6701ではCLKOUT1、C6211/C6711ではECLKOUTを参照

9.6.4 非同期ライト

図9-42に、ARDY信号をプル・アップした状態(常にレディ状態)での2つの連続した非同期ライトサイクルを示します。 $\overline{\text{SETUP}}$ 、 STROBE 、 HOLD は、それぞれ、2、3、1にプログラムされています。

- セットアップ期間の最初:
 - $\overline{\text{CE}}$ がアクティブとなる。
 - $\overline{\text{BE}}[3:0]$ が有効となる。
 - EAが有効となる。
 - EDが有効となる。
 - 最初のアクセスについては、セットアップの最小値は2であり、その後のセットアップの最小値は1となる。
- ストロブ期間の最初で、 $\overline{\text{AWE}}$ がアクティブとなる。
- ホールド期間の最初:
 - $\overline{\text{AWE}}$ がインアクティブとなる。
- ホールド期間の最後:
 - 次のサイクルで同じ $\overline{\text{CE}}$ 領域へのライト・アクセスがスケジュールされていない場合に限り、EDがハイ・インピーダンス状態となる。
 - 次のサイクルで同じ $\overline{\text{CE}}$ 領域へのライト・アクセスがスケジュールされていない場合に限り、 $\overline{\text{CE}}$ がインアクティブとなる。
- C6201/C6202/C6203/C6701では、次のサイクルでライト・アクセスがスケジュールされており、HOLDに1以上の値が設定されている場合には、HOLDにプログラムされたホールド期間の後、3サイクルにわたり、CEがアクティブとなる。HOLDに0が設定されている場合には、 $\overline{\text{CE}}$ は、4サイクルにわたりアクティブとなる。これは、パフォーマンスに影響を与えるものではなく、EMIFのオーバーヘッドを反映するに過ぎない。
- C6211/C6711では、 $\overline{\text{CEn}}$ 信号は、設定されたホールド期間の直後にハイになる。

図9-42. 非同期ライトのタイミング例



† C6211/C6711では、 \overline{CE} は設定されたホールド期間の直後にハイになります。

‡ C6201/C6202/C6203/C6701ではCLKOUT1、C6211/C6711ではECLKOUTを参照

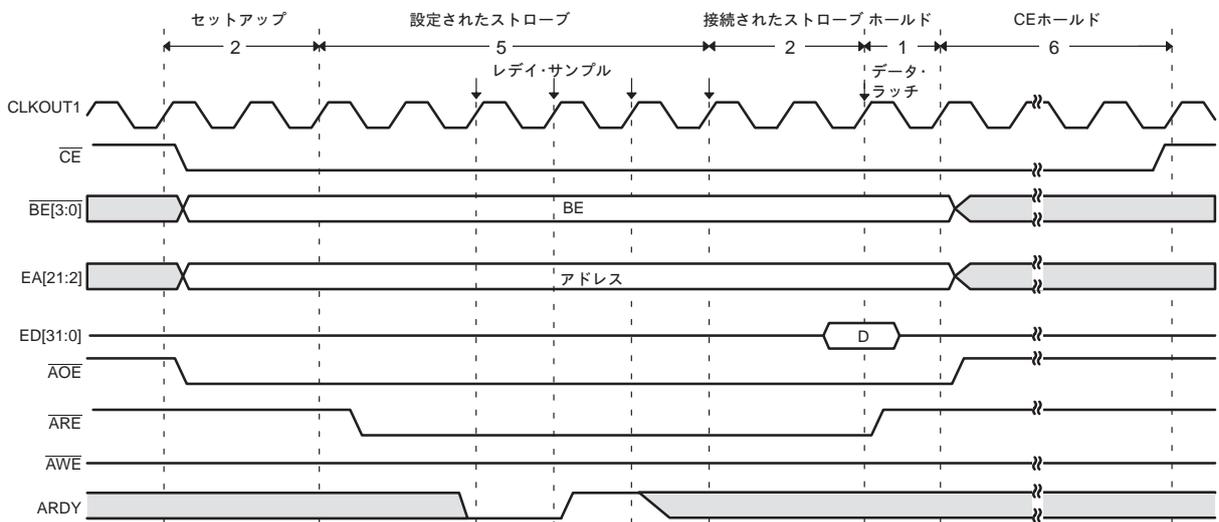
9.6.5 レディ入力

プログラマブルなアクセスの設定に加えて、ARDY入力をインアクティブとすることにより、ストロブ期間に追加のサイクルを挿入することができます。レディ入力は、内部的にCPUのクロックと同期しています。この同期により、安定性を保ちつつ非同期のARDYの入力が可能となっています。

- TMS320C6201/C6202/C6203/C6701動作:ARDYが、プログラムされたストロブ期間が終わる3つ前のCLKOUT1信号の立ち上がりエッジでローになっていると、ストロブ期間はCLKOUT1の1サイクルだけ延長されます。それ以降のCLKOUT1の立ち上がりエッジでARDYがローになっていると、ストロブ期間はさらにCLKOUT1の1サイクルだけ延長されます。したがって、外部ロジックによりインアクティブなARDY信号を生成して、有効に使用するためには、SETUP+STROBEを4以上に設定する必要があります。

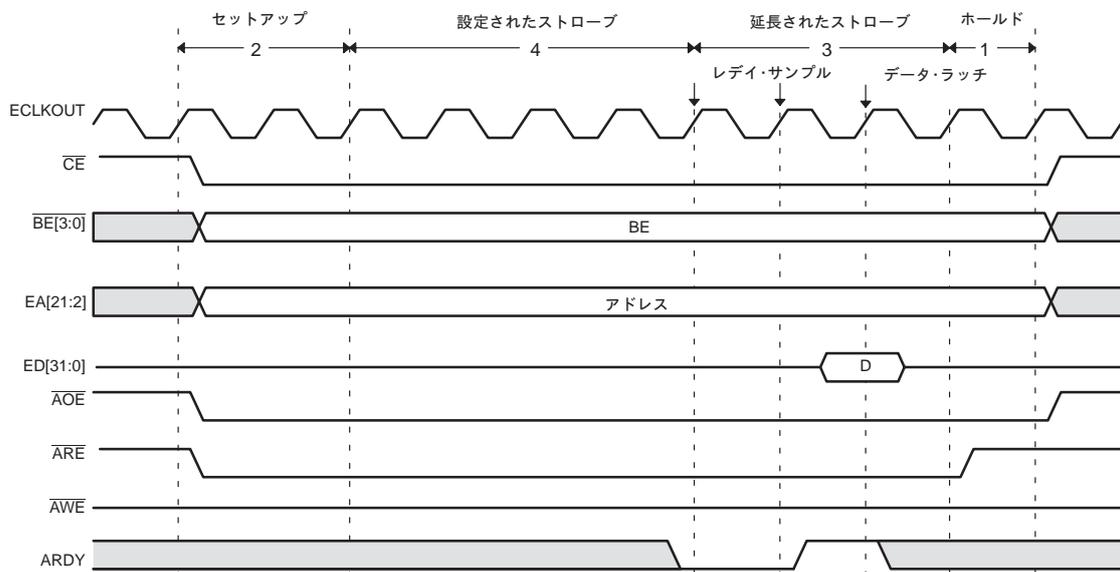
図9-43におけるレディ・サイクルは、C6201/C6202/C6203/C6701におけるレディ動作を示しています。

図9-43. TMS320C6201/C6202/C6203/C6701レディ動作



- TMS320C6211/C6711動作:プログラムされたストロブ期間が終わる最初のECLKOUTサイクルで、ARDYがサンプルされます。ARDYがローの場合、ストロブ期間が延長され、次のECLKOUTサイクルで再びサンプルされます。C6211は、ARDYがハイでサンプルされたサイクルで、リードデータをラッチします。AREは次のサイクルでハイになります。したがって、ストロブ期間は見かけ上、図9-44のように3サイクル拡張されますが、データは2サイクル後にラッチされます。

図9-44. TMS320C6211/C6711レディ動作



9.7 ホールド・インターフェイス

EMIFは、外部バスからのホールド・リクエストに反応します。ホールドのハンドシェイクによって、外部デバイスとEMIFの間で外部バスを共有することができます。ハンドシェイクには、以下の2つの信号を使います。

- **HOLD**: ホールド・リクエスト入力。**HOLD**は、内部的にCPUのクロックに対して同期しています。この同期により、安定性を保ちつつ非同期の入力が可能となっています。外部デバイスは、このピンをローにドライブすることにより、バス・アクセスのリクエストをします。**HOLD**は、EMIFが動作中に受け付けることができるリクエストのうちで最高の優先順位を持っています。ホールドがリクエストされると、EMIFは、可能な限り早い時期にバスのアクセスを停止しますが、このバスの停止には、現行のアクセスの完了、デバイスのインアクティブ化、SDRAMのバンクのインアクティブ化などの処理を伴うことがあります。外部デバイスは、バスを使用する間、**HOLD**をロー・レベルにドライブし続ける必要があります。**HOLD**の入力は、内部的にCPUのクロックと同期しています。メモリー領域の一部にSDRAMが割り当てられている場合には、外部のマスタにより**HOLD**がリリースされた後で、これらのメモリー領域をインアクティブにし、リフレッシュする必要があります。
- **HOLDA**: ホールド・アクノリッジ出力。EMIFは、信号出力をハイ・インピーダンス状態とした後でこの信号を出力します。これにより、外部デバイスは、必要に応じてバスをドライブすることができます。EMIFは、クロック信号出力であるCLKOUT1、CLKOUT2、SDCLK、SSCLKを除くすべての出力をハイ・インピーダンス状態とします。メモリー領域の一部にSDRAMが割り当てられている場合には、外部のマスタに対して**HOLDA**信号を出力する前に、これらのメモリー領域をインアクティブ化し、リフレッシュする必要があります。
- **BUSREQ**: バス・リクエスト出力(C6211/C6711のみ)。EMIFは、リクエストがEMIFに対してペンディングしていたり、進行中であるときに、この信号をアクティブにします。**BUSREQ**信号は、**HOLD/HOLDA**信号やペンディングしているアクセスの種類に関わらず出力されます。この信号は、必要であれば、外部マスタがバスの制御を開放するために使用でき、システムによっては使用しないこともあります。

注:

外部バスがバスを無期限に専有するといった事態を防ぐ方法はありません。リフレッシュの必要性などのシステム・レベルの問題についてあらかじめ検討しておく必要があります。

ホストによるリクエストの間、EMIFのリフレッシュ・カウンタは、リフレッシュ・リクエストの履歴を記録しますが、**HOLD**入力がインアクティブのレベルとなってバスの制御がEMIFに返されるまでは、リフレッシュ・サイクルは実行されません。EMIFのグローバル・コントロール・レジスタのNOHOLDビットをセットすることにより、外部デバイスによるホールドを防止することができます。

9.7.1 ホールド・インターフェイスにおけるリセットについて

リセット状態でホールド・リクエストがペンディングしている場合、EMIF出力は、デフォルト状態に短期間(5CLKOUT2/ECLKOUT以下)ドライブされます。つまり、他のメモリー・コントローラ・デバイスがバスに接続されている場合、アクティブ・ロー出力のストロブがハイになり、アドレス出力がドライブされます。(C6201/C6202/C6203/C6701ではアドレスはローにドライブされ、C6211/C6711では不定状態になります。)この短時間に反対の状態にドライブされると、データ衝突の可能性があります。複数のC6201/C6202/C6203/C6701デバイスが同じバスに接続されている場合、出力はすべて同じロジック・レベルにドライブされるので、出力バッファがすべてドライブされるこの短時間が、デバイスに影響をおよぼすことはありません。しかし、C6211/C6711デバイスではアドレスが不定状態で出力されるので、複数のC6211/C6711デバイスが同じバスに接続されている場合、データ衝突をおこす可能性があります。

9.8 メモリー・リクエストにおける優先順位

9.8.1 TMS320C6201/C6202/C6203/C6701メモリー・リクエストにおける優先順位

C6201/C6202/C6203/C6701EMIFでは、インターフェイスで競合する複数のリクエストがあります。表9-20に、複数のリクエストがペンディングとなっている場合にEMIFが使用する優先順位の判断基準を示します。この判断基準は、DMAを通じてリクエストを発行しているDMAチャンネルがより高い優先順位を持っている場合には、これを変更することができます。このモードは、DMAチャンネル・プライマリ・コントロール・レジスタのPRIビットをセットすることにより設定することができます。

リクエスト(この例では、リフレッシュ・コントローラがリクエストになっているとします)についての優先順位の決定と選択が一旦行われると、選択されたリクエストがリクエストを発生しなくなるか、より高い優先順位のリクエストが発生するまで、新しいリクエストは認識されません。この場合には、新しいリクエストがリクエストを発生する一方で、それまでにリクエストにより発行されたリクエストが処理されます。

EMIFグローバル・コントロール・レジスタのアービトレーション・ビットがセット(RBTR8=1)された状態で、リクエストがEMIFの制御を得ると、リクエストがEMIFを必要とする限り、または8ワードのリクエストが発生した場合には、より高い優先順位のリクエストがEMIFに対するリクエストを発生するまで、そのリクエストはEMIFの制御を保持し続けます。より高い優先順位を持ったリクエストがEMIFを必要とする場合には、現行のコントローラが制御を放棄し、または8ワードのリクエストが終了するまで、EMIFの制御を得ることができません。アービトレーション・ビットがセットされていない(RBTR8=0)状態で、リクエストがEMIFの制御を得ると、リクエストがEMIFを必要とする限り、または、より高い優先順位のリクエストが発生するまで、リクエストはEMIFの制御を保持し続けます。現行のコントローラは、発生したリクエストの数に関係なく、高い順位を持ったリクエストにより割り込みを発生されます。

表9-20. TMS320C6201/C6202/C6203/C6701 EMIFにおけるリクエストの優先順位

優先順位	リクエスト PRI=1	リクエスト PRI=0
高い	外部ホールド	外部ホールド
	モード・レジスタ・セット	モード・レジスタ・セット
	アージェント・リフレッシュ	アージェント・リフレッシュ
	DMA	DMC
	DMC	PMC
	PMC	DMA
低い	トリクル・リフレッシュ	トリクル・リフレッシュ

9.8.2 TMS320C6211/C6711メモリー・リクエストにおける優先順位

C6211/C6711では、データ・メモリー・コントローラ(DMC)、プログラム・メモリー・コントローラ(PMC)、EDMAがEDMAによって処理されるので、インターフェイスにおけるリクエストは少なくなります。他のリクエストとしては、ホールド・インターフェイス、内部EMIF動作、モード・レジスタ・セット(MRS)、リフレッシュ(REFR)があります。

表9-21. TMS320C6211/C6711 EMIFにおけるリクエストの優先順位

優先順位	リクエスト
高い	外部ホールド
	モード・レジスタ・セット
	リフレッシュ
	EDMA-DMC
	EDMA-PMC
	EDMA-DMA
低い	

9.9 EMIFレジスタへのライト時のバウンダリ条件

EMIFは、いくつかの内部レジスタにより、メモリー・タイプ、非同期メモリーのタイミング、SDRAMのリフレッシュ、SDRAMの初期化(MRSコマンド)、クロックの速度、アービトレーションのタイプ、HOLD/NOHOLDの条件などを設定することができます。

データのリードまたはライトに障害を発生させる要因としては、以下のものが考えられます。

- CE領域への外部アクセスがアクティブである間におけるCE0、CE1、CE2またはCE3領域コントロール・レジスタへのライト
- 外部動作の最中(SDRAMの初期化中等)におけるCEコントロール・レジスタのメモリー・タイプ(MTYPE)の変更
- ホールド・ピンがアクティブである間のNOHOLDの設定状態の変更
- 複数のEMIFリクエストがペンディングとなっている状態でのEMIFグローバル・コントロール・レジスタのRBTR8の変更
- $\overline{\text{HOLD}}$ 入力または $\overline{\text{HOLDA}}$ 出力がアクティブである間のSDRAMコントロール・レジスタのINITビットへのライト
 - SDRAM INITビットをセットする前に、EMIFグローバル・コントロール・レジスタによってホールド機能がアクティブであるかどうかを確認することができます。また、SDRAM INITビットへのライトの直後にも、2つのイベントが同時に発生することのないように、EMIFグローバル・コントロール・レジスタを確認する必要があります。
 - EMIFグローバル・コントロール・レジスタはHOLD/HOLDAを検出するためのステータスを持っています。

9.10 クロック出力イネーブル

EMIの問題を低減するために、EMIFでは、CLKOUT2、CLKOUT1、SSCLK、それにSDCLKをディスエーブル(ハイ・レベルに固定)することができます。この設定は、ページ9-10の図9-6に示すEMIFグローバル・コントロール・レジスタのCLK2EN、CLK1EN、SSCEN、それにSDCENのビットに0をライトすることによって行ないます。レジスタ・フィールドについては、9-11ページの表9-3に解説があります。

9.11 エミュレーション・ホールド間の動作

EMIFは、エミュレーション・ホールドの間にも動作を続けます。エミュレータのEMIFへのアクセス動作は、実際のデバイスの動作とは異なっている場合があります。この相違により、ホールド動作の後で、スタートアップのペナルティが発生する場合があります。

9.12 パワー・ダウン

パワー・ダウン2のモードでは、リフレッシュがイネーブルされます。SSCLK、CLKOUT1、CLKOUT2は、パワー・ダウン2とパワー・ダウン3のモードでは、ロー・レベルに固定されます。パワー・ダウン3のモードでは、EMIFは、リセット時と同様の動作をします。パワー・ダウン・モードについての詳細は、「第14章 パワー・ダウン・ロジック」を参照してください。

C6211/C6711では、ECLKINが供給されている場合、リフレッシュが発行されます。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといたします)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIJといたします)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIJは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIJが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメータに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIJは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIJは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIJが第三者の製品もしくはサービスについて情報を提供することは、TIJが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIJは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIJにより示された数値、特性、条件その他のパラメータと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIJは、そのような説明については何の義務も責任もありません。

TIJは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIJがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIJが特別に指定した製品である場合は除きます。TIJが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIJが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIJがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIJは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上