

C6000ペリフェラルズリファレンス・ガイドに関する 参考資料(JTAGエミュレーションのための設計)

アプリケーション技術部

アブストラクト

本資料は、日本語版TMS320C6000ペリフェラルズリファレンス・ガイドのうち「第15章 JTAGエミュレーションのための設計」を抜粋したものです。

この資料は日本テキサス・インスツルメンツ(日本TI)が、お客様がTIおよび日本TI製品を理解するための一助としてお役に立てるよう、作成しております。製品に関する情報は随時更新されますので最新版の情報を取得するようお勧めします。TIおよび日本TIは、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。また、TI及び日本TIは本ドキュメントに記載された情報により発生した問題や障害等につきましては如何なる責任も負いません。

本文章について

本資料は、「TMS320C6000 Peripherals Reference Guide」(spru190c)を翻訳したTMS320C6000ペリフェラルズリファレンス・ガイド(spru537)の「第15章 JTAGエミュレーションのための設計第7章 ホストポート・インターフェイス」を抜粋したものです。

元となった英語版文書はのちに改定され、現在はC6000デバイスのペリフェラルの概要のみを述べる資料となっています。ペリフェラルの詳細説明に関しては、ペリフェラル固有のリファレンス・ガイドを用意しています。

本資料は、日本語でのペリフェラル理解の手助けのために、英語版ペリフェラル・リファレンス・ガイドの参考資料として用意しました。ペリフェラルの詳細につきましては、必ず最新の英語版リファレンス・ガイド及びデータシートをご参照ください。

参考文献

1. TMS320C6000 DSP Peripherals Overview Reference Guide (SPRU190)
2. TMS320C6000 DSP Designing for JTAG Emulation Reference Guide (SPRU641)

JTAGエミュレーションのための設計

この章では、JTAGの設計に関するXDS510の設計上の要求事項を満たすための手法について述べるとともに、XDS510のケーブル(製造部品番号 2617698-0001)について解説します。このケーブル・ポッドは、**JTAG 3/5V**のマークがあるラベルによって識別することができ、ターゲット・システムの電源入力について3Vと5Vの2つの標準をサポートしています。

このリファレンスで使用するJTAGの用語は、IEEE 1149.1の技術基準に基づいたTIのスキーマベース・エミュレーションをいうものとしします。

Topic	Page
15.1 ターゲット・システムの エミュレータ・コネクタの設計(14ピン・ヘッダ型)	15-2
15.2 バス・プロトコル	15-3
15.3 IEEE 1149.1スタンダード	15-3
15.4 JTAG エミュレータ・ケーブル・ポッド・ロジック	15-4
15.5 JTAG エミュレータ・ケーブル・ポッド信号タイミング	15-5
15.6 エミュレーション・タイミングの算出	15-6
15.7 エミュレータとターゲット・システムの接続	15-8
15.8 14ピン・エミュレータ・コネクタの寸法	15-12
15.9 エミュレーションの設計における留意事項	15-14

15.1 ターゲット・システムのエミュレータ・コネクタ設計(14ピン・ヘッダ型)

JTAGのターゲット・デバイスは、専用のエミュレーション・ポートを通じてエミュレーションをサポートします。このポートは、IEEE 1149.1標準のスーパーセットであり、エミュレータによってアクセスされます。エミュレータとの通信のためには、ターゲット・システムは、図15-1に示すような14ピン・ヘッダ(7ピン2列)を持っていないければなりません。表15-1にエミュレーションの信号を解説します。

図15-1. 14ピン・ヘッダの信号とヘッダの寸法

TMS	1	2	TRST
TDI	3	4	GND
PD (Vcc)	5	6	no pin (key) [†]
TDO	7	8	GND
TCK_RET	9	10	GND
TCK	11	12	GND
EMU0	13	14	EMU1

ヘッダ寸法
 ピン間隔:0.1 インチ(x,y)
 ピン幅:0.025 インチの四角柱
 ピン長:0.235 インチ(標準)

[†] 逆差し防止のため、第6ピンのケーブル・コネクタはピンが挿入できないようになっています。また、回路図やこのリファレンスの接続図に示すように第6ピンに対応するケーブルはグラウンドに接続されています。

表15-1. 14ピン・ヘッダの信号解説

信号	解説	エミュレータのスタート [†]	ターゲットのスタート [†]
TMS	テスト・モード選択	0	1
TDI	テスト・データ入力	0	1
TDO	テスト・データ出力	1	0
TCK	テスト・クロック。TCKは、エミュレーション・ケーブル・ポッドからの10.368MHzのクロック・ソースです。この信号は、システムのテスト・クロックをドライブするために使用することができます。	0	1
TRST [‡]	テスト・リセット	0	1
EMU0	エミュレーション・ピン0	1	I/O
EMU1	エミュレーション・ピン1	1	I/O
PD(Vcc)	接続検出。エミュレーション・ケーブルが接続されており、ターゲットに電源が投入されていることを示します。PDは、ターゲット・システムのVccに接続します。	1	0
TCK_RET	TCK_RET テスト・クロックのリターン。エミュレータへのテスト・クロック入力。バッファされた、またはバッファなしのTCKを使用することができます。	1	0
GND	グラウンド		

[†] 1=入力;0=出力

[‡] TRSTには、プルアップ抵抗を使用しないでください。TRSTは、内部にプル・ダウンのデバイスを持っています。

ノイズの少ない環境では、TRSTをフローティングの状態にしておくことができます。ノイズの多い環境では、追加のプル・ダウン抵抗が必要となる場合があります。(この抵抗のサイズは、電流値を考慮して選択する必要があります。)

他のヘッダを使用することもできますが、推奨パーツを以下に示します。

ストレート・ヘッダ(ポスト・フードなし)	デュボン・コネクタ・システムズ
	部品番号 65610-114
	65611-114
	67996-114
	67997-114

15.2 バス・プロトコル

IEEE 1149.1の仕様は、テスト・アクセス・ポート(TAP)バス・スレーブ・デバイスについての要求事項をカバーしており、以下にまとめる一定のルールが適用されます。

- TMS/TDIへの入力は、デバイスのTCK信号の立ち上がりエッジでサンプルされる。
- TDO出力は、デバイスのTCK信号の立ち下がりエッジでクロックされる。

これらのデバイスがデジチェーンで接続されると、1つのデバイスのTDOは、次のデバイスのTDI信号に対してTCKサイクルの約半分のセット・アップ時間を持ちます。このようなタイミングの構成により、TDOとTDIがともにTCKの同じエッジを基準として動作した場合に生じる競合状態を最小限とすることができます。このタイミング構成の欠点としては、TCK周波数を大きくとることができないことです。

IEEE 1149.1の仕様は、バス・マスタ(エミュレータ)デバイスについてのルールを定めていません。その代わりに、仕様では、バス・マスタがバス・スレーブと互換性のあるタイミングを発生するよう定めています。XDS510では、バス・スレーブのルールを満たすタイミングを発生します。

15.3 IEEE 1149.1スタンダード

IEEE 1149.1についてのより詳細な情報については、IEEEのカスタマ・サービスまでお問い合わせください。

Address: IEEE Customer Service
445 Hoes Lane, PO Box 1331
Piscataway, NJ 08855-1331

Phone: (800)678-IEEE in the US and Canada
(908)981-1393 outside the US and Canada

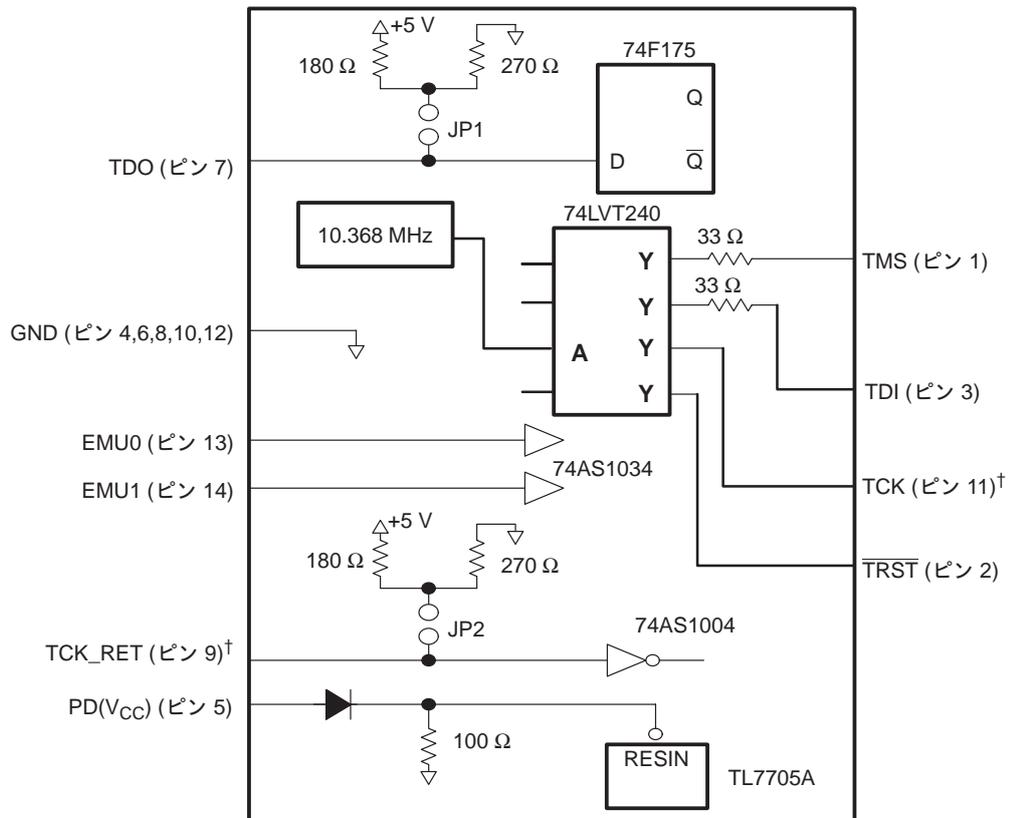
FAX: (908)981-9667 Telex: 833233

15.4 JTAG エミュレータ・ケーブル・ポッド・ロジック

図15-2に、エミュレータのケーブル・ポッドの一部を示します。ポッドの機能的な特徴としては、以下のものがあります。

- アプリケーションに応じて、TDO信号とTCK_RET信号は、ポッド内においてパラレルに終端することができます。デフォルトでは、これらの信号は終端されていません。
- TCK信号は、74LVT240デバイスでドライブされます。大電流でのドライブ(32mA IOL/IOH)なので、この信号は、パラレルに終端することができます。TCKがTCK_RETに接続されている場合には、ポッドの中のパラレル・ターミネータを使用することができます。
- TMS信号とTDI信号は、IEEE 1149.1バス・スレーブ・デバイス・タイミング・ルールに従って、TCK_RETの立ち下がりエッジによって生成することができます。
- TMS信号とTDI信号は、信号の反射を低減するため、シリーズに終端されます。
- 10.368MHzのテスト・クロックが供給されます。柔軟性を高めるため、独自のクロックを供給することもできます。

図15-2. JTAGエミュレータ・ケーブル・ポッドのインターフェイス



† エミュレータ・ポッドでは、内部同期のためにTCK_RETをクロック・ソースとして使用しています。TCKは、オプションの、ターゲット・システム・テスト・クロック・ソースとして供給されます。

15.5 JTAG エミュレータ・ケーブル・ポッド信号タイミング

図15-3に、エミュレータ・ケーブル・ポッドの信号のタイミングを示します。表15-2に、タイミング・パラメータの定義を示します。タイミング・パラメータは、エミュレータとケーブルのスタンダード・データ・シートに規定された数値から算出されたものであり、参考のためだけにのみ使用されます。弊社は、これらのタイミングを検証し、保証するものではありません。

エミュレータ・ポッドは、TCK_RETを内部同期のためのクロック・ソースとして使用しています。TCKは、オプションのターゲット・システム・テスト・クロック・ソースとして供給されます。

図15-3. JTAG エミュレータ・ケーブル・ポッドのタイミング

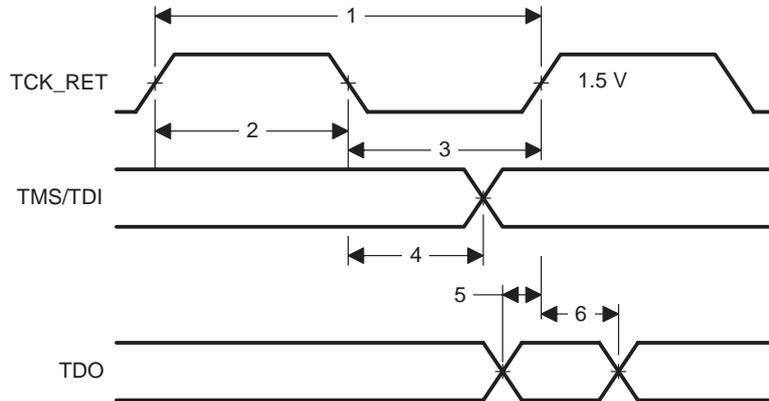


表15-2. エミュレータ・ケーブル・ポッドのタイミング・パラメータ

No.	信号名	解説	最大	最小	単位
1	$t_c(\text{TCK})$	TCK_RET周期	35	200	ns
2	$t_w(\text{TCKH})$	TCK_RETハイ・レベル・パルス幅	15		ns
3	$t_w(\text{TCKL})$	TCK_RETロー・レベル・パルス幅	15		ns
4	$t_d(\text{TMS})$	遅延時間、TCK_RETのローからTMS/TDIが有効となるまでの期間	6	20	ns
5	$t_{su}(\text{TDO})$	TCK_RETハイに対するTDOのセットアップ・タイム	3		ns
6	$t_h(\text{TDO})$	TCK_RETハイに対するTDOのホールド・タイム	12		ns

15.6 エミュレーション・タイミングの算出

以下の例にならって、システムにおけるエミュレーション・タイミングを計算することができます。現実のターゲットにおけるタイミングのパラメータについては、それぞれのデバイスのデータシートを参照してください。

仮定

$t_{su}(TTMS)$	TCKハイまでのターゲットのTMS/TDIセットアップ時間	10 ns
$t_d(TTDO)$	TCKローからターゲットTDOの遅延時間	15 ns
$t_d(bufmax)$	ターゲット・バッファ最大遅延時間	10 ns
$t_d(bufmin)$	ターゲット・バッファ最小遅延時間	1 ns
$t_{(bufskew)}$	同じパッケージの2つのデバイス間のターゲット・バッファ・スキュー $[t_d(bufmax) - t_d(bufmin)] \times 0.15$	1.35 ns
$t_{(TCKfactor)}$	40/60デューティ・サイクル・クロックを仮定	0.4 (40%)

表15-2 (15-5ページ)における条件

$t_d(TMSmax)$	TCK_RETローからのエミュレータのTMS/TDIの最大遅延時間	20 ns
$t_{su}(TDOmin)$	エミュレータTCK_RETハイまでのTDOの最小セットアップ・タイム	3 ns

エミュレーションの設計において考慮すべき次の2つの重要なタイミング・パスがあります。

- $t_{pd}(TCK_RET-TMS/TDI)$ とよばれるTCK_RETからTMS/TDIへのパス
- $t_{pd}(TCK_RET-TDO)$ とよばれるTCK_RETからTDOへのパス

次の2つの場合には、ワースト・ケースでのパス遅延を算出して、システムのテスト・クロック周波数の最大値を求めます。

ケース1: シングル・プロセッサ、直接接続、TMS/TDIはTCK_RETのローを基準として動作

$$\begin{aligned}
 t_{pd}(TCK_RET-TMS/TDI) &= \frac{[t_d(TMSmax) + t_{su}(TTMS)]}{t_{(TCKfactor)}} \\
 &= \frac{[20ns + 10ns]}{0.4} \\
 &= 75ns \text{ (13.3 MHz)} \\
 t_{pd}(TCK_RET-TDO) &= \frac{[t_d(TTDO) + t_{su}(TDOmin)]}{t_{(TCKfactor)}} \\
 &= \frac{[15ns + 3ns]}{0.4} \\
 &= 45ns \text{ (22.2 MHz)}
 \end{aligned}$$

この場合には、TCK_RETからTMS/TDIへのパスが制限要因となります。

ケース2: シングル/マルチプロセッサ、TMS/TDI/TCKバッファ付き入力、TDOバッファ付き出力、TMS/TDIはTCK_RETのローを基準として動作

$$\begin{aligned} t_{pd}(\text{TCK_RET-TMS/TDI}) &= \frac{[t_d(\text{TMSmax}) + t_{su}(\text{TTMS}) + t_{(bufskew)}]}{t_{(\text{TCKfactor})}} \\ &= \frac{[20\text{ns} + 10\text{ns} + 1.35\text{ns}]}{0.4} \\ &= 78.4\text{ns} \quad (12.7 \text{ MHz}) \end{aligned}$$

$$\begin{aligned} t_{pd}(\text{TCK_RET-TDO}) &= \frac{[t_d(\text{TTDO}) + t_{su}(\text{TDOmin}) + t_d(\text{bufmax})]}{t_{(\text{TCKfactor})}} \\ &= \frac{[15\text{ns} + 3\text{ns} + 10\text{ns}]}{0.4} \\ &= 70\text{ns} \quad (14.3 \text{ MHz}) \end{aligned}$$

このケースでは、TCK_RETからTMS/TDIへのパスが制限要因となります。

マルチ・プロセッサのアプリケーションでは、EMU0-1ラインにおいてロー・レベルからハイ・レベルへの遷移が10 μ s以内で行われる必要があります。これは、以下のように計算されます。

$$\begin{aligned} t_r &= 5(R_{\text{pullup}} \times N_{\text{devices}} \times C_{\text{load_per_device}}) \\ &= 5(4.7 \text{ k}\Omega \times 16 \times 15 \text{ pF}) \\ &= 5.64 \mu\text{s} \end{aligned}$$

15.7 エミュレータとターゲット・システムの接続

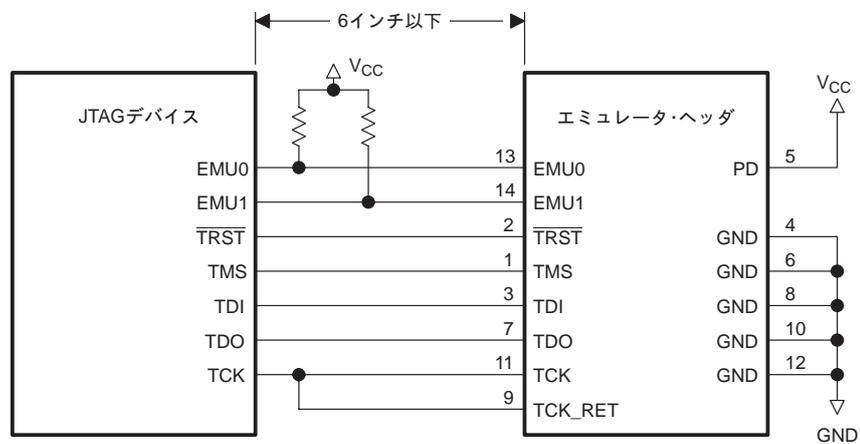
エミュレータとJTAGターゲット・システムの高品質な信号を供給することが非常に重要です。エミュレータとターゲットに期待する動作を行わせるために、状況に応じて信号のバッファリング、テスト・クロックの入力、それに複数のプロセッサの接続を正しく行なう必要があります。

JTAGターゲット・デバイスのEMU0とEMU1のピンの信号は、入力となったり出力となったりすることがあります。一般的には、これらのピンは、マルチプロセッサ・システムにおいては、グローバルな実行/停止の動作を実行するために、入力及び出力の両方として使用されます。XDS510エミュレータのヘッダに対しては、EMU0とEMU1は入力としてのみ使用されます。

15.7.1 バッファ信号

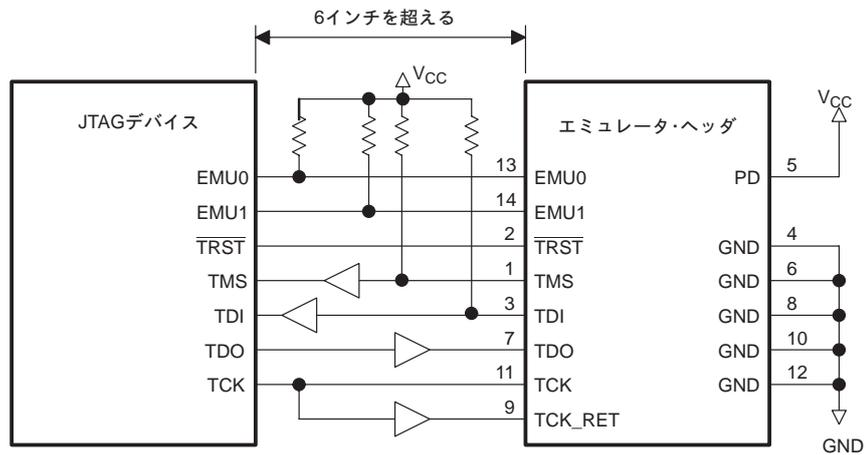
エミュレーション・ヘッダとJTAGターゲット・バッファの距離が6インチ以上ある場合には、エミュレーションの信号をバッファする必要があります。距離が6インチ未満であるときは、バッファリングは必要とされません。2つの場合を下記の図に示します。

- 信号バッファなし:** この場合には、ヘッダとJTAGターゲット・デバイスの距離は、6インチを超えてはなりません。



EMU0とEMU1の信号は、信号の立ち上がり時間を $10\mu\text{s}$ 以下にするために、プルアップ抵抗によってVCCに接続されなければなりません。多くのアプリケーションでは、 $4.7\text{k}\Omega$ の抵抗が使用されます。

- **送信信号をバッファ:** この場合には、エミュレーション・ヘッドとプロセッサの距離は6インチを超えます。エミュレーション信号のTMS、TDI、TDO、それにTCK_RETは、同じパッケージを通じてバッファされます。

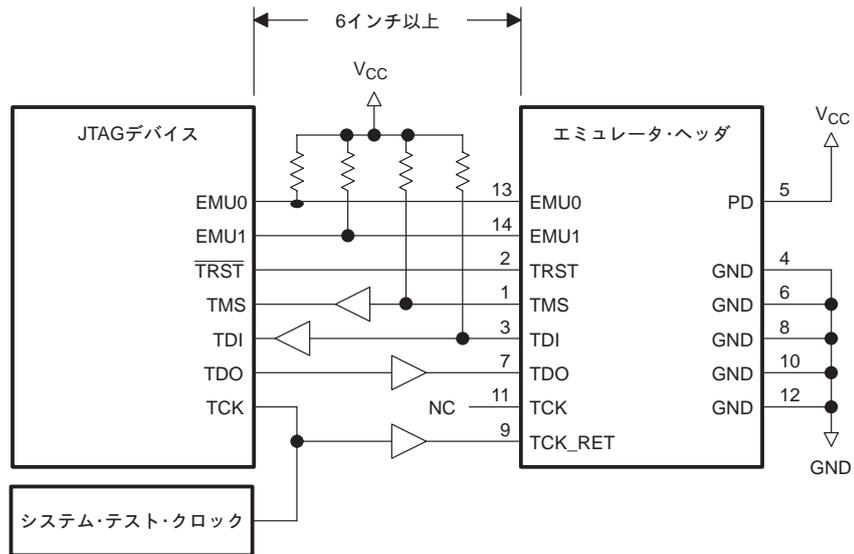


- EMU0とEMU1の信号は、信号の立ち上がり時間を $10\mu\text{s}$ 以下にするために、プルアップ抵抗によって V_{CC} に接続されなければなりません。多くのアプリケーションでは、 $4.7\text{k}\Omega$ の抵抗が使用されます。
- TMSとTDIに対する入力バッファは、プルアップ抵抗によって V_{CC} に接続し、エミュレータが接続されない場合でも、一定のレベルに固定されるようにしなければなりません。 $4.7\text{k}\Omega$ 以上の抵抗が使用されます。
- 高品質な信号(特にプロセッサのTCKとエミュレータのTCK_RET信号)を得るために、プリント基板上の配線の引き回しに特に注意が必要です。また、トレースインピーダンスの整合のために終端抵抗を使用する必要がある場合もあります。エミュレータ・ポッドは、TCK_RETとTDOについて内部におけるパラレル終端をオプションとして選択することができます。TMSとTDIは、固定シリアズ終端をもっています。
- $\overline{\text{TRST}}$ は、非同期の信号であるため、すべてのターゲットに対して十分な電流を供給できるようにバッファする必要があります。

15.7.2 ターゲット・システムのクロックの使用

図15-4に、ターゲット・システムの中でシステム・テスト・クロックが生成されるシステムを示します。このアプリケーションでは、TCKは接続されていません。

図15-4. ターゲット・システムによるテスト・クロックの生成



注：TMS/TDIラインがバッファされる場合には、エミュレータ・ケーブルが接続されていないときのバッファ入力レベルを保持するために使用されます。

ターゲット・システムによってテスト・クロックを生成する場合には、以下の利点があります。

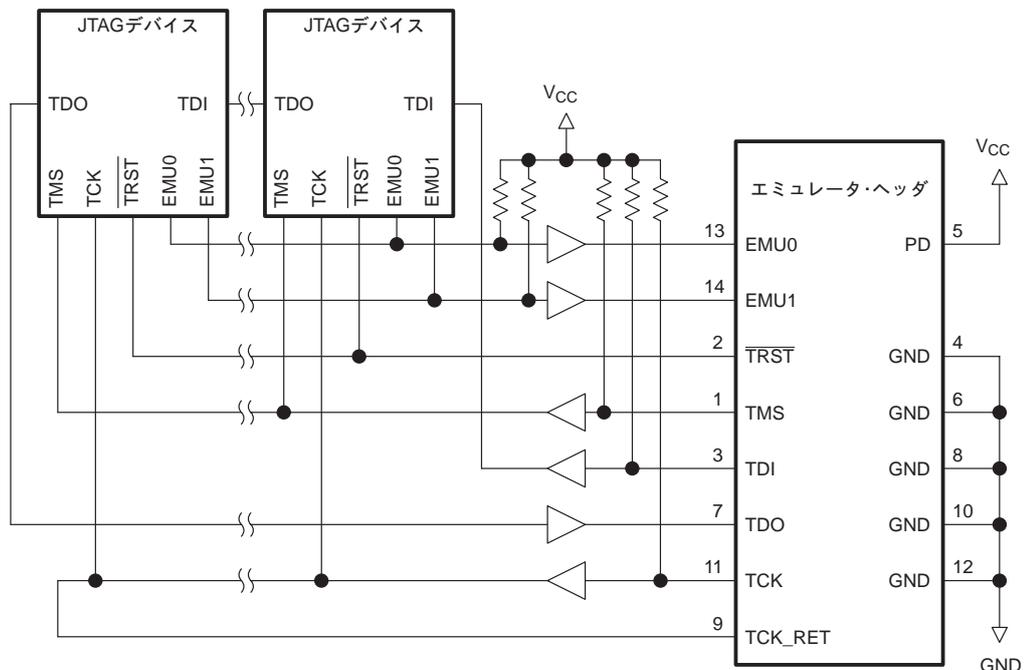
- エミュレータは、10.368MHzのテスト・クロックしか供給できません。ターゲット・システムによってテスト・クロックを生成する場合には、その周波数をシステムの必要に応じて設定することができます。
- 場合によっては、システムの中にエミュレータが接続されていないときにテスト・クロックを必要とするデバイスが含まれることがあります。この場合にも、システム・テスト・クロックを使用することができます。

15.7.3 複数プロセッサの設定

図15-5に、デージーチェーン接続されたマルチプロセッサの一般的な構成を示します。これは、IEEE 1149.1の仕様が定める最低限の要求事項を満たしています。この例では、エミュレーション信号は、プロセッサをエミュレータからアイソレートして、ターゲット・システムに十分なドライブ能力のある信号を供給するために、バッファされています。このタイプのインターフェイスの長所の1つとしては、テスト・クロックを低速とすることにより、タイミングの問題を解決できることです。マルチプロセッサをサポートするためには、以下のガイドラインに従う必要があります。

- プロセッサのTMS、TDI、TDO、TCKの信号は、同じ物理的パッケージを通じてバッファすることにより、タイミング・スキューを少なくする
- TMS、TDI、TCKの入力バッファは、プルアップ抵抗によってVccに接続し、エミュレータが接続されない場合でも、一定のレベルに固定されるようにしなければなりません。4.7kΩ以上の抵抗が使用されます。
- EMU0とEMU1のバッファリングは必須ではありませんが、バッファリングによりアイソレーションを図ることが強く推奨されます。これらの信号は重要なものではないため、TMS、TCK、TDI、TDOのように同じ物理的パッケージを通じてバッファする必要はありません。各信号についてのバッファの有無については、この節に表示されていません(15-8ページと15-9ページ)。

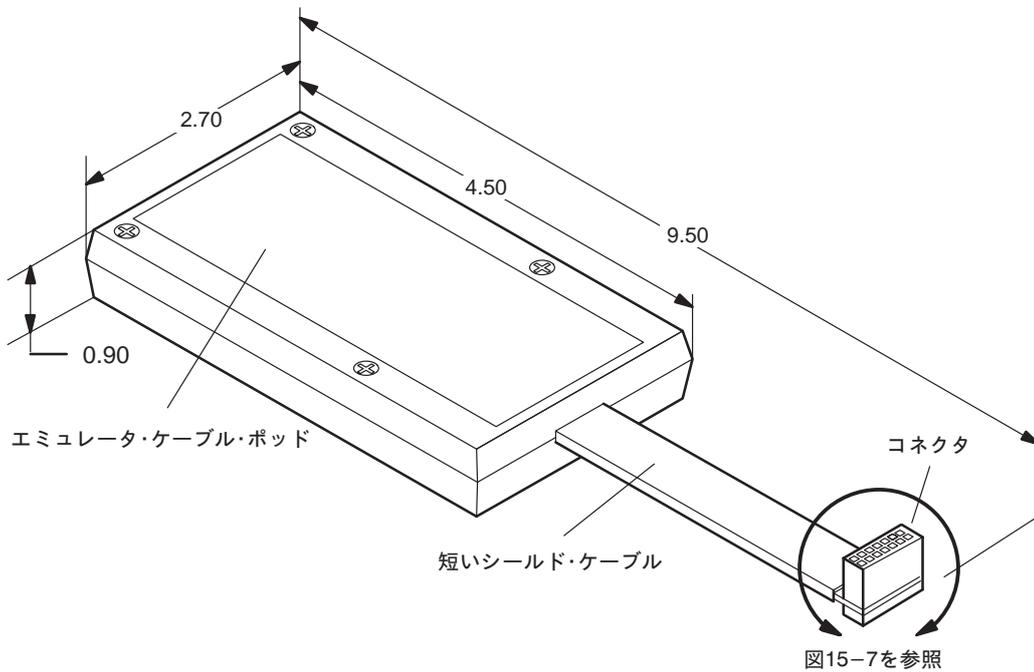
図15-5. マルチプロセッサ接続



15.8 14ピン・エミュレータ・コネクタの寸法

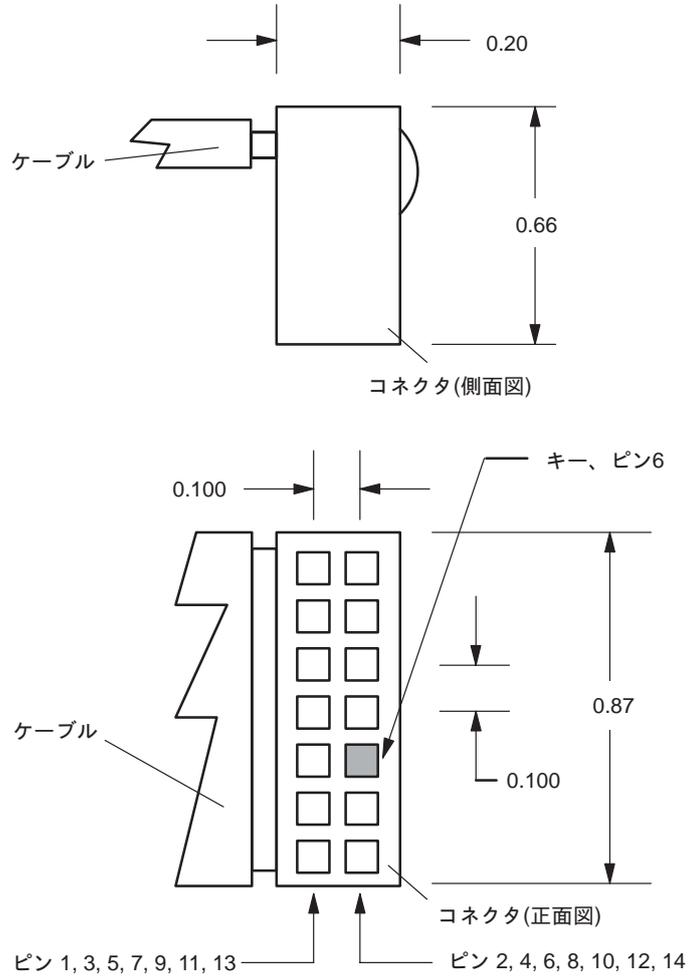
JTAGエミュレータのターゲット・ケーブルは、3フィートの被膜ケーブル、ケーブル・ポッド、それにターゲット・システムとの接続のための短いシールド・ケーブルから構成されます。ケーブル全体の長さは、約3フィート10インチです。図15-6と図15-7(15-13ページ)にケーブル・ポッドと短いケーブルの寸法を示します。コネクタ上のピン間隔は、縦横ともに、0.100インチであることに注意してください。ケーブル・ポッド・ボックスは、非導電性のプラスチックで、4個所に金属製のネジのための窪みがあります。

図15-6. ポッド/コネクタの寸法



注： 特にことわりのない限り、寸法はインチ表示であり、公称寸法を示すものとします。

図15-7. 14ピン・コネクタの寸法



注：特にことわりのない限り、寸法はインチ表示であり、公称寸法を示すものとします。

15.9 エミュレーションの設計における留意事項

この節では、スキャン・パス・リンカ(SPL)の使用法とアプリケーションを解説します。これは、メインのスキャン・パスに対して4つのセカンダリJTAGスキャン・パスを同時に付加することができるものです。また、エミュレーション・ピンの使用法と複数のプロセッサについての設定方法についても解説します。

15.9.1 スキャン・パス・リンカを使用する

TIのACT8997スキャン・パス・リンカ(SPL)を使用して、JTAGエミュレーションのスキャン・パスをより小さな、4から16のデバイスが論理的に結合されたグループに分割することができます。 *En i lene stl i n P d e ilee stl c i i P* (文献番号SCYD001)に解説されており、SPLはJTAGのエミュレーション・スキャンと互換性があります。SPLは、メインのスキャン・パスに対して、4つのスキャン・パスを任意の組み合わせで付加することができます。

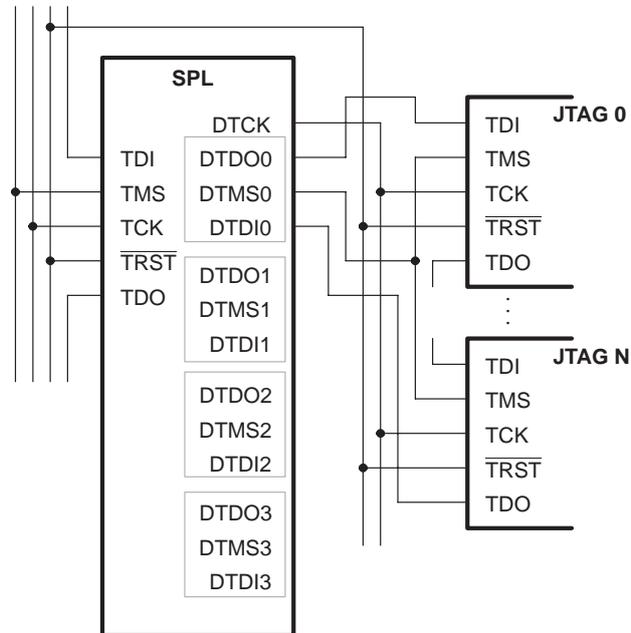
複数のセカンダリJTAGスキャン・パスを持ったシステムは、それらを単一のスキャン・パスでつないだシステムよりも、エラー耐性やアイソレーションの点で優れた特性を持っています。SPLは、すべてのセカンダリ・スキャン・パスを同時にメインのスキャン・パスに接続することが出来るので、選択されたグループのプロセッサのスタートやストップのようなグローバルなエミュレーション動作を行なうことができます。

TIのエミュレータは、SPLのネスティング(例えば、SPLが他のSPLのセカンダリ・スキャン・パスに接続される)をサポートしていません。ただし、複数のSPLをメインのスキャン・パスに対して接続することができます。

ACT8999スキャン・パス・セクタは、SPLに似ていますが、メインのJTAGスキャン・パスに対して、同時にはセカンダリ・スキャン・パスのうちの1つだけしか付加することができません。このため、スキャン・パス・セクタでは、グローバルなエミュレーション動作を行なうことができません。このような理由で、スキャンパス・セクタはサポートされていません。

SPLをバックプレーンに挿入することにより、バックプレーンを持たないデバイスの場合には必要なジャンパ線を必要とせずに、最大4つのデバイス・ボードを追加することができます。SPLは、他のデバイスと同じように、JTAGのスキャン・パスに接続することができます。図15-8に、セカンダリ・スキャン・パスをSPLに接続する方法を示します。

図15-8. セカンダリJTAGスキャン・パスのSPLへの接続



メイン・スキャン・パスからの $\overline{\text{TRST}}$ 信号は、SPLのセカンダリ・スキャン・パスのデバイスを含め、すべてのデバイスをドライブします。SPLのセカンダリ・スキャンパス上の各ターゲット・デバイスのTCK信号は、SPLのDTCK信号によってドライブされます。セカンダリ・スキャンパスの各デバイスのTMS信号は、SPLの対応するDTMS信号によってドライブされます。

SPLのDTDOは、セカンダリ・スキャン・パスの最初のデバイスのTDI信号に接続されています。SPLのDTDIは、セカンダリ・スキャン・パスの最後のデバイスのTDO信号に接続されています。各セカンダリ・スキャン・パスでは、デバイスのTDI信号は、その前のデバイスのTDO信号に接続されています。SPLがバックプレーンにある場合には、そのセカンダリJTAGスキャン・パスは、アド・オン・ボードの上にあります。ここで、信号の劣化が問題となるときは、 $\overline{\text{TRST}}$ とDTCKの両方をバッファすることによって改善することができます。また、場合によっては、DTMS_n信号をバッファすることによってさらに改善することができます。

15.9.2 SPLに対するエミュレーション・タイミングの算出

以下の例にならって、システムのSPLセカンダリ・スキャン・パスのエミュレーション・タイミングを計算することができます。実際のターゲットにおけるタイミングのパラメータについては、それぞれのデバイスのデータシートを参照してください。

仮定

$t_{su}(TTMS)$	TCKハイまでのターゲットのTMS/TDIセットアップ時間	10 ns
$t_d(TTDO)$	TCKローからターゲットTDOの遅延時間	15 ns
$t_d(bufmax)$	ターゲット・バッファ最大遅延時間	10 ns
$t_d(bufmin)$	ターゲット・バッファ最小遅延時間	1 ns
$t_{(bufskew)}$	同じパッケージの2つのデバイス間のターゲット・バッファ・スキュー $[t_d(bufmax) - t_d(bufmin)] \times 0.15$	1.35 ns
$t_{(TCKfactor)}$	40/60デューティ・サイクル・クロックを仮定	0.4 (40%)

SPLのデータ・シートからの条件

$t_d(DTMSmax)$	TCKローからのSPL DTMS/DTDOの最大遅延時間	31 ns
$t_{su}(DTDLmin)$	SPL TCKハイまでのDTDIの最小セットアップ時間	7 ns
$t_d(DTCKHmin)$	TCKハイからのSPL DTCK最小遅延時間	2 ns
$t_d(DTCKLmax)$	TCKローからのSPL DTCK最大遅延時間	16 ns

エミュレーションの設計において考慮すべき次の2つの重要なタイミング・パスがあります。

- $t_{pd}(TCK-DTMS)$ とよばれるTCKからDTMS/DTDOへのパス
- $t_{pd}(TCK-DTDI)$ とよばれるTCKからDTDIへのパス

次の2つの場合には、ワースト・ケースでのパス遅延を算出して、システムのテスト・クロック周波数の最大値を求めます。

ケース1: シングル・プロセッサ、直接接続、DTMS/DTDOはTCKのローを基準として動作

$$\begin{aligned}
 t_{pd(TCK-DTMS)} &= \frac{[t_d(DTMS_{max}) + t_d(DTCKH_{min}) + t_{su}(TTMS)]}{t_{(TCKfactor)}} \\
 &= \frac{[31ns + 2ns + 10ns]}{0.4} \\
 &= 107.5ns \text{ (9.3 MHz)} \\
 t_{pd(TCK-DTDI)} &= \frac{[t_d(TTDO) + t_d(DTCKL_{max}) + t_{su}(DTD L_{min})]}{t_{(TCKfactor)}} \\
 &= \frac{[15ns + 16ns + 7ns]}{0.4} \\
 &= 9.5ns \text{ (10.5 MHz)}
 \end{aligned}$$

このケースではTCKからDTMS/DTD Lへのパスが制限要因となります。

ケース2: シングル/マルチプロセッサ、DTMS/DTDO/TCKバッファ付き入力、DTD Iバッファ付き出力、DTMS/DTOIはTCKのローを基準として動作

$$\begin{aligned}
 t_{pd(TCK-TDMS)} &= \frac{[t_d(DTMS_{max}) + t_{(DTCKH_{min})} + t_{su}(TTMS) + t_{(bufskew)}]}{t_{(TCKfactor)}} \\
 &= \frac{[31ns + 2ns + 10ns + 1.35ns]}{0.4} \\
 &= 110.9ns \text{ (9.0 MHz)} \\
 t_{pd(TCK-DTDI)} &= \frac{[t_d(TTDO) + t_d(DTCKL_{max}) + t_{su}(DTD L_{min}) + t_{(bufskew)}]}{t_{(TCKfactor)}} \\
 &= \frac{[15ns + 15ns + 7ns + 10ns]}{0.4} \\
 &= 120ns \text{ (8.3 MHz)}
 \end{aligned}$$

このケースではTCKからDTD Iへのパスが制限要因となります。

15.9.3 エミュレーション・ピンの使用

TIのデバイスのEMU0/1ピンは、双方向のスリー・ステート出力ピンです。インアクティブな状態では、これらのピンは、ハイ・インピーダンスとなります。ピンがアクティブなときは、これらのピンは次のどちらかの出力モードとなります。

□ イベント通知

EMU0/1ピンは、ソフトウェアにより、内部イベントにより信号を発生するように設定することができます。このモードでは、どちらかのピンをロー・レベルにドライブすることにより、イベントに対して信号を発生させることができます。このような動作を可能とするために、EMU0/1ピンは、オープンコレクタのソースとして機能します。ロジック・アナライザなどの外部デバイスも同様にして、EMU0/1信号に接続することができます。このような外部ソースを使用する場合には、これもオープンコレクタのソースを介して接続する必要があります。

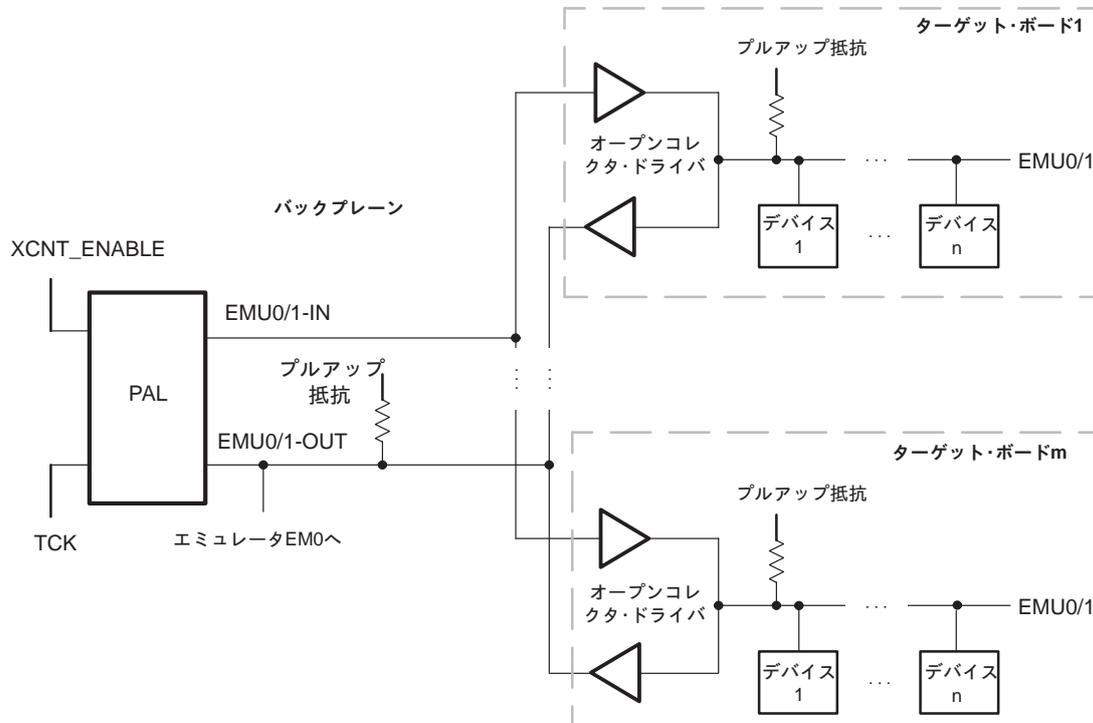
□ 外部カウンタ

EMU0/1のピンは、ソフトウェアにより、外部カウンタをドライブするためのトータムポール出力に設定することができます。複数のデバイスの出力がトータムポール動作に設定されると、デバイスが損傷する場合があります。エミュレーション・ソフトウェアは、このような状態を検出し、防止します。ただし、エミュレーション・ソフトウェアは、EMU0/1の外部ソースを制御することはできません。このため、あるデバイスが外部カウンタ・モードとなっているときは、すべての外部デバイスがインアクティブな状態となっていなければなりません。

TIのデバイスでは、ソフトウェア設定により、EMU0/1ピンがロー・レベルにドライブされているときに処理を停止するように設定することができます。これと信号イベント出力モードとの組み合わせにより、あるTIのデバイスが任意のイベントに対して、他のすべてのTIのデバイスを停止するように設定して、システム・レベルでのデバッグを行なうことができます。

EMU0/1信号を複数のボードに配線する場合には、これらの信号は通常のエミュレーション信号に比べて複雑であるため、特別な取扱いを必要とします。図15-9に、システム中の各プロセッサがシステムの他のすべてのプロセッサを停止することができるようにした設定の例を示します。バッファを使用しない場合には、EMU0/1信号で16を超えるプロセッサを接続して1つのグループとすることはできません。バッファによれば、RUNB(run benchmark)デバッグ・コマンドの実行時や外部カウンタ機能が使用される場合に必要な鮮鋭な信号を供給することができます。

図15-9. EMU0/1の設定



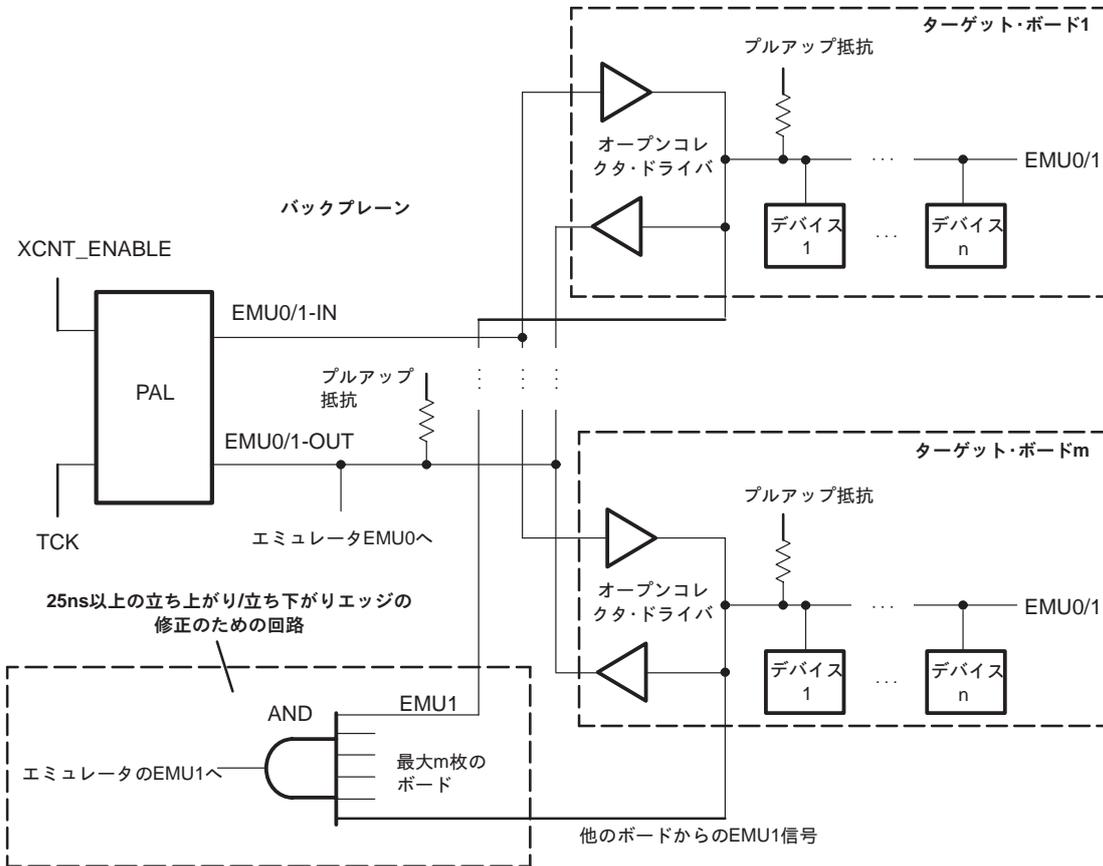
- 注： 1) EMUx-INは、最小TCKの1サイクルにわたりロー・レベルに保持される必要があります。その期間は10 μ sより短くなければなりません。ソフトウェアにより、EMUx-OUTピンは、ハイ・レベルに設定されます。
- 2) オープンコレクタのドライバとEMU1のプルアップ抵抗をイネーブルして、立ち上がり/立ち下がりエッジを25nsより短くするためには、この図に示すような修正が推奨されます。25nsより遅い立ち上がりエッジは、RUNBコマンドの間や、デバッグの解析メニューで外部カウンタが選択されている場合に、エミュレータにより、偽のエッジであるとして検出される場合があります。

図15-9と図15-10に示された回路と図15-11に示されたタイミングについては、次の7つの重要な項目があてはまります。

- オープンコレクタ・ドライバによって各ボードは分離されます。各ボードにおいてEMU0/1ピンが接続されます。
- ボードのエッジでは、EMU0/1信号が分離されて、IN/OUT信号となります。これにより、オープンコレクタのドライバが、1回しか設定のできないラッチとして機能することが防止されます。
- EMU0/1信号は、バックプレーンの中のバスに流されます。必要に応じてプルアップ・レジスタを設置します。
- バスのEMU0/1信号は、PAL[®]デバイスに入力され、EMU0/1-OUT信号のロー・レベルが検出された場合に、EMU0/1信号にロー・レベルのパルスを出力します。このパルスは、エミュレーション・ソフトウェアがデバイスのピンをクリアした場合に、デバイスに影響を与えるために1TCK周期よりも長いものでなければならず、競合や再トリガの防止のために、10 μ sより短くなければなりません。

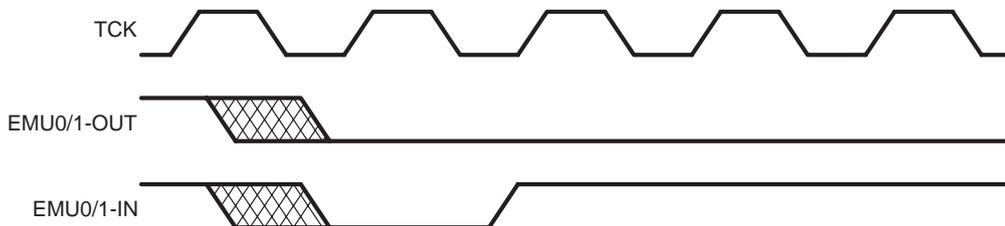
- デバッガのRUNBコマンドや他の外部解析カウントの間に、ターゲット・デバイスのEMU0/1ピンは、トータムポール出力となります。EMU1ピンは、内部カウンタのリップル・キャリー出力です。EMU0は、プロセッサ・ホールド信号となります。RUNBまたは他の外部解析カウントの間に、すべてのボードに対するEMU0/1-IN信号は、ハイ・レベル(ディスエーブル)の状態になければなりません。外部入力(XCNT_ENABLE)のどれかをPALに入力して、PALによりEMU0/1がローにドライブされるのをディスエーブルする必要があります。
- EMU0/1のドライブのためにTIのプロセッサ以外(例えば、ロジック・アナライザ)のソースが使用される場合には、その信号はオープンコレクタ・ドライバによって絶縁されなければならない、RUNBや他の外部解析信号の間、インアクティブの状態とされなければなりません。
- EMU0/1-OUT信号は、エミュレーション・ヘッドに接続するか、テスト・バス・コントローラに直接接続しなければなりません。

図15-10. タイミングの要求を満たすためのEMU0/1の設定と追加されたANDゲート



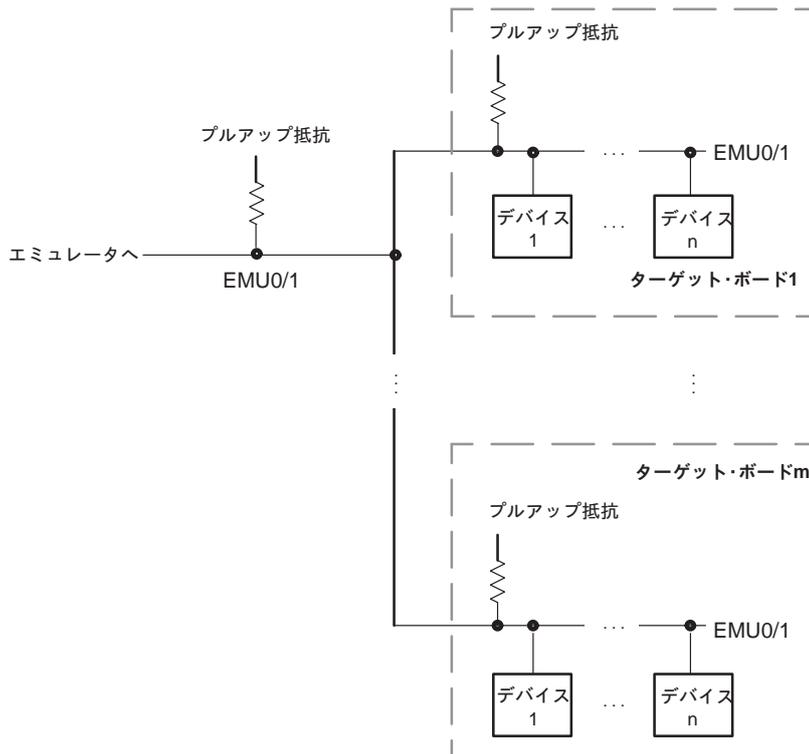
- 注： 1) EMUx-INは、最小TCKの1サイクルにわたりロー・レベルに保持される必要があり、その期間は10μsより短くなければなりません。ソフトウェアにより、EMUx-OUTピンは、ハイ・レベルに設定されます。
- 2) オープンコレクタのドライバとEMU1のプルアップ抵抗をイネーブルして、立ち上がり/立ち下がりエッジを25nsより短くするためには、この図に示すような修正が推奨されます。25nsより遅い立ち上がりエッジは、RUNBコマンドの間や、デバッグの解析メニューで外部カウンタが選択されている場合に、エミュレータにより、偽のエッジであるとして検出される場合があります。

図15-11. EMU0及びEMU1信号のタイミング例



あるターゲット・ボードにあるデバイスが他のターゲット・ボードデバイスによって停止される場合には、EMU0/1信号は、あまり重要ではなく、図15-12の回路を使用することができます。この設定では、グローバル停止機能は失われています。EMU0/1が16を超えるデバイスによってオーバロードの状態とならないようにすることが重要です。

図15-12. グローバル停止なしのEMU0/1設定



注： EMU1のオープンコレクタ・ドライバとプルアップ抵抗は、立ち上がり/立ち下がりエッジが25nsより小さいエッジを出力できるようなものでなければなりません。25nsより遅い立ち上がりエッジは、RUNBコマンドの間や、デバッグの解析メニューで外部カウンタが選択されている場合に、エミュレータにより、偽のエッジであるとして検出される場合があります。この条件が満たされない場合には、各ボードからのEMU0/1信号をANDして(図15-10参照)、エミュレータに対するEMU0/1信号を生成する必要があります。

TBCでは、TMS0ピンがメインのJTAGスキャン・パスの各デバイスをドライブします。TBCのTDOはメインのJTAGスキャン・パスの最初のデバイスに接続されます。TBCのTDIOは、メインのJTAGスキャン・パスの最後のデバイスのTDO信号に接続されます。メインのJTAGスキャン・パスでは、そのデバイスのTDI信号がその前のデバイスのTDO信号に接続されます。デバイスへの $\overline{\text{TRST}}$ 信号は、TBCのTMS5/EVNT3信号をソフトウェア制御によって反転するか、ボードのロジックによって生成することができます。

ご注意

日本テキサス・インスツルメンツ株式会社(以下TIJといひます)及びTexas Instruments Incorporated(TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといひます)は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従ひまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従ひ販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従ひ合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは承認をすることを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション(例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの)に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2009, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。

弊社出荷梱包単位(外装から取り出された内装及び個装)又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で(導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使用すること。

マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

温度: 0 ~ 40 °C、相対湿度: 40 ~ 85%で保管・輸送及び取り扱いを行うこと。(但し、結露しないこと。)

直射日光があたる状態で保管・輸送しないこと。

3. 防湿梱包

防湿梱包品は、開封後は個別推奨保管環境及び期間に従ひ基板実装すること。

4. 機械的衝撃

梱包品(外装、内装、個装)及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

はんだ付け時は、最低限260 °C以上の高温状態に、10秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)

6. 汚染

はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質(硫黄、塩素等ハロゲン)のある環境で保管・輸送しないこと。はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上