

LP2988

*Application Note 1482 LDO Regulator Stability Using Ceramic Output
Capacitors*



Literature Number: JAJA297

セラミック出力コンデンサを使用した場合の LDO レギュレータの安定性

はじめに

ESR がきわめて低いセラミックなどのコンデンサは、負荷の高速変動に追従するとともに上段のスイッチング・コンバータ電源から伝搬しリニア・レギュレータでは排除できない超高周波ノイズをバイパスできるといった特長があります。一方で、LDO レギュレータの出力に超低 ESR コンデンサを使用する場合は、ループ安定性を確保するために、回路の変更が必要となります。

このアプリケーション・ノートでは、LDO ループ補償の基礎と、出力コンデンサの特性が安定性に及ぼす影響やセラミック出力コンデンサを使用した場合でも LDO の安定動作を確保する回路テクニックについて説明します。

なお、リニア・レギュレータの詳しい補償理論については、アプリケーション・ノート AN-1148「リニア・レギュレータ:動作原理と補償」を参照してください。

LDO レギュレータの基本動作

LDO (低ドロップアウト) リニア電圧レギュレータには、他の電源方式とは違って、入力電圧よりもわずかに数百 mV 低い電圧をレギュレート出力として得られる特長があります。そのようなわずかな電圧差を実現できる理由は、完全な飽和領域で動作する単一の PNP (または P-FET) デバイスを使ってパス・トランジスタを構成しているためです。つまり、リニア・レギュレータ方式の中で、最も低いドロップアウト電圧 (入力電圧と出力電圧の差に必要な最小電圧) で動作します (Figure 1 参照)。

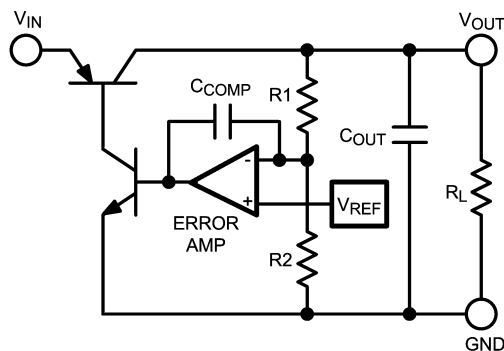


FIGURE 1. Typical PNP LDO Regulator

LDO は、PNP パス・トランジスタのベースを駆動する電流を誤差アンプの出力によって増減させながら、負荷電流に関わらず出力電圧を一定に保ちます。リファレンス定電圧との比較を行なう誤差アンプに抵抗 R1 と R2 を介して出力電圧を戻し電圧帰還を形成しています。ループ内の負帰還によって誤差アンプの両方の入力は常に等しく保たれます。2 個の抵抗値の比によって出力電圧が決まります。

$$V_{OUT} = V_{REF} (1 + R1/R2)$$

National Semiconductor
Application Note 1482
Chester Simpson
2006 年 5 月



LDO のループ補償

LDO レギュレータは P 型パス・トランジスタのコレクタ (またはドレイン) で負荷を駆動する構成を採用しているため、原理的に高出力インピーダンスが得られます。したがって、出力に接続された出力コンデンサと負荷抵抗との組み合わせによって、次の式で周波数が与えられるポールが形成されます。

$$P_{LOAD} = 1 / (2 \times \pi \times R_{OUT} \times C_{OUT})$$

*この R_{OUT} は出力ノードからグラウンドに至る実効インピーダンスとして定義され、次の要素の並列接続になります。

1. 負荷抵抗 R_L
2. $R1$ と $R2$ の和
3. パス・トランジスタの出力インピーダンス

ただし、ほとんどの場合、負荷抵抗は他の 2 つの要素よりも 1 桁以上小さいため、 R_{OUT} は R_L で近似可能です。

$$P_{LOAD} \approx 1 / (2 \times \pi \times R_L \times C_{OUT})$$

P_{LOAD} は負荷ポールを表します。

負荷ポールの周波数は負荷抵抗に応じて変化します。たとえば、 $10 \mu F$ の出力コンデンサを接続した LDO が 3.3Ω 負荷を駆動した場合の負荷ポール周波数は、次のようになります。

$$P_{LOAD} \approx 1 / (2 \times \pi \times 3.3 \Omega \times 10 \mu F) = 4.8 \text{ kHz}$$

外付け負荷を外すと (レギュレータの内部分圧回路のみが「負荷」となる)、負荷ポールの周波数は 1Hz 未満に低下します。以上から、「無負荷」の時と「全負荷」の時、LDO の負荷ポール周波数が大きく変化することがわかります。

ここでは、およそ 500Hz の周波数に「積分」ポールを追加する目的で、コンデンサ C_{COMP} を使用すると仮定します。つまり、ループには 2 個のポールが存在し、 -180° の位相シフトが生じて発振する可能性が考えられます。このようなポールの位相遅れに位相進みを与えて打ち消す補償テクニックは次のセクションで詳述します。

上記のポールとは異なるポールが、高い周波数に存在する点には注意が必要です。ループ帯域が広過ぎると、このポールの影響が顕在化し、発振に至るだけの位相遅れを引き起こす要因になります。パワー・デバイスはそのようなポールの原因となります。たとえば、パス・デバイスとして使われる P-FET の入力容量と P-FET のゲートを駆動する回路との組み合わせによってポールが形成されます。このような高周波ポールは電源デバイスに固有に備わる性質で、パワー・ポール (P_{PWR}) と呼ばれます。ここでは、パワー・ポールはおよそ 500kHz 付近に存在する固定ポールと仮定して解析を行いません。

位相進みの追加テクニック

LDO ループ内にポールが存在する場合、ある程度の位相進みを与える別のゼロを追加して補償しない限り、発振が生じることがあります。このような課題に対して、ポールとゼロのペアを形成するフィードフォワード・コンデンサを抵抗 R1 (Figure 2) の両端に追加する補償方法が従来から用いられています。ループ内ポールの周波数よりも低い周波数にゼロを追加するようにして、ユニティゲインのクロスオーバー周波数よりも低い周波数に配置します。この方法では、ゼロによって十分な位相進みが与えられる一方で、対応するポール(高い周波数に存在する)が与える位相遅れ量はわずかです。その結果、正味ゲインとしては位相進みが勝り、位相マージンが改善されます。

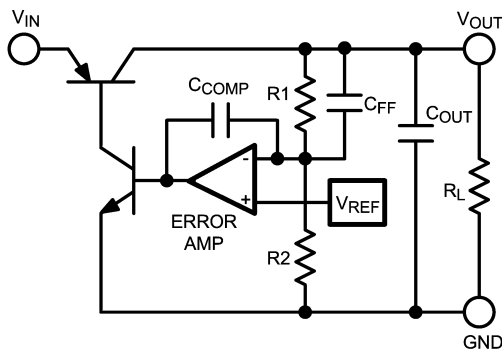


FIGURE 2. LDO Regulator with Feed-Forward Compensation

コンデンサ C_{FF} は R1 とゼロを形成し、その周波数は次の式で与えられます。

$$Z_{FF} = 1 / (2 \times \pi \times R1 \times C_{FF})$$

また、 C_{FF} は並列になった R1 と R2 とゼロを形成し、その周波数は次のとおりです。

$$P_{FF} = 1 / (2 \times \pi \times R1 // R2 \times C_{FF})$$

出力電圧が高い場合(R1 が R2 よりもかなり高抵抗の場合)、ポールとゼロの周波数は離れるため、結果として位相マージンの改善量が大きくなります。出力電圧が低い場合、ポールとゼロの周波数は近づきます。この方法で得られる位相進み量は、出力電圧が低くなるにつれ少なくなり、最終的に出力電圧がリファレンス電圧と等しい場合には意味を成しません。このような理由から、ここで説明した補償方法を単独で使用して効果がある条件は、出力電圧が高い場合に限られます。

ここで、典型的な LDO のゲインと位相を計算してみます。LDO の帯域は全負荷のときに最大となるので、計算ではその動作点を用います。以下の条件を仮定します。

リファレンス電圧 1.25V、レギュレータ出力設定 6.25V。

$$V_{OUT} / V_{REF} = 5$$

$$\text{開ループ・ゲイン} = 80\text{dB}$$

$$P_{COMP} = 500\text{ Hz}$$

$$P_{LOAD} = 4.8\text{ kHz} (C_{OUT} = 10\text{ }\mu\text{F}, R_L = 3.3\text{ }\Omega)$$

$$P_{PWR} = 500\text{ kHz}$$

$$R1 = 40\text{ k}\Omega$$

$$R2 = 10\text{ k}\Omega$$

$$\text{ユニティゲイン・クロスオーバー周波数の推測値} = 300\text{ kHz}$$

フィードフォワード・ゼロの最適な周波数は、一般に、ユニティゲイン・クロスオーバー周波数のおよそ 1/3 のポイントです。そこで、この例ではゼロの周波数として 100kHz を仮定し、 C_{FF} の値として 39pF が得られます。 C_{FF} と $R1//R2$ で形成されるポールはおよそ 500kHz に存在し、同じく 500kHz に存在する P_{PWR} とあいまって二重ポールが形成されます。

以上の部品定数の組み合わせと動作条件から位相を計算すると、300kHz に存在するユニティゲイン・クロスオーバー周波数にて、およそ 11° の位相マージンが計算上は得られることがわかります (Figure 3 参照)。かろうじて安定な状態ですが、他の補償方法を採用していないことを考えれば、それなりにマージンのある回路といえます。

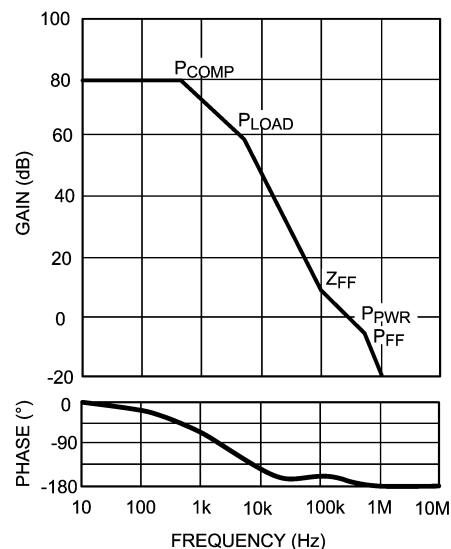


FIGURE 3. Gain/Phase Plot for Typical LDO Using Only Feed-Forward Compensation

フィードフォワード補償を適用すると、ほとんどの LDO で、フィードフォワード補償方式で生成可能な範囲内で正の位相シフトが得られますが、通常は他の補償手段を併用してより十分な位相マージンを確保する必要があります。次のセクションでは、大半の LDO レギュレータで使用されている出力コンデンサの ESR 補償方式について説明します。

出力コンデンサの ESR による補償

どのようなコンデンサであっても何らかの大きさの寄生抵抗成分を有しているため、実際のコンデンサは理想容量と抵抗の直列接続としてモデル化することができます。このような直列抵抗を一般に **ESR** (等価直列抵抗) と呼びます。コンデンサの ESR は出力容量との組み合わせでゼロを形成し、その周波数は次のとおりです。

$$Z_{\text{ESR}} = 1 / (2 \pi \times \text{ESR} \times C_{\text{OUT}})$$

タンタル・コンデンサの場合、ESR に起因するゼロの周波数は、一般に LDO 補償に適します。一般的な $10 \mu\text{F}$ タンタル・コンデンサの ESR は 0.5Ω 前後のため、ゼロは 30kHz 付近に生じます。このゼロを前述のゲイン / 位相グラフの解析例に追加してみます。ESR ゼロを追加したことで位相マージンが増加した様子を Figure 4 に示します。

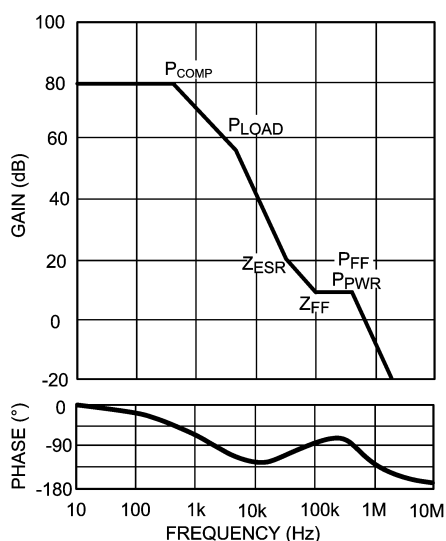


FIGURE 4. Gain/Phase Plot for Typical LDO Using Both Feed-Forward and ESR Compensation

ESR ゼロを考慮して解析を行なった結果、計算上の帯域幅はおおよそ 300kHz から 600kHz へと広がりましたが、位相マージンが 11° からおおよそ 68° (きわめて安定) に改善されたことのほうが重要です。

以上の解析例は、多くの LDO で、レギュレータの安定動作を確保するには出力コンデンサが満たさなければならない ESR 値の「安定な範囲」が規定されている理由を示しています。

ESR ゼロはループの支配的な補償要素です。ESR の「最大」値によってゼロ周波数の下限が決まりますが、高周波ポールが安定性に影響を与える周波数までループ帯域を広げてしまうほどには、ゼロ周波数の下限は低く設定できません。また、ESR の「最小」値によってゼロ周波数の上限が決まりますが、ユニティゲイン・クロスオーバー周波数を超えて安定動作に必要な位相マージンを得るだけの位相進みを追加できなくなるほどには、ゼロ周波数の上限は高くできません。

セラミック・コンデンサ : $\text{ESR} = m \Omega$

セラミック・コンデンサはある程度の ESR を有しますが、容量値が $1 \mu\text{F}$ よりも大きい場合、ESR の値は通常は高周波において数 $m\Omega$ しかありません。そのため、セラミック・コンデンサは高周波ノイズのバイパス用途や、急激な負荷変動への対応に適しますが、ループ補償に出力コンデンサの ESR ゼロの存在を前提とする LDO には適しません。ESR が $5m\Omega$ 前後の $10 \mu\text{F}$ コンデンサは、 3MHz よりも高い周波数にゼロを形成します。前述の回路例で示したとおり、ユニティゲイン周波数において適切な位相マージンを与えるだけの十分な位相進みを与えるには、その周波数では高すぎてしまいます。

ESR が極めて小さい出力コンデンサとの組み合わせで安定が保証されている LDO は、誤差アンプ補償ネットワーク内にあらかじめゼロを組み込んでいます。単一の帰還コンデンサ C_{COMP} を使用した単純な積分回路ではなく、抵抗が直列に追加されています (Figure 5)。帰還にこのような要素を配置すると積分ポールとゼロの両方が生成されます。この抵抗 (R_{COMP}) によって ESR ゼロと同じように作用するゼロが発生するため、セラミック出力コンデンサを使っても位相マージンは適切に確保されます。

この回路テクニックは、「最小安定 ESR」の下限を実質的にゼロ Ω にまで引き下げますが、同時に最大安定 ESR の上限も引き下げてしまいます。その理由は、誤差アンプがループ帯域内にゼロを与えるため、別のゼロを追加すると帯域があまりにも広がってしまい、高周波に存在するポールに起因する不安定性が生じるからです。

電解コンデンサとの組み合わせで動作する一般的な LDO の安定 ESR 範囲は 0.1Ω から 10Ω の範囲です。内部にゼロを追加した「セラミック・コンデンサで安定」なデバイスは、ESR 値としてゼロ Ω まで許容しますが、上限はおおよそ 0.5Ω です (負荷電流と C_{OUT} の大きさに異なる)。

セラミック・コンデンサ：ESR = $m\Omega$ (つづき)

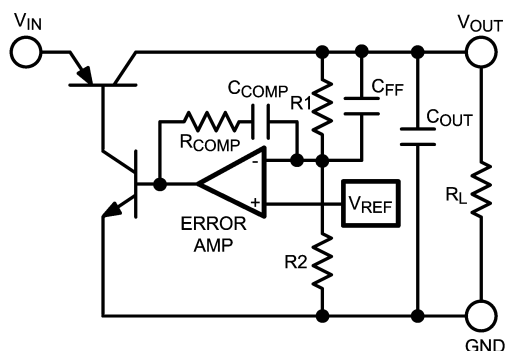


FIGURE 5. Ceramic-Stable LDO with Internal Compensation Zero

「電解コンデンサで安定」な一般的な LDO の安定 ESR 範囲を Figure 6 に示します。この図は LP2988 データシートを基にして描いたものです。この ESR グラフの生成では、ベンチ・テスト環境にて、セラミック出力コンデンサ（実質的に ESR なし）に単体抵抗を直列にハンダ付けして、さまざまな負荷電流条件で不安定となる点を探しながらデータ点を求めています。温度定格の上限 / 下限の両方でデータを取得しています。

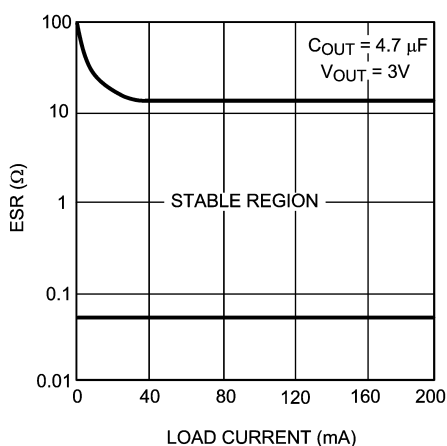


FIGURE 6. C_{OUT} ESR Stability Boundaries for Typical “Electrolytic Stable” LDO

ここに示されるように安定動作の下限はおおよそ $50m\Omega$ で、何らかの外部抵抗を直列に追加しない限り、セラミック出力コンデンサでは足りません。なお、ESR の上限 (ESR ゼロの下限周波数を設定) は、負荷が軽くなるにつれて急激に上昇しています。その理由は、負荷が軽くなると負荷ポールが低い周波数に移動する（ループ帯域が狭くなる）ため、ESR ゼロ周波数が低くても安定動作が確保されます。

「セラミック・コンデンサで安定」な LDO の ESR グラフを Figure 7 に示します。安定 ESR の下限はゼロ Ω で、きわめて負荷電流が小さい状態を除き、上限はおおよそ 0.5Ω です。前述の例と同じように上限が上昇する理由は、負荷が軽くなると負荷ポール周波数が低くなり、補償ゼロが低い周波数に存在してもループの安定性が確保されるからです。

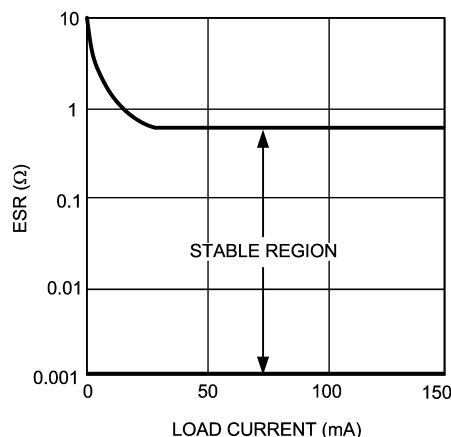


FIGURE 7. C_{OUT} ESR Stability Boundaries for Typical “Ceramic Stable” LDO

これらのグラフから、セラミック出力コンデンサを使用できる条件は、一般にセラミック対応とされている LDO デバイスに限られます。ただし、「セラミック・コンデンサで安定」な LDO は、低 ESR タンタルやアルミ電解コンデンサも使用できるだけの ESR 上限を有します。

セラミック「バイパス」コンデンサによるポールの発生

デジタルICを搭載した回路に代表される多くの回路のプリント基板には、基板全体にわたって、電圧レギュレータから電源を供給されるすべてのデバイスの V_{CC} ピン部分に、バイパス・コンデンサが実装されています。通常はバイパス用途には小容量のセラミック・コンデンサが用いられ、容量値は $0.01\mu\text{F}$ から $0.1\mu\text{F}$ の範囲です。ところが、これらバイパス・コンデンサによって LDO レギュレータに発振が生じる場合がありますが、設計者がその原因を把握できていないことも少なくありません。

前述のように、LDO 出力に容量が接続されていると、出力ノードとグラウンド間の実効抵抗との組み合わせによって「負荷ポール」が形成されます。

$$P_{\text{LOAD}} = 1 / (2 \times \pi \times R_{\text{OUT}} \times C_{\text{OUT}})$$

あまり知られていませんが、出力に小容量コンデンサを接続すると、位相マージンを減少またはゼロにしてしまう周波数に好ましくないポールが追加されます。電解コンデンサの使用を前提（補償ゼロを得るために、コンデンサの ESR が大きいことを前提）としている LDO レギュレータは、このような作用に対して脆弱です。

これまでに求めた例 (Figure 4 に示すゲイン / 位相グラフ) を利用して、このような作用が起こる原理を説明します。

開ループ・ゲイン = 80dB

$$V_{\text{OUT}} / V_{\text{REF}} = 5$$

$$P_{\text{COMP}} = 500 \text{ Hz}$$

$$P_{\text{LOAD}} = 4.8 \text{ kHz} (C_{\text{OUT}} = 10 \mu\text{F}, R_L = 3.3 \Omega)$$

$$P_{\text{PWR}} = 500 \text{ kHz}$$

$$R_1 = 40 \text{ k}\Omega$$

$$R_2 = 10 \text{ k}\Omega$$

$$C_{\text{FF}} = 39 \text{ pF} (P_{\text{FF}} = 510 \text{ kHz}, Z_{\text{FF}} = 100 \text{ kHz})$$

$$C_{\text{OUT}} = 10 \mu\text{F} \text{ タンタル / ESR} = 0.5 \Omega$$

(ESR ゼロ周波数 = 30kHz)

ユニティゲイン・クロスオーバー周波数の推定値 600kHz

位相マージン = 68° (セラミック出力コンデンサの追加なし)

前述の計算では、 $10\mu\text{F}$ のタンタル出力コンデンサのみを使った場合に、およそ 68° (きわめて安定) の位相マージンが得られていました。ここで、仮に $0.1\mu\text{F}$ のセラミック「バイパス」コンデンサ計 10 個が LDO の出力に接続された場合を想定し、実質的に $1\mu\text{F}$ のセラミック・コンデンサが $10\mu\text{F}$ のタンタル・コンデンサと並列に接続された場合はどうなるでしょう。

セラミック・バイパス・コンデンサによって追加されるポールを求めます。

$$P_{\text{LOAD}} = 1 / (2 \times \pi \times R_{\text{OUT}} \times C_{\text{OUT}})$$

R_{OUT} の計算では、ユニティゲイン・クロスオーバー (およそ 600kHz) に近い周波数で、出力から見たグラウンドとのインピーダンスに注目します。 $10\mu\text{F}$ のタンタル・コンデンサは、この周波数では出力とグラウンド間に接続されている 0.5Ω の抵抗として実質的に観測されると考えられ、しかも 3Ω の負荷抵抗が並列に接続されているので、 R_{OUT} の実効値はおよそ 0.43Ω になるはずです。以上から求めたインピーダンスとセラミック・コンデンサの組み合わせによって生じるポールは次のとおりです。

$$P_{\text{BYP}} = 1 / (2 \times \pi \times 0.43 \times 1 \mu\text{F}) = 370 \text{ kHz}$$

ユニティゲイン周波数を同じく約 600kHz と仮定すると、この新たなポールによって位相マージンは 68° からおよそ 9° (かなり不足) にまで減少してしまいます。このゲイン / 位相グラフを Figure 8 に示します。

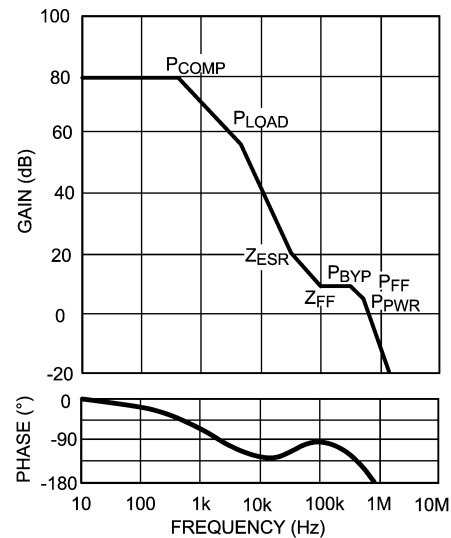


FIGURE 8. Phase Margin Reduced by 1 μF Ceramic Capacitor Connected to the Output

この例は、セラミック・コンデンサに対応していない LDO は、出力に比較的小容量のセラミック・コンデンサを接続しただけで、回路が不安定になる可能性があるということを示しています。一般に、大容量コンデンサに小容量コンデンサを並列に接続すると、小容量コンデンサの効果が大容量コンデンサによって「無力化」とされると誤って解釈されている場合が少なくありません。しかし、複数の「バイパス・コンデンサ」で構成される小容量コンデンサは、それ自身がポールを生み出します。もし、そのポールがループのユニティゲイン・クロスオーバー周波数に近い低いと、発振を引き起こすのに十分な位相遅れを与えてしまう可能性があります。

バイパス・コンデンサの影響の抑制

LDO レギュレータの出力に接続されている小容量セラミック・コンデンサによって位相マージンが減少するため、レギュレータの出力端子からできるだけ離して配置するように注意が必要です。 $0.01\mu\text{F}$ から $0.1\mu\text{F}$ の範囲のコンデンサが、通常は最も問題を引き起こします。

コンデンサと直列に存在するトレース・インダクタンスは共鳴効果を抑える働きがあります。ボードのレイアウトはそれぞれで異なるため、あらゆるアプリケーションにとって「安全な距離」は求められません。幅の狭いパターンは、プレーン構成と比べ、インピーダンスが高くなるため、電源層とグラウンド層を使ってボード全体に電源を供給した場合、コンデンサの「影響が及ぶ距離」は長くなります。

ボード容量が位相マージンを減らすかどうかを信頼性高く求めるには、すべてのコンデンサを実装した状態で、実際のボードを使って負荷ステップ試験を実行します。レギュレータが電源を供給する負荷は取り外すか未実装とし、代わりに等しい負荷電流が得られるようにレギュレータ出力に抵抗を接続します。負荷を無負荷から定格負荷に変化させて、負荷遷移中にリングングまたはオーバーシュートが発生していないか出力を観測します。位相マージンが小さいと過度のリングングが発生します。

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務は負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2007 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16

TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

本資料に掲載されているすべての回路の使用に起因する第三者の特許権その他の権利侵害に関して、弊社ではその責を負いません。また掲載内容は予告無く変更されることがありますのでご了承ください。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIJとの間に取り引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。

3. 防湿梱包

- 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。

4. 機械的衝撃

- 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。

5. 熱衝撃

- はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）

6. 汚染

- はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
- はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上