

DS91C176,DS91C180,DS91D176,DS91D180, DS91M040

*Application Note 1503 Designing an ATCA Compliant M-LVDS Clock
Distribution Network*



Literature Number: JAJA302

ATCA 規格に準拠した M-LVDS クロック分配システム設計

National Semiconductor
Application Note 1503
Davor Glisic
2007 年 11 月



1.0 はじめに

Advanced Telecommunications Computing Architecture (ATCA) 仕様に基づいて設計されたものを含め、電気通信システムでは多くの場合、内部インタフェースと外部ネットワーク間の同期が必要になります。このようなシステムの実装を可能とするために、ATCA の仕様、すなわち PICMG 3.0 ではアーキテクチャの一部として同期クロック・インタフェースを規定しています。この仕様では、クロック信号源としての機能を、TIA/EIA-899 (マルチポイント小振幅差動信号方式：M-LVDS) 規格に準拠した集積回路に持たせます。

このアプリケーション・ノートは、ナショナルセミコンダクターの M-LVDS デバイスを用いて、ATCA 準拠のクロック分配ネットワークを設計する方法を紹介します。本書には、ATCA 同期クロック・インタフェースと M-LVDS 規格の概要、ATCA バックプレーンにナショナルセミコンダクターの M-LVDS デバイスを使用した場合の性能に関する詳細な検討、信頼性の高いクロック分配ネットワークの構築に役立つ一連の推奨設計やルールが記載されています。

2.0 ATCA バックプレーンにおける同期クロック・インタフェース

AdvancedTCA バックプレーン (Figure 1) には、次の 3 つのコネクタ・ゾーンがあります。

- 電源接続およびシェルフ管理用のゾーン 1
- データ転送インタフェース用のゾーン 2
- ユーザー定義 I/O の相互接続用のゾーン 3

データ転送インタフェースとは、ベース・インタフェース、ファブリック・インタフェース、アップデータ・チャンネル・インタフェース、同期クロック・インタフェースです。これらのインタフェースにより、最大 16 スロット間の接続を構成できます。Figure 1 に示すとおり、各スロットは最大 5 つのアドバンスド差動ファブリック (ADF) すなわちゾーン 2 コネクタを備えることができます。ADF コネクタとしては、たとえば Tyco HM-Zd や ERNI ERmetZD などがあります。

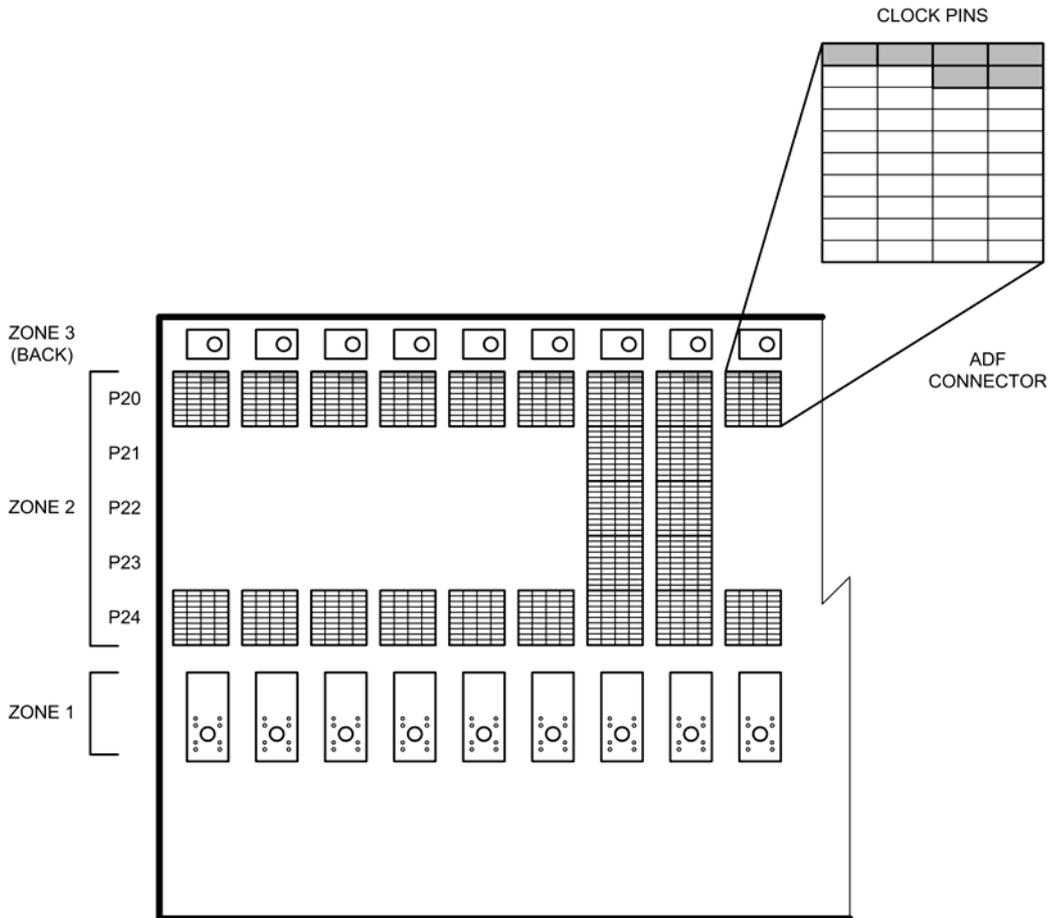


FIGURE 1. Location of Clock Pins in an ATCA Backplane

2.0 ATCA バックプレーンにおける同期クロック・インタフェース (つづき)

クロック同期インタフェースによって、バックプレーン内の全スロット間でタイミング情報を交換できるようになります。インタフェースは冗長な 3 対のクロック・バス、CLK1A、CLK1B、CLK2A、CLK2B、CLK3A、CLK3B から構成されます。PICMG 3.0 仕様では、各クロック・グループの用途、周波数、品質を次のように規定しています。

- CLK1A と CLK1B: 冗長な 8kHz の標準デジタル・テレフォニー伝送システム・クロック

- CLK2A と CLK2B: SONET/SDH ネットワークの同期用 19.44MHz クロック
- CLK3A と CLK3B: ユーザー定義信号 (クロックまたはデータ)

各 P20 ADF コネクタ・ピンの最初の 2 列は、6 つのクロック・バスに接続されます。これらのバスは基本的には両端を 80Ω の抵抗で終端した、 130Ω の差動 PCB 配線パターンです。Figure 2 は、バックプレーンに 3 枚以上のライン・カードを挿入した場合に、M-LVDS ドライバとレシーバを用いて、どのようにマルチポイント・クロック分配ネットワークを構成するのかを示しています。

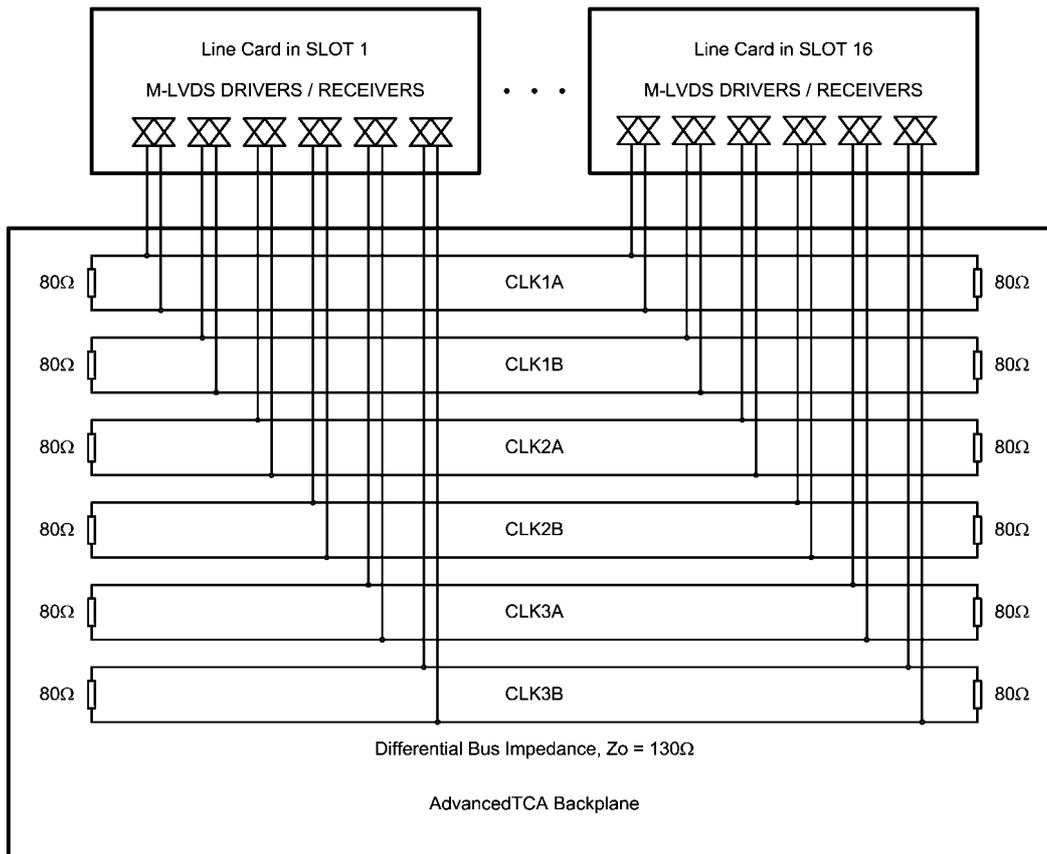


FIGURE 2. M-LVDS Drivers / Receivers Connect to Clock Busses

3.0 M-LVDS の概要

マルチポイント小振幅差動信号方式、M-LVDS の規格 (TIA/EIA-899) は、最大 32 ノードを接続可能なマルチポイント・バス上の汎用データ転送を目的としたライン・ドライバおよびレシーバの電気特性を規定したものです。具体的には、ドライバの出力特性と 2 種類のレシーバ入力特性を規定しています。

TIA/EIA-899 規格に準拠する M-LVDS ドライバは、オフセット範囲 0.3 ~ 2.1V、振幅 480 ~ 650mV の差動信号を出力します。信号の 10%-90% 遷移時間 (立ち上がり立ち下がり) は 1ns 以上、かつ単位間隔 (t_{UI}) の最大 1/2 でなければなりません。これは、マルチポイント・アーキテクチャに伴う副作用であるスタブの効果を低減するためです。Table 1 に、LVDS (ポイント・ツー・ポイント・トポロジーで広く用いられているインタフェース) と M-LVDS のドライバの主要特性を示します。

M-LVDS レシーバの仕様で重要となるのは、入力電圧スレッショルドと入力コモン・モードの範囲です。Figure 3 に示すとおり、M-LVDS レシーバは入力スレッショルド・レベルによって 2 種類に分けられます。タイプ 1 のレシーバのスレッショルド・レベルは 0V を中心としており、タイプ 2 のレシーバよりも大きなノイズ・マージンを持ちます。タイプ 2 のレシーバは、正側のノイズ・マージンが小さくなるものの、制御信号に対してフェイル・セーフ機能を持たせることができます (Figure 5 と Figure 6 を参照)。

レシーバの入力コモン・モード範囲が -1.4 ~ 3.8V と広いことから、グラウンド基準との間に最大 ±1V の電位差が生じる場合もあるサブシステムの接続に対しても、M-LVDS であれば堅牢なインタフェースを構築できます。

TABLE 1. Comparison of Key Driver Parameters

Parameter	LVDS	M-LVDS
V_{OD} [mV]	250 - 450	480 - 650
V_{OS} [V]	1.125	0.3 - 2.1
I_{OD} [mA]	2.5 - 4.5	9 - 13
I_{OS} [mA]	< 24	< 43
t_{RISE} / t_{FALL} Min [ns]	N / A	1
t_{RISE} / t_{FALL} Max [s]	$0.3 t_{UI}$	$0.5 t_{UI}$

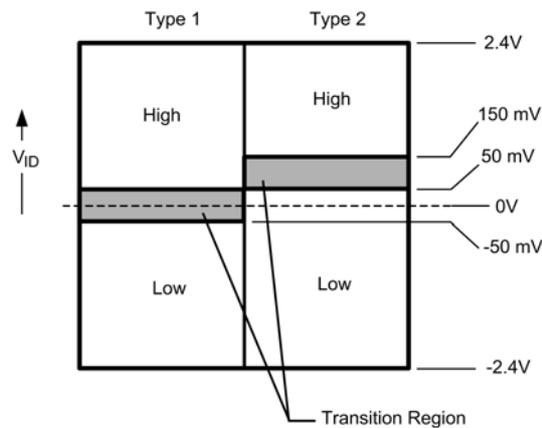


FIGURE 3. M-LVDS Standard Defines Two Receiver Types

4.0 ATCA バックプレーンにおける M-LVDS の性能

現在、ナショナルセミコンダクターの M-LVDS デバイス・ファミリーとして、次の 4 つのシングル・チャンネル・デバイスがあります。

- DS91D176 - タイプ 1 の M-LVDS 入力による半二重
- DS91C176 - タイプ 2 の M-LVDS 入力による半二重
- DS91D180 - タイプ 1 の M-LVDS 入力による全二重
- DS91C180 - タイプ 2 の M-LVDS 入力による全二重

ここでは、ファミリーを代表する製品である DS91D176 を AdvancedTCA バックプレーンで使用した場合の性能について説明します。以下の項では、実験装置、実験方法、実験結果の詳細を示します。

4.1 装置の説明

ELMA Bustronic (www.bastronic.com) が開発した、AdvancedTCA 準拠の 14 スロット・デュアルスター・バックプレーンと、ナショナルセミコンダクターが開発したライン・カード (P/N: DS91D176EVK) を 14 枚使用して、さまざまなマルチポイント・クロック分配ネットワークに対す

る実験が可能になりました。各ライン・カードは M-LVDS I/O ピンを ADF コネクタに接続した DS91D176 を 6 個搭載しています。これらのライン・カードをバックプレーンに挿入すると、カード上の 6 個のデバイスは、それぞれがバックプレーン上の 6 つのクロック・バスに接続されます。14 枚のライン・カードをすべて取り付けると、6 マルチドロップのネットワークが構成されます。各ライン・カードは、ドライバ・カード (6 個のデバイスをすべて M-LVDS ドライバとして設定)、またはレシーバ・カード (6 個のデバイスをすべて M-LVDS レシーバとして設定) のいずれかに設定できます。Figure 4 に、すべてのスロットに M-LVDS ライン・カードを挿入した状態のバックプレーンを示します。

M-LVDS I/O ピンをバスに接続する、M-LVDS ライン・カード上の終端されていない短い PCB 配線パターン (スタブ) は、デバイスごとに形状が異なります。スタブの長さは 0.25 ~ 2 インチ (1 インチ = 2.54cm) であり、差動スタブのインピーダンスは 80 ~ 130 Ω の間で変化します。Table 2 に、ライン・カード上のスタブの特性を示します。

M-LVDS ライン・カードの回路図およびガーバー・ファイル、ボードのスタックアップ (層構成)、その他の情報については、lvds.national.com に掲載されている最新のユーザー・マニュアルを確認してください。



FIGURE 4. 14-Slot ATCA Backplane Fully Loaded with M-LVDS Line Cards

TABLE 2. M-LVDS Line Card Stub Characteristics and Pin mapping

Device	M-LVDS Pins	ADF Connector Pins	Stub Length	Stub Diff. Impedance
U1	A1, B1	B1, A1	0.25"	100 ohms
U2	A2, B2	D1, C1	0.50"	100 ohms
U3	A3, B3	F1, E1	1.00"	130 ohms
U4	A4, B4	H1, G1	1.00"	100 ohms
U5	A5, B5	D2, C2	1.00"	80 ohms
U6	A6, B6	B2, B1	2.00"	100 ohms

4.0 ATCAバックプレーンにおけるM-LVDSの性能 (つづき)

4.3 実験結果

さまざまなマルチドロップ構成、スタブ長、スタブ・インピーダンスおよび周波数に対する詳細な実験から、以下の結論が得られました。

- レシーバ入力に対して確保できるノイズ・マージンは、ドライバ・カードの位置が終端抵抗のいずれかに近いほど大きくなります。言い換えれば、ドライバ・カードの位置としては、バックプレーンの最初と最後のスロットが最適であり、中央のスロットが最悪であることです。
- ドライバ・カードの隣のスロットに挿入したレシーバのノイズ・マージンが一番小さく、最も遠くに挿入したレシーバのノイズ・マージンが最大となります。Table 3 に、ドライバ・カードの隣、および最も離れたスロットのレシーバに対するノイズ・マージンを示します。バックプレーンのスロットにはすべてカードが挿入され、クロック周波数は 19.44MHz です。
- ノイズ・マージンは、短く細いスタブの方が大きくなります。スタブが終端されていない伝送線として振る舞う場合、スタブがバスに接続する個所で部分的にバスのインピーダンスが小さくなります。このようなインピーダンスの変動、あるいはバスに沿った不連続性によって反射が発生し、これがノイズ・マージンを低下させます。Figure 7 に、スロット #8 に挿入したレシーバのノイズ・マージンに対するスタブ長の効果を示します。ドライバ・カードはスロット #7 に挿入し、13 枚すべてのレシーバ・カードに対して 19.44MHz のクロックを供給します。

Figure 7 の 4 つの波形は、隣接するレシーバの入力部分で、それぞれスタブ長が 0.25、0.5、1、2 インチのネットワークについて測定したものです。明らかに 2 インチのスタブによるネットワークに接続されたレシーバのノイズ・マージンが最低です。Table 4 は、スロット #7 にドライバ・カードを挿入し、13 枚のレシーバ・カードのすべてに対して、ある共通の周波数のクロックを供給した場合に、スロット #8 に挿入したレシーバで確保できるノイズ・マージンです。このデータからわかるように、ある一定の構成に対しては、クロック信号が 60MHz 程度の場合にノイズ・マージンが最悪となります。AdvancedTCA システムに許された最大周波数である 100MHz では信号が最も減衰して正弦波に近い波形となるため、レシーバにおける大きな反射も起こりません。その結果、ノイズ・マージンがこの周波数で最大となっています。

Figure 8 に、スロット #8 に挿入したレシーバのノイズ・マージンに対する、スタブ・インピーダンスの効果を示します。ドライバ・カードはスロット #7 に挿入し、13 枚すべてのレシーバ・カードに対して 19.44MHz のクロックを供給します。

Figure 8 の 3 つの波形は、隣接するレシーバの入力部分で、それぞれスタブ・インピーダンスが 80、100、130Ω のネットワークについて測定したものです。スタブ・インピーダンスが 130Ω のネットワークに接続されたレシーバのノイズ・マージンが最大になります。Table 5 は、スロット #7 にドライバ・カードを挿入し、13 枚のレシーバ・カードのすべてに対して、ある共通の周波数のクロックを供給した場合の、スロット #8 に挿入したレシーバのノイズ・マージンです。

TABLE 3. Noise Margin Depends on Driver and Receiver Cards Locations and Stub Length

Driver Location	Receiver Location	Available Noise Margin [mV]			
		0.25" Stubs	0.50" Stubs	1.00" Stubs	2.00" Stubs
Slot #1	Slot #2	350	310	230	230
Slot #1	Slot #14	>350	>350	>350	>350
Slot #7	Slot #8	230	230	150	70
Slot #7	Slot #14	310	310	230	230

TABLE 4. Noise Margin is Higher with Shorter Stubs

Frequency [MHz]	Driver Location	Receiver Location	Available Noise Margin [mV]			
			0.25" Stubs	0.50" Stubs	1.00" Stubs	2.00" Stubs
19.44	Slot #7	Slot #8	230	230	150	70
30.72	Slot #7	Slot #8	230	230	115	105
61.44	Slot #7	Slot #8	180	160	140	0
100.0	Slot #7	Slot #8	>350	>350	>350	>350

TABLE 5. Higher Impedance Stubs Have a Lesser Impact on Noise Margin

Frequency [MHz]	Driver Location	Receiver Location	Available Noise Margin [mV]		
			80 ohm Stubs	100 ohm Stubs	130 ohm Stubs
19.44	Slot #7	Slot #8	130	150	170
30.72	Slot #7	Slot #8	105	115	130
61.44	Slot #7	Slot #8	130	140	160
100.0	Slot #7	Slot #8	>350	>350	>350

4.0 ATCA バックプレーンにおける M-LVDS の性能 (つづき)

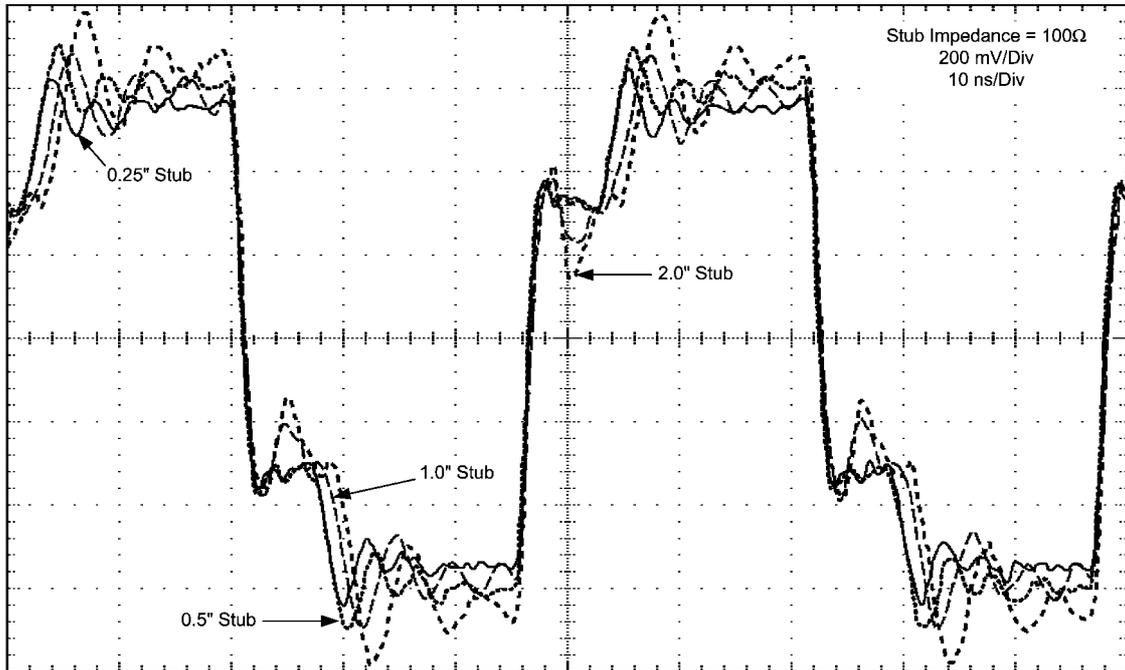


FIGURE 7. Noise Margin is Higher with Shorter Stubs

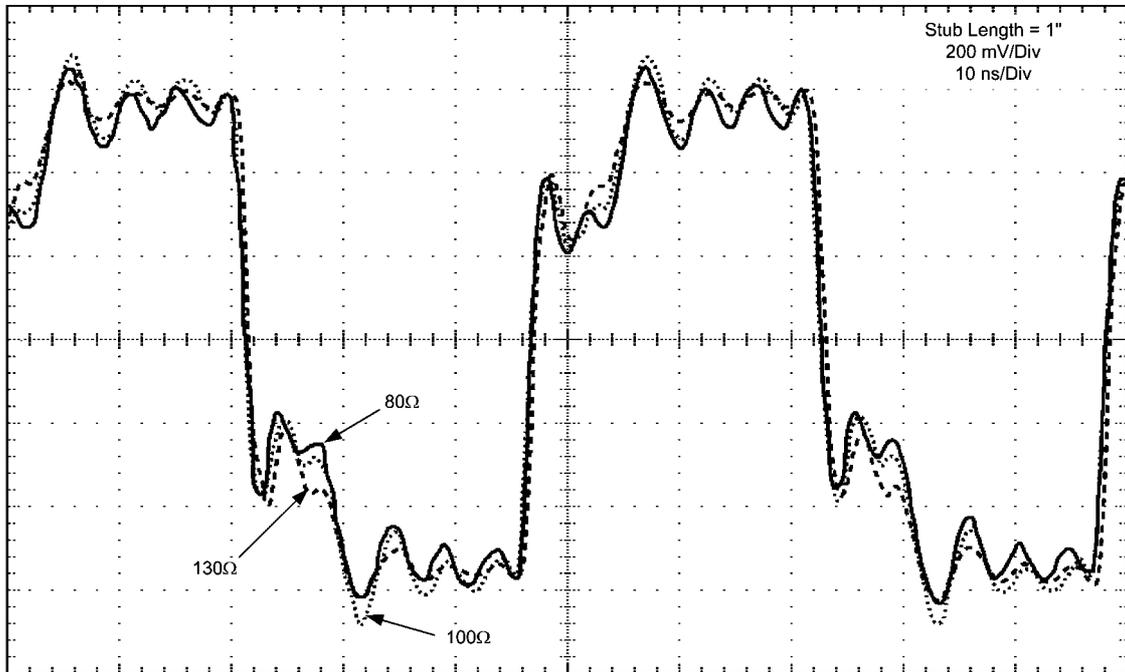


FIGURE 8. Higher Impedance Stubs Have a Lesser Impact on Noise Margin

5.0 M-LVDS クロック分配ネットワークの設計 - ヒントとコツ

ATCA 準拠の M-LVDS クロック分配ネットワークを、PCIMG 3.0 規格に記載された推奨事項のみを参照して設計しようとすると、予想外の困難に直面します。以下に示す一連の推奨設計とヒントは、ATCA 準拠のバックプレーンとナショナルセミコンダクターの M-LVDS 製品による実験から導かれたものです。ノイズ・マージンを可能なかぎり大きくした、信頼性の高いクロック分配ネットワークを構築するために役立つでしょう。

- クロック・システムの帯域幅要件を満たす M-LVDS ドライバのうち、遷移時間が最も長い製品を選択します。TIA/EIA-899 規格では、M-LVDS ドライバ出力の最小遷移時間を 1ns と規定しています。スタブ長 1 インチの ATCA バックプレーンでは、構成によっては 1ns の遷移時間では遷移が速すぎる場合があります。ナショナルセミコンダクターの M-LVDS ドライバは、10% ~ 90% 遷移時間が 1.7ns (代表値) であり、最高周波数 100MHz まで動作可能です。
- 他のシステム要件に抵触しない限り、スロットに挿入するライン・カードのうちクロック・ドライバとなるカードはバックプレーンの両端に近い場所に配置します。このように配置すれば信号経路長が長くなります。信号経

路長が長くなれば、損失が増え、信号波形のエッジがなまります。この場合も、遷移時間を長くすることにより、インピーダンスの不連続性に対する「許容度」を大きくできます。

- スタブ長はできる限り短くします。PCIMG 3.0 では M-LVDS デバイスの最大スタブ長を 1 インチ (ADF コネクタを除く) と規定しています。これより長いと、システムが誤動作するおそれがあります。一方、スタブ長を 1 インチから 1/2 インチに短くすれば、ノイズ・マージンが 50% 向上する可能性があります。
- ノイズ・マージンが非常に重要な場合は、スタブ・インピーダンスを大きくすることを考えます。これには、スタブと銅箔間の誘電体の厚さを増やすか、(スタブ長を最小にすると同時に)PCB メーカーに可能なかぎりスタブ幅を細く作るように依頼します。
- 電源ノイズは、常にノイズ・マージンを低下させます。M-LVDS デバイスが適切にデカップリングされていることを確認してください。VDD と GND ピンにはビアを 2 個使用し、デバイスの VDD ピン近くにはデカップリング・コンデンサーを配置します。Figure 9 に、デカップリング・コンデンサの配置方法、DS91D176 の電源およびグラウンド・プレーンへの接続方法を示します。

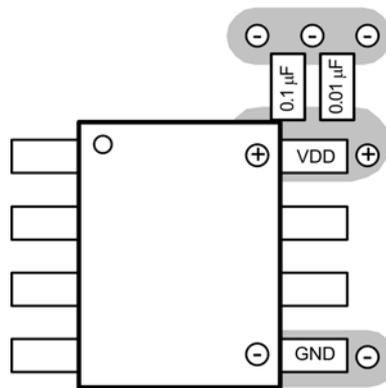


FIGURE 9. Decoupling DS91D176

6.0 結論

スタブを短く細くすると同時に、出力の遷移時間を適切に調整した信号ドライバ (M-LVDS ライン・ドライバ) を使用することが、ノイズ・マージンを向上し、ATCA バックプレーンの M-LVDS クロック分配ネットワークなど、あらゆるマルチポイント・ネットワークの総合特性を改善する鍵となります。この事実と、本書に記載した PCB 設計に関する推奨事項を従えば、信頼性の高いクロック分配ネットワークを容易に設計できます。

7.0 参考文献

1. DS91D176/DS91C176 データシート、ナショナルセミコンダクター、2006 年 4 月
2. PICMG 3.0 リビジョン 2. 0、ATCA 基本仕様、2000 年 3 月 18 日
3. TIA/EIA-899-A、マルチポイント小振幅差動信号方式 (M-LVDS) インタフェース回路の電気特性、米国電気通信工業会、2002 年 3 月
4. TIA/EIA-644-A、小振幅差動信号方式 (LVDS) インタフェース回路の電気特性、米国電気通信工業会、2001 年 2 月

このドキュメントの内容はナショナル セミコンダクター社製品の関連情報として提供されます。ナショナル セミコンダクター社は、この発行物の内容の正確性または完全性について、いかなる表明または保証もいたしません。また、仕様と製品説明を予告なく変更する権利を有します。このドキュメントはいかなる知的財産権に対するライセンスも、明示的、黙示的、禁反言による惹起、またはその他を問わず、付与するものではありません。

試験や品質管理は、ナショナル セミコンダクター社が自社の製品保証を維持するために必要と考える範囲に用いられます。政府が課す要件によって指定される場合を除き、各製品のすべてのパラメータの試験を必ずしも実施するわけではありません。ナショナル セミコンダクター社は製品適用の援助や購入者の製品設計に対する義務を負いかねます。ナショナル セミコンダクター社の部品を使用した製品および製品適用の責任は購入者にあります。ナショナル セミコンダクター社の製品を用いたいかなる製品の使用または供給に先立ち、購入者は、適切な設計、試験、および動作上の安全手段を講じなければなりません。

それら製品の販売に関するナショナル セミコンダクター社との取引条件で規定される場合を除き、ナショナル セミコンダクター社は一切の義務を負わないものとし、また、ナショナル セミコンダクター社の製品の販売か使用、またはその両方に関連する特定目的への適合性、商品の機能性、ないしは特許、著作権、または他の知的財産権の侵害に関連した義務または保証を含むいかなる表明または黙示的保証も行いません。

生命維持装置への使用について

ナショナル セミコンダクター社の製品は、ナショナル セミコンダクター社の最高経営責任者 (CEO) および法務部門 (GENERAL COUNSEL) の事前の書面による承諾がない限り、生命維持装置または生命維持システム内のきわめて重要な部品に使用することは認められていません。

ここで、生命維持装置またはシステムとは (a) 体内に外科的に使用されることを意図されたもの、または (b) 生命を維持あるいは支持するものをいい、ラベルにより表示される使用方法に従って適切に使用された場合に、これの不具合が使用者に身体的障害を与えると予想されるものをいいます。重要な部品とは、生命維持にかかわる装置またはシステム内のすべての部品をいい、これの不具合が生命維持用の装置またはシステムの不具合の原因となりそれらの安全性や機能に影響を及ぼすことが予想されるものをいいます。

National Semiconductor とナショナル セミコンダクターのロゴはナショナル セミコンダクター コーポレーションの登録商標です。その他のブランドや製品名は各権利所有者の商標または登録商標です。

Copyright © 2010 National Semiconductor Corporation

製品の最新情報については www.national.com をご覧ください。

ナショナル セミコンダクター ジャパン株式会社

本社 / 〒 135-0042 東京都江東区木場 2-17-16 TEL.(03)5639-7300

技術資料 (日本語 / 英語) はホームページより入手可能です。

www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしていません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されていません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されていません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上