

LMK03000,LMK03001



Literature Number: JAJA429

SIGNAL PATH | *designer*

Tips, tricks, and techniques from the analog signal-path experts

No. 109

特集記事.....1-7

高精度クロック・
コンディショナ.....2

試験/計測機器向けアナログ・
ソリューション.....4

ワイヤレス・インフラ
ストラクチャ向けアナログ・
ソリューション.....6

設計支援ツール.....8

時間インタリーブ方式ADCシステム向け 高精度クロックの生成

— James Catt, Applications Engineer

1つのA/Dコンバータ（ADC）だけでは対応できない高分解能と高いサンプリング・レートの両方を必要とする多くのデジタル試験/計測機器アプリケーションでは、通常サンプリング・クロックの位相をずらした複数のADCが使用されます。このアーキテクチャはブロードバンド通信システムにも利用できます。Figure1は、時間インタリーブ方式ADCシステムのサンプリング・アーキテクチャです。

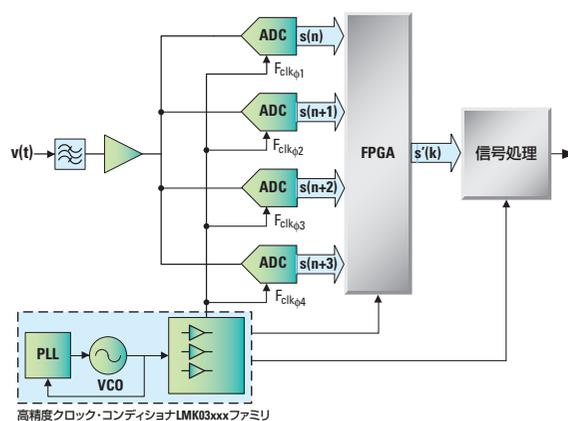


Figure 1. 時間インタリーブ方式のADCシステム

数学的にはこの方式は単純です。各ADCのクロック・レートが同じでも、クロック位相を均等にずらすことで、実効サンプリング・レートが向上します。実効サンプリング・レートは、ADCの数とサンプリング・クロックの積です。Figure2は、4チャンネルのADCシステムを例に、各チャンネルのサンプリング・クロックの時間領域の関係を示したものです。

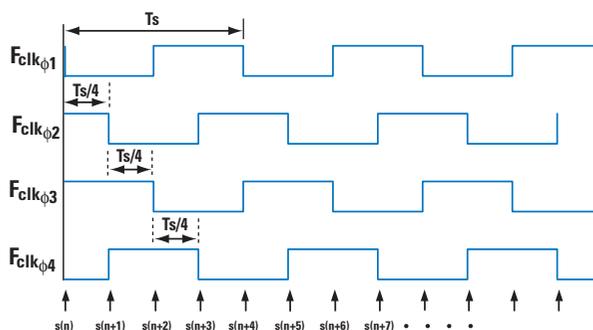
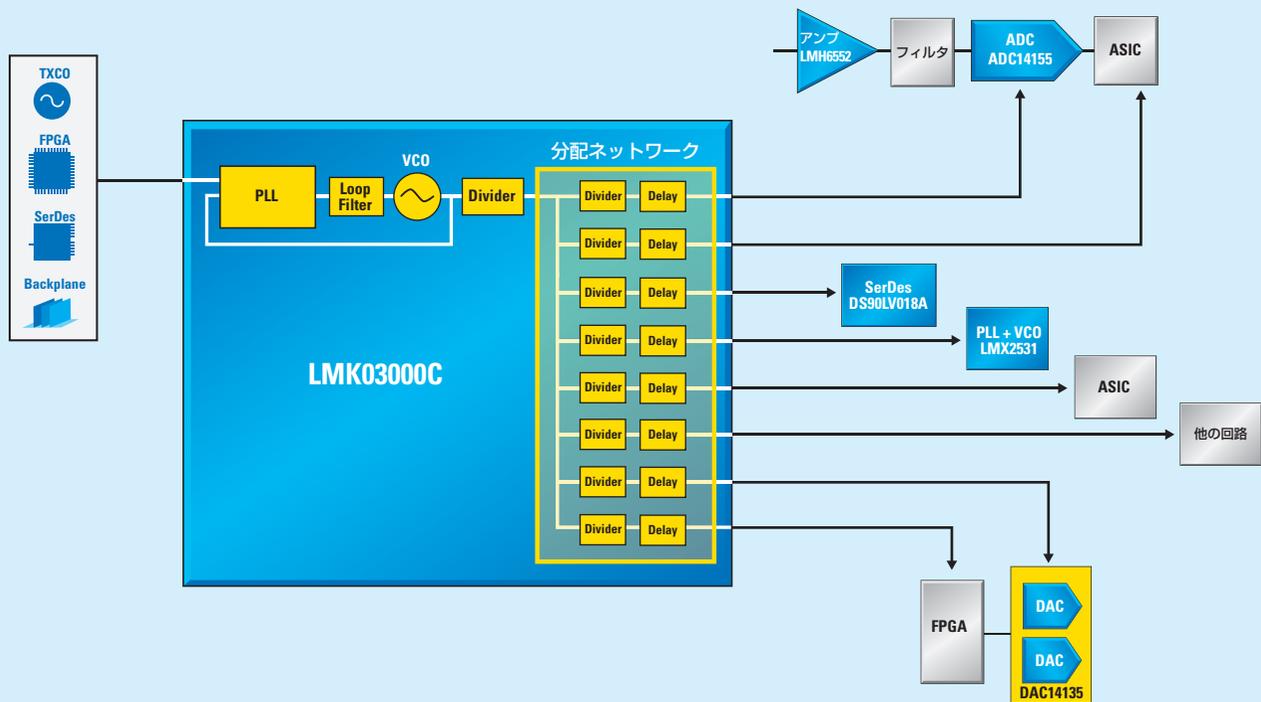


Figure 2. 時間インタリーブ方式4チャンネルADCシステムの位相をずらしたサンプリング・クロック

200fsの超低ジッタ シングルチップ・クロック・コンディショナ

ナショナルのクロック・コンディショナ・ファミリは、PLL、VCO、およびクロック分配回路の集積化により基板面積の大幅な低減を実現します。



LMK03000/01およびLMK02000の特長

- 卓越したジッタ特性、省スペース、低リスクの完全集積型VCO
- ジッタ・クリーナまたはクロック・ジェネレータとして構成可能
- 多様なジッタ要件を持つ高性能機器のクロッキング用に3種の性能グレード
- 各性能グレード間でピン互換
- 専用ディバイダと遅延ブロック内蔵の3LVDS/5LVPECLクロック出力により、分配方式を簡素化
- 1MHz～785MHzの広いクロック出力周波数範囲
- 小型化により基板面積を70%も低減

性能グレード

製品名	ジッタ (RMS代表値)
LMK02000	200 fs
LMK03000C/LMK03001C	400 fs
LMK03000/LMK03001	800 fs

2G/3G基地局、データ・コンバータ・クロッキング、ネットワークング、医療機器、計器類、航空宇宙アプリケーションなどに最適です。

LMK03000/01とLMK02000の製品サンプル、データシートやSignal Path Designerの記事はホームページから入手できます。

www.national.com/JPN/timing

時間インタリーブ方式ADCシステム向け高精度クロックの生成

Figure 1では、各ADCチャンネルへの入力は $F_s (= 1/T_s)$ サンプル/秒 (SPS) のレートでサンプリングされます。各ADCのサンプリング・クロックは互いに、クロック周期 T_s の整数分の1ずつオフセットされます。MをADCの総数とすると、位相オフセットは次式で求められます (単位はクロック周期)。

$$\phi_m = \frac{m \cdot T_s}{M}, m = 0, 1, \dots, M-1$$

Figure 2での実効サンプリング・レートは $4 \cdot F_s$ です。ただし数学的な単純さとは裏腹に、このようなシステムの構築は複雑です。ハードウェアが不完全だと、システムの性能が損なわれることがあります。時間インタリーブ方式ADCシステムを設計する場合、どんなハードウェアの設計にもつきまとうノイズや非線形性の問題に加えて、各ADC間のDCオフセット、ゲイン、クロック・スキューの相違がシステムの性能低下を招きかねないことも考慮しておかねばなりません。それらの相違をモデル化する方法をFigure 3に示します。

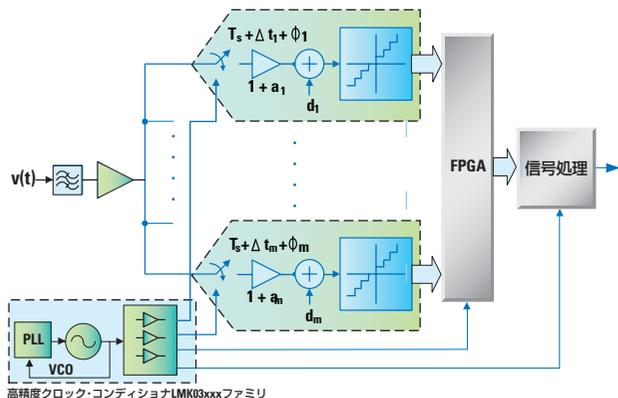


Figure 3. DC、ゲインおよびタイム・スキューのオフセットを用いたADCモデル

Figure 3のモデルでは、 a_m はm番目のチャンネルのゲイン・オフセット・パラメータ、 d_m はDCオフセット・パラメータです。サンプリング・スイッチング時間に適用されるパラメータ Δt_m は、理想サンプリング・スイッチング時間に対する任意の固定値のタイム・スキューです。ゲイン・オフセットとDCオフセットはADC回路に固有のもので、タイム・スキュー Δt_m は外部クロックから発生します。タイム・スキューの原因は、各クロックで位相オフセット生成に使用する回路か、または各

クロック・ラインでの経路長の相違にあると考えられます。それらの原因については、いずれ別の号で詳しく述べたいと思います。

ADCチャンネルにおけるそれらの不完全要因はすべて、システム設計の段階で対処しなければなりません。時間インタリーブ方式ADCアーキテクチャのための補償や補正スキームのさまざまな手法について解説した文献は数多くあります。本稿では、サンプリング・クロックのタイム・スキューによる影響への対応策を説明し、それに関連した高精度タイミング・デバイスを紹介します。

各ADCチャンネル間のクロック・スキューによる影響について理解しやすくするため、ここでは4チャンネルの時間インタリーブ方式ADCシステムを分析します。Figure 4は、サンプリング・プロセスを時間領域で表現したものです。矢印で示したのが理想サンプリング・ポイントです。実際のサンプリング・ポイント (スキューのあるもの) は、理想サンプリング・ポイントから少しずれた垂直の点線で表しています。発生する振幅誤差を下の時間軸上に示しました (拡大表示)。周期信号では、クロック・スキューによるサンプリング誤差も周期的になります。

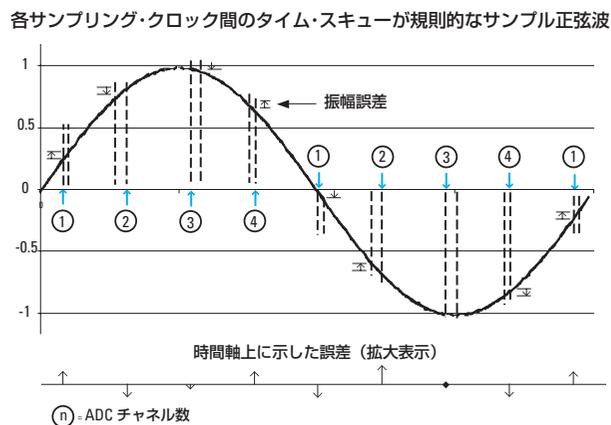
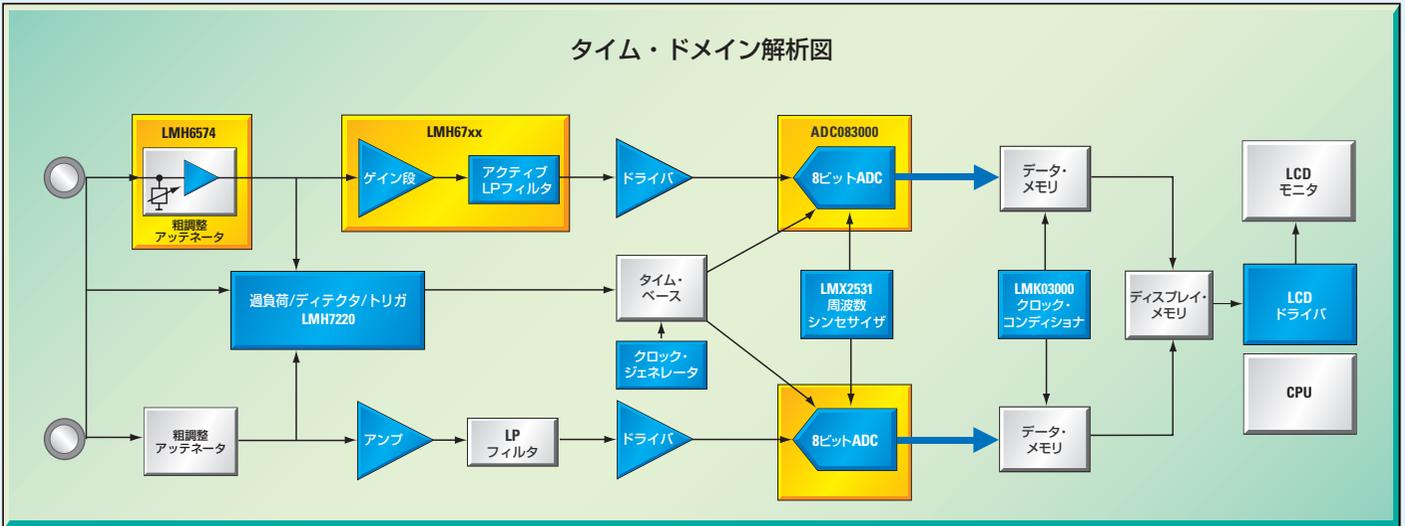


Figure 4. 時間インタリーブ方式ADCシステムにおけるサンプル・クロックのタイム・スキュー誤差、M=4

Figure 5は、各クロック間のタイム・スキューによるサンプル正弦波の誤差信号を別の観点からみたものです。誤差信号の周期性がはっきり分かります。傾斜が最も大きい信号箇所では誤差が最大になっていることに留意してください。

キーワードは高速 試験・計測機器向けアナログ・ソリューション



シグナルパス設計に最適なナショナルの高速アンプ、ギガビット級A/Dコンバータ、クロック・コンディショナ製品

- それぞれの帯域幅で超低消費電力を実現したLMH®高速アンプ
- 低消費電力で最高クラスの性能を提供する最大6GSPSの
超高速8ビットA/Dコンバータ
- 超低ジッタ (0.2ps) のプログラマブル高精度クロック・コンディショナ

A/Dコンバータ	
製品名	種類
ADC08500*	8ビット, 500 MSPS
ADC081000	8ビット, 1 GSPS
ADC081500	8ビット, 1.5 GSPS
ADC08D500	8ビット, デュアル, 500 MSPS (1 GSPS : DESモード時)
ADC08D1000	8ビット, デュアル, 1 GSPS (2 GSPS : DESモード時)
ADC08D1500	8ビット, デュアル, 1.5 GSPS (3 GSPS : DESモード時)
ADC083000*	8ビット, 3 GSPS

アンプ		帯域/伝播遅延	I _{cc} (mA)	スルーレート (V/μs)	パッケージ
LMH6703	低歪み・高速アンプ	1.2 GHz	11	4500	SOT23-6, SOIC-8
LMH6704	プログラマブル・ゲイン・バッファ	650 MHz	11.5	3000	SOT23-6, SOIC-8
LMH6574	4:1マルチプレクサ	500 MHz	13	2200	SOIC-14
LMH6555*	固定ゲイン差動アンプ	1.2 GHz	120	3000	LLP-16
LMH6552*	差動アンプ	1 GHz	22.5	2500	SOIC-8, LLP-8
LMH6550	差動アンプ	400 MHz	20	3000	SOIC-8
LMH7220	LVDS出力2.9ns高速コンパレータ	2.9 ns	6.8	600 ps	TSOT-6

クロック・コンディショナ		LVDS出力	LVPECL出力	VCO	PLL	ジッタ (RMS代表値)
LMK03000*	クロック・コンディショナ	3	5	内蔵	内蔵	0.4ps
LMX2531	周波数シンセサイザ	1	-	内蔵	内蔵	0.4ps

*サンプル出荷中

シグナルパス・ソリューションの製品サンプル、データシートはホームページから入手できます。

signalpath.national.com/jpn

時間インタリーブ方式ADCシステム向け高精度クロックの生成

インタリーブ方式ADCシステムのタイム・スキューによる誤差信号

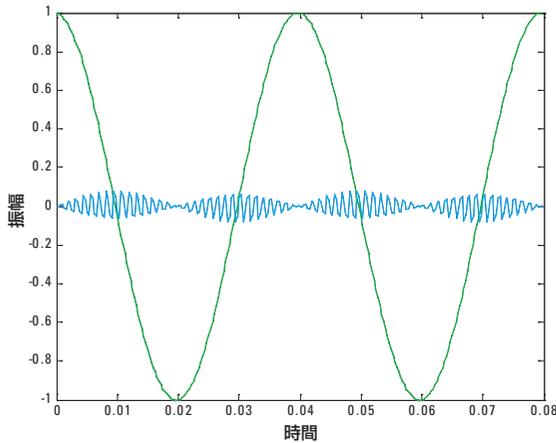


Figure 5. インタリーブ方式ADCシステムの各クロック間のタイム・スキューによる誤差信号、M=4

Figure 6は、その周波数領域の図です。

各ADCクロック間でタイム・スキューのあるサンプル正弦波の周波数領域

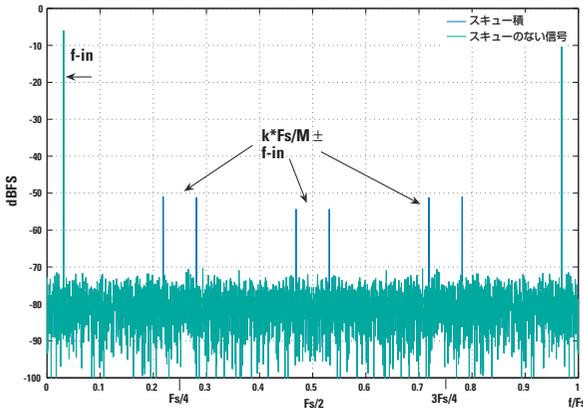


Figure 6. タイム・スキューによるスプリアス成分を含むサンプル正弦波の周波数領域表示

タイム・スキューによる誤差のあるシステムのm番目のチャンネルのADCからのサンプル・ストリームを $\{s_m(n)\}$ とすると、サンプル正弦波は次のように表されます。

$$s_m(n) = \cos(2\pi f_{IN}(n + r_m)T_s)$$

r_m = m番目のADCチャンネルにおける固定値のスキュー誤差 (これはサンプル・クロックの周期 (T_s) の1フラクシオン)、 $r_m \in [0,1]$ です。

三角関数の操作を若干行くと、

$$s_m(n) = \cos\left(\frac{2\pi f_{IN} \cdot n}{f_s}\right) + 2 \cdot \sin\left(\frac{2\pi f_{IN} \cdot r_m}{f_s}\right) \sin\left(\frac{2\pi f_{IN} \cdot (n + \frac{r_m}{2})}{f_s}\right)$$

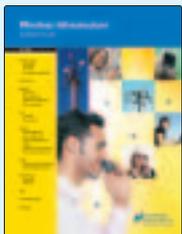
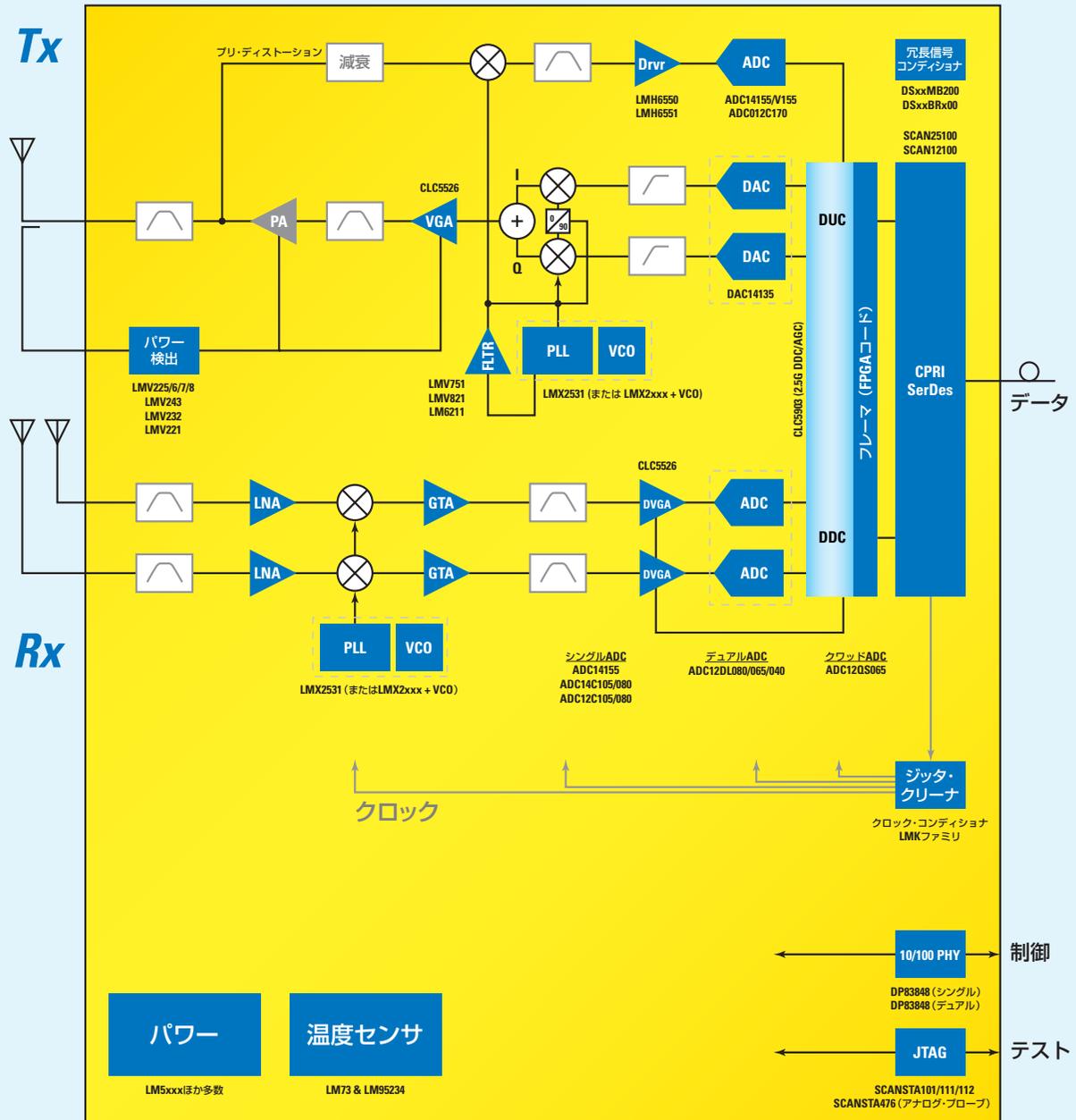
f_s = サンプル・クロック周波数。

この和では最初の項が所望の値で、2番目の項はスキューによる誤差です。この誤差項の振幅成分はやはり f_{IN} と r_m に依存します。 f_{IN} が高まるとスルーレートが上昇し、スキュー・インターバルでの電圧変化が大きくなり、誤差が拡大します。同様に、 r_m が大きくなると、信号の大きさはスキュー・インターバルで大きく変動しやすくなり、誤差項も拡大します。 r_m がゼロに向かうと、誤差項はゼロに向かいます。また、所望の周波数成分に対して直交する周波数成分も別にあります。Figure 6にみるように、多重化された信号ではタイム・スキューによるスプリアス成分は $\pm f_{IN} + \frac{k \cdot f_s}{M}$ で、それは周波数 $\frac{k \cdot f_s}{M}$ を中心とする側波帯として現れます ($k = 0,1,\dots,M-1$)。

広帯域デジタル変調 (例えばHDTV、デジタル・ケーブル、WCDMA) による信号など、ノイズに似たランダム信号では、スキューによるサンプリング誤差はランダム化されて付加的なランダム・ノイズとして現れ、ノイズ・フロアが高まって、SNRが劣化します。また、スキューが大きくなると周期信号でのスプリアスが増え、変調信号でのノイズ・フロアが高まることもはっきりしています。

SNRはしばしば、システムの性能評価で最も代表的な性能係数 (Figure of Merit) として扱われます。このため設計者は、あらかじめ設定された一連のクロック・スキュー値に対してシステムのSNR劣化を推測できなければなりません。しかし大抵の場合、クロック・スキューは、ある程度の確実さで、ある程度のインターバル内に抑え込めるだけです。言い換えれば、実際のクロック・スキュー値やそのスキュー値の異なるADCクロック入力への割り当てはランダムになります。SNRはランダムなタイム・スキュー値に依存するため、ランダム変数ともいえます。従って、設計者がなす最善の策は、その分布を理解して、ある特定のクロック・スキュー値分布に対してSNRのための信頼区間 (confidence interval) を求めるということになります。その際にカギとなるのは、クロック・スキューの統計データと信頼区間の関連性です。脚注の参考文献 [1] はこの問題を扱っており、ADCチャンネルの不整合なパラメータのどれにでも適用できるように一般化した、SNRの確率密度関数 (PDF) の閉形式を導き出し、不整合の元はガウス・ランダム変数であると推定しています。

ワイヤレス・インフラストラクチャ向けソリューション



無線インフラ・デザイン・ガイドはホームページでご覧になれます。

www.national.com/see/wirelessguide

時間インタリーブ方式ADCシステム向け高精度クロックの生成

PDFの閉形式はよい教示になりますが、量子化ノイズと併せたクロック・スキューの影響を考慮していません。それらを併せた影響度を調べる1つの方法が、Matlabなどのツールを使ってそれらの要因をモデル化することです。具体例として、時間インタリーブ方式の4チャンネルADCシステムのモデルを作り、Matlabでシミュレーションしました。このモデルで使用したADCには完璧な量子化器を採用したので、ADC出力に含まれる歪みは量子化動作とサンプル・クロック・スキューだけが原因とみなすことができます。従って、クロック・スキューのSNRへの影響度に関しては、現実世界でサンプルした信号にもみられるような他の歪みの影響を一切排除できます。一旦モデルを作って有効性を確認すれば、それを使って、時間インタリーブ方式ADCについてクロック・スキューの標準偏差やADCの数と対照しながらSNR感度を調べることができます。例えば、入力信号が帯域制限された付加的ホワイト・ガウス・ノイズ (AWGN) である場合の14ビットと12ビット分解能のケースについてシミュレーションした結果がFigure 7です。この例ではある1つのガウス信号を用いましたが、これはその統計値が多くの広帯域デジタル信号と類似しているからです。スキューは各々のADCクロック入力に対して1つのランダム変数であることから、このモデルではシミュレーションを数千回行えるようになっています。つまり、ある1つの標準偏差 (単位: UI) を選び、それを使って誤差が平均ゼロのガウス分布から導

き出したランダムでありながら固定値のスキューを各ADCクロックに割り当てて、各シミュレーションを実行します。各シミュレーションについてSNRを計算し、シミュレーションがすべて完了した後にSNR値のヒストグラムを作成します。Figure 7はその作成例です。

Figure 7からわかる重要な点は、クロック・スキューの標準偏差 (SD) にある1つの値を特定した場合、SNR分布は分散していることです (標準偏差は1UI (Unit Interval = 1クロック周期) のフラクショナル値)。次に重要な点は、クロック・スキューの標準偏差が大きくなるとSNRが劣化することで、これは予想通りです。14ビットの場合、クロック・スキューが0.008 UIに達すると、サンプル・ストリームのSNRは大幅に劣化しています。大抵の設計ではSNRの最低限の目標値を満たす必要がありますが、Figure 7のヒストグラム・データを使えば、時間インタリーブ方式ADCを駆動するクロッキング・システムの設計仕様の評価を行うことができます。ある特定のクロック・スキュー分布に伴うSNRについて、90%、95%および99%の信頼区間をヒストグラム・データから推定できるので、設計者はそのような特性を示すクロッキング設計について適合性を判別することができます。

まとめ

本稿では、時間インタリーブ方式ADCシステムにおけるサンプリング・クロック・スキューの影響について考察しました。ナショナルのVCO (電圧制御発振器) 内蔵高精度クロック・コンディショナ LMK03xxxファミリは、単一のリファレンスに同期された複数のクロック出力を持っています。これらの出力はエッジ同期させるか、または、各クロック出力に対してプログラマブルな遅延を割り当てることができます。時間インタリーブ方式ADCシステムのクロッキング・スキームを設計する場合、パス長の違いが各クロック間のスキューに影響を与えることがあります。これに対処するには可変遅延機能を備えていることが重要です。

[1] G. Leger, E. J. Peralias, A. Rueda, J. L. Huertas, "Impact of Random Channel Mismatch on the SNR and SFDR of Time-Interleaved ADCs" IEEE Transactions on Circuits and Systems - I: Regular Papers, Vol. 51, No. 1, January 2004.

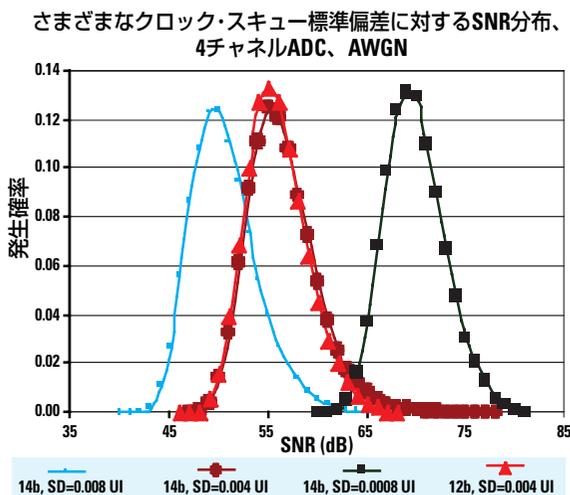


Figure 7. さまざまなスキュー分布を持つ4チャンネル・インタリーブADCシステムのSNR分布

設計支援ツール

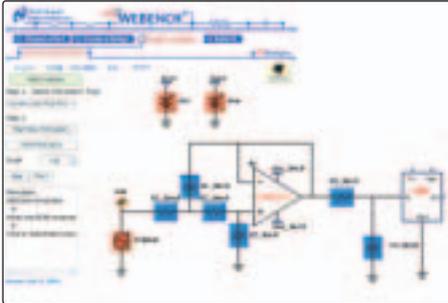
WEBENCH® Signal Path Designer 回路設計ツール

ナショナルは、簡単な操作で回路設計を加速するSignal-Path DesignerをWEBENCHプラットフォーム上で提供しています。

機能

- アンチ・エイリアシング・フィルタの合成
- アンプの選択、A/Dコンバータとの最適な組み合わせを選定
- SNR、SDFR、電源電圧にもとづくトレードオフ
- SPICEを使用した実際の動作環境でのシミュレーション

webench.national.com/jpn



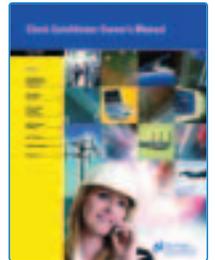
WEBENCH® オンライン・ワイヤレス 回路設計支援ツール

PLL（フェーズ・ロック・ループ）回路シミュレーションと最適化のための設計支援ツールです。このツールは、適切なPLLとVCO選択、ループ・フィルタ作成により、仕様要件に合わせた総合的なソリューションを提供します。シングル/デュアル/フラクショナル-Nおよびアクティブ/パッシブのPLL設計機能を持ち、さらにシミュレーション実行のほか、位相ノイズ波形、ロック時間、ボード線図/フィルタ解析、スプリアス計算の検証を可能にします。



新登場「クロック・コンディショナ・オーナーズ・マニュアル」をホームページからダウンロードできます。

www.national.com/JPN/timing



ナショナルの
シグナルパス製品サイト:
www.national.com/JPN/signalpath/

お問い合わせ:
jpn.feedback@nsc.com

どの号もお見逃しなく！

Signal Path Designerのバックナンバーはナショナルのサイトでご覧いただけます。
signalpath.national.com/jpndesigner

Power Designerもぜひお読みください。オンラインで提供しています。
power.national.com/jpndesigner



 **National
Semiconductor**
The Sight & Sound of Information

ナショナル セミコンダクター ジャパン株式会社
〒135-0042 東京都江東区木場2-17-16
TEL 03-5639-7300 (大代表) www.national.com/jpn/

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えたり、保証もしくは承認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータブックもしくはデータシートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されてもいません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されてもいません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2011, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光が当たる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上