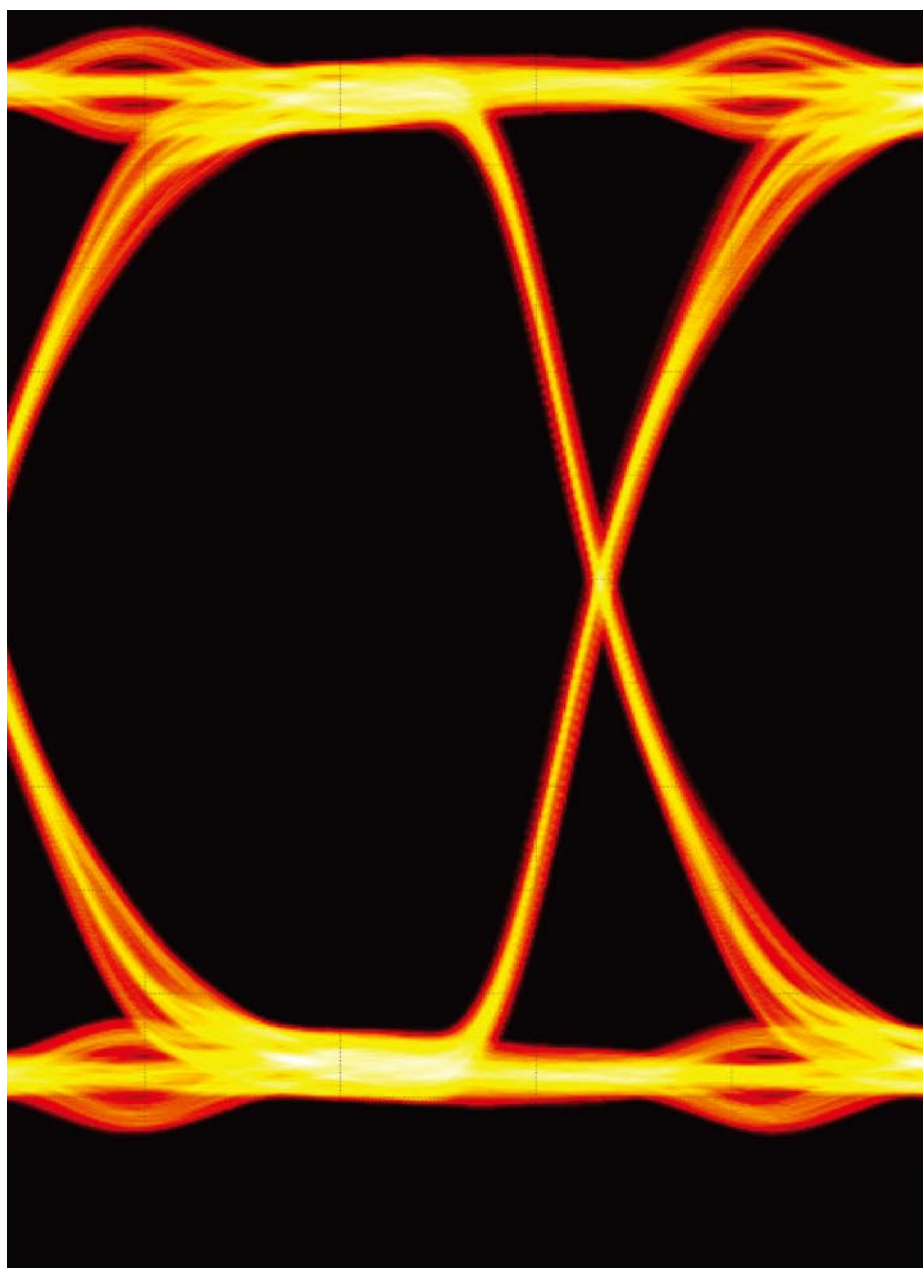


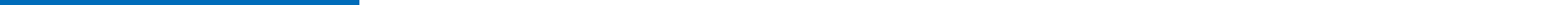
LVDS オーナーズ・マニュアル Part 2

高速 CML とシグナル・コンディショニング



高速インターフェイス・テクノロジーの概要.....	3-7
ネットワークトポロジー	9-11
SerDesアーキテクチャ.....	13-23
終端とレベル変換.....	25-32
回路設計とレイアウトのガイドライン.....	33-39
ジッタ概論	41-52
インターコネクティブメディアとシグナル・コンディショニング	53-69
半導体のI/Oモデル	71-76
設計課題への対応.....	77-96





LVDS オーナーズ・マニュアル

高速 CML と シグナル・コンディショニング

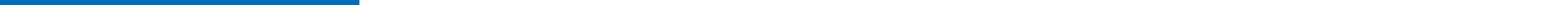
Part 2
2008 年

目次

はじめに	1	5.2 伝送損失	34
高速インターフェイス・テクノロジーの概要	3	5.3 PCB のビア	35
1.1 差動信号テクノロジー	3	5.4 バックプレーン・サブシステム	36
1.2 LVDS – 小振幅差動信号方式	4	5.5 デカップリング	38
1.3 CML – 電流モード・ロジック	5	ジッタ概論	41
1.4 LVPECL – 低電圧ポジティブ・エミッタ結合ロジック	6	6.1 はじめに	41
1.5 最適なテクノロジーの選択	6	ランダム・ジッタの特性	41
ネットワーク・トポロジ	9	確定的ジッタ	42
2.1 ポイント・ツー・ポイント	9	デューティ・サイクル歪み	43
2.2 マルチポイント / マルチドロップ	10	シンボル間干渉	44
2.3 SerDes アーキテクチャ	11	周期的ジッタ	46
2.4 信号テクノロジーの混在環境	11	6.2 そのほかのジッタ源	46
2.5 インターフェイス・テクノロジーの選択	11	入力容量の影響	47
SerDesアーキテクチャ	13	FEXT/NEXT	47
3.1 はじめに	13	システムのクロストーク感度	48
3.2 平行・クロック SerDes	13	ビット・エラー・レート	48
3.3 エンベデッド・クロック (クロック埋め込み型) SerDes14	14	6.3 パターン依存性とアイ・ダイアグラム	49
3.4 8b/10b SerDes	15	アイ・マスク	51
3.5 FPGA 直結型 SerDes	16	バスタブ曲線とアイ等高線	51
3.6 アプリケーション	17	インターコネク・メディアと	
平行・クロック SerDes	17	シグナル・コンディショニング	53
エンベデッド・クロック (クロック埋め込み型)		7.1 ケーブルの物理的特性と電気的特性	53
SerDes	18	7.2 シグナル・コンディショニングの特性	57
8b/10b SerDes	20	ケーブルや PCB トレースで生じるメディア損失	57
FPGA 直結型 SerDes	21	プリエンファシス・ドライバと	
3.7 概要比較	22	ディエンファシス・ドライバ	58
3.8 まとめ	23	イコライゼーション	59
終端とレベル変換	25	2 種類のイコライザ回路	60
4.1 終端とインピーダンス整合	25	パッシブ：パワーセーバー・イコライザ	60
4.2 マルチドロップとマルチポイント	25	アクティブ・イコライザ	60
4.3 AC 結合	26	固定イコライザ	61
4.4 DC バランス	27	適用量を制御できる可変イコライザ	61
コンデンサの選択	28	アダプティブ・イコライザ	61
4.5 レベル変換	29	クロストーク	62
4.6 フェイルセーフ	31	反射	62
M-LVDS フェイルセーフ	32	7.3 プリエンファシス / ディエンファシスと	
回路設計とレイアウトのガイドライン	33	イコライザの併用	64
5.1 PCB 伝送線路	33	7.4 ランダム・ノイズ	64
		7.5 リクロック・レシーバ (リクロッカ)	65
		7.6 ビット・エラー・レート (BER) と	
		ジッタ (ランダムと確定)	66
		イコライゼーションを使った損失性メディアの補償	66
		プリエンファシスのアイダイアグラム	68
		PE/EQ の組み合わせ	69

目次

半導体のI/Oモデル	71
8.1 入力 / 出力バッファ情報仕様	71
8.2 IBIS のビヘイビア図	72
8.3 ステート出力モデル	72
8.4 IBIS モデルの作成	73
8.5 散乱パラメータ (S パラメータ)	74
8.6 SPICE モデル	76
設計課題の解決方法	77
9.1 クロック分配とシグナル・コンディショニング	77
ポイント・ツー・ポイントでのクロック分配	77
マルチポイントでのクロック分配	77
クロック・コンディショナ	78
9.2 システム・クロック分配	80
ATCA 同期クロック・インターフェイス	80
MicroTCA 同期化クロック・インターフェイス	81
9.3 FPGA 性能の補完	82
FPGA の伝送距離を延長する SerDes	82
重要な負荷容量	83
LVDS レベル変換	84
9.4 放送ビデオ	85
9.5 SerDes 距離の延長	86
ケーブル・エクステンダ・チップセットの利点	87
設計課題への対応	87
得られる延長距離の一例	88
シグナル・コンディショニングによる 伝送距離の延長	88
パワーセーバー・イコライザ	89
9.6 M-LVDS : RS-485 に代わる高速短距離伝送	90
9.7 冗長性	91
9.8 高速差動ネットワークのテストビリティ	92
機能テスト	94
ループバック	94
9.9 DVI / HDMI	95
高データレートと低価格の長いケーブル	95
表皮効果と誘電体損失の補償	95
付録:テクニカル・リファレンス	97
10.1 外部刊行物	97
10.2 アプリケーション・ノート一覧	97
10.3 索引	98
10.4 略語	100
10.5 共通的なデータシート・パラメータの一覧	101



ナショナル セミコンダクター (現テキサス・インスツルメンツ) が 1997 年に初版を公開した LVDS オーナーズ・マニュアルは、10 年間にわたって、「頼りになるデザインガイド」として業界から評価を受けてきました。元々 LVDS は、スケラブル・コヒーレント・インターコネクト (SCI) 用に開発された小振幅差動信号方式を IEEE 1596.3-1996 標準規格として規定したのですが、現在のテクノロジーの発展に大きく貢献するまでに至る過程の一端を、本マニュアルが支えてきたこととなります。

LVDS は現在、通信ネットワークの分野に普及していると同時に、ノートパソコン、オフィス・イメージング、産業用画像処理、テスト機器や測定機器、医療、自動車などで広く使われています。LVDS は、きわめて小さな消費電力と優れたノイズ耐性で高速なデータ伝送を実現した小振幅差動信号方式として、魅力的なソリューションの 1 つです。また、Bus LVDS やマルチポイント LVDS の誕生など、アプリケーションの要件に合わせてながら 10 年間にわたって発展を続けてきました。たとえば最新の LVDS 製品は、3Gbps を超えるデータレートを実現しながら、低消費電力とノイズ耐性という特長を依然として維持しています。

現在、多くのアプリケーションで今までよりも高速なデータレートと長い伝送パスが必要とされるようになってきました。電流モード・ロジック (CML) やシグナル・コンディショニングを検討しなければならないケースも増えています。そこでこの第 4 版では、これら LVDS や CML の実践的な設計手法のほか、LVPECL や LVCMOS に関する説明も追加しました。

本オーナーズ・マニュアルは有用な最新情報を掲載しています。冒頭には三種類の汎用的な高速インターフェイス・テクノロジー (LVDS (B-LVDS と M-LVDS を含む)、CML、LVPECL) の概要と、それぞれの特性、アプリケーションに応じた最適なテクノロジーの選択方法を説明しています。そのほか、レベル変換、ジッタ、シグナル・コンディショニング、推奨設計手法などにも触れています。この実践的な情報がインターフェイス関連の設計課題を解決する正しいソリューションの選択のためにお客様の一助となれば幸いです。



高速インターフェイス・テクノロジーの概要

1.1 差動信号テクノロジー

高速差動信号テクノロジーの選択肢は多岐にわたります。どの差動テクノロジーも一般的には同じような特長を持っていますが、性能や消費電力、あるいは対象とするアプリケーションは、それぞれで大きく異なります。広く使用されている差動信号テクノロジーの特性の一部を表 1-1 に示します。

表 1-1. 業界標準のさまざまな差動信号テクノロジー

	標準規格	最高データレート	出力振幅 (V_{OD})	消費電力
LVDS	TIA/EIA-644	3.125 Gbps	± 350 mV	低
LVPECL	N/A	10+ Gbps	± 800 mV	中から高
CML	N/A	10+ Gbps	± 800 mV	中
M-LVDS	TIA/EIA-899	250 Mbps	± 550 mV	低
B-LVDS	N/A	800 Mbps	± 550 mV	低

LVDS と M-LVDS は、それぞれ ANSI/TIA/EIA-644A と ANSI/TIA/EIA-899 として、業界標準化団体によって仕様が規定されています。一部のメーカーのデータシートの中には LVDS I/O (または擬似 LVDS) を盛り込んだものがありますが、コモンモード電圧などの重要なパラメータ要件を満たしていないデバイスも存在します。そのため、LVDS 仕様である ANSI/TIA/EIA-644A への準拠が、重要な検討項目の 1 つになります。

電流モード・ロジック (CML) と低電圧ポジティブ・エミッタ結合ロジック (LVPECL) の用語は業界内で広く使われていますが、実際にはどちらも、正式な標準化組織によって規定された標準規格に適合していません。そのため、実装方法とデバイス仕様はメーカーごとに違いがあります。AC 結合が広く使われている理由はスレッショルドの違いを解決するためであって、そうしないと互換性の問題が発生する可能性があるからです。

なお、一覧表に掲載した各テクノロジーはいずれも差動で動作するため、優れたノイズ耐性やデバイスに起因するスイッチング・ノイズが小さいといった差動信号方式に共通なメリットは、どのテクノロジーでも得られます。

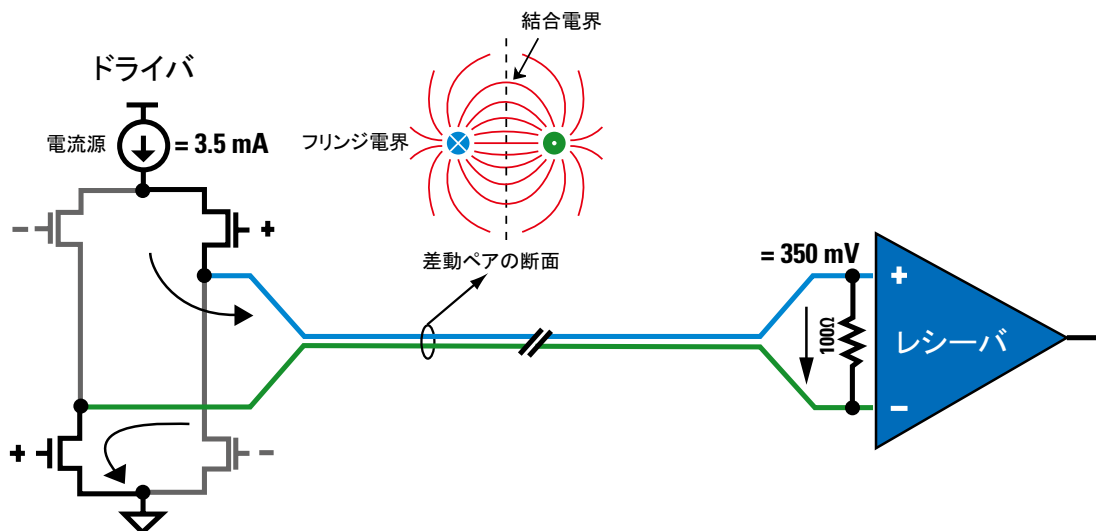


図 1-1. LVDS のドライバとレシーバ

LVDS ドライバとレシーバの典型的なペアを図 1-1 に示します。ドライバには 3.5mA (公称) の電流源が内蔵されています。レシーバの入力インピーダンスが高いため、実質的にすべての電流は 100Ω の終端抵抗を流れ、結果として 350mV (公称) の電圧がレシーバ入力端に発生します。レシーバのスレッショルドは 100mV 以下として保証されており、0V から 2.4V の広いコモンモード範囲全域で、この感度が維持されます。こうした特長が組み合わせられれば、優れたノイズマージンや、ドライバとレシーバ間のコモンモード・シフトに対する許容度が実現されます。電流の方向が変わるとレシーバ端の電圧は、振幅が同じでも極性が変わります。ロジック 1 とロジック 0 はこのようにして保証されます。CML と LVPECL も同じアーキテクチャを有しますが、電流源の強さと終端方式が異なります。

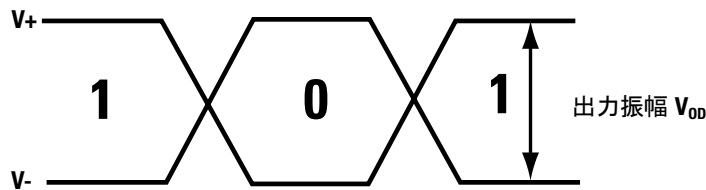


図 1-2. 差動信号波形

各差動信号テクノロジーに共通するメリットは図 1-2 に示す単純な図からもわかります。1つは電流源が常にオンの状態にあり、方向の変化によってロジック 1 とロジック 0 を駆動している点です。常時オンという性質から、大電流トランジスタのターンオンとターンオフ (シングルエンド・テクノロジーで必要) で生じるようなスイッチング時のノイズ・スパイクと EMI がほとんど発生しません。もう 1つは、差動ペアの 2 本のラインが隣接しているため大きなノイズ耐性が得られる点です。ペアの一方に吸収されるクロストーク、あるいは EMI によって重畳するノイズは、通常は隣接ラインにも生じます。レシーバは 2 本のチャンネル間の差電圧に応答するため、ペアの両方のラインに現れた「コモンモード」ノイズはレシーバの入力端で打ち消されます。また、2 本の隣接ラインには等しい電流が反対方向に流れるため、EMI の発生もわずかです。

1.2 LVDS – 小振幅差動信号方式

信号振幅が代表値で 350mV と小さく、消費電力も小さい LVDS は、最高 3.125Gbps のデータレートを実現できるきわめて効率の高いテクノロジーです。終端方式の単純さ、消費電力の低さ、ノイズ発生量の小ささなどを特長とする LVDS は、データレートが数十 Mbps から 3Gbps 以上の場合に最適です。

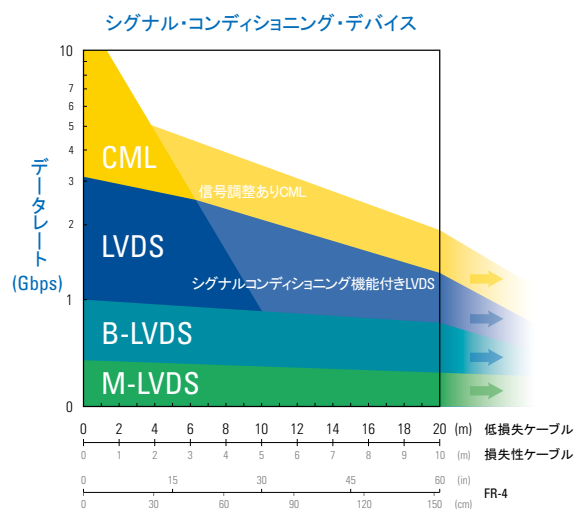


図 1-3. 代表的なデータレートとケーブル駆動強度

高速インターフェイス・テクノロジーの概要

高いデータレートを必要とする場合は CML や LVPEL のようなテクノロジーが適当です。図 1-3 と図 1-6 からわかるように、CML と LVPECL は 10Gbps を超える高データレートにも対応します。このような高データレートを実現するため、きわめて高速かつシャープなエッジレートと、一般におよそ 800mV の信号振幅を採用しています。このような理由から CML と LVPECL は一般に LVDS よりも消費電力が大きくなります。

シャープで高速なエッジには大量の高周波成分が含まれています。ケーブルや FR-4 トレースの伝送損失は周波数に伴い大きくなるため、これらのテクノロジーで長いケーブルやトレースを駆動する場合はほとんど、信号の調整 (シグナル・コンディショニング) が必要となります。ケーブルやトレースで生じる減衰や信号歪みの影響を緩和するプリエンファシスやイコライゼーションなどのシグナル・コンディショニング方式などに関する詳しい説明は、59 ページの「インターコネクト・メディア」を参照してください。

1.3 CML – 電流モード・ロジック

CML は 10Gbps を超えるデータレートにも対応可能な高速のポイント・ツー・ポイント・インターフェイスの一種です。図 1-4 に示すように、CML の特長の 1 つは、ドライバとレシーバの両方に終端ネットワークが一般に統合されている点です。CML では正電源レールに対するパッシブ・プルアップが採用され、プルアップ抵抗の代表値は 50Ω です。CML はほとんどが AC 結合で実装されているため、データは DC バランスが必要です。DC バランス・データのテストでは、1 と 0 の個数が平均として等しくなるデータ・コーディングが必要です (33 ページの「DC バランス」を参照)。

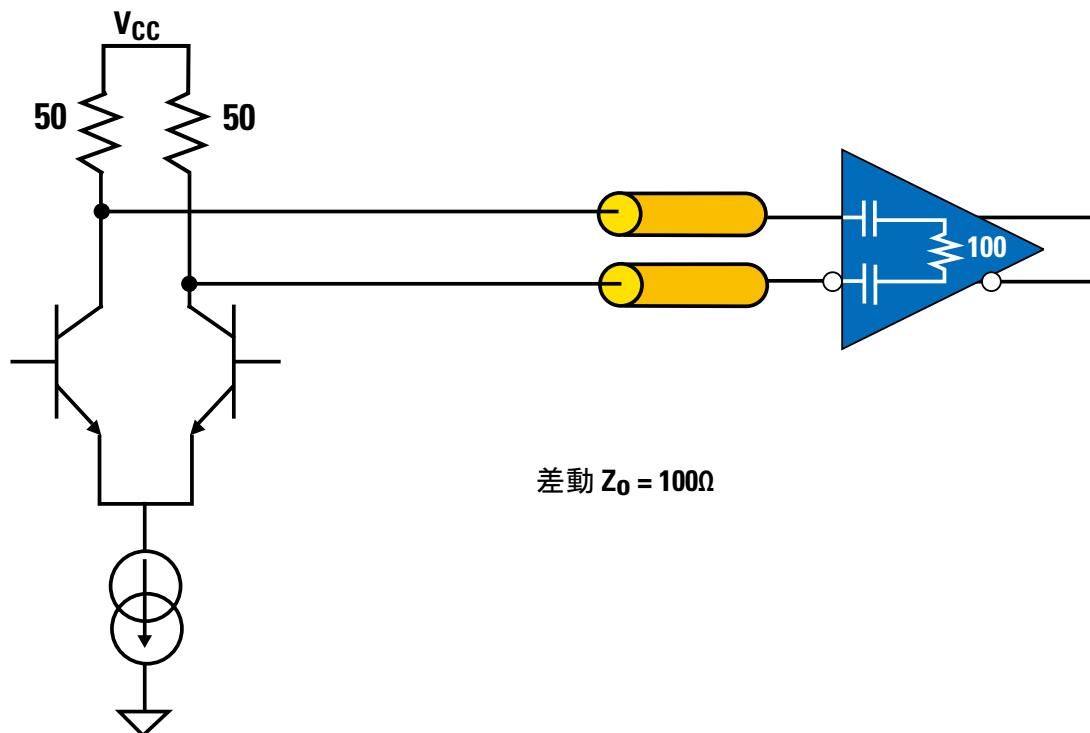


図 1-4. 典型的な CML の実装

1.4 LVPECL – 低電圧ポジティブ・エミッタ結合ロジック

LVPECL と PECL は両方とも、1960 年代に開発された伝統的な ECL テクノロジーから派生して誕生しました。ECL はグラウンドと -5.2V 電源を必要とします。負電源が必要なことと他のロジック・ファミリと互換性がないことから、正電源レールを用いたポジティブ・エミッタ結合ロジック (PECL) と呼ばれるテクノロジーが開発されました。ECL、PECL、LVPECL はいずれも、最も高い正の電源レールよりもおよそ 2V 低い終端レールに対して 50Ω で終端を行ないます。ECL ドライバは通常 700mV から 800mV を生成する低インピーダンスのオープン・エミッタ出力です。出力段は飽和を避けるためにアクティブ領域に保たれ、結果として極めて高速かつバランスの取れたエッジレートが得られます。

LVPECL の特長の 1 つはシャープかつバランスの取れたエッジと高い駆動能力です。欠点は消費電力が比較的大きい点と、場合によっては専用の終端電圧を必要とする点です。

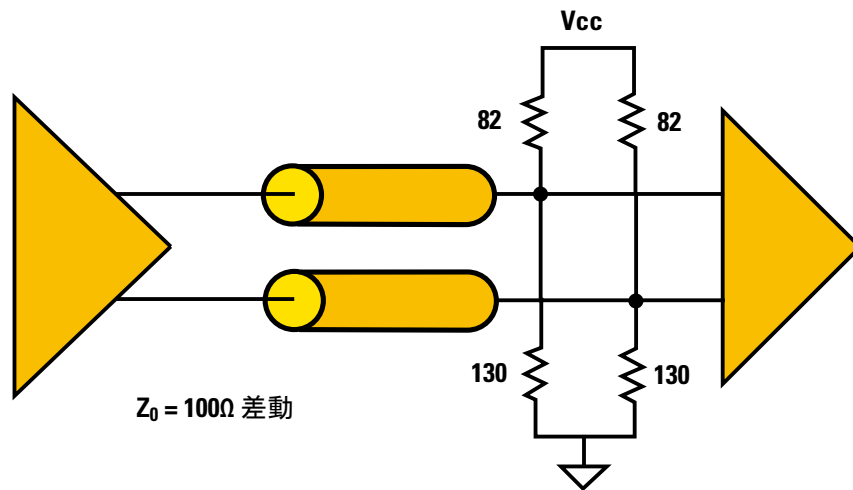


図 1-5. 典型的な LVPECL の実装

1.5 最適なテクノロジーの選択

既存のさまざまな差動テクノロジーの中からアプリケーションに最適な信号テクノロジーを選択する際に、何らかの指針が必要なことは明らかです。テクノロジーの選択で考慮すべき事項は次のとおりです。

- 必要な帯域
- ケーブル、バックプレーン、長いトレースの駆動能力
- 消費電力の見積り
- ネットワーク・トポロジー (ポイント・ツー・ポイント、マルチドロップ、マルチポイント)
- シリアルまたはパラレルでのデータ伝送
- クロック分配またはデータ分配
- 業界標準への準拠
- シグナル・コンディショニングの必要性和入手性

高速インターフェイス・テクノロジーの概要

LVDS は最も広く使用されている差動信号インターフェイスです。低消費電力、低 EMI、優れたノイズ耐性を備えた LVDS は、多くのアプリケーションに適します。また、LVDS は入力コモンモード範囲が広いので、他の差動信号テクノロジーと比較的に組み合わせられます。DC から最高 3.125Gbps まで動作する最新世代の LVDS を使用すれば、ほとんどのアプリケーションで LVDS のメリットが得られます。このクラスのマルチギガビット LVDS デバイスにはプリエンファシスとイコライゼーション機能が内蔵されているので、損失性ケーブルやプリント回路基板 (PCB) トレースを渡る信号伝送にも対応します。

3.125Gbps を超えるデータレートを必要とするアプリケーションには、おそらく CML テクノロジーが必要となるはずです。また、特定のコミュニケーション・スタンダード (PCIe、SATA、HDMI など) の場合は、独自の信号テクノロジーを規定するか、信号振幅や V_{CC} に対するリファレンスなどの条件を CML と整合した形で規定する必要があります。

データレートが 2Gbps から 3.125Gbps の範囲の選択肢は、機能、性能、電力要件によって異なります。シグナル・コンディショニングを必要としない比較的短い距離の伝送では、デバイスの消費電力とジッタを主に検討します。ジッタが最も小さいテクノロジーは CML で、消費電力が最も小さいテクノロジーは LVDS です。

長い距離の伝送ではメディア内での損失が支配的となるため、対象となるデータレートとメディアの組み合わせに適した信号の調整機能を備えたデバイスが適します。LVDS と CML の両方とも、イコライゼーションやプリエンファシス、あるいはディエンファシスといったテクニックを使用します。詳しくは 63 ページの「シグナル・コンディショニングの特性」を参照してください。伝送メディアの損失特性や最適なシグナル・コンディショニングを理解しておくことでデバイス選択の判断に役立ちます。

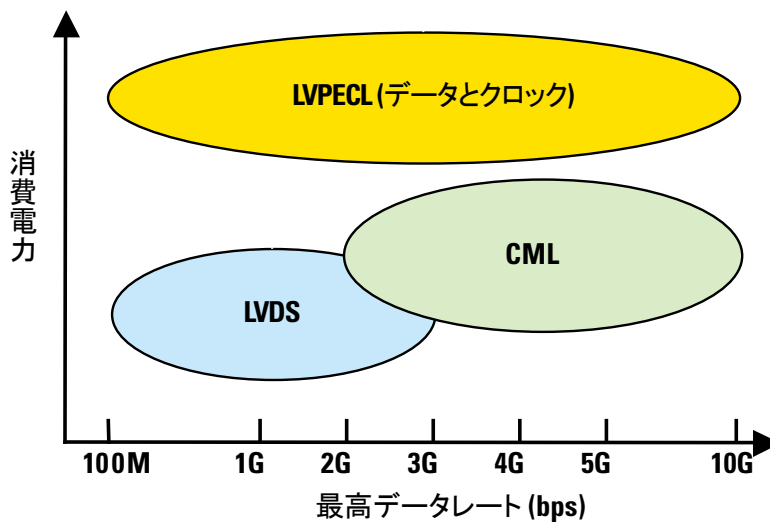


図 1-6. 3 種類の汎用的な差動信号テクノロジーの代表的な対象分野



「ネットワーク・トポロジー」の用語は、通常、物理的な接続形態またはネットワーク・ノードの配置を意味します(たとえば、リング、メッシュ、スター、バス、ツリーなど)。このセクションでは、一般的なインターコネクต์または伝送メディア(たとえばプリント回路基板(PCB)トレースまたは銅線)を対象に、代表的な信号トポロジー、つまり信号ドライバとレシーバの配置について説明します。さらに、一般的な差動信号方式がこれら配置で動作すると思われる仕組みと、各トポロジーに最適な差動信号テクノロジーを判断します。

ポイント・ツー・ポイントとマルチポイントの2つは特に基本的なトポロジーです。ポイント・ツー・ポイント・トポロジーは、単一の信号ドライバと単一の信号レシーバのみで構成され、マルチポイント・トポロジーは複数のドライバと複数のレシーバで構成されます。

2.1 ポイント・ツー・ポイント

ポイント・ツー・ポイント・トポロジーは単一の信号ドライバと単一の信号レシーバのペアのみで構成されます。インターコネクต์に用いられるメディアはきわめて単純です。あるメディアから別のメディアに接続(例えば、プリント回路基板のトレースをコネクタを介してケーブルに接続)する回数は、通常は最小限に抑えなければなりません。メディアの接続回数が少なければ、シグナルパスは、おそらく良好に管理されたインピーダンスを有することになります。インピーダンスが管理された環境ではきわめて高いシグナル・レートが実現されます。すべての差動信号テクノロジーはポイント・ツー・ポイント・トポロジーで動作するほか、特に、LVDS、CML、LVPECLは、ポイント・ツー・ポイントでの信号伝送を前提として開発されています。インターフェイス・デバイスのうち、LVDS、LVPECL、またはCMLを採用したデバイスには、マルチギガビット伝送を実現するために、高速なエッジ特性を備えた出力ドライバが搭載されています。高速なエッジ信号はわずかなインピーダンス不連続の影響も受けやすいため、十分なインターコネクต์設計が求められます。

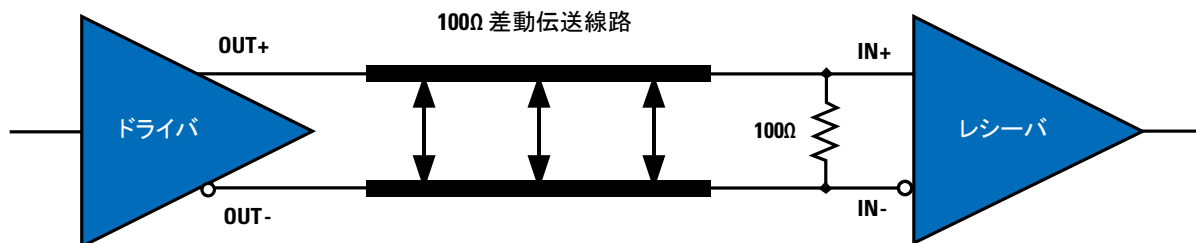


図 2-1. ポイント・ツー・ポイント・トポロジー

LVDS ドライバとレシーバのペアをポイント・ツー・ポイント・トポロジーで構成した典型的な例を図 2-1 に示します。低ジッタの信号伝送を実現するには、インターコネクต์・インピーダンスの管理、適切なドライバ負荷、インターコネクットの終端などがキーポイントになります。

2.2 マルチポイント/マルチドロップ

マルチポイント・トポロジーは、ポイント・ツー・ポイント・トポロジーとは違って、インターコネクトを共有する複数のドライバと複数のレシーバで構成されます。マルチポイント・トポロジーの派生形として、単一の信号ドライバと複数レシーバで構成されたトポロジーを「マルチドロップ」と呼びます(図 2-2)。

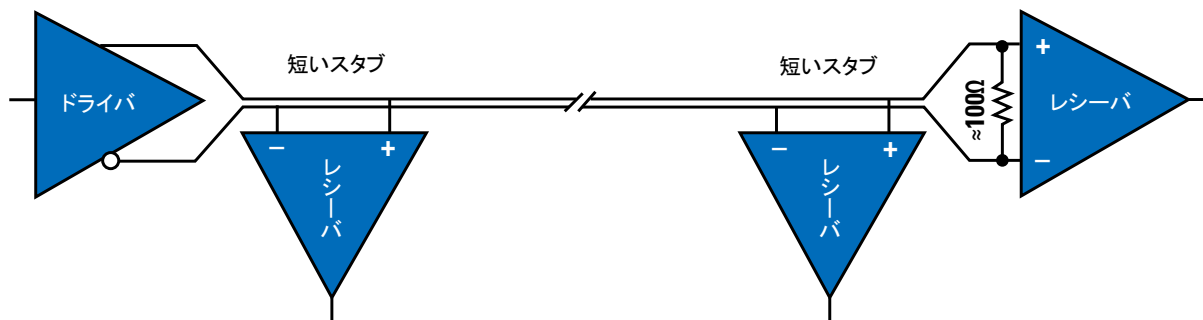


図 2-2. マルチドロップ・トポロジー

マルチドロップ・トポロジーの典型例を図 2-2 に示します。ドライバがバスの遠端にある場合にのみ、その反対側にあるレシーバ端での終端が適切です。そのほかの条件では(たとえばドライバがバスの中間に接続されている場合など)バスの両端で終端する必要があります。

マルチポイント・トポロジーでよく用いられる派生形の1つが、2個のドライバとレシーバのペアで構成され、単一のインターコネクトを介して2点間で信号を送受信する、「半二重」トポロジーです(図 2-3)。

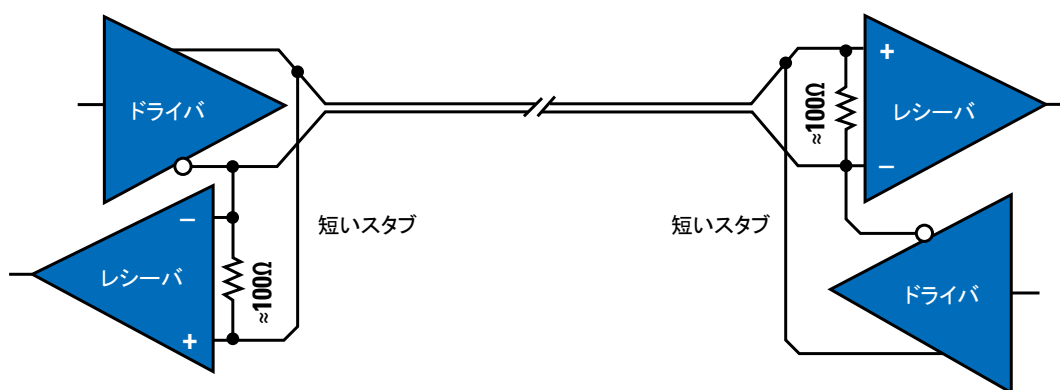


図 2-3. 半二重トポロジー

マルチドロップ・トポロジーの設計では、複数のドライバ/レシーバと共通信号バスとの物理的接続が課題となります。デバイス負荷とデバイス接続(スタブ)に起因して共通バス上に生じるインピーダンスの不連続の問題を克服しなければならぬからです。マルチドロップ・トポロジーで誤りのない信号伝送を実現するには、負荷が接続された状態でのインピーダンス整合と、制御された信号エッジを有するドライバの使用がポイントになります。LVDS から派生した Bus LVDS (B-LVDS) とマルチポイント LVDS (M-LVDS) は、マルチポイントに最適化されたテクノロジーです。

B-LVDS は LVDS の多くの特性を引き継いでいますが、駆動電流がはるかに大きく(代表値で 10mA)、エッジレートが制御されています(LVDS と比較すると緩やかです)。B-LVDS は複数負荷の駆動を特に対象としており、適切に設計されたバックプレーンであれば最大 32 個の負荷を駆動可能です。B-LVDS ではエッジレートが制御されているため、複数の負荷と負荷に伴うスタブを有するマルチドロップ構成であっても、反射の発生はわずかです。ただしエッジレートが緩やかなことから、B-LVDS のデータレートは一般に 1Gbps 以下に制限されます。

マルチドロップ・アプリケーションで B-LVDS が使われるようになったため、このようなネットワークに適した LVDS の派生テクノロジーを標準規格として策定する機運が高まりました。マルチポイント LVDS (M-LVDS) テクノロジーは、当時のナショナル セミコンダクターなどによって共同開発されました。M-LVDS は、強い駆動能力、制御された緩やかなエッジ、感度の高い入力スレッシュホールド、広いコモンモード電圧など、マルチドロップ・アプリケーションに必要とされる特性のすべてが盛り込まれています。M-LVDS は最高 250Mbps で 32 負荷を駆動可能です。

2.3 SerDes アーキテクチャ

帯域を増やすにはバス・スピードを上げる方法とチャネルの並列度を高める方法があります。高速インターフェイスが出現する前は後者の方法がしばしば選択され、低電圧トランジスタ・トランジスタ・ロジック (LVTTTL) とバックプレーンを用いて、きわめて広いビット幅のバスが構成されてきました。同時に、低速な LVTTTL 信号を単一のビット・ストリーム(シリアライザ)に変換し、データを高速に伝送したあと、レシーバ(デシリアライザ)で再分配する方法も広く使われるようになり、シリアライザ/デシリアライザの頭文字を取って SerDes (サーデス)と呼ばれています。さまざまな SerDes アーキテクチャとそれぞれの特長は、19 ページの「SerDes アーキテクチャ」セクションで説明します。

2.4 信号テクノロジーの混在環境

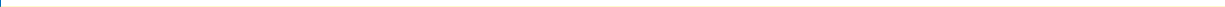
ハードウェア・プラットフォームで、クロック、データ、制御信号にそれぞれ個別の要件が課されることは珍しくありません。特にモジュールによって構成されるシステムの場合、カード対カードまたはボックス対ボックスの伝送には、複数のメーカーと複数のテクノロジーの混在も想定されます。このような理由から、LVDS、LVPECL、CML が同一プラットフォーム内に共存する可能性があり、異なる信号テクノロジー間での信号変換がシステム設計の課題になります。

変換手段として単純なのは各差動チャネルにコンデンサを直列に挿入して 2 つのネットワークを AC 結合する方法です。この手法は DC オフセットとスレッシュホールドの違いを吸収しますが、DC 的にバランスの取れているデータが必要です。データに DC バランスがない場合は DC 結合で何らかの終端ネットワークによってテクノロジー間の変換を実現します。変換ネットワークの詳細については 31 ページの「終端とレベル変換」を参照してください。

2.5 インターフェイス・テクノロジーの選択

インターフェイス・デバイスとインターフェイス・テクノロジーの選択は重要な設計課題の 1 つです。エラーがなく信頼性の高い信号伝送がすべてのシステムで不可欠です。最初の選択はトポロジー(接続形態)です。ネットワークは、ポイント・ツー・ポイントでしょうか、それともマルチドロップでしょうか。SerDes は必要でしょうか。その次に、帯域、パワー・バジェット、ジッタ・バジェットの検討を進めていきます。

LVDS は最も広く使われている高速インターフェイスで、低消費電力と広いコモンモードの 2 つのメリットがあります。LVPECL は一般に消費電力が大きくなりますが、優れたジッタ性能を備え、高データレートをサポートします。CML デバイスは LVPECL と同様な性能を発揮し、かつ構成が単純で、通常は終端が内蔵されている点がメリットです。



3.1 はじめに

現在の通信システムできわめて重要なバックボーンではシリアル・インターコネク트가採用されています。シリアルライザ/デシリアルライザ (SerDes) の選択はシステムのコストと性能に大きく影響を与えます。選択の過程は迷路のように感じられるかもしれませんが、具体的なアプリケーション要件に伴う基本的なアーキテクチャに SerDes デバイスを落とし込んで考えていきます。アーキテクチャの違いを理解すれば特定のアプリケーションに適切な SerDes がわかります。このセクションでは 4 種類の SerDes アーキテクチャを検証し、また、それぞれがシステムで担う役割について説明します。

3.2 パラレル・クロック SerDes

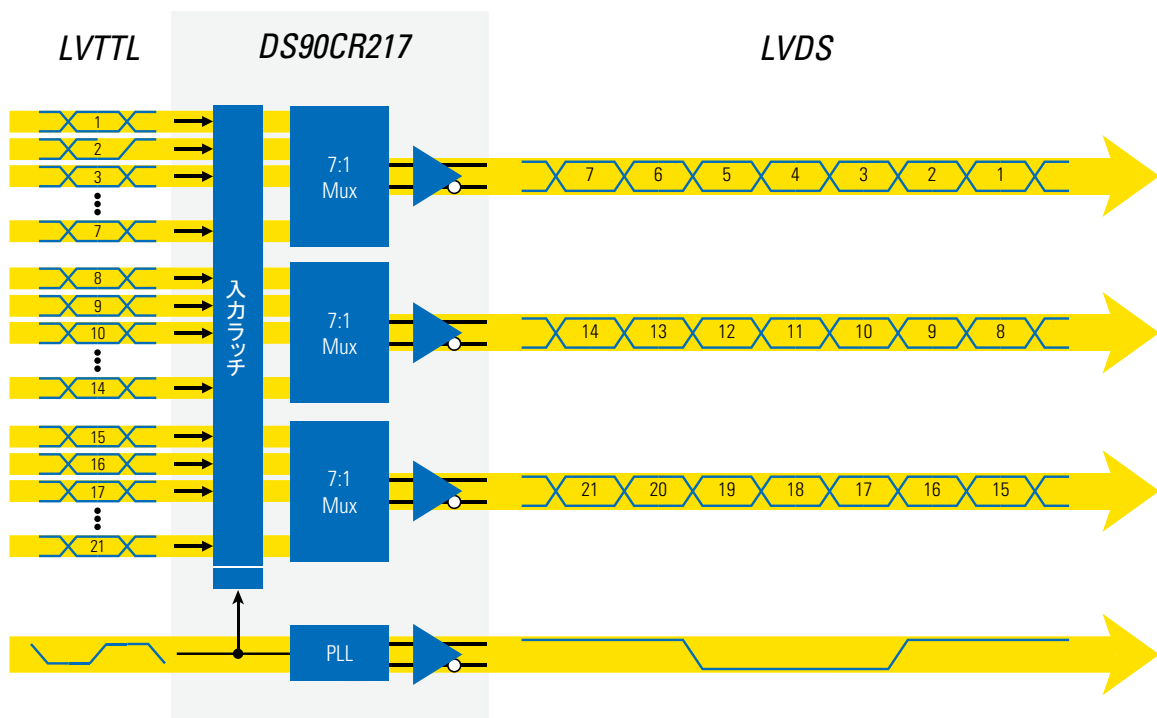


図 3-1. パラレル・クロック・シリアルライザの構成例

パラレル・クロック SerDes は、PCI や UTOPIA、プロセッサ・バス、制御バスなど、「データ/アドレス/制御線」で構成されるパラレル・バスをシリアルライズする目的に使われます。パラレル・クロック SerDes アーキテクチャでは、バス全体を単一のマルチプレクサでシリアルライズするのではなく、 n 対 1 マルチプレクサを複数設けて、それぞれがバスの一部分を個別にシリアルライズします。変換されたシリアル・データ・ストリームは、レシーバがラッチとデータの復元に使用するクロック信号ペアと並行して、並列にレシーバへと送られます。クロックとデータは別々のペアで伝送されるため、ペア間スキューを最小限に抑えないと適切なデシリアルライズ処理が行なえません。

3.3 エンベデッド・クロック (クロック埋め込み型) SerDes

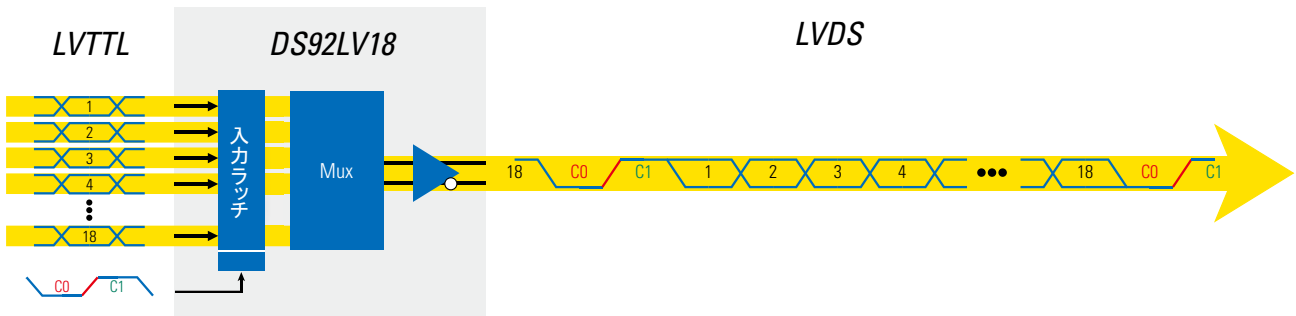


図 3-2. 18 ビット エンベデッド・クロック・シリアライザの構成例

クロック埋め込み型アーキテクチャでは、データとクロックがトランスミッタによって単一のシリアル信号ペア上にシリアル化されます。シリアル・ストリームの各サイクルの先頭に1つのLowと1つのHighで構成される2ビットのクロック・ビットが埋め込まれ、シリアライズされた各ワードの開始と終了を囲んで(ゆえに「スタート/ストップ・ビット SerDes」とも呼ばれる)、シリアル・ストリーム内に周期的な立ち上がりエッジを形成します。このアーキテクチャはデータ・ペイロードのワード幅がバイトの倍数に制約されないというメリットがあり、バス幅は10ビット、16ビット、18ビット、24ビットなどのデバイスがあります。



図 3-3. エンベデッド・クロックの周期的な遷移

デシリアライザは、電源オン後に、エンベデッド・クロックの周期的な立ち上がりエッジを自動的に探します。データ・ペイロードの各ビットは時間とともに0か1に変化しますが、クロック・ビットは常に0、1で変化しないため、デシリアライザはクロック・エッジを検出して同期します。ロックしたあとデシリアライザは、ペイロード・データのパターンに関係なくシリアル・ストリームからデータを復元します。この自動同期化機能を一般に「ランダム・データへのロック」と呼び、外部システムからの介入を必要としません。この機能はレシーバがリモート・モジュールにあってシステムから直接制御できないようなアプリケーションで特に有効です。レシーバがロックするのは送られてくるエンベデッド・クロックであって外部クロックではないので、トランスミッタとレシーバの入力クロックの要件は緩やかです。

3.4 8b/10b SerDes

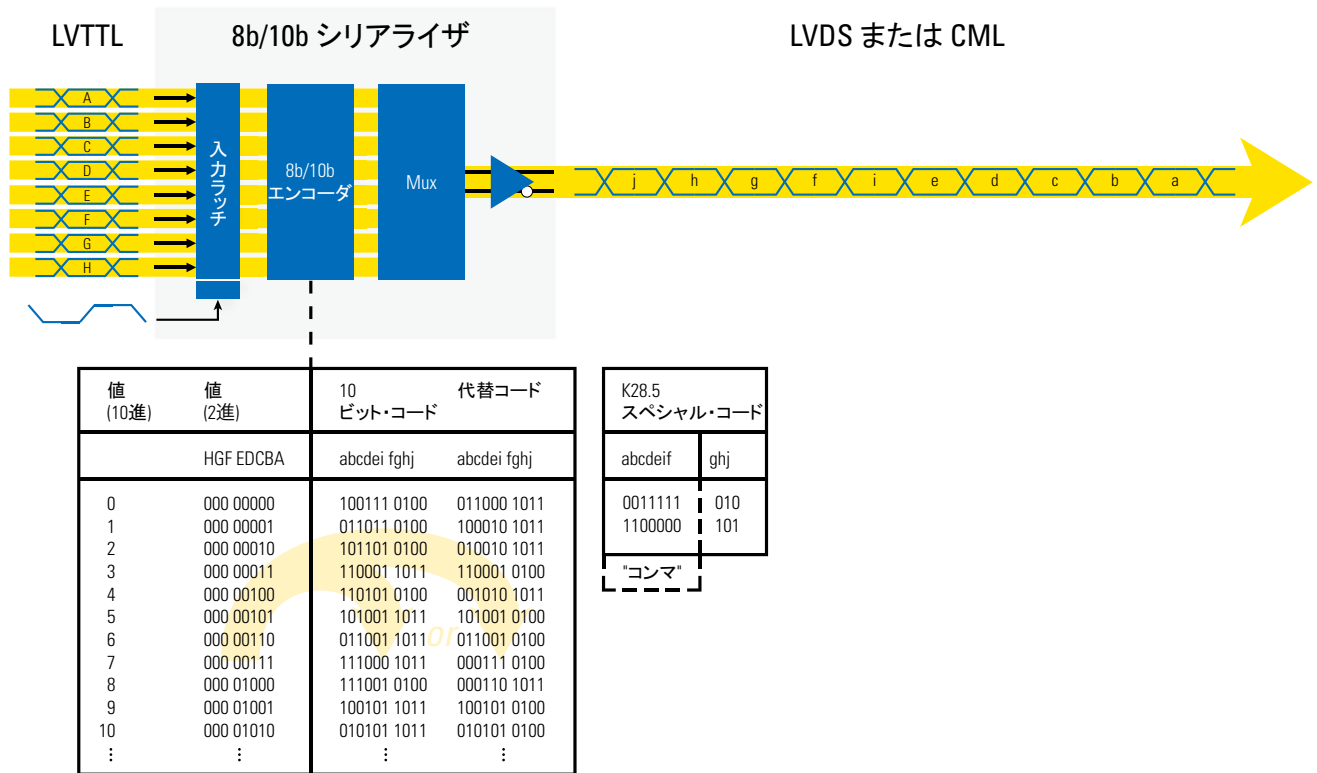


図 3-4. 8b/10b シリアライザ・コーディングの構成例

8ビット/10ビット(8b/10b)シリアライザは、パラレルデータの各バイトを10ビット・コードにマッピングし、その10ビット・コードを単位としてシリアライズします。10ビット伝送コードは1980年代前半にIBMによって開発されたもので、各サイクルには複数個のエッジが必ず存在し、また、データのDCバランス(1の送信数と0の送信数が等しい状態)が保証されています。送られてくるデータ・ストリームにレシーバが同期できるように、ストリーム中には多くの遷移が設定されています。また、DCバランスがあるため、AC結合負荷、長いケーブル、光モジュールなどの駆動も可能です(詳細は33ページの「DCバランス」を参照)。

アイドル中などに10ビット・コード・ワードの境界をレシーバがシリアル・ストリーム中から識別できるように、トランスミッタはコンマ・キャラクタと呼ばれる特殊なシンボルを送信して境界を示します。コンマ・キャラクタのビット・シーケンスには通常のデータ・トラフィックには現れない特殊なパターンが割り当てられ、レシーバのコード位置合わせに欠かせないマーカーとしての役割を担います。コードの位置合わせが行なわれたあとは、10ビット・コードをバイト・データにマッピングし、また無効な10ビット・コードが検出された場合はエラーフラグを出力します。

一般的に8b/10bデシリアライザは外部リファレンス・クロックを使用してクロック復元とデータ・ストリームのデシリアライズ処理を行います。すなわち、デシリアライザ側で、ソースのリファレンス・クロック周波数に厳密に等しく、かつ、ジッタが厳密に制御されたクロックが必要です。

3.5 FPGA 直結型 SerDes

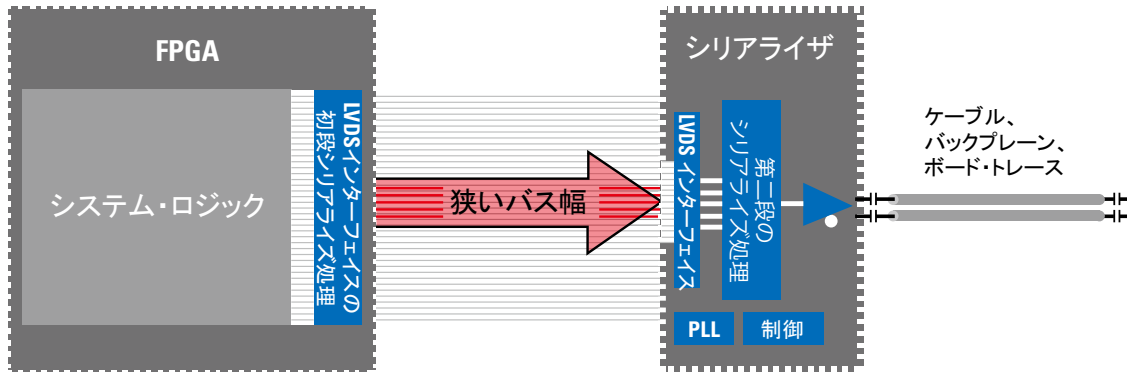


図 3-5. アナログ主体の機能を最適化する FPGA 直結型シリアライザ

FPGA はここ 10 年にわたって、主にプログラミングの自由度の高さから、デジタル・ロジックの実装手段として主役の位置を占めるようになりました。FPGA 直結型 SerDes は、クロックやデータ復元、シグナル・コンディショニング、クロック合成、ジッタクリーニングなどのアナログ主体の機能を提供し、FPGA アーキテクチャを補完するとともに、CAT-5 ケーブルや同軸ケーブルなどの安価で長いインターコネクトを使い、さらに高データレート伝送をサポートします。

このアーキテクチャではシリアルライズ処理とデシリアルライズ処理は 2 段の回路で構成されます。複数の低速データビットを少ないビット数の LVDS ストリームに 1 段目で統合し、2 段目で低速 LVDS ストリームを一对の高速シリアル・チャンネルにマルチプレクスします。1 段目部分を FPGA に実装することは難しくありません。一方で、最適なアナログ回路を搭載したディスクリート SerDes が、高速なシリアルライズ処理を受け持ちます。

FPGA 直結型 SerDes の FPGA 側は LVDS のパラレル・インターフェイスで構成されるため、システムの EMI、パワー、ノイズの影響を抑えながら、ボード上のトレース本数の削減と高速なデータレートを実現します。LVTTTL など従来のシングルエンド・インターフェイスで生じるスイッチング・ノイズやスキューの問題は起こりません。

このような SerDes デバイス・ファミリには、一般に、ディエンファシス、DC バランス、チャンネル・イコライゼーションなどの信号調整機能 (シグナル・コンディショニング) が内蔵されています。これら機能によって、長いパスにわたる高データレートの信号伝送が実現されます。

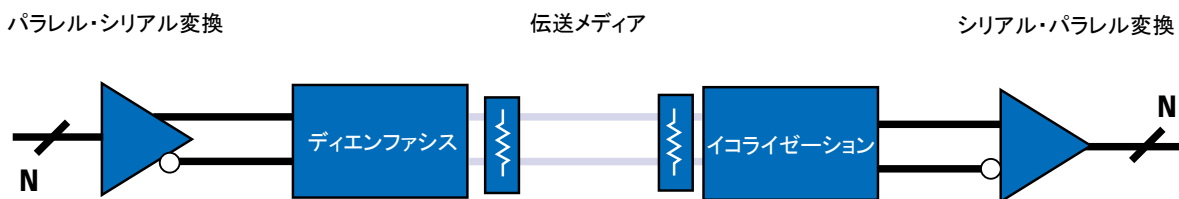


図 3-6. シグナル調整を内蔵した FPGA 直結型 SerDes

FPGA の普及、ボード・トレース数削減の要求、そして帯域幅向上に対するニーズによって、回路をインテリジェントに分割したこのようなアーキテクチャの適用が拡大しています。

3.6 アプリケーション

パラレル・クロック SerDes

パラレル・クロック SerDes は、「データ+アドレス+制御線」で構成される従来の広いバスのシリアライズに使用され、「仮想的なリボン・ケーブル」の単方向ブリッジとして動作します。



図 3-7. アドレスと制御線とデータ信号で構成される従来の広いパラレル・バスを収容するパラレル・クロック SerDes

パラレル・クロック SerDes からは、少ないワイヤ (特にグラウンド)、低消費電力、長いケーブルに対する駆動能力、低ノイズ/低 EMI、ケーブル/コネクタの低コスト化など、シリアライズ処理以外でのメリットが得られます。単一のシリアル・ペアに制限されることなく任意のバス幅での構成が可能のほか、高データレートに起因する設計課題も回避できます。パラレル・クロック SerDes は、コスト性能比に優れるとともに、数メートルのケーブルで従来の広いパラレル・バスを伝送できるほとんど唯一の現実的な方法です。一般的なチップセットのバス幅は 21 ビット、28 ビット、48 ビット、70 ビットです。

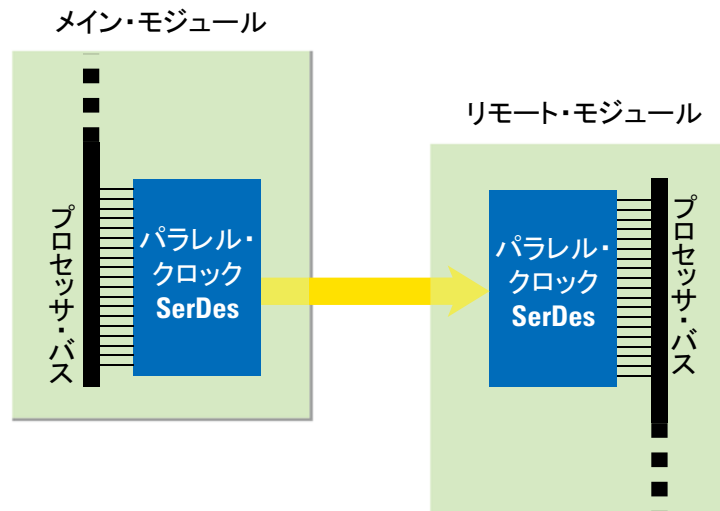


図 3-8. プロセッサ・バスのラック間単方向拡張

ノートパソコンのディスプレイ、ラック間あるいはシェルフ間のデータコム/テレコム・インターコネクタ、ビデオ/カメラ・リンクなどが一般的なアプリケーションです。

エンベデッド・クロック (クロック埋め込み型) SerDes

エンベデッド・クロック SerDes は、raw データ、制御信号、パリティ・フレーム、同期ステータスなど、多種の信号を伝送するアプリケーションに適します。18 ビットをシリアル化するアプリケーション例を図 3-9 に示します。18 ビットのトランスミッタを使って、パリティやフレームなどの 2 本の付加的ビットとデータをシリアライズしています。データを含むすべてのビットは A/D コンバータのサンプリング・レートでシリアライズされるので、データ・バッファや追加ロジックは必要ありません。

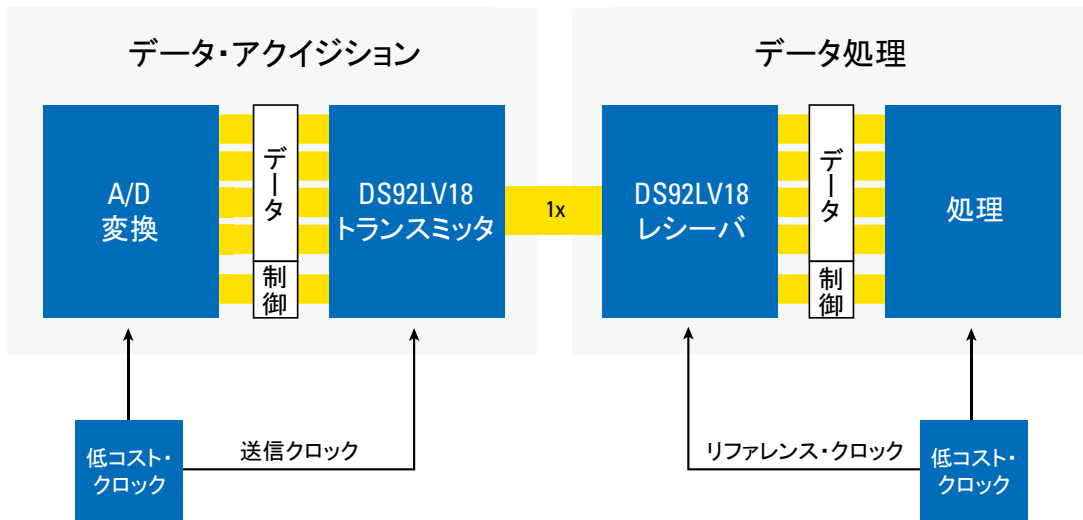


図 3-9. DS92LV18 SerDes で構成した信号処理システムの構成

このようなアプリケーションにバイト指向の 8b/10b SerDes を使用すると回路の複雑化を招いてしまいます。まず、データ以外の非バイト指向の制御情報をバッファし、バイト形式として送信しなければなりません。また、リンク同期の開始点で K28.5 コンマ・キャラクタを送信する必要があり、追加ロジックが必要となります。このような「非データ」バイトによって SerDes はデータ変換レートよりも高速に動作しなければならず、結果としてバックプレーンやケーブルの設計要件が厳しくなるとともに、アイドル挿入/除去のようなフロー制御メカニズムも必要になります。このようなバッファがすでに設けられているようなデータ通信システムもありますが、データ通信アプリケーション以外の多くは、この追加処理とバッファを追加しなければなりません。

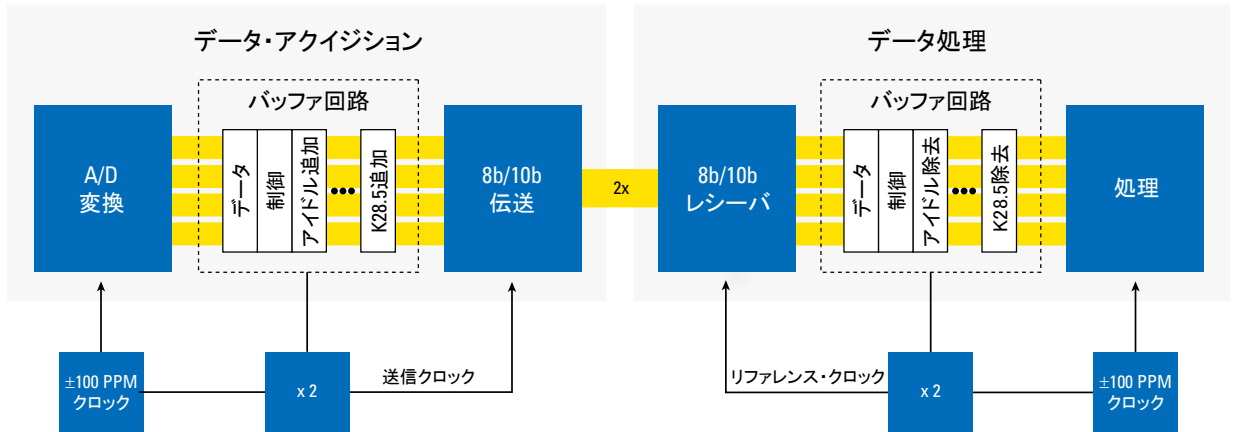


図 3-10. 8b/10b SerDes の構成例

エンベデッド・クロック SerDes のもう 1 つの特長がランダム・データへの自動受信ロックです。この機能は、レシーバがリモート・モジュール内においてシステムから直接制御できない場合や、1 つのトランスミッタから複数のレシーバにブロードキャストするようなシステムでとくに有用です。ブロードキャストの場合、バスに挿入したレシーバ・モジュールは、他のデバイスの動作を中断させるトレーニング・パターンやトレーニング・キャラクタなどのトラフィックを必要とせず、そのままランダム・データにロックします。

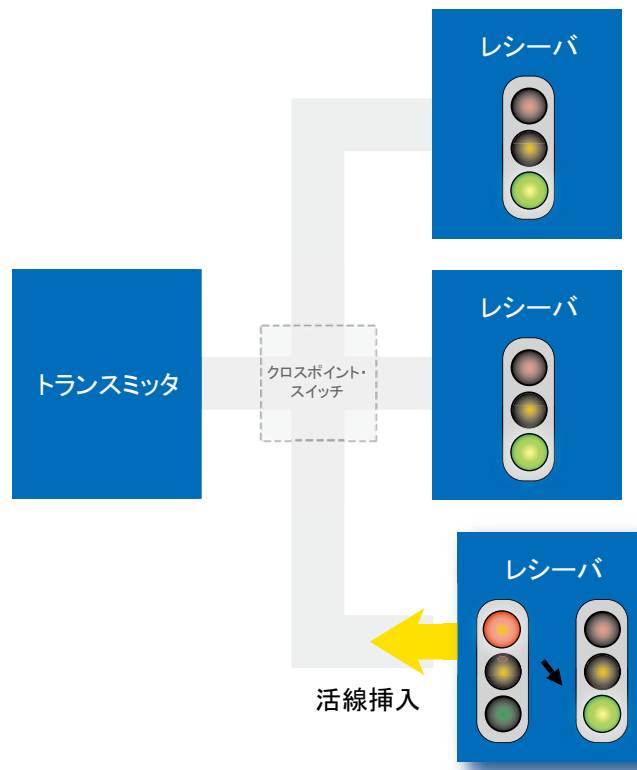


図 3-11. ブロードキャスト・トポロジーでレシーバは活線挿入時にランダム・データに自動ロック

一部のエンベデッド・クロック・シリアライザは、送られてくるエンベデッド・クロックの立ち上がりエッジにロックしその状態を維持しますが、初回の同期動作中のみ高調波への誤ったロックを防ぐためにリファレンス・クロックを必要とします。そのため、送信クロックとリファレンス・クロックのジッタ要件は厳しくなくてよく、他の SerDes に比べて少なくとも一桁は緩やかであり (表 3-12 参照)、クロック発振器やクロック分配ネットワークのコストを抑えられます。多くの場合、レシーバのリファレンス・クロックの生成には、PC 用の安価な発振器が使用できます。

表 3-12. 一般の SerDes チップセットとエンベデッド・クロック SerDes チップセット (10、16、18 ビット) のクロック条件の比較

主な仕様	エンベデッド・クロック SerDes	その他の SerDes
シリアライザ / トランスミッタの入力クロック・ジッタの差	80 から 120ps rms	5 から 10ps rms
デシリアライザのリファレンス・クロックとシリアライザ送信クロックとの周波数差	± 50000 PPM	± 100 PPM

エンベデッド・クロック SerDes は、パケット化されていない raw データと制御信号とを伝送する必要があるアプリケーションなど、非バイト指向のアプリケーションにも適します。基地局、自動車、画像処理 / ビデオ、A/D コンバータを使ったセンサ・システム、カメラ、あるいはリンクの他端にある処理ユニットと raw データをやり取りするイメージ・センサなどがアプリケーションの例です。

8b/10b SerDes

8b/10b SerDes は、バックプレーン、ケーブル、ファイバなどを渡るセルベースのトラフィックやパケット・トラフィックといったバイト指向データのシリアル化に適します。Ethernet、FibreChannel、InfiniBand など多くの標準規格が、1.0625Gbps、1.25Gbps、2.5Gbps、3.125Gbps の 8b/10b コーディングを採用しており、データレートの範囲に対応した多くの SerDes が市場で入手可能です。

8b/10b コーディングの最大ランレングス (シリアル・ストリームに含まれる連続 1 または連続 0 の最大数) は 5 ビットです。この特性によって、シリアル・ストリームのスペクトル成分は、電磁界放射を簡単に抑制できる程度に制限されます。たとえば、8b/10b コーディングを行なったデータレート 1Gbps のストリームの場合、一次高調波の最高周波数および最低周波数は 1GHz と $1\text{GHz}/5=200\text{MHz}$ です (基本周波数の最高と最低はそれぞれ 500MHz と 100MHz です)。

8b/10b シリアル・ストリームは DC バランスが保たれているため、ランニング・ディスパリティ、すなわち送信された 1 の数から送信された 0 の数を引いた値は、平均でゼロになります。8b/10b データコード・ワードは、+2、0、または -2 のディスパリティを持っているので、8b/10b シリアル・データ・ストリームのランニング・ディスパリティは、任意のコードを分解して見た場合でも、必ず +2 から -2 の範囲に収まります。

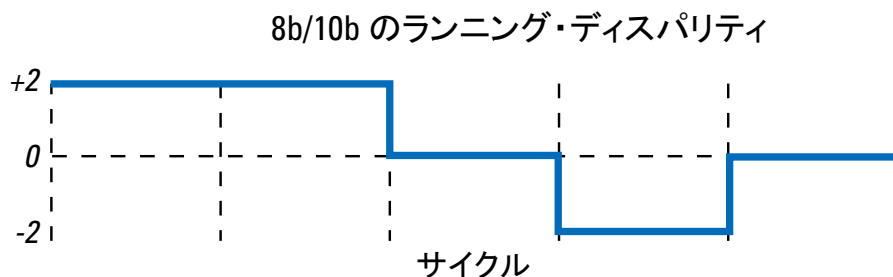


図 3-13. 8b/10b のランニング・ディスパリティの例

AC 結合環境や光ファイバ・モジュールを信頼性高く駆動するには、コードが DC バランスをサポートし、しかもランレングスが短くなければなりません。そのため、8b/10b コーディングは光シリアル・インターコネク트에最適です。また、DC バランスはシンボル間干渉 (ISI) を抑え、ケーブルへの駆動能力を高めます。

また、8b/10b コーディングはエラーチェックが可能のほか制御情報の送信も可能です。10 ビット・コードのうち、8b/10b のコード・ワードに割り当てられているのはわずかであり、そのほかのコードは誤りであるとしてエラーチェックを行いません。8b/10b デシリアライザは無効なコードを検出するとフラグを出力します。一般的なパリティ・ビットと同じレベルのエラーチェックが実現されます。この方法はエラーとなったビット数を計数することはできませんが、シリアル・リンクの性能を簡単にモニタできる点で優れています。多くの標準規格が、データのコード・ワードのほかに、パケット/フレーム・マーカ、フォールト・フラグ、位置あわせキャラクタといった制御ワードを 8b/10b コード内に定義しています。8b/10b コーディングは、パケットの組み立てと分解を助けるこのような制御コード・ワードの存在もあって、通信データ処理システムに広く使われています。

FPGA 直結型 SerDes

FPGA 直結型 SerDes は、FPGA を使用したシステムで、損失性インターコネク (ケーブル) でシリアル化した高速データを伝送したい場合に最適です。この SerDes は AC 結合アプリケーションと DC 結合アプリケーションの両方をサポートします。

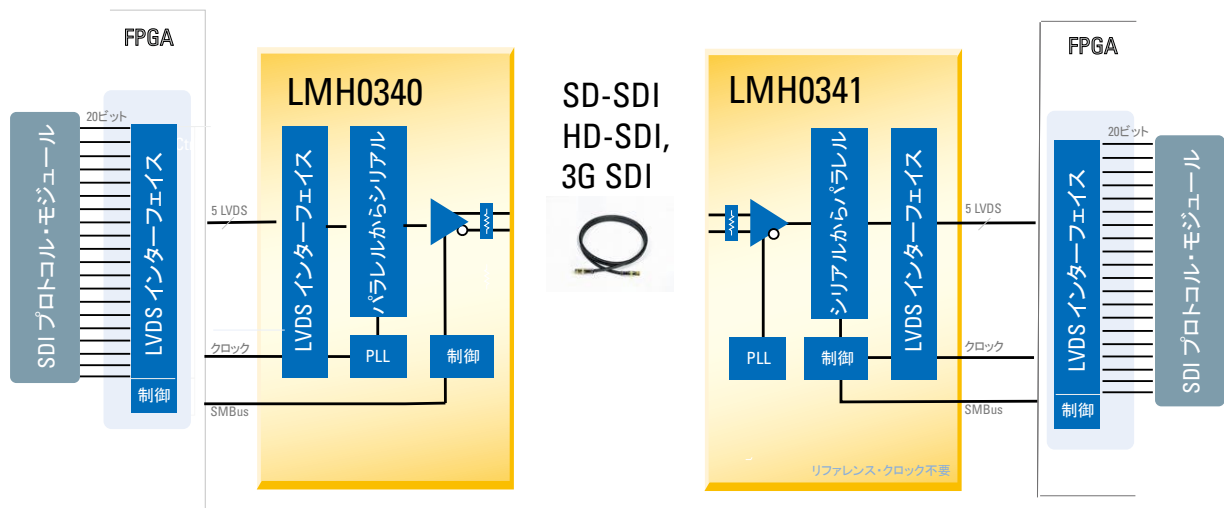


図 3-14. FPGA 直結型 SerDes を用いたシリアル・デジタルビデオ・トランスポート・アプリケーション

デシリアライザは、外部リファレンス・クロックまたはコマ・キャラクタがなくても、送られてくるデータに自動的にロックするため、「プラグ・アンド・ゴー」環境を簡単に実現できます。この SerDes はパケット化されていない raw データの伝送を必要とするような非バイト指向システムに好適です。基地局、イメージング/ディスプレイ、ビデオ、センサシステムなどのアプリケーションが考えられます。

送信側のディエンファシス、DC バランス、プログラマブル出力振幅、受信側のイコライゼーションなどの信号調整 (シグナル・コンディショニング) 機能が内蔵されているため、CAT-5 ケーブルや FR-4 バックプレーンなどの安価なインターコネクを使って高データレートで伝送するアプリケーションに最適です。またシグナル・コンディショニング機能の内蔵化によってシステム全体の部品点数を減らすことができます。ボックス間インターコネク、マシンビジョン、LED 大型表示装置、医療イメージングなど、さまざまなバックプレーン・アプリケーションが考えられます。

3.7 概要比較

各 SerDes アーキテクチャは、特定のアプリケーションに最適なそれぞれ固有のメリットを有します。

低価格の平行・クロック SerDes は広いバスのシリアル化に便利です。クロックとデータを平行で送出するので受信側でクロックを復元する必要がなく、安価なデバイスが提供されています。ただし、複数のシリアル・データとクロックのペア間スキューを抑えるように、適切なケーブル設計が必要です。

エンベデッド・クロック SerDes は、データ以外の制御ビットのやりとりが必要なアプリケーションや、ランダム・データへのロック機能が必要なアプリケーションに適します。また、システムの送信クロック条件とリファレンス・クロック条件が緩いため、安価なクロック源が使えます。DC バランスに対応したコーディング回路が内蔵されていない点は AC 結合や光モジュールを駆動する際のデメリットとなります (ただし 24/32 ビット SerDes 製品には DC バランス機能が内蔵されているので、この問題は 10 ビット、16 ビット、18 ビット SerDes にのみあてはまります)。

8b/10b SerDes はバイト指向のセル・データまたはパケット・データとの組み合わせに適します。簡単なエラーチェック機能のほか、シンボル間干渉 (ISI) を抑えるとともに AC 結合のインターコネクタや光ファイバを駆動できる DC バランスをサポートしています。ただし、8 ビットの整数倍ではないバス幅に 8b/10 SerDes を使用すると、バスをバイト単位に変換する追加回路や、SerDes リンクをより速いスピードで動作させる必要が出てきます。

表 3-15. SerDes アーキテクチャのメリット / デメリットの概要比較

テクノロジー	メリット	デメリット
平行・クロック SerDes	広いバスのシリアル化 低コスト トランスミッタ / レシーバ自動同期	ペア / ワイヤが多く必要 ペア間の スキュー要件が厳しい
エンベデッド・クロック (クロック埋め込み型) SerDes	10 ビット、16 ビット、18 ビット、24 ビット、32 ビット幅を提供 ランダム・データへのロック機能 クロック要件が緩やか	DC バランスが備わっていない製品では、AC 結合アプリケーションや光ファイバ・アプリケーションには不適 (24/32 ビット SerDes を除く)*
8b/10b SerDes	DC バランス・コーディング AC 結合アプリケーションや光ファイバ・アプリケーションに対応 広く入手可能	バイト指向 クロック条件が厳格 同期にコマ信号が必要
FPGA 直結型 SerDes	ボード・トレース本数、EMI、パワーを抑える LVDS 「平行」インターフェイスと DDR クロック FPGA に整合性の高いインターフェイス 「あらゆる」データにロック シグナル・コンディショニング 外部リファレンス・クロック不要	小規模なグルー・ロジックが FPGA 内に必要

* 24/32 ビット SerDes 製品群は DC バランス機能を有するため、AC 結合アプリケーションや光ファイバ・アプリケーションに適する。

FPGA 直結型 SerDes は、システムで FPGA を使用し、かつ、CAT-5 ケーブルや FR-4 トレースのような安価なインターコネクでシリアル化した高速データを伝送したい場合に最適です。FPGA 側は LVDS のパラレル・インターフェイス (DDR) で構成されるため、システムの EMI、パワー、ノイズ感度を抑えながら、ボード上のトレース本数の削減と高速なデータレートを実現します。デシリアライザは外部リファレンス・クロックまたはコンマ・キャラクタがなくても送られてくるデータに自動的にロックするため、「プラグ・アンド・ゴー」環境を簡単に実現できます。

3.8 まとめ

ここ 10 年の間に複数の SerDes アーキテクチャが登場し拡大するアプリケーション・ニーズを満たしてきました。FPGA の普及、ボード・トレース数を削減したいというニーズ、そして帯域幅向上に対するニーズによって、FPGA 直結 SerDes のように回路をインテリジェントに分割したアーキテクチャの適用が広がっています。アプリケーションの性能を最大限に発揮させると同時に、システムのコストや複雑性を抑える SerDes を選択するには、それぞれの SerDes のメリットとデメリットを理解しておくことが重要です。



高速インターコネクタの性能を引き出すには伝送線路としての取り扱いが必要です。インピーダンスの不連続を避けるとともに、適切な終端ネットワークが欠かせません。伝送メディアの実効インピーダンス (Z_L) と整合した適切な終端を行えば反射を抑えられます。どのような終端ネットワークも目的は同じですが、アプリケーションに適した終端方式は、いくつかの事項を検討したうえで決定しなければなりません。

いくつかの簡単な問いかけから重要な情報が得られます。たとえば、

- 終端はドライバ/レシーバの外付けとするのか、それとも内蔵タイプを使うのか？
- トポロジーはポイント・ツー・ポイントか、それともマルチポイントか？
- 終端は DC 結合か、それとも AC (容量性) 結合か？
- 終端はフェイルセーフとしても機能させるのか、あるいは異なるテクノロジー間のレベル変換としても機能させるのか？

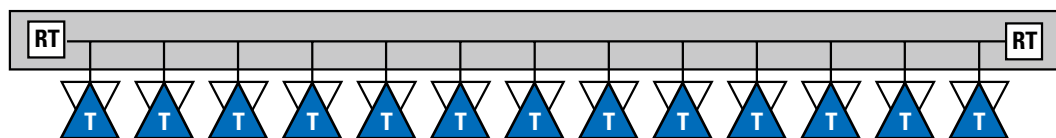
内蔵型の終端は、レシーバのきわめて近くで終端できる (スタブ長の極小化) というメリットのほか、ボード面積と部品点数の点で有利です。内蔵型のデメリットは自由度があまり得られない点です。たとえば内蔵型の AC 終端は送られてくるデータが DC バランスであることを前提としています (詳細は 33 ページの「DC バランス」を参照)。また、終端を内蔵した LVDS レシーバは、負荷が大きいため、マルチドロップ構成には適しません。

4.1 終端とインピーダンス整合

反射を防ぐには、伝送メディアの特性インピーダンス Z_0 が一定で、かつ、負荷終端と等しくなければなりません。しかし信号パス上に、ビア、コネクタ、トレース、ケーブル、あるいはそれらの組み合わせが存在する場合、このような条件を維持することはきわめて難しくなります。また、負荷終端がフェイルセーフ・ネットワークの一部を構成する場合、あるいはレベル変換ネットワークの一部を構成する場合も考えられます。このような課題に関する詳細は、伝送線路理論を説明した 39 ページの「回路設計とレイアウトのガイドライン」セクションを参照してください。

4.2 マルチドロップとマルチポイント

従来の LVDS より駆動能力が高い B-LVDS と M-LVDS は、いずれもマルチドロップ・アプリケーションとマルチポイント・アプリケーションを駆動できます (マルチドロップは単一のドライバと複数のレシーバで構成され、マルチポイントは複数のドライバと複数のレシーバで構成されるトポロジー)。どちらのトポロジーもバックプレーンの両端で整合終端している状態が推奨されます。終端抵抗値はバックプレーンの実効インピーダンスと整合するように選びます。ただし、バックプレーンの特性インピーダンスは $100\ \Omega$ と考えられますが、コネクタやカードなどの追加負荷によって、実効インピーダンスは大幅に低下します。たとえば、通信で広く使われている ATCA (Advanced Telecom and Computing Architecture) の場合、バックプレーンの特性インピーダンスは $130\ \Omega$ ですが、カードが追加負荷となるため、バックプレーン両端の終端値は $80\ \Omega$ に定められています。



注意: 図示したレシーバは終端を内蔵していません。

図 4-1. マルチポイントでの終端

4.3 AC 結合

AC 結合は、差動ペアの両方の信号に、標準的な抵抗性の負荷終端にコンデンサを直列に追加した終端方式です。この方式は、性能、互換性、システムの観点など、複数の理由によって用いられます。図 4-2 に AC 終端方式とコンデンサ両端の波形を示します。コンデンサは信号の DC 成分すべてを遮断するため、レシーバからは開始エッジと終了エッジのみが観測されます。この波形はネットワークを充電したあと、エネルギーは RC の時定数に基づいて緩やかに消費されます。

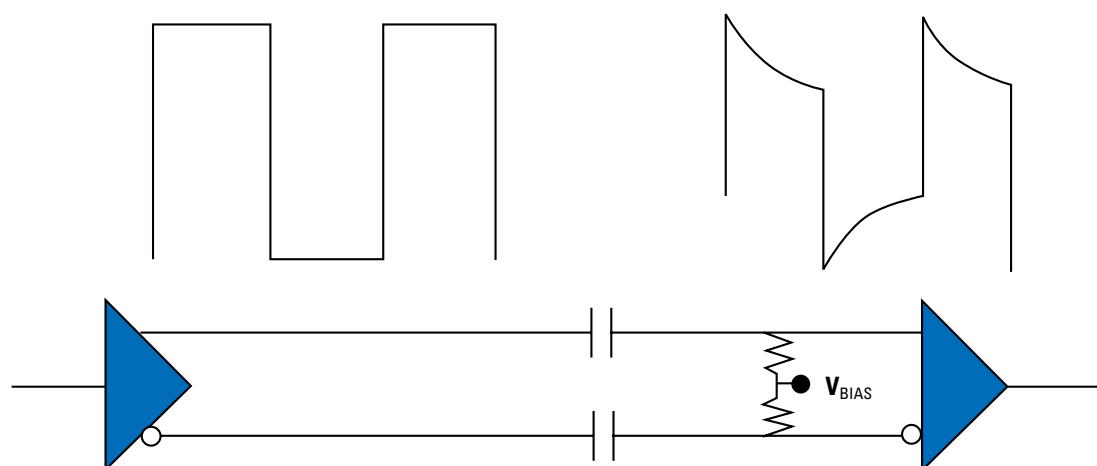


図 4-2. AC 結合と波形

図 4-2 に示す AC 結合方式には次のようなメリットがあります。

- レシーバの入力波形はバイアス電圧 (V_{BIAS}) を中点として振幅します。そのためレシーバを「スイート・スポット」(最適な環境) で動作させることができ、ジッタの抑制と性能の向上が図れます。
- CML と LVPECL は業界標準規格ではないため、デバイスのスレッシュホールドに厳格な規定がありません。異なるメーカーのドライバとレシーバを使用することが想定される場合、AC 結合によってメーカー間に存在すると思われるスレッシュホールドの差が吸収できます。
- AC 結合によってドライバとレシーバ間の DC バイアス差が吸収されます。したがって、テクノロジー間のレベル変換にきわめて有効です (詳細は後述)。
- AC 結合はカード間あるいはシステム間のグラウンド電位の違いを保護する働きもあります。グラウンド電位が異なる 2 系統のハードウェアをケーブルで接続する場合、電圧オフセットは差動ペアの動作に影響を与えるだけでなく、最悪の場合は信頼性を損ねる恐れがあります。AC 結合を行なうことで DC 電位の差が吸収され、このような問題を回避できます。

AC 結合は一般に CML と LVPECL デバイスを用いた高信号レートのシステムで使われます。実際、多くのレシーバ・デバイスが終端コンデンサを内蔵しています。ただし AC 結合を使う場合は、データは DC バランスが取れていなければならないといった制約があります。

AC 結合と DC 結合の両方のメリットを実現した画期的な I/O アーキテクチャが DS64EV400 プログラマブル・イコライザの入力段に採用されています。このデバイスは、スレッショルドとコモンモードの違いに対して AC 結合と同じように広い許容度を持つ一方で、DC バランスのデータを必要としません。

4.4 DC バランス

DC バランスとはデータセットに含まれる 1 と 0 の数の差が全体として等しい状態を指します。コンデンサを使用し AC 結合すると、レシーバの終端ネットワークに電流が流れるのは波形の遷移時のみとなるため、DC バランスが必要になります。波形に遷移が存在しないと 2 つのレシーバ端子の電荷は同じ電位に向かって緩やかに放電するため、ノイズマージンが低下します。

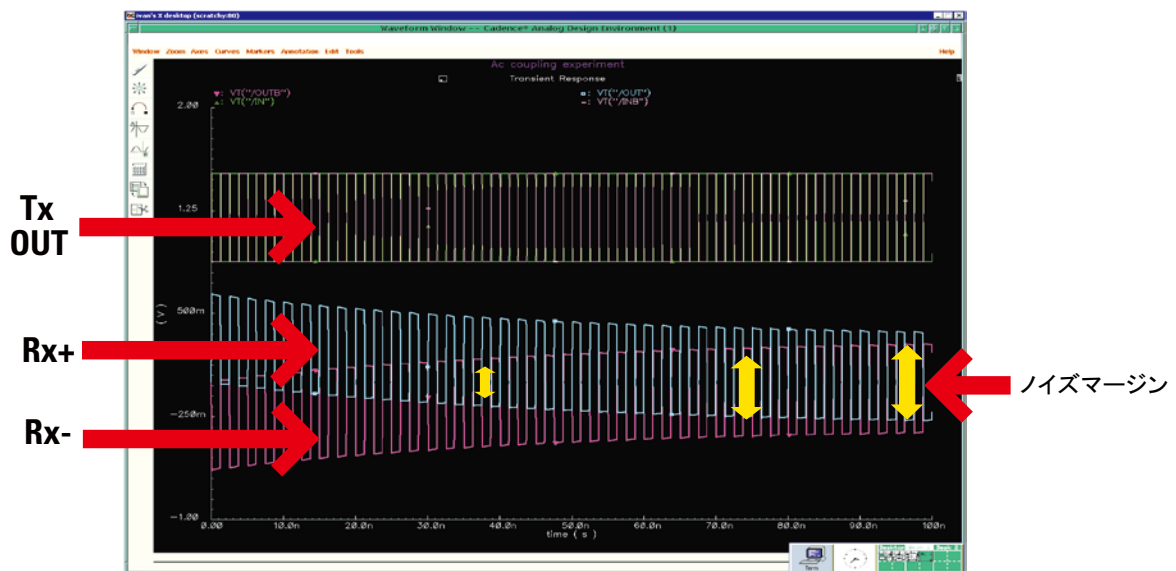


図 4-3. スタートアップ時の AC 結合の差動ペア

AC 結合回路のスタートアップ時の例を図 4-3 に示します。最初の時点で、両方の入力端子は 1.2V に保たれています。最初の正エッジ波形が到着すると、両端子は入力波形に追従して、互いが逆極性の方向に最大に振幅します。続いて負エッジ波形が到着して互いが逆極性の方向に最大に振幅した時点では、2 つの端子間の差電圧はきわめて小さく、おそらくはビット・エラーが生じると考えられます。その後バランスの取れたビット (1 と 0 が同数) が十分に伝送されると、両レシーバ端子は 1.0V と 1.4V の間で振幅するようになり、最終的には適切なノイズマージンが得られるようになります。この例ではスタートアップ時を示しましたが、同じ極性のデータまたは非バランス・データが長いビット・ストリングとして与えられた場合も同様です。非バランス・データではレシーバ端子間に大きな電圧差を維持できないため、ノイズマージンが減少します。

広く使われている 8b/10b のような複数のコーディング方式が高度な DC バランスを保証しています。DC バランスの用語はデータセット全体の性質を表す目的で使用されますが、理想的な状態を基準とする短期的な偏移は別の指標で表現します。

値 (10進)	値 (2進)	10ビット・コード	別コード
	HGF EDCBA	abcdei fghj	abcdei fghj
0	000 00000	100111 0100	011000 1011
1	000 00001	011011 0100	100010 1011
2	000 00010	101101 0100	010010 0011
3	000 00011	110001 1011	110001 0100
4	000 00100	110101 0100	001010 1011
5	000 00101	101001 1011	101001 0100
6	000 00110	011001 1011	011001 0100
7	000 00111	111000 1011	000111 0100
8	000 01000	111001 0100	000110 1011
9	000 01001	100101 1011	100101 0100
10	000 01010	010101 1011	010101 0100
⋮	⋮	⋮	⋮

図 4-4. 8b/10b コードの例

ランニング・ディスパリティ (RD) は DC バランスを基準とした瞬間ごとの偏移を示します。データセットが DC バランスとなっている場合、RD の値は、任意の点における理想値からのワーストケース偏移を表します。



図 4-5. ランレングスの例

ランレングス (RL) は瞬間ごとの連続した同じビットの個数です。データセットが DC バランスとなっている場合、ランレングスの最大値は、同じように理想からのワーストケース偏移になります。

ランレングスはジッタに影響を与える重要なパラメータです。信号がゼロスレッショルドを正確なビット幅で横切ったとき、確定的ジッタは最小になります。ランレングスが長いと RC による減衰によって信号振幅を下がり、ゆえにアイの開口が狭くなり、確定的ジッタは増大します。信号振幅の維持には十分に大きなコンデンサが有効です。

コンデンサの選択

AC 結合による信号減衰 (低下) の大きさは、RC 時定数、ビット幅 (f)、ランレングスによって決まります。ボード面積の点からは小さなコンデンサが望まれますが、容量の大きなコンデンサのほうが信号低下は少なくなります。0.25dB の信号低下 (3%) を保証するコンデンサの近似値は次の式で求めます。

$$C = \frac{(7.8 \times \text{ランレングス} \times \text{ビット周期})}{R}$$

高速アプリケーションの場合、コンデンサ容量は通常 $0.1 \mu\text{F}$ から $0.01 \mu\text{F}$ の範囲です。また高周波伝送特性を配慮し、小型のコンデンサ (1005 サイズ以下) を使用します。

4.5 レベル変換

複数の高速差動テクノロジーが混在したシステムではレベル変換がしばしば必要になります。

差動テクノロジーのなかで最も広く使われているのが LVDS です。LVDS は幸いなことにレベル変換への対応が最も簡単です。LVDS 入力には他の高速差動テクノロジーに比べてきわめて広いコモンモード入力範囲を有します。入力にこのような自由度があるため、LVDS 製品は、ほとんどの LVDS または LVPECL デバイスに直接接続することが可能です。

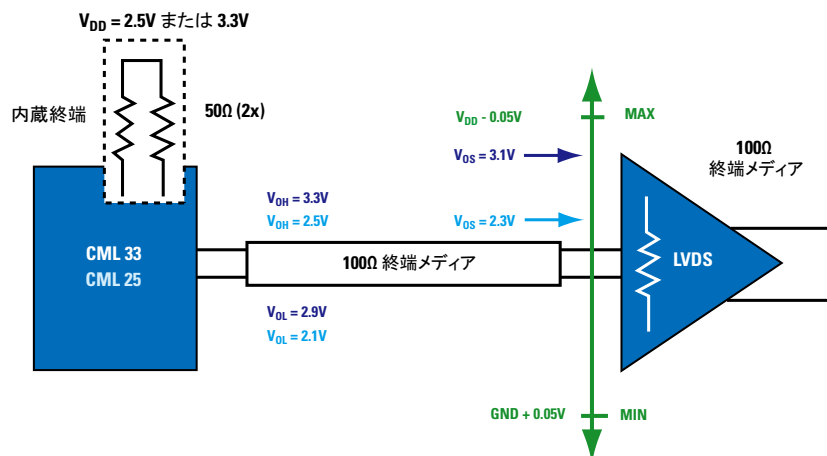


図 4-6. CML から LVDS

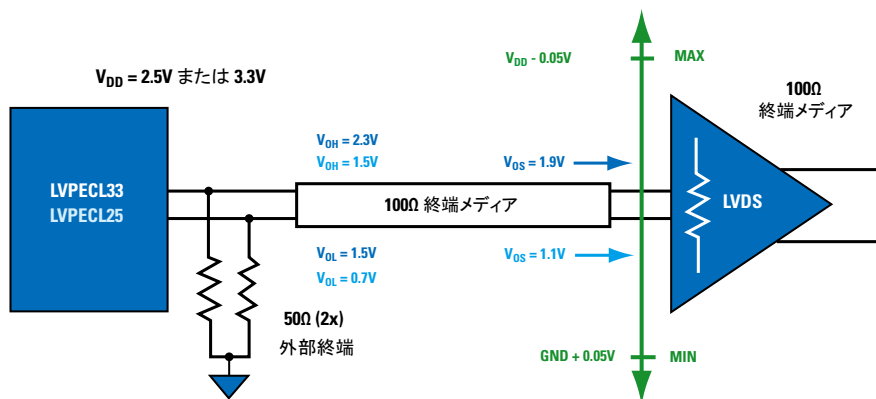


図 4-7. LVPECL から LVDS

LVDS 入力は入力コモンモード電圧の範囲が広いので、汎用的な差動レーバとしても見なすことができます。

CML と LVPECL の入力コモンモード電圧は狭い範囲にしかありません。そのため、図 4-8 に示すように、CML レシーバで規定される入力範囲は LVDS の出力電圧に適合しません。

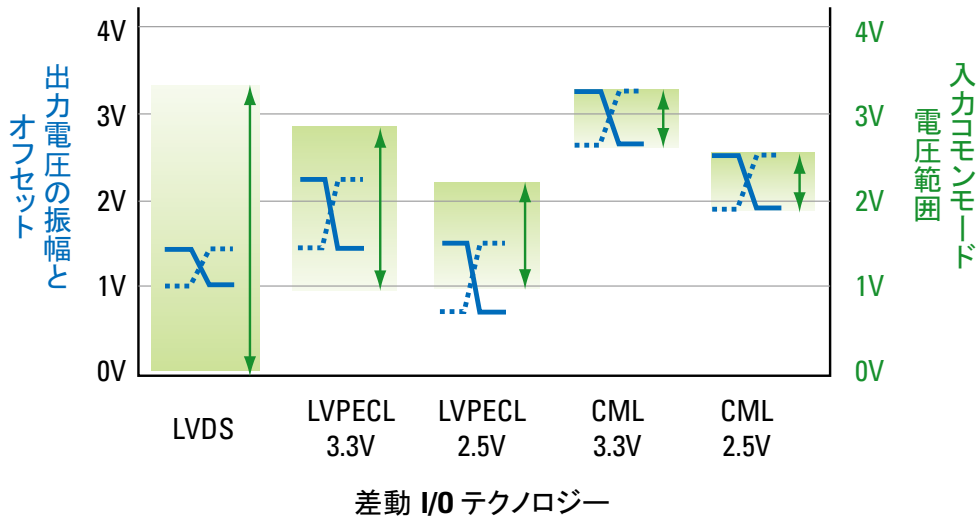


図 4-8. 差動テクノロジー

LVDS から LVPECL または LVDS から CML に差動信号を変換する場合、レシーバ側デバイスの入力特性を調べておくことが重要です。なお、LVPECL と CML の I/O 特性と終端方式は、デバイスごと、あるいはメーカーごとに異なります。

多くの IC メーカーのデータシートに記載されている共通的な仕様特性から、LVPECL または CML への変換には、図 4-9 と図 4-10 に示すインターフェイスがさまざまな条件で有効と考えられます。具体的な LVPECL デバイスまたは CML デバイスによっては、適切な性能を得るために、若干の回路変更が必要です。

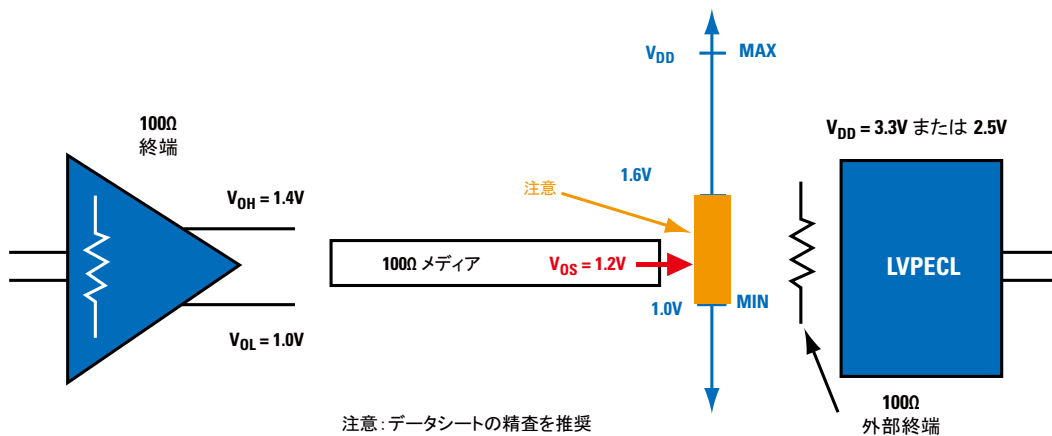


図 4-9. LVDS から LVPECL

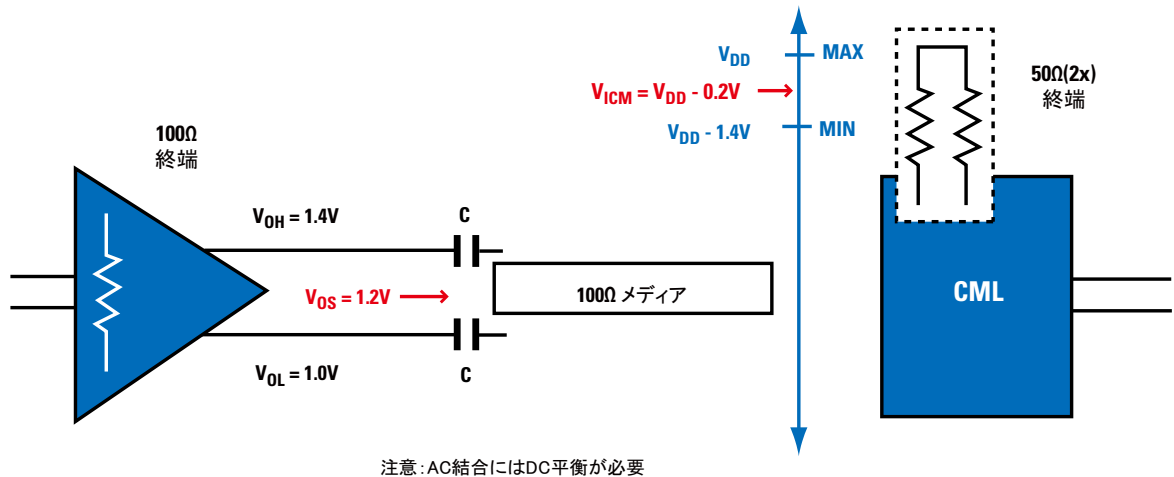


図 4-10. LVDS から CML

前の図に示したように、LVDS と他の差動テクノロジーは高速シグナルパス中に共存が可能です。4 通りある LVDS との組み合わせのうち 3 通りはいかなる外付け部品も必要としません。残りのケースは LVDS が CML を駆動する場合ですが、CML だけのアプリケーションはおそらくすでに AC 結合を使用していると考えられます。DC バランスを配慮した信号コーディングが市場の認知を広く得ているため、高速信号を AC 結合しても多くのアプリケーションでとくに制約とはなりません。

4.6 フェイルセーフ

LVDS の入力には、入力が開放または短絡のときに対応する出力を High に固定する、フェイルセーフ回路が組み込まれている場合が少なくありません。内蔵フェイルセーフ回路は、通常の動作条件で、短いケーブルの障害や入力端子のハンダ開放あるいは短絡を原因とする発振を防止するには十分堅牢に設計されています。一方、ノイズがきわめて多い環境や長いケーブルが取り外された場合、内蔵フェイルセーフだけでは発振を防ぐことができない可能性があります。この場合は、シールド付きケーブルの使用や、抵抗ネットワークを追加して内蔵フェイルセーフの強度を高めてください。

フェイルセーフ・ネットワークは、発振を確実に防止する十分なマージンを得なければならない一方で、レシーバのバランスおよび感度を損なってはならず、両者のトレードオフとして設計しなければなりません。この問題の詳細はアプリケーション・ノート AN-1194 「LVDS インターフェイスのフェイルセーフ・バイアス」に述べられています。

M-LVDS フェイルセーフ

TIA/EIA-899 (M-LVDS) 規格はタイプ 2 レシーバで内蔵フェイルセーフを規定しています。タイプ 2 レシーバには 100mV のオフセットが適用され、デバイスのスイッチングポイントは 0V から 100mV だけシフトします。この機能によって効率的なフェイルセーフが実現されますが、ノイズマージンが減少するとともに、クロック・アプリケーションの場合は デューティ・サイクルに影響を与える可能性があります。

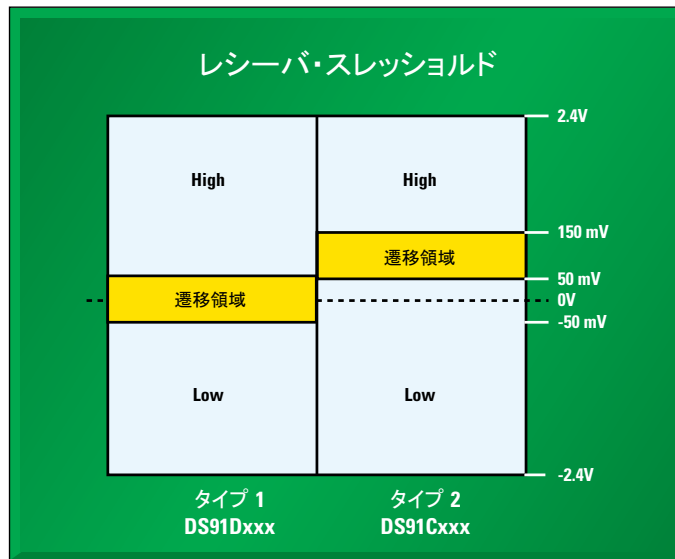


図 4-11. M-LVDS

内蔵オフセットを有するタイプ 2 レシーバは、「ワイヤード・オア」型のロジック・アプリケーションでの共通レシーバに最適です。ワイヤード・オアによって割り込みなど単一の差動ペア信号を複数のカードまたはデバイス間で共有できます。タイプ 2 レシーバの出力を開放にしておくと、共通信号はロジック Low に維持されます。他の任意のデバイスが信号を High に引き上げると割り込みが発生します。

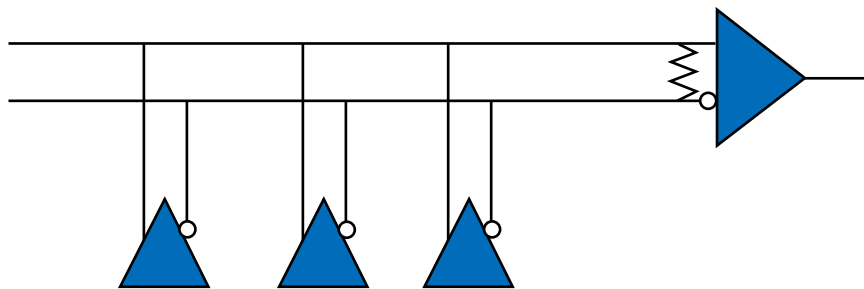


図 4-12. ワイヤード・オア回路の例

5.1 PCB 伝送線路

プリント回路基板で一般的に用いられる伝送線路の構造を図 5-1 に示します。それぞれ長さ方向に均一な断面を有する信号ラインとリターン・パスで構成されています。マイクロストリップ・ラインは外層(表または裏)に信号トレースがあり、誘電層を挟んだグラウンド層または電源層の中にリターン・パスが存在します。ストリップラインは内層に信号トレースがあり、誘電体を介して信号トレースの上下をグラウンド層が挟んでいます。伝送線路の特性インピーダンスは構造の寸法と誘電体材料の特性によって決まります(インピーダンスが制御された伝送線路、とも呼びます)。

2本の信号ラインを近づけて配置すると結合伝送線路ペアが形成されます。エッジ結合マイクロストリップ・ラインとエッジ結合またはブロードサイド結合ストリップラインの例を図 5-1 に示します。差動信号によってラインが励起される場合、結合した伝送線路を「差動ペア」と呼びます。また、各ラインの特性インピーダンスを奇モード・インピーダンスと呼びます。両ラインの奇モード・インピーダンスを合算すると差動ペアの差動インピーダンスが得られます。トレース寸法と誘電体材料属性のほか、相互結合を決める2本のトレースの距離が、差動インピーダンスに影響を与えます。2本のラインをきわめて近くに隣接して配置した場合、たとえば S が $2W$ 未満のとき、差動ペアは「密結合差動ペア」になります。長さ方向にわたって一定の差動インピーダンスを維持するには、トレース幅と間隔を長さ方向にわたって均一に保つとともに、2本の信号の対称性を維持しなければなりません。

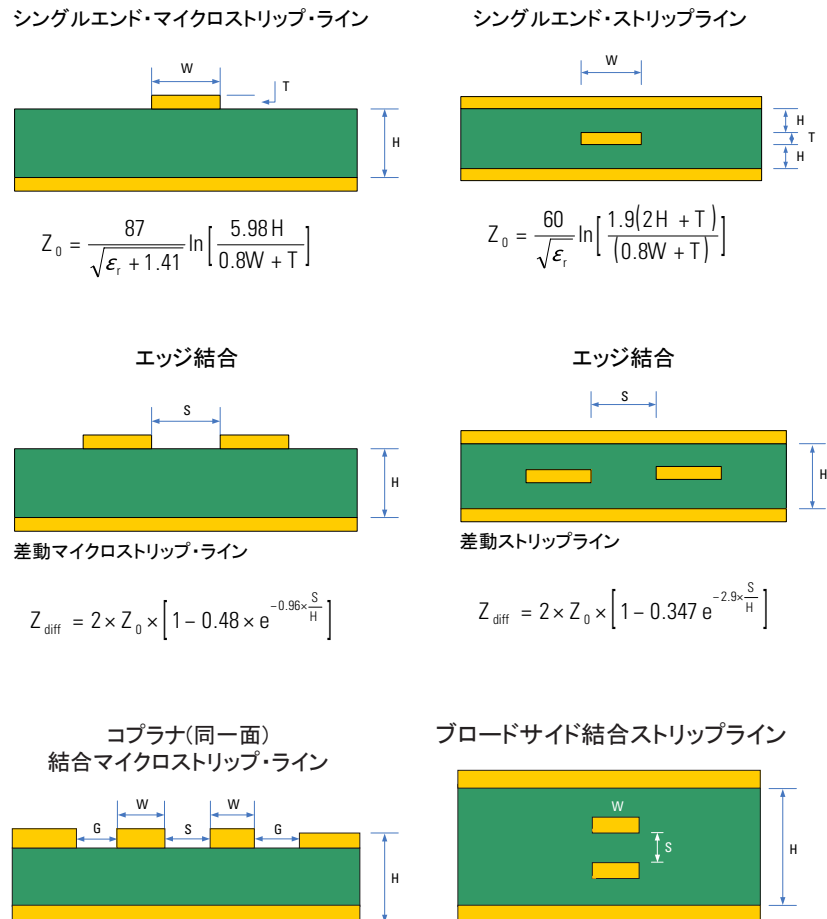


図 5-1. インピーダンスが制御された伝送線路

5.2 伝送損失

伝送損失は、およそ 1GHz よりも低い周波数では、周波数の二乗に比例する表皮損失が支配的になります。1GHz よりも高い周波数では、周波数に比例する誘導体損失が支配的になります。基板の材料特性によってボード・トレースの伝送損失は大きく左右されます。寸法は同じまま、Nelco4000-6、Getek、Roger の各材料を用いた 10 インチ (25.4cm) の結合マイクロストリップ・ラインの損失を図 5-2 に示します。

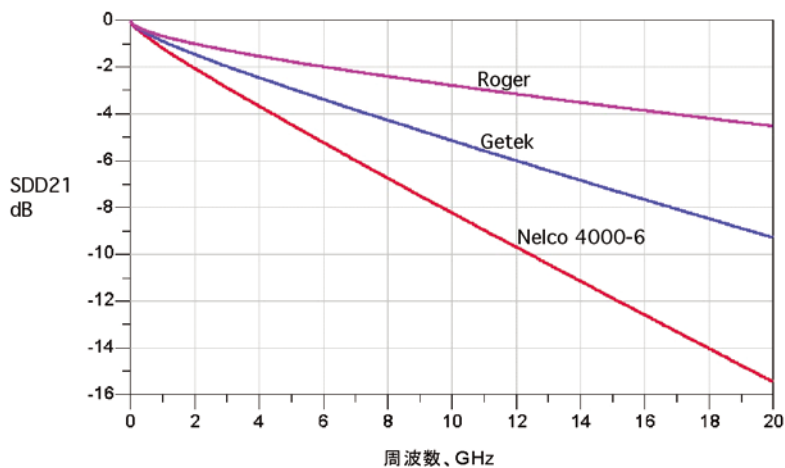


図 5-2. 異なる基板材料に実装した 10 インチ・マイクロストリップ・ライン

基板材料に Nelco4000-6 を使って、同じ幅で実装した結合マイクロストリップ・ラインと結合ストリップラインの損失を、図 5-3 に示します。ストリップラインは大气よりも大きな損失を有する誘電体材料に挟まれる形で内層に配置されています。誘電体損失はストリップラインのほうがマイクロストリップ・ラインよりも大きくなります。

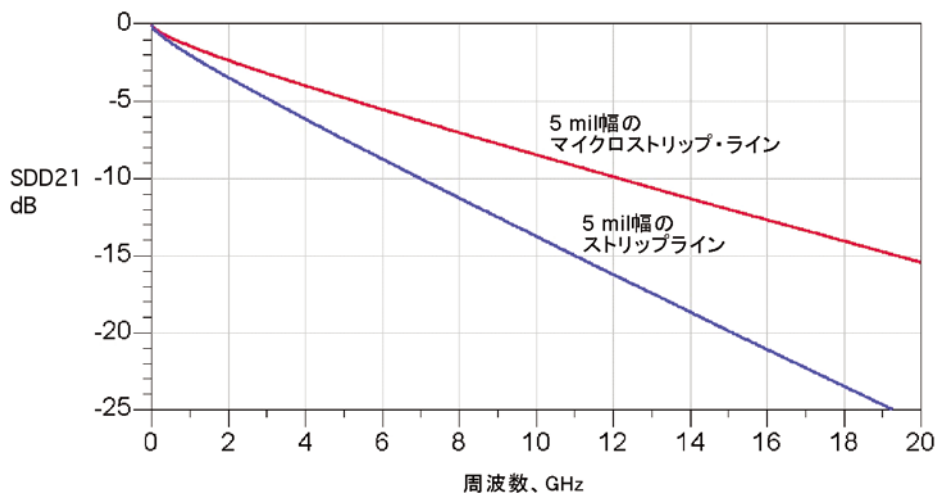


図 5-3. Nelco4000-6 に実装した 10 インチ結合マイクロストリップ・ラインと結合ストリップライン

5.3 PCB のビア

ビアは、プリント回路基板の2つの層のトレース同士を接続するメッキ・スルーホールを指す用語として、広く使われています。ビアの構造は、ドーナツ型のパッド、メッキした円筒形のビア・バレル、そして電源層およびグラウンド層とのクリアランスを得るアンチパッドで構成されます。図 5-4 はビアの 3D 図です。

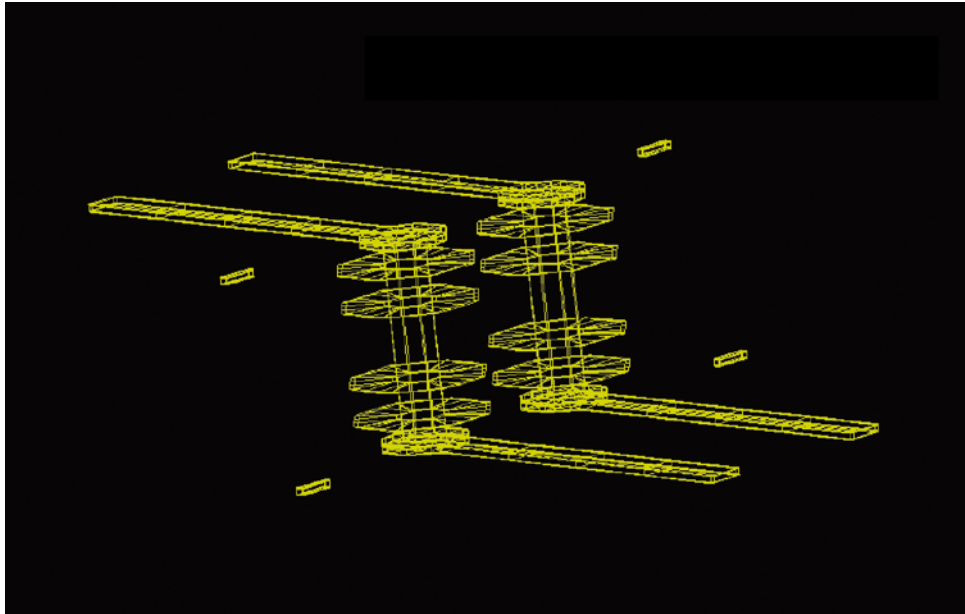


図 5-4. 差動ビアの 3D 図

ビアの電氣的挙動は、ビアの寸法、ボードの層構成、基板の材料特性によって変わります。円筒状のバレルはインダクタとして作用し、一方、パッドとアンチパッドは容量性として作用します。微小ホール・サイズのビアの場合、ビア構造は総体的には微小なインダクタとして作用します。ホール・サイズが大きく電源層またはグラウンド層が複数あるビアの場合、ビアは容量性の挙動を示すと考えられます。三次元電磁界ソルバーの助けを借りることで、制御されたインピーダンスを維持しながら、ビア構造の設計が可能です。

相互結合した $100\ \Omega$ の差動インピーダンスを有する 2 個の差動ビアの構造を図 5-4 に示します。ビアの寸法のほか、2 個のビアの距離によって相互結合の強さと差動インピーダンスへの影響が決まります。

外層と内層とをつなぐ信号ビアの場合、内層から反対側の外層に至るビアの使用されていない部分がビア・スタブを形成します。ビア・スタブによって信号トレースには寄生容量が追加され、帯域が狭くなります。超高速アプリケーションでは、高度なボード加工技術を使用して、ビアの非使用部分に座ぐり (カウンターボア) を精度高く作成します。座ぐりを行えばビア・スタブは削除されます。

内層と内層との接続には埋め込み (ベリード) ビアが使われます。ビアの長さは 2 つの層を隔てている誘電体層の厚みだけで済み、ビア・スタブは形成されません。

5.4 バックプレーン・サブシステム

典型的なボードの場合、信号は、ボード・トレース、部品のランディング・パッド、ビア、そして部品で構成されるインターコネクタを渡ります。ランディング・パッドとビアの寄生容量によって、ボード・トレースの特性インピーダンスにはインピーダンスの不連続が発生します。トレース幅や差動ペア間の間隔が変化した場合もインピーダンスの不連続が生じます。過度の寄生容量は周波数に比例しない挿入損失を招き、高データレート伝送のシグナル・インテグリティを悪化させます。

バックプレーン・サブシステムではコネクタとバックプレーンを介して2枚のカード同士が接続されます。図 5-5 にバックプレーン・サブシステムの単純化した典型例を示します。

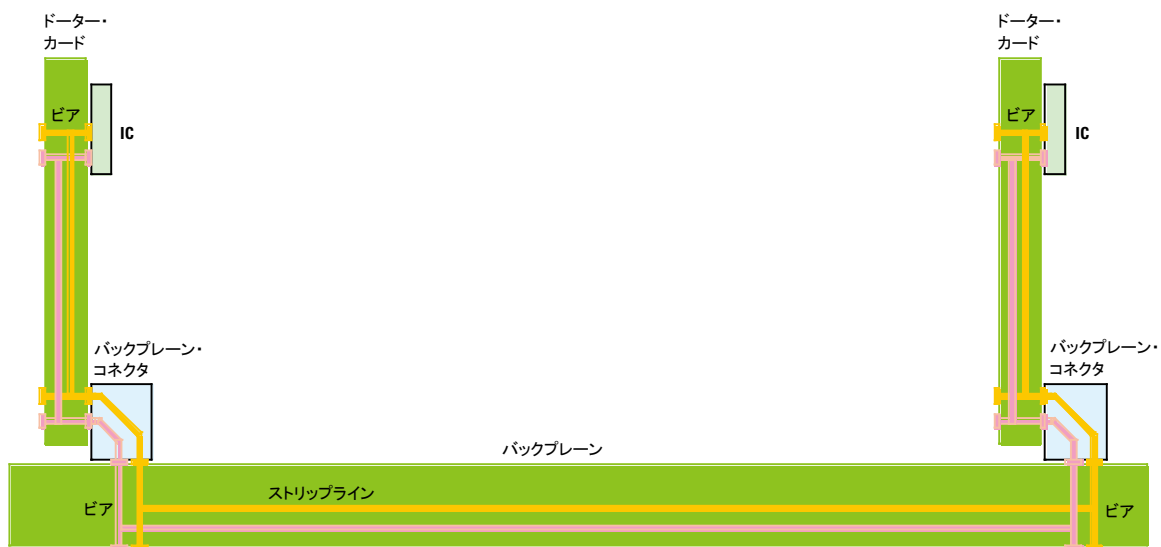


図 5-5. 単純化したバックプレーン・サブシステム

バックプレーン・コネクタは、機械的な強度を得るために、厚いバックプレーンのメッキ・スルーホールに押し入れるプレスフィット型が主流です。図 5-6 にバックプレーン・コネクタの内部導体構造を示します。典型的なバックプレーンの厚みは 0.15 インチ (3.8 mm) から 0.20 インチ (5.1 mm) の範囲で、合計で 10 層から 20 層の信号層、電源層、グラウンド層で構成されます。長いビアと比較的大きなスルーホール・サイズ (およそ直径 26 mil) は大きな容量性負荷となり、帯域を狭めるほか、クロストークに悪影響を与えます。

回路設計とレイアウトのガイドライン

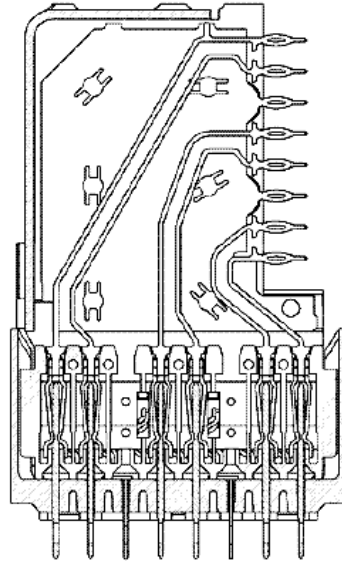


図 5-6. VHDM HSD の断面図 (提供 Teradyne 社)

20 インチ・バックプレーンの伝送損失とクロストークの様子を図 5-7 に示します。ボード・トレースに起因する誘電体損失に加えて、コネクタ、ビア、ビア・スタブ、それに部品のランディング・パッドの寄生容量を原因とする損失が生じています。隣接チャネルから発生するクロストークは、対象となるラインに負の影響を及ぼします。クロストークは通常、バックプレーン・サブシステムの最大データレートを制限する因子となります。

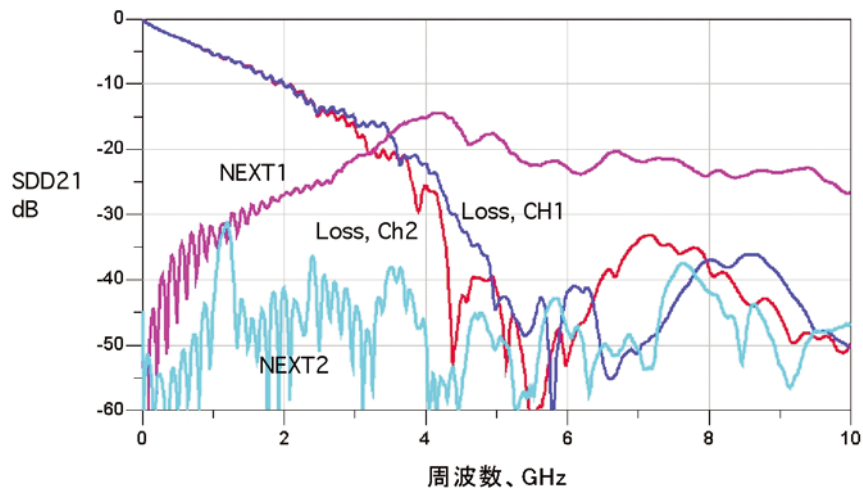


図 5-7. 20 インチ・バックプレーンの伝送特性

5.5 デカップリング

高速デバイスの電源リードとグラウンド・リードは、低インダクタンス・パスを介して、PCBに接続しなければなりません。性能を正しく発揮させるには、1つか複数のビアを使って、電源ピンまたはグラウンド・ピンを近くの電源層またはグラウンド層に接続します。ピンのすぐ近くにビアを配置することが理想的で、トレース・インダクタンスの増加を防ぎます。ボード外層のすぐ下に電源層を割り当てれば、実効ビア長が短くなり、ビアに伴うインダクタンスを抑えられます。

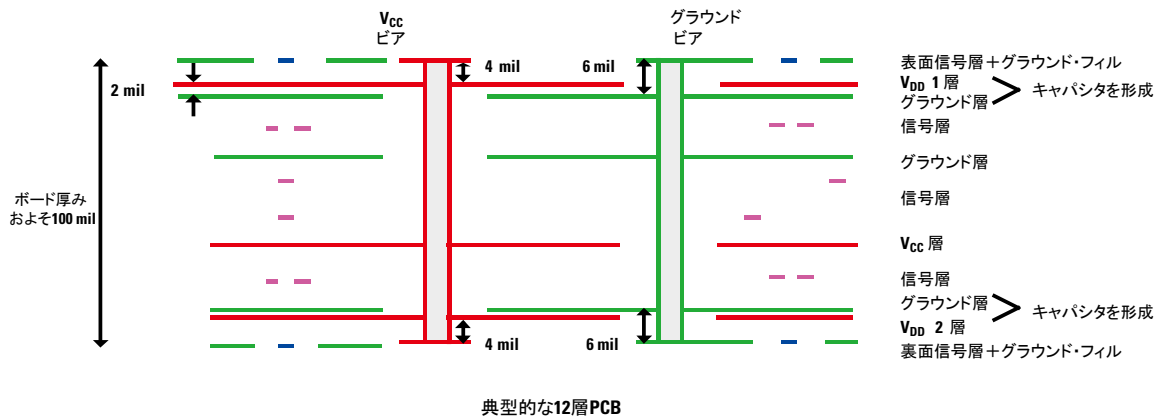


図 5-8. 低インダクタンスかつ大容量の電源層構成

バイパス・コンデンサは V_{DD} ピンのできるだけ近くに配置しなければなりません。バイパス・コンデンサをパッケージの角部分またはパッケージ下に配置するとループ面積を小さく抑えられます。そのような配置をすることで付加した容量が作用する周波数範囲が広がります。0402 や 0201 サイズ、あるいは X7R 特性の面実装コンデンサのような小型コンデンサを使用すると、コンデンサのボディ・インダクタンスを抑えられます。各バイパス・コンデンサは、図 5-8 に示すようにコンデンサのパッドにビアを設けて、電源層またはグラウンド層に接続します。



図 5-8a と 5-8b. デカップリング・コンデンサの配置例

回路設計とレイアウトのガイドライン

0402 サイズの X7R 面実装コンデンサのボディ・インダクタンスはおおよそ 0.5nH です。X7R コンデンサはおおよそ 30MHz 以上の周波数で低インピーダンスのインダクタとして作用します。動作周波数を数百 MHz に広げるには、100pF、1nF、0.03 μ F、0.1 μ F といった異なる容量を並列に構成したアレイが一般的に使われます。最も効果的なバイパス・コンデンサは、2 mil から 3 mil 程度の間隔で構成した電源層とグラウンドのサンドイッチ構造です。2 mil の FR-4 誘電体を使用した場合、PCB の 1 平方インチあたり、おおよそ 500pF が得られます。一部の例については前述の図 5-1 を参照してください。

高速デバイスの多くはパッケージ裏面に低インダクタンスなグラウンド接続を有します。このようなセンター DAP はビア・アレイを介してグラウンド層に接続しなければなりません。ビア・アレイは、グラウンドに対する実効インダクタンスを下げるとともに、面実装 (SMT) パッケージの放熱性能を高めます。DAP 接続部の周囲にビアを配置すると、適切な熱の拡散が実現されて、ダイ温度は可能な範囲でもっとも低くなります。PCB の両面それぞれにグラウンド層 (図 5-1 のように) を割り当てた場合、高性能デバイスからの熱伝導に複数の経路が形成されます。PCB での放熱は、ひとつのデバイスの熱が別のデバイスに伝わって温度を上昇させ、局地的な高温を招いてしまうことが珍しくありません。熱伝導に複数の経路が存在すればこのような可能性は低くなります。

グラウンド DAP は放熱で極めて重要となりますが、パッドと DAP の間隔を十分に確保できないことで、図 5-8b に示すように、最適なデカップリング・レイアウトの実現が困難になる場合があります。そのような場合はデカップリング・コンデンサをボード裏面に配置すると、インダクタンス成分の追加を最小限に抑えられます。 V_{DD} ビアをデバイス・ピンのできるだけ近くに配置し、同時に十分なハンダマスク対象範囲を確保することが重要です。ビアをそのままの状態にしておくと、パッドのハンダがビア・パレルに流れ込む恐れが生じます。この場合、ハンダ接続品質の低下を招きます。



6.1 はじめに

ジッタは、図 6-1 に示すように、確定成分とランダム成分の 2 種類から構成されます。確定的ジッタ (DJ) は、クロストーク、シンボル間干渉、電源からまわりこむノイズ、システム的な要因によって発生します。確定的ジッタは有限であり、ピーク・ツー・ピーク値の特性を示します。ランダム・ジッタ (RJ) は、サーマル・ノイズ、ショット・ノイズ、光メディアでの散乱など、物理的な原因によって発生します。ランダム・ジッタは旧来から通常ガウス分布の形をした確率密度関数を用いて特性を表します。ガウス関数は範囲において無限なので、総ジッタ中のランダム・ジッタ成分は境界なしになります。

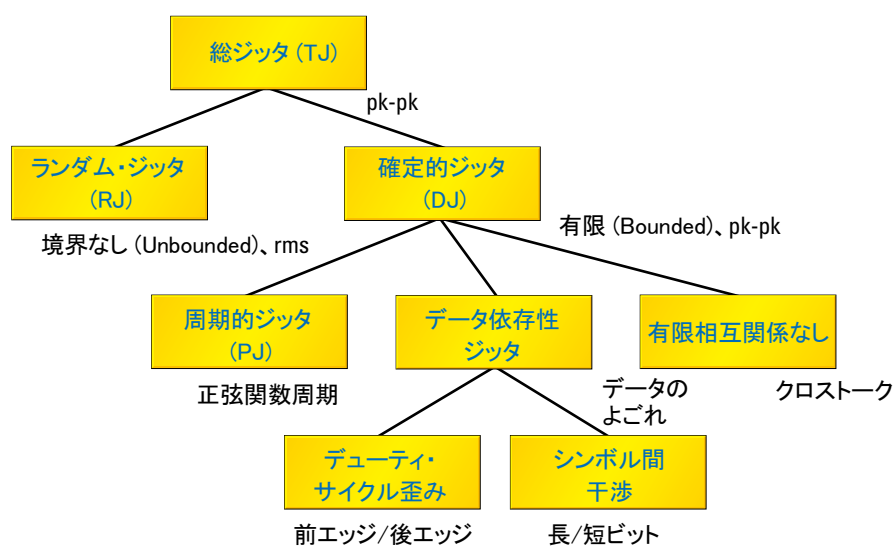


図 6-1. ジッタの成分

ランダム・ジッタの特性

ランダム・ジッタはガウス分布によって特性が表され、かつ、境界なしと仮定されます。このタイプのジッタの測定では標準偏差と平均を用いて分布を定量化します。RJ はガウス分布としてモデル化されるため、ビット・エラー・レート (BER) の関数であるピーク・ツー・ピーク・ジッタの予測に使用されます。

RJ の一般的な原因としては、ショット・ノイズ、フリッカ・ノイズ、サーマル・ノイズなどが考えられます。ショット・ノイズは帯域の広い「ホワイト」ノイズで、電子とホールが半導体中を動くときに発生します。ショット・ノイズの大きさは平均電流フローの関数です。フリッカ・ノイズは $1/f$ に比例するスペクトル分布を有します。フリッカ・ノイズは、酸化インターフェイス・トラップで電子がランダムに捕捉および放出されるときにキャリア密度の揺らぎを原因とする表面効果が原因です。サーマル・ノイズは広帯域の「ホワイト」ノイズとして表され、平坦なスペクトル密度を有します。サーマル・ノイズは導体内の「自由」電子とイオン間でのエネルギー伝達によって発生します。

確定的ジッタ

確定的ジッタはより複雑です。確定的ジッタには、たとえばビットが変化するシーケンス(例: 0-1-0-1)中で、それぞれのロジック・ステートに割り当てられた平均時間の違いに起因するデューティ・サイクル歪み(DCD)など、データ依存の成分が含まれるからです。このような歪みは、立ち上がり時間と立ち下がり時間との違いや、デバイスのスレッシュホールドのばらつきによって生じます。

DCDとシンボル間干渉(ISI)は遷移密度が変化したときに生じるデータ履歴の関数であり、ビット・シーケンス(シンボル)中の位置に応じて信号がレシーバ・スレッシュホールドに到達するまでに要する時間差に起因します。またISIは、伝送メディア上をデータ(シンボル)の周波数成分が均一ではない速度で伝搬したときにも起こります。たとえば、エッジ密度の関数としてジッタが変化したときに、ISIが生じます。

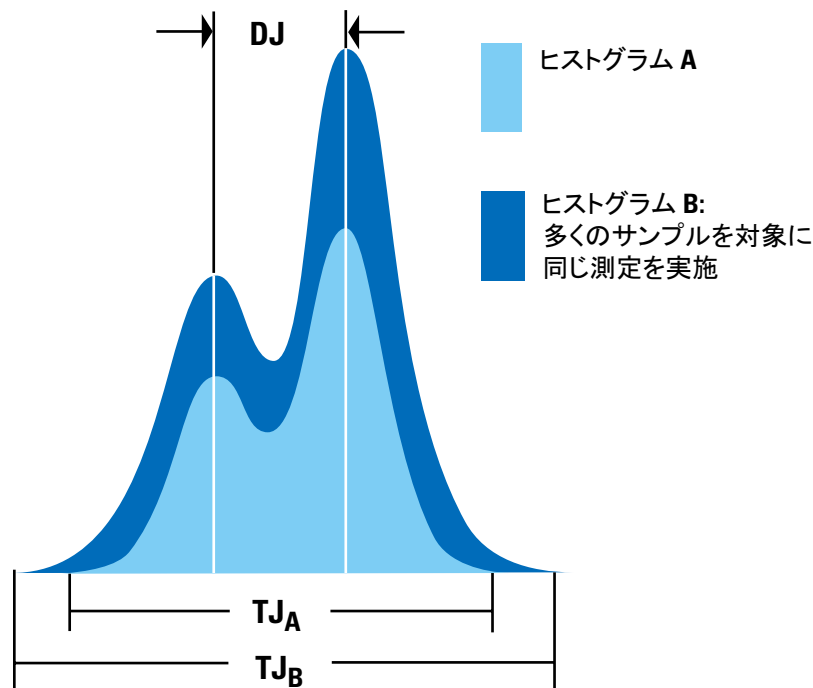


図 6-2. 総ジッタのヒストグラム

総ジッタ(TJ)のヒストグラムはTjの確率密度関数(PDF)を表し、このためDJとRJの発生プロセスが独立している場合、総PDFはDJとRJPDFの畳み込みになります。ヒストグラムからDJを排除するとガウス分布が現れるはずですが、RJのヒストグラムにDJを追加すると、分布は広がる一方でガウスの裾は保たれ、平均は左の分布と右の分布とに事実上分かれます。2つのヒストグラムの平均の差がDJで、裾部分がRJ成分を表します。DJは有限なので、より多くの測定サンプルを蓄積しても値は変わりません。ランダム・ジッタは境界なしなので、総ジッタ中のRJ成分はサンプル・サイズを増やすにつれて大きくなります。

デューティ・サイクル歪み

デューティ・サイクル歪み (DCD) ジッタの主な要因は2つです。1つは、トランスミッタへのデータ入力が理論的に完璧であっても、トランスミッタのスレッシュホールドが理想レベルからオフセットしていれば、トランスミッタの出力にはデータ信号のエッジ遷移スルーレートの関数として DCD が現れる場合です。

スレッシュホールド・レベルが正確に 50% で、デューティ・サイクルが 50% の理想トランスミッタ出力を、図 6-3 に点線で示します。一方、実線の波形は、スレッシュホールド・レベルが正にシフトしてトランスミッタ出力が歪んでいる様子を表しています。スレッシュホールド・レベルの正シフトによって、トランスミッタ出力波形のデューティ・サイクルは 50% よりも小さくなっています。逆にスレッシュホールドが負にシフトした場合、トランスミッタ出力波形のデューティ・サイクルは 50% よりも大きくなるはずですが、

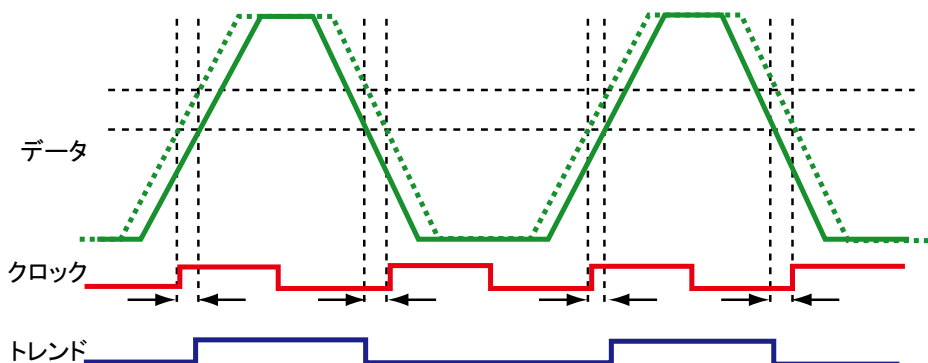


図 6-3. タイミング・シフトを原因とする DCD ジッタ

ソフトウェアが生成したベスト・フィット・クロックとの比較でタイム・インターバル・エラー (TIE) を測定すると、各データ・ビットの立ち上がりエッジの正のタイミング・エラーと、各データ・ビットの立ち下がりエッジの負のタイミング・エラーが得られます。得られた TIE のトレンド波形はデータレートの半分に等しい基本周波数を有します。スレッシュホールド・シフトが正か負かによって、データ信号を基準にした TIE トレンド波形の位相は異なります。

システム中に他のジッタ源が存在しなければ、DCD ジッタのピーク・ツー・ピーク振幅はデータ信号全体にわたって理論的には一定です。ただし、ISI などのジッタ源が必ずといっていいほど存在するため、DCD 成分を分離することは簡単ではありません。DCD をテストするにはシステム / 部品に 1-0-1-0 の繰り返しデータ・パターンを与える方法が考えられます。この方法を使うと ISI ジッタが排除されるため、表示されるトレンド波形とスペクトル波形の両方から DCD が簡単に分かります。ジッタをスペクトルで表示すると、ジッタの DCD 成分はデータレートの半分に等しい周波数の「突起」として表されるでしょう。

DCD のもう 1 つの原因は、立ち上がりエッジ速度と立ち下がりエッジ速度の非対称性です。立ち下がりエッジ速度のほうが立ち上がりエッジ速度よりも相対的に遅ければ、1-0-1-0 の繰り返しパターンのときデューティ・サイクルは 50% より大きくなり、反対に立ち上がりエッジ速度が立ち下がりエッジ速度よりも相対的に遅ければ、デューティ・サイクルは 50% より小さくなります。

シンボル間干渉

データ依存性ジッタ (DDJ) を構成するシンボル間干渉 (ISI) は、伝送線路の帯域か部品の帯域、あるいはその両方が、送信信号の帯域よりも狭いときに発生します。時間領域の観点からは、伝送パスの帯域が不足していると、送信信号のエッジレートが緩やかになります。クロックのような周期的な信号の場合、エッジレートが小さいと信号エッジが丸くなり、場合によっては信号振幅が低下する可能性があります。一方データの場合は、緩やかなエッジによって 1-0 と 0-1 の遷移タイミングが影響を受けます。

図 6-4 の波形で考えてみます。A 点の前にある 1010 パターンは均一なビット・パルス幅と均一な遷移タイミングで構成されています。ここで、A 点での連続した 1 によって伝送メディアは高レベルに充電され、B 点で起こる 0 への遷移に長い時間を要するようになります。0 への遷移が遅れば、信号が安定したロー・レベルに到達する十分な時間がないうちに、C 点で遷移が起こってしまいます。

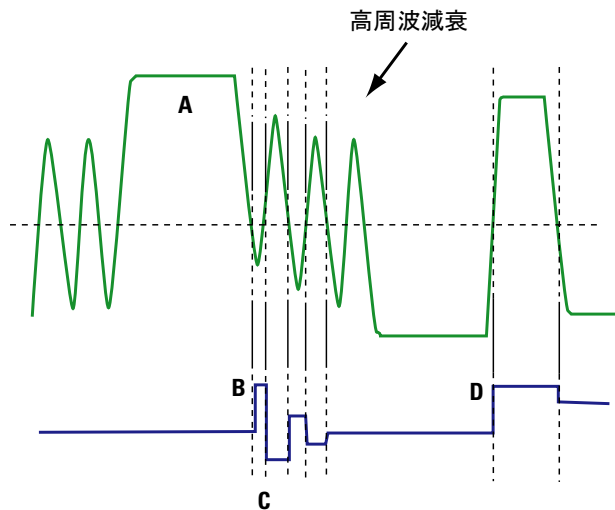


図 6-4. ISI パターン依存性ジッタと反射の例

ISI に起因するジッタは送信されるパターンによって異なります。伝送線路の帯域が不足している場合、ランレングスの長いデータ・パターンほどジッタは大きくなります。たとえば帯域が不足している条件で、PRBS-7 (ランレングス=7) や 8b/10b (ランレングス=5) よりも、PRBS-23 (ランレングス=23) のほうが、発生する ISI DJ は大きくなるでしょう。

長い 1 のストリングに続いてビット 0 がある場合、ビット 0 の負のピーク振幅は 2 つの理由で低下します。1 つは、1 が連続した長いストリングの直後はデータ信号のレベルが高くなっているため、真のロー・レベルに信号が遷移するまでに長い時間を要することが挙げられます。もう 1 つは、次にビット 1 が来る場合、信号が安定したロー・レベルに達する前にハイ・レベルに引き上げられてしまうためです。信号振幅が小さくなると信号がスレッショルド・レベルを横切るまでの距離がきわめて短くなって、次のビット 1 への遷移で負のタイミング・エラーが発生します。この様子をジッタ・トレンド波形の C 点に示します。

前述の B 点での正のタイミング・エラーと同じ理由により、ジッタ・トレンド波形の D 点で正のタイミング・エラーが生じています。長い 0 のストリングが続くとデータ信号は安定したロー・レベルに確定します。次に信号がハイ・レベルに遷移する場合、スレッシュホールド・レベルに達するまでに同様な理由で長い時間がかかり、結果として正のタイミング・エラーが生じます。

伝送パス上に存在するインピーダンス不連続や不適切な終端に起因した反射も ISI の原因になります。インピーダンス不連続は帯域を狭めるだけではなく、反射した信号がエッジ遷移の前後または遷移中にトランスミッタかレシーバに到達した場合に、遷移タイミングは影響を受けます。データ信号が高速な場合、あるエッジ遷移で生まれた反射は複数のビットを経過したあとでないと現れてこない様子を、図 6-5 に矢印で示します。エッジ遷移のタイミング (C 点) でトランスミッタかレシーバに現れた反射は、信号アイ・パターン上に DDJ として現れます。

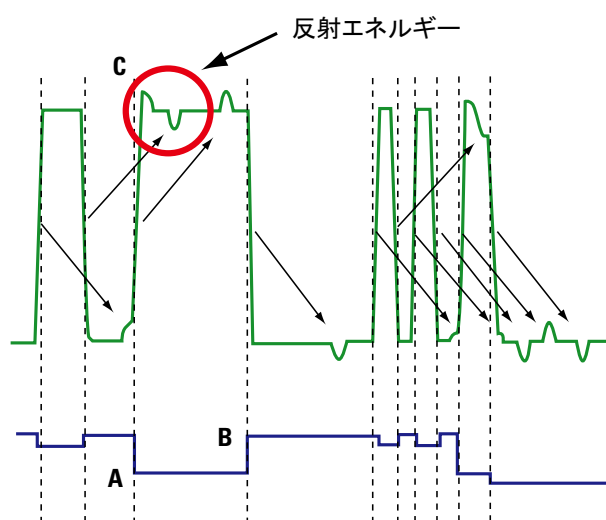


図 6-5. ISI パターン依存性ジッタと反射の例

反射に起因するジッタを抑えるには、インピーダンスの不連続を減らすとともに、伝送線路の遠端のできるだけ近くに適切な終端を配置してください。また、帯域不足に起因するジッタを抑えるには、広帯域の伝送メディアか、送信プリエンファシスや受信イコライゼーションのデバイス、またはこれら 3 つをすべて採用してください。

帯域不足のほか、不適切な終端や物理メディア中のインピーダンス異常に起因する信号反射も ISI の要因の 1 つです。信号反射は図の右側に示すようにデータ信号の振幅に歪みを与えます。データ信号が高速な場合、あるパルスで生まれた反射は、インピーダンス異常が存在する箇所までの物理的な距離に応じて、シリアル・パターン中の複数ビットが経過したあとでないと現れません。

周期的ジッタ

周期的ジッタ (PJ) は正弦関数ジッタとも呼ばれ、一定の周波数で繰り返されるジッタです。PJは周波数や振幅ともにピーク・ツー・ピーク値として表されます。このタイプのジッタはデータ・ストリームとは関連のない繰り返し成分で構成されます。クロストークとスイッチング電源ノイズが主な2つの原因です。

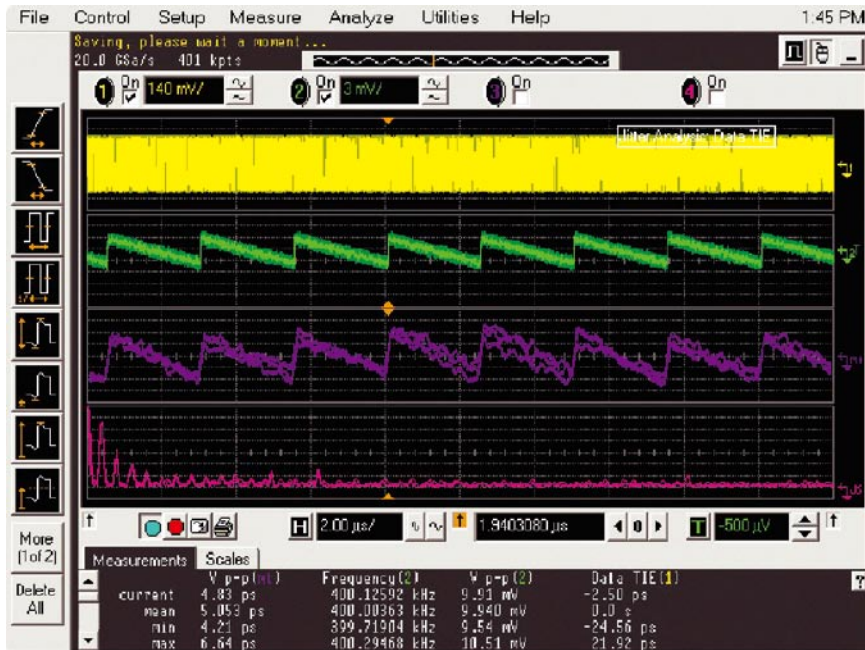


図 6-6. 周期的ジッタの例

PCI Express やシリアル ATA などの多くのコンピュータ・インターフェイスで、インターフェイスの EMI 性能を高めるために採用されている特殊なスペクトル拡散クロック (SSC) も、PJ の要因の 1 つです。SSC はデータ・クロックに周波数変調 (FM) を与えます。放射エネルギーを広い周波数スペクトルに拡散してそれぞれの周波数のパワーを抑えます。SSC には機器の他の部分との干渉を引き起こす確率を下げる働きもあります。

6.2 そのほかのジッタ源

リンク中に存在する最大のジッタ因子はデータとクロックを伝送するメディア (媒体) です。また、適切に設計されたシステムであっても、ジッタ・バジェットにわずかに寄与する別の因子も存在します。これら因子は確定的ジッタ (DJ) の下層に分類されるもので、入力容量に起因するデータ依存性ジッタ (DDJ)、隣接チャネルのクロストークに起因する周期的ジッタ (PJ)、パターンに依存する DDJ などがあります。ジッタの影響度はアイ・ダイアグラムを使って解析します。

入力容量の影響

ビア容量やコネクタ容量と同様にデバイスの入力容量も ISI の原因の 1 つです。入力容量はエッジレートの低下とジッタの増加を引き起こすローパス・フィルタとして作用し、シリアル・リンクやマルチポイント・リンクに影響を与えます。レーザの入力容量が 5pF でデータレートが 1.5Gbps のとき、自己終端 LVDS 出力のような 50Ω ドライバでレーザが駆動されると、入力容量によって駆動されるデバイス入力端のジッタが増加します。入力容量に起因するこのようなジッタは、データ・パターンとパターンが適用される速度に直接関係します。

バッファを介して信号をゼロ・ジッタで伝送するには、入力容量で生じるジッタを打ち消す程度のイコライズ機能がバッファに必要です。また、入力容量が小さければ、ジッタを抑制できるとともに、アイ・ノイズの発生とアイの劣化を最小限に抑えられます。

FEXT/NEXT

遠端クロストーク (FEXT) と近端クロストーク (NEXT) はシステム性能を劣化させる周期的ジッタの要素であり、隣接のデータ・チャンネルかクロック・チャンネルに起因します。影響を与えるチャンネルによって影響を受けるチャンネルの信号雑音比 (SNR) は悪化し、結果として影響を受けるチャンネルの DJ 量が増大します。クロストークには 2 種類があります。FEXT は、あるチャンネルの遠端から影響を受けるチャンネルに注入されるクロストーク・ノイズで、レーザ端で測定されます。NEXT は隣接のトランスミッタによってレーザ端に注入されるクロストークで、レーザ端で測定されます。隣接トランスミッタが受信チャンネルにクロストークを与えている NEXT と、影響を受けるチャンネルで減衰するクロストークを遠端の隣接トランスミッタが影響を受けるチャンネルに与えている FEXT を図 6-7 に示します。

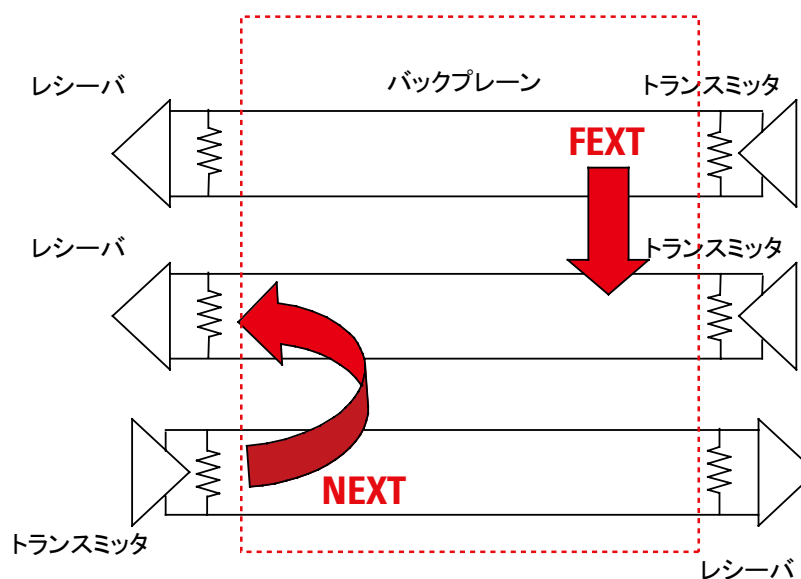


図 6-7. 遠端クロストークと近端クロストークの例

システムのクロストーク感度

クロストークは、ボードの高密度化、狭いピンピッチ、コネクタを通過する周波数の向上などに伴って、より大きな問題になっています。NEXT がシステムで問題になる様子を図 6-8 に示します。周波数が低ければチャンネル損失は相対的に小さいため、レシーバ端で大きな信号雑音比 (SNR) が確保されます。周波数が高くなるとクロストークも大きくなり、さらにトレース幅、ビア、コネクタの微細化や、そのほかの非理想因子によって、チャンネルの損失は大きくなります。結果としてレシーバの SNR は悪化し、レシーバ端でのジッタの増大とアイの縮小を招きます。

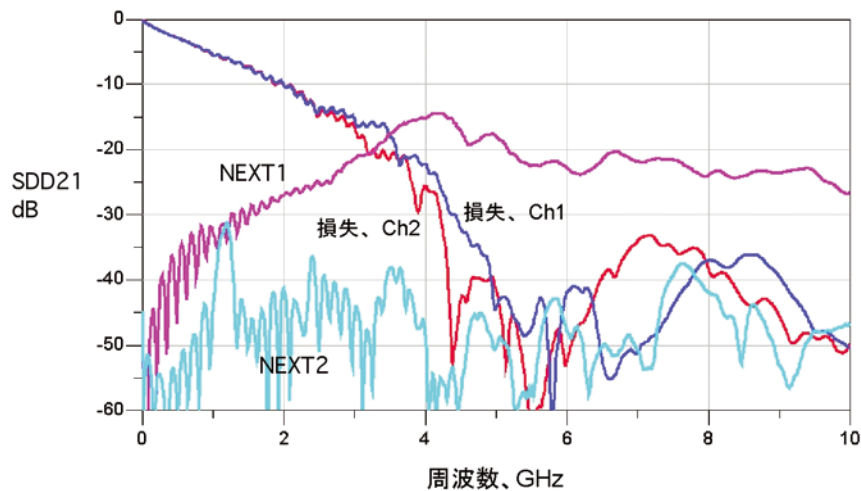


図 6-8. バックプレーン損失とクロストークの SDD21 特性の例

ある程度の近端クロストークが存在する条件でシグナル・コンディショニングを使用する場合は、レシーバ端で高い SNR を維持するためにイコライゼーションを行なうのではなく、システムのトランスミッタ側でプリエンファシスを行なう案を検討してください。イコライザは信号、クロストーク・ノイズにかかわらず送られてくる信号の高周波成分を増幅します。一方で信号にプリエンファシスを与えると、チャンネルが対処しなければならない NEXT の量が増える可能性があります。ただし、適切なボード・レイアウトを行なえば、システム内の FEXT と NEXT の量は抑えられます。

ビット・エラー・レート

通信などのアプリケーションでは、多くの場合に 10^{12} ビットから 10^{15} ビット中にエラーが 1 ビット未満となるような、きわめて厳しいビット・エラー・レート (BER) を保証しなければなりません。総ジッタによってビット・エラーの確率が決まります。総ジッタにはランダム・ジッタが含まれているので、このようなビット・エラー・レートを完全に保証するには、膨大な量の擬似ランダム・データを送信し、ビット・エラー・レート試験 (BERT) として知られる手法を用いて各ビットのエラーを確認する方法を実施しなければなりません。ビット・エラー・レートがきわめて小さい場合、BERT は多大な時間を要する作業となって、日常的に行なうには現実的ではありません。代替として、アイ・パターン、アイ・マスク、あるいはバスタブ曲線によってシグナル・インテグリティが適切かどうかを確認し、ビット・エラー・レートを推定する方法が用いられます。

6.3 パターン依存性とアイ・ダイアグラム

アイ・ダイアグラムはジッタやレシーバのアイ属性をグラフィカルに表す優れた手法です。立ち上がり / 立ち下がり時間、オーバーシュート、リングング、損失、ゼロ・クロス・ジッタなど、レシーバやトランスミッタのアイ特性の質的測定が可能です。たとえば、さまざまなデータ・パターンを同じ桁数のままデータ・ランレングスを長くしながら送信すれば、メディアの誘導体損失と表皮損失に起因する DJ で構成される ISI の量が増えていく様子を観察することができます。

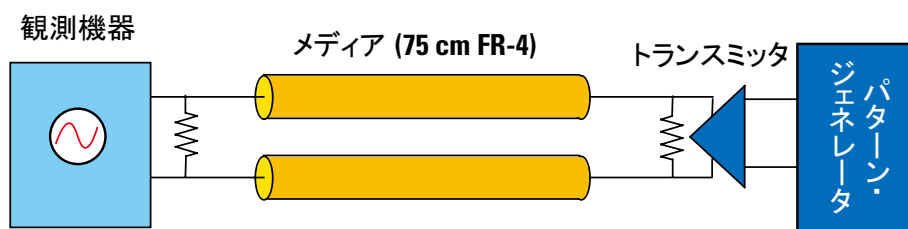


図 6-9. アイ・ダイアグラム測定環境のブロック図

図 6-10 に示すように、パターンのランレングスを長くすると、同じ桁数でもランレングスが長いほどジッタ量が増加する様子が観測されます。たとえば 8b/10b エンコーディングの K28.5 パターンは、最大ランレングス 5 に続いてランレングス 1 で構成されます。ランレングス 7 の擬似ランダム・ビット・シーケンス (PRBS7) パターンは、最大 7 個の 1 に続いて 6 個の 1 が同じパターン内に現れます。同様に PRBS31 は 31 個の 1 と 30 個の 0 が現れます。

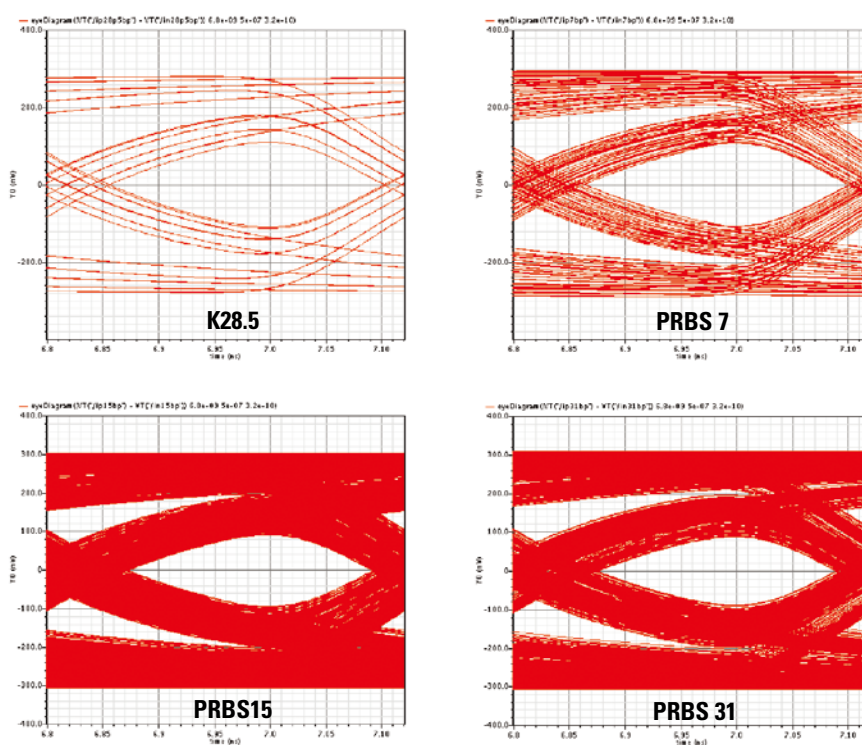


図 6-10. データ・パターン中のランレングスを長くしたときの DJ 量の増加を示すアイ・ダイアグラム

パターン・ランレングスによる劣化をさらに把握するために、K28.5パターンとPRBS31パターンによるアイの劣化を図6-11に並べて示します。K28.5パターンは1と5の短いランレングスのため、PRBS31パターンほどアイにストレスを与えていません。PRBS31パターンは、垂直方向は60mV、水平方向は83psまでアイが開いています。このように1と0のランレングスを制限する目的もあり、多くのアプリケーションが8b/10bパターンを採用しています。

アイ・パターンに着目すると、ワーストケースのランレングス・データを波形として確実にキャプチャするには、データの取得に要する時間に注意が必要です。PRBS31パターンの場合、ワーストケースとなるランレングスは全パターン 2^{31} 回に一回しか存在しません。つまり3.125Gbpsの信号を使ってもPRBS31の繰り返し周期は $320\text{ps} \times 2^{31} = 0.687$ 秒もかかります。従って、アイ・ダイアグラムを十分に埋めるだけのサンプルを集めるには、きわめて長い時間を必要とします。そのため、アイの解析にはバスタブ曲線などの代替手段が開発されています。

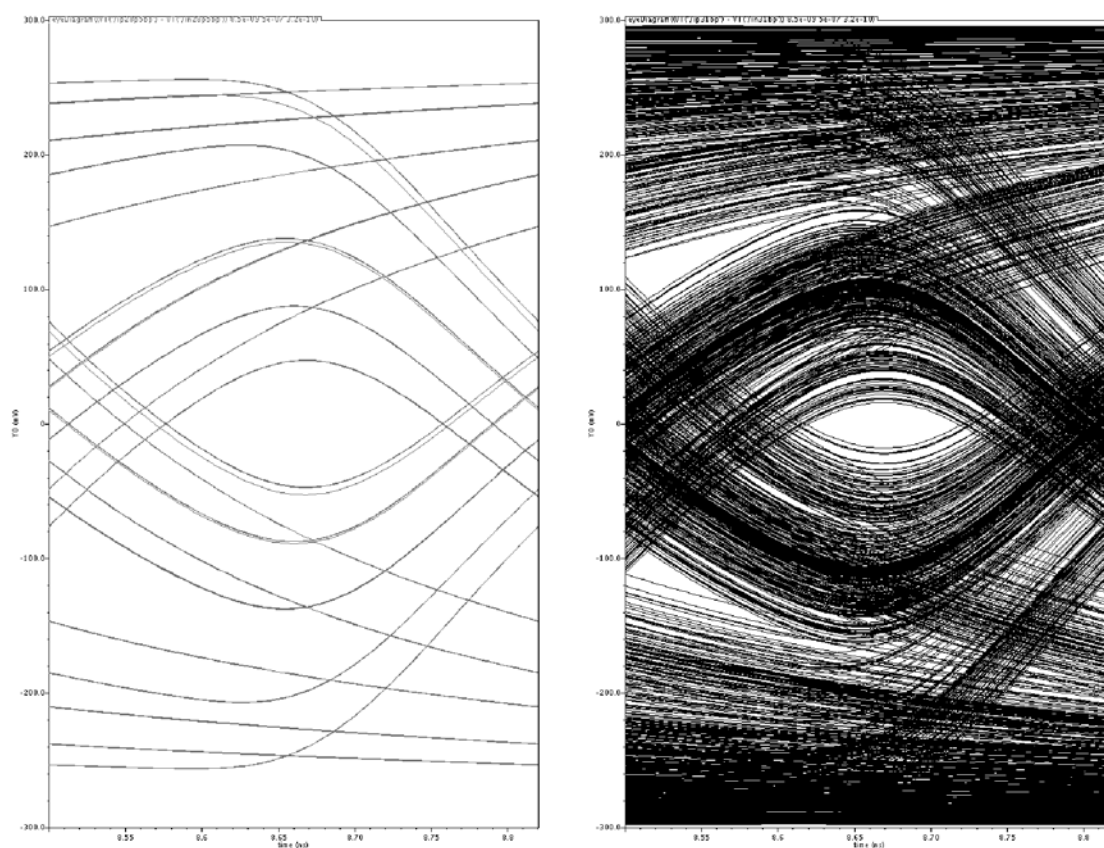


図 6-11. 104 cm の FR-4 メディアを伝送後の K28.5 パターン (左) と PRBS31 パターン (右) の比較。
パターンのランレングスでアイが劣化している様子を示す

アイ・マスク

アイ・マスクは、アイ・ダイアグラムと併用することで、多くの規格にとって信号の準拠性を確認できる有効なツールの1つになり得ます。アイ・マスクは規定の電圧と時間軸のウィンドウで構成され、アイに重ねることで、アプリケーションに必要な電圧マージンとタイミング・マージンがあるかがわかります。InfiniBand、PCIe、SAS、802.3などの規格は、トランスミッタとレシーバのそれぞれで、光と電気両方でアイ・マスクを定義しています。

一例として信号データレート 2.5Gbps の InfiniBand (×1) のレシーバ・アイ・マスクを図 6-12 に示します。アイ・マスクの作成に必要なサンプリング回数はそれぞれの規格を調べてください。一部の規格は、確定的ジッタとランダム・ジッタの影響を的確に把握するのに必要なアイとしてサンプルすべきユニット・インターバル (UI) 数を定めようとしています。

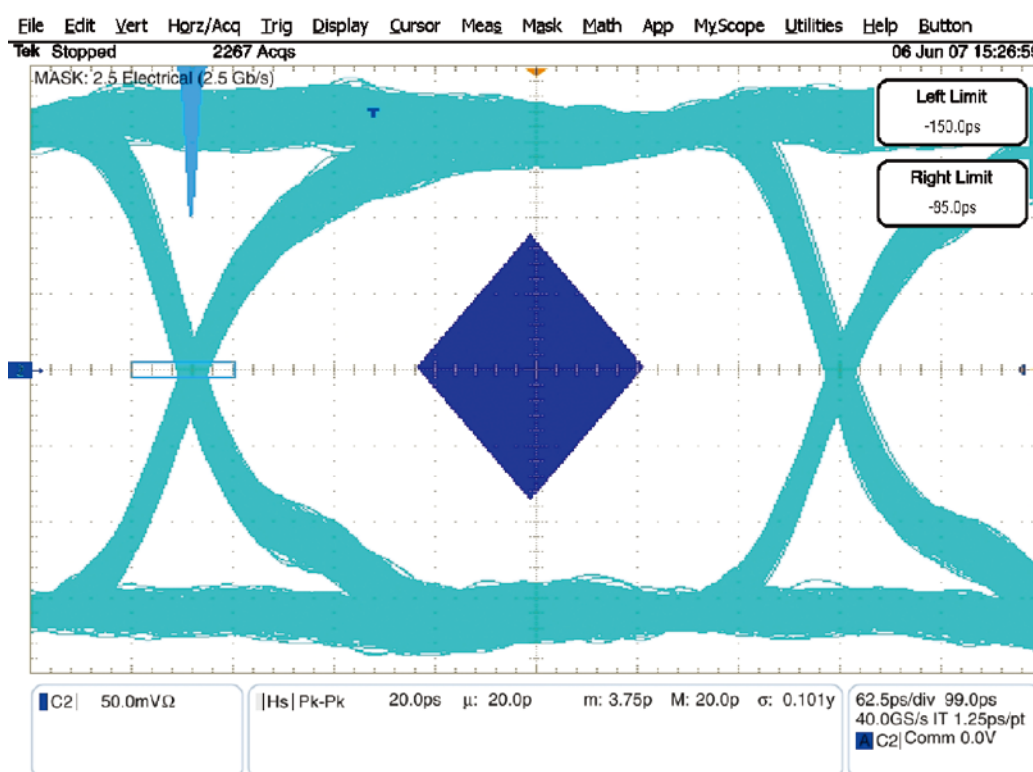


図 6-12. InfiniBand 2.5Gbps 受信アイ・マスクを重ねたアイ・ダイアグラム

バスタブ曲線とアイ等高線

アイ等高線あるいはバスタブ曲線を使ってアイを調べる方法もあります。バスタブ曲線は BERT スキャンと呼ばれる場合もあります。バスタブ曲線は、アイ・ダイアグラムのゼロ・クロス点を横切る時間位置と BER の関係を用いて、アイ・ダイアグラムを統計的に見ようとするグラフィカルな手法です。バスタブ曲線の詳細は「T11.2 / Project 1316-DT/ Rev 2.0」に記載されています (Fiber Channel-MJSQ)。

ジッタのセクションで前述したように、ランダム・ジッタはガウス分布で境界なしであり、アイを閉じる方向に作用します。バスタブ曲線は、BER 統計と、ジッタのランダム部分に起因するアイ縮小を示します。パターンもアイ縮小に影響を与えます。アイの特性を正確に明らかにした上でパターンとランダム・ジッタのワーストケースを理解するには、十分な時間をかけてパターンをサンプリングする必要があります。

アイの特性を把握するために必要な時間(ビット数 ÷ データレート)はバスタブ曲線の各データ・ポイントごとに異なり、データレートが 250Mbps のときに 10^{-12} オーダーのテストに必要な時間は、BER 時間 = 10^{12} ビット / 250Mbps = 40,000 秒となります。ゆえにバスタブ曲線を使うときは、一般には 10^{-6} から 10^{-9} のオーダーでアイの特性を明らかにし、そこから 10^{-12} を推定します。

アイ等高線はバスタブ曲線と同様にアイ・ダイアグラムの統計情報を示しますが、低い BER でのアイの特性を 3D 画像として示す点が異なります。この機能は目標 BER に対するリンク・マージン量を判断するときや問題発生時の診断に有効です。

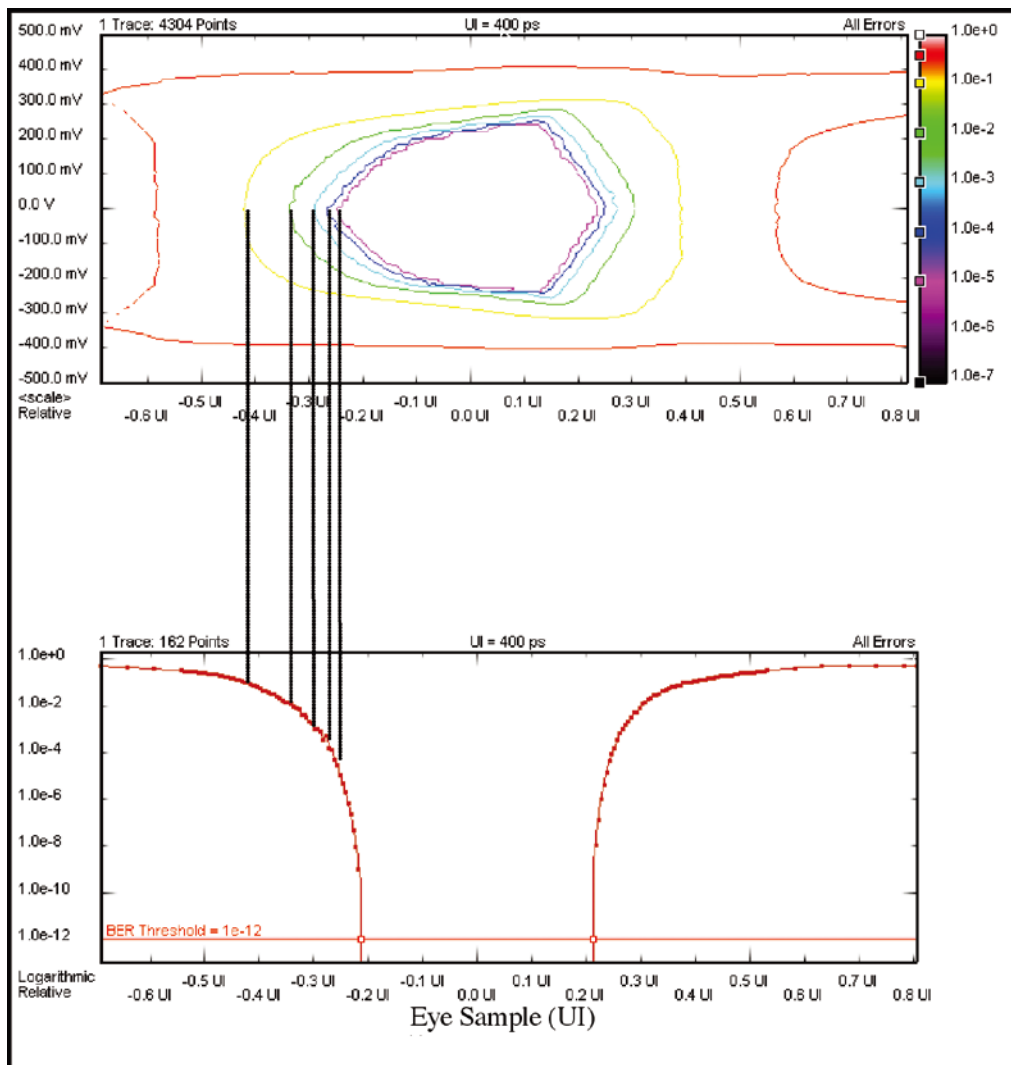


図 6-13. BER 等高線を示したアイ・ダイアグラムとバスタブ曲線の対応

インターコネクト・メディアとシグナル・コンディショニング

高速シリアル・データ伝送に使用するケーブルとコネクタを選定する際には、メディアの選択がシステムの性能に影響を与えるという事実を忘れてはなりません。一般には差動特性インピーダンス 100Ω に制御されたメディアを選択します。インピーダンスが整合した適切なコネクタも必要です。このセクションでは、メディアに起因する歪みの影響を補償する方法を含めて、選択の重要性を考えていきます。

7.1 ケーブルの物理的特性と電気的特性

高速シリアル・データ・リンクに使われるケーブルで最も問題となるのが損失です。損失はデータレートを制限する主因になります。損失は周波数に比例し、データレートが高くなるほど大きな損失がケーブルで生じます。ケーブルの物理的な構造のうち損失に関係するのは長さとゲージ (太さ) です。

表 7-1. 損失を左右するケーブルの仕様

ケーブル仕様				
ゲージ AWG	フィート (30.5cm) / Ω	Ω /100 フィート (30.5m)	直径 (単位 mil)	直径 (単位 mm)
20	96.2	1.04	32	0.812
22	60.6	1.65	25.3	0.644
24	38.2	2.62	20.1	0.511
26	24	4.16	15.9	0.405
28	15.1	6.62	12.6	0.321
30	9.5	10.5	10	0.255
40	0.93	107	3.1	0.08

各ゲージのケーブルの抵抗値と直径を表 7-1 に示します。数値の低いゲージのケーブルは信号品質に優れていますが、数値の高いゲージのケーブルに比べて重くコストも高く、また、ケーブルの復元力が強いので扱いが面倒です。ケーブルの曲げ剛性を弱めるには、より線を使って数値の低いゲージ・ケーブルを作ります。図 7-2 に、一般的な DVI ケーブルを切断して分解し、差動ペアを露出させた様子を示します。ケーブルの損失は中心導体のゲージ数によって変わります。

図 7-2 からわかるように差動ケーブル・ペアは各々シールドで周囲を覆われています。シールドは、PCI-Express、SATA、DVI、HDMI ケーブルなど、高品質ケーブルで使用されています。このシールドはケーブル・ペアを流れる信号のローカルなリターン・パスとしても使用されます。閉じられたリターン・パスは低インピーダンス・パスを構成し、ケーブル・ペアから放出されるコモンモード・エネルギーを抑え、クロストークを減らします。シールドには通常、ケーブル・メーカーにとってコストの低い金属箔が用いられます。また、ペアの束全体をさらに外側シールドで覆い EMI を抑えています。外側シールドには通常は編み線が使われます。

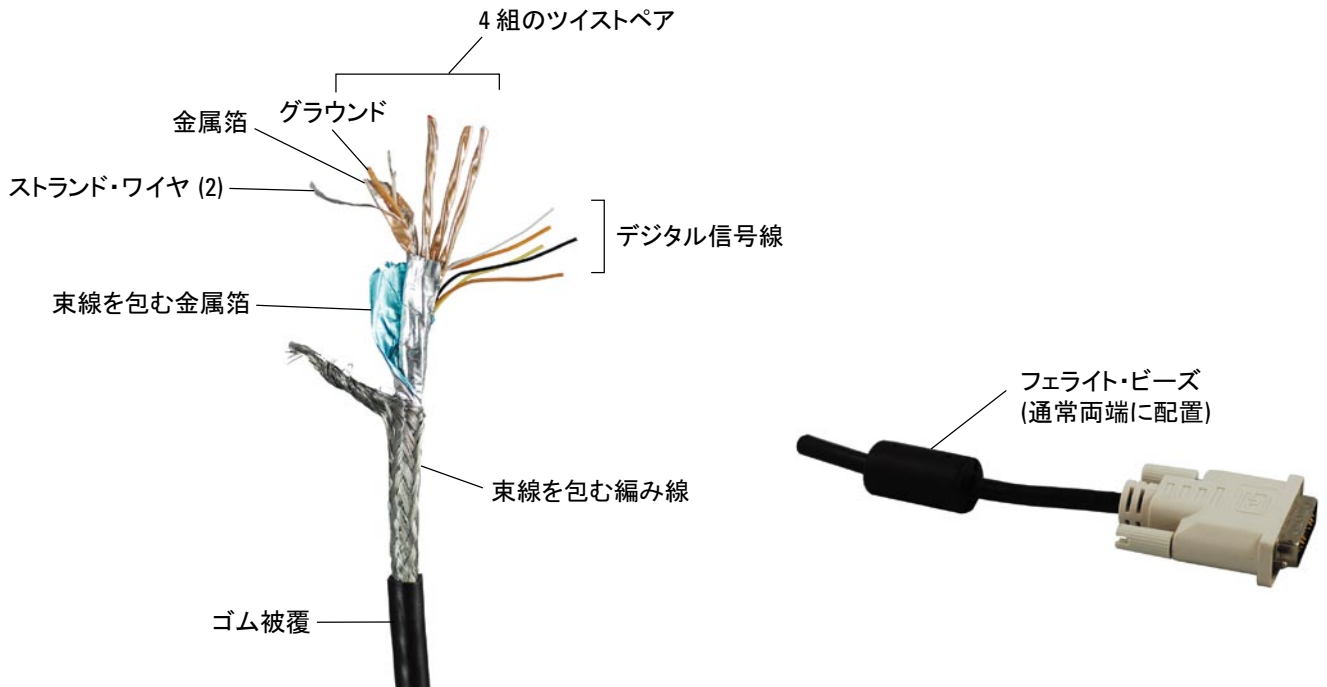


図 7-2. 内部構造を露出させた DVI ケーブル

DVI ワイヤ・ペアのうち一組を図 7-2 で分解しています。ケーブルの損失は中心導体のゲージ数によって変わります。

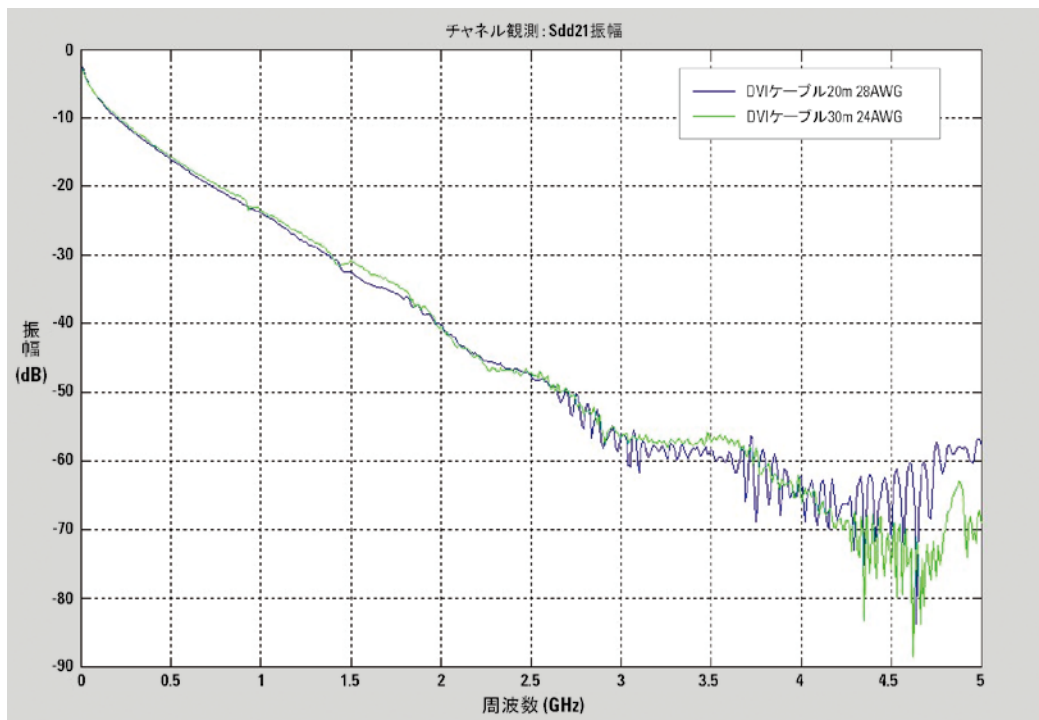


図 7-3. DVI ケーブル損失とワイヤ・ゲージ

インターコネクト・メディアとシグナル・コンディショニング

異なる品質の DVI ケーブルを使用した測定結果の一例から、20 メートルの 28 AWG DVI ケーブルの減衰量は 30 メートルの 24 AWG DVI ケーブルとほぼ同じことがわかります。したがって、中心導体 AWG のゲージ数が小さいケーブルのほうがリンク・セグメントの延長に適します。

ケーブル・タイプの選択ではクロストークの影響も考慮しなければなりません。隣接する 2 組のペア間のクロストークがきわめて大きいとシリアル・リンクの SNR が悪化します。CAT-6 ケーブルを使用した例 (図 7-3) からわかるように、クロストークによってリンク・セグメントの実用領域は 1.2Gbps に制限されています。同じ長さの InfiniBand ケーブルと比べた場合、5GHz まで、クロストークは信号損失から 30dB を下回ることがありません。

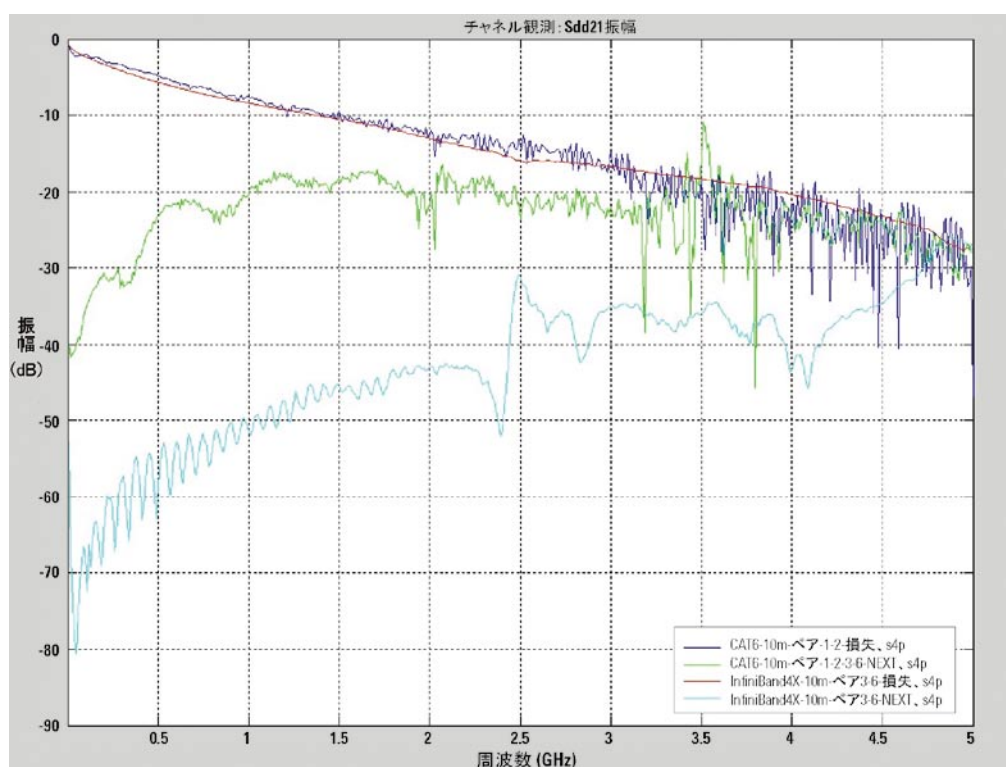


図 7-4. InfiniBand ケーブルと CAT-6 ケーブルのクロストーク差

コストの低いツイストペア・ケーブルは、高データレートに対応するケーブルとして、業界で広く使われています。ケーブルあたり 4 組のペアが組み込まれている CAT-5 ケーブルは、20 ~ 30 円 (1m) 程度という低価格で手に入ります。ツイストペア・ケーブルの欠点はスキューです。ペア内スキューとペア間スキューの両方がツイストペア・ケーブルで問題になります。ペア・ケーブルの撚り数はそれぞれの束で異なり、しかも 100m のケーブルであれば 1 メートルごとにも異なります。さらに、個々のペアはそれぞれの長さが管理されずに製造されるためペア内スキューも生じます。ペア内スキューが存在するとコモンモードは差動モードに変換され、高周波での信号損失が増大します。

スキューに厳しい許容度を導入しているのが、PCI-Express、SATA、InfiniBand、DVI、HDMI の各ケーブルです。目的とするレーンにすべてのデータ・レーンが同じビット・クロックで同時に到着しなければならないこれらのアプリケーションでは、スキューがきわめて重要です。ケーブル・メーカーは、5Gbps で動作する PCI-Express "Gen 2" のような高データレート環境で、ペア内スキューを管理する新しい手法を模索しています。

ケーブルの両端にはコネクタが存在します。コネクタは電気的な不連続(インピーダンス不整合)やクロストークの要因になるほか、損失を増加させます。SATAのような双方向リンク・セグメントの場合、ケーブルで最も重要となる仕様はペア間のアイソレーション特性です。SATAコネクタでは各ペアとケーブル束の周囲にメタル・シールドを設けてクロストークとEMIを抑えています。ハイスピード・コネクタのテクノロジー自体はCATケーブルで使われるプラスチック製のRJ-45コネクタからはるかに進歩を遂げていますが、CATケーブルのコスト効率を生かそうと、一部のメーカーがクロストークを抑えるハイスピード・コネクタを開発しています。



図 7-5. ケーブル端の例 (すべてが超高速アプリケーションに適しているわけではありません)

シグナル・コンディショニング・デバイスはケーブルで生じるリニアな損失を補償します。そのため、コネクタによって生じる大きな損失やインピーダンス不連続は、イコライゼーションとプリエンファシスでは対処できません。リンク・セグメントの帯域はコネクタ・ケーブルなどすべてを含んだメディアのパラメータのリニア領域で決まります。

インターコネクト・メディアとシグナル・コンディショニング

表 7-6. アプリケーションに応じたケーブル・メディアの選択

ケーブル・タイプ	ケーブル構造	データレート (Gbps)	主な市場	ゲージ (AWG)	一般的なメディア長 (m)
デュアル DVI	データ 6、クロック 1、制御 3	1.65	民生用デジタル・ビデオ	22、24、26、28	5 ~ 30
HDMI	データ 3、クロック 1、制御 3	1.65	民生用デジタル・ビデオ	24、26、28	5 ~ 30
CAT-5e	データ 4	最高 3.125	幅広い分野	24、26、28	10
PCI-Express Gen2	X1、X2、X4、X8	5	パソコン	24、26、28	1 ~ 10
SATA-2	双方向データ・ペア 1 組	3	ストレージ・アプリケーション	24、26	1 ~ 10

7.2 シグナル・コンディショニングの特性

このセクションでは、ソースから出力されたデータ・ビットがさまざまなタイプのメディアを通過する過程で遭遇する複数の障害を論じます。実際のシグナル・コンディショニングの手法を使用して、具体的なチャネル障害に対応します。

ケーブルや PCB トレースで生じるメディア損失

損失でも最も支配的となるのが、データ・ビットをポイント・ツー・ポイントで伝えるケーブルまたは PCB トレースの帯域不足です。ケーブルと PCB トレースには表皮損失と誘電体損失の 2 つの損失の仕組みが存在します。これらの損失はそれぞれ異なる影響を周波数に依存して信号に与えます。解決方法は損失要素ごとに異なります。

1. 表皮損失：表皮効果とは高周波電流の大部分が導体の表面 (表皮) を伝わる現象です。結果として導体の実効抵抗は周波数が高くなるにつれて高くなります。表皮損失は信号周波数の平方根に直接比例するため、緩やかな周波数ロールオフの特性となります。
2. 誘電体損失：他の導体と誘電体材料によって絶縁されている導体を信号が通過する過程で、誘電体材料が信号エネルギーの一部を吸収する現象です。誘電体損失は信号周波数に直接比例するため、急峻な周波数ロールオフの特性となります。

表皮損失と誘電体損失は、単一ビットを複数ビット周期に広げてしまうシンボル間干渉と基本的に同じ仕組みによって、高周波バイナリ信号のエッジレートを低下させます。ただし表皮損失と誘電体損失の影響度は上述のように異なります。また、表皮損失はケーブルで支配的なメカニズムですが、PCB トレースでは誘電体損失が優勢です。すなわち、メディア・タイプに応じた完璧な補償を行なうには、それぞれに合った補償が必要となります。

この種の ISI には、程度を軽減して対処する方法と、補償を行なって対処する方法が考えられます。1 つは高品質かつ低損失なメディアを使用することです。もう 1 つは信号を補償するシグナル・コンディショニング IC を使用することです。ただしメディアの選択には、線材コストや据付コストのほか、既存の設備を高データレートで動作させるのであれば設備更新が必要となるなど、数々の制約が存在します。一方、シグナル・コンディショニングを採用してプリ (ディ) エンファシスとイコライゼーション (EQ) を適用すれば、高性能を実現できます。

プリ (ディ) エンファシスとイコライゼーションの 2 つは、メディアに起因する損失を個々のケースに合わせて排除する、いずれも重要な信号の調整手段です。テキサス・インスツルメンツ (TI) の DS25BR110 や DS16EV5110 など、メディア損失を補償する先進の機能を搭載したシグナル・コンディショニング・デバイスの多くに、両方の手法 (EQ と PE/DE) が集積されています。

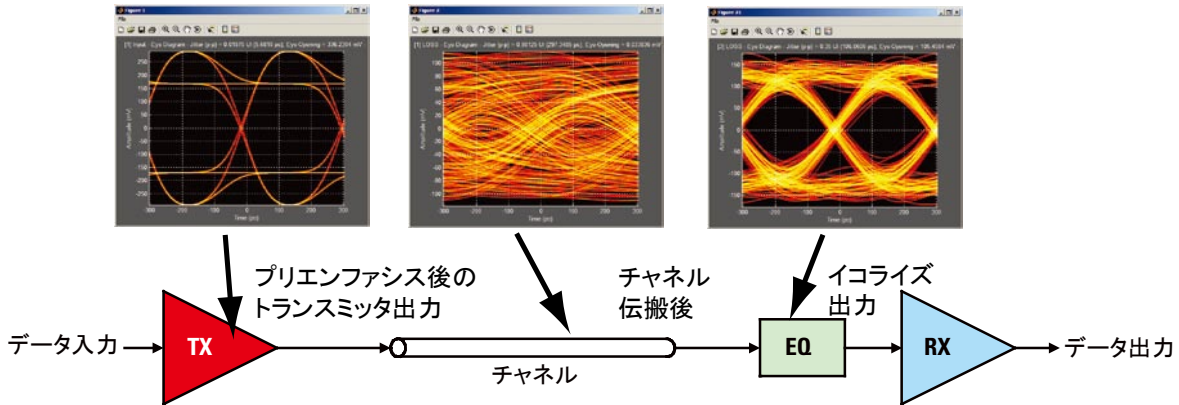
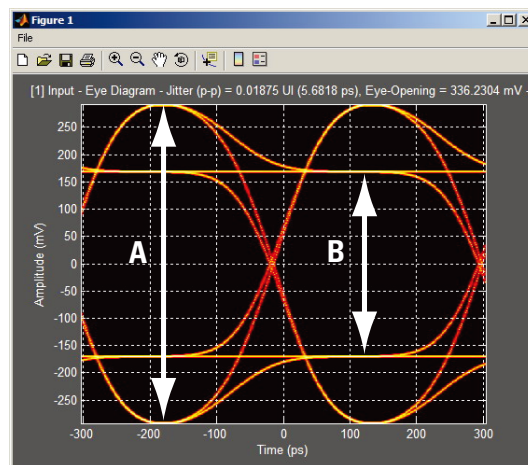


図 7-7. プリエンファシスとイコライゼーションを適用した前後の波形

プリエンファシス・ドライバとディエンファシス・ドライバ

プリエンファシス (PE) とディエンファシス (DE) は、データに含まれる特定周波数成分に減衰 (もしくは増幅) を適用させて、損失問題に対処しようとする方法です。メディア損失によって信号のエッジは緩やかになり ISI が生じます。このような特性を補償するために、プリエンファシス・ドライバあるいはディエンファシス・ドライバは、波形の平坦部分 (低周波成分) に比べてエッジ部分 (高周波成分) のエネルギーを増強するように働きます。したがって、メディアと PE/DE ドライバとを組み合わせた系全体の周波数応答は相対的に平坦になり、結果としてケーブル遠端でのアイ・ダイアグラムが確保されます (図 7-7 参照)。



$$PE = 20 \times \log_{10}(A/B) : \text{送信 } V_{OD} = B$$

$$DE = 20 \times \log_{10}(B/A) : \text{送信 } V_{OD} = A$$

図 7-8. 信号の特定部分に変調を適用

プリエンファシスまたはディエンファシスの適用量は、一般にピーク・ツー・ピーク振幅 (A) と安定部分のピーク・ツー・ピーク振幅 (B) の比で表します。

インターコネクト・メディアとシグナル・コンディショニング

プリエンファシスとディエンファシスは補償方法が異なります。プリエンファシスはエッジのエネルギーを増強して各エッジにオーバーシュートを設けます。ディエンファシスはエッジはそのまま振幅の安定部分を減衰させます。比較を表 7-9 に示します。

表 7-9. プリエンファシスとディエンファシスの違い

項目	プリエンファシス	ディエンファシス
代表的な信号テクノロジー	LVDS	CML
出力ピーク・ツー・ピーク振幅	PE比によって増加	DEがない場合と同じ
消費電力	増える	同じ
一般的な指標	正dB (+3dBなど)	負dB (-3dBなど)
受信アイ・オープンング	PEなしと同じ	DE比によって減少

プリエンファシス幅とディエンファシス幅は、アナログ時定数か、データ幅 (通常はデジタル・クロックに由来) に関連する遅延ブロックの、2つの要因によって決まります。クロックなどの正確なタイミング情報を持たないシグナル・コンディショニング IC のプリエンファシス幅とディエンファシス幅は、通常、ビット幅のおよそ半分から全部の範囲です。

イコライゼーション

イコライゼーションは受信端で高周波データを増強するように作用する手法で、結果的にメディアの高周波減衰特性が補償されます。補償しようとするメディア損失と (理想的には) 正確に反対の周波数応答となるハイパス・フィルターを、イコライザ回路内の RLC ネットワークによって構成します (図 7-10)。

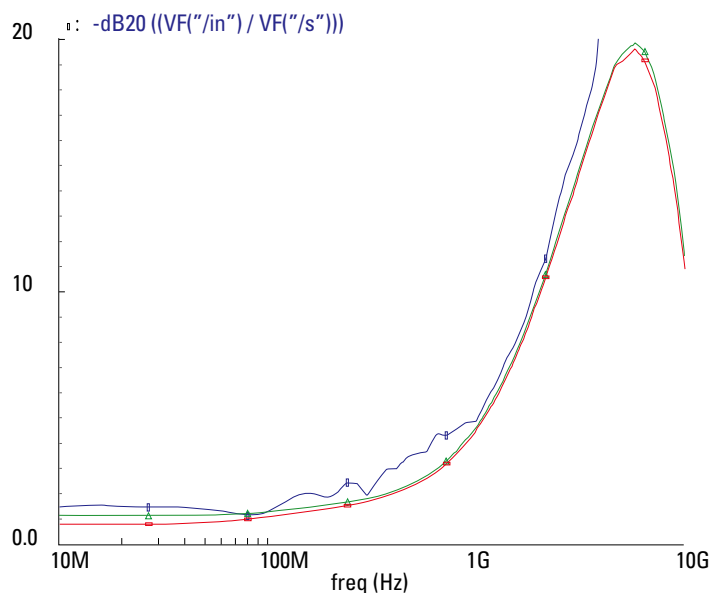


図 7-10. 逆のチャンネル応答 (青) と整合したイコライザ応答 (緑)

2種類のイコライザ回路

イコライザ回路はおおまかにパッシブ回路とアクティブ回路の2種類に分けられます。パッシブ回路は低い周波数成分を減衰します。アクティブ回路は高い周波数成分を増幅するように作用し、増幅には電源が必要です。アクティブ・イコライザはさらに、固定型、可変型、アダプティブ型の3種類に分類できます。

パッシブ：パワーセーバー・イコライザ

パワーセーバー・イコライザの DS38EP100、DS80EP100 などは、電源接続を必要とせず、すなわち DC 電力を消費せずに、超高データレートのケーブルやバックプレーン・トレースをイコライズするユニークなソリューションです。パワーセーバー・イコライザによって、イコライザ組み込み型バックプレーンやイコライザ内蔵型ケーブル/コネクタなど、新しいアプリケーションが創出されます。

パワーセーバー・イコライザは、オンチップの抵抗、インダクタ、コンデンサのみによって低周波成分を減衰し、イコライゼーション機能を実現します。そのため、パワーセーバー・イコライザはあらゆる信号テクノロジー (LVDS、CML、LVPECL) との組み合わせが可能です。レシーバに与えられる波形はディエンファシス・ドライバを適用したときの波形と似ています。つまり、レシーバにアイ・オープニングが確保される一方で、振幅は減衰された状態になります。

パワーセーバー・イコライザの特長

- 配置の自由度が高い—データバス中のどこにでも配置できる (データバス上のバックプレーンなど)
- 双方向データはいずれの方向にも通過できる
- 特性が完全に線形—カスケードにした複数のパワーセーバー・イコライザの後段にアクティブ・イコライザを配置すれば信号レベルの復元が可能

アクティブ・イコライザ

アクティブ・イコライザは、名前が示すように、信号の低周波は減衰せずに高周波のみをアクティブ・トランジスタを使って増幅する方法です。アクティブ・イコライザは、ディエンファシス・ドライバや PE のない LVDS ドライバを用いた場合など、信号振幅が小さい場合に有効です。また、ほとんどのアクティブ・イコライザは高入力振幅を許容する点も便利です。イコライザ・チップ内部には信号のエッジを立てフル振幅に復元する複数のゲイン段が設けられています (図 7-11)。この復元は非リニアな処理なので、アクティブ・イコライザはカスケードにすることはできません。

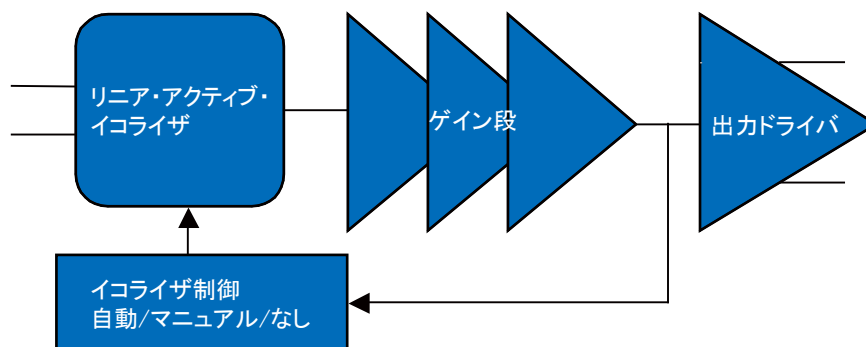


図 7-11. アクティブ・イコライザのトポロジー

インターコネクト・メディアとシグナル・コンディショニング

イコライザが理想的であることは稀であり、何らかの ISI は常に残ります。出力ジッタを増やすこのような残存 ISI は残存確定的ジッタと呼ばれます。適切に設計されたイコライザは送られてくるジッタを $0.2UI$ 未満に低減します。ユニット・インターバル (UI) は対象となるデータレートの 1 ビット時間の周期と同じです。

固定イコライザ

あらかじめ決められた長さのケーブルと規定のデータレートを対象に補償を行なうよう設計されたイコライザです。固定イコライザにはイコライズ特性がプリセットされていて、何らかの量の昇圧 (dB を単位) を与えるデバイスとしても見なされます。

固定イコライザの出力ジッタは規定されたチャンネル条件に最適化されているため、イコライザが基準とするチャンネル長に比べて実際のチャンネルが短すぎる場合あるいは長すぎる場合は十分な性能が得られません。固定イコライザは、伝送チャンネルの構成がわかっている、かつ、変化しない場合にのみ使用します。

適用量を制御できる可変イコライザ

可変イコライザは、伝送チャンネル長がシステムごとに違う場合や、データレートとは独立してイコライゼーション量を設定したい場合に有効です。可変イコライザを使用するとイコライゼーション特性の一部が設計者に委ねられます。可変イコライザ (固定イコライザも同様) の適用量は、イコライザを通過する実際のデータ・パターンとは相関がなく独立しています。

可変イコライザには複数のイコライゼーション特性があらかじめ定義されていて、デバイスの CMOS 入力ピン (DS25BR100 など) かシリアル・バス (DS64EV400 の SMB など) を使って切り替えます。異なる長さのメディア (ケーブルやトレース) であっても、固定イコライザを使用したときのようなジッタの悪化なしに、単一の可変イコライザ・デバイスでイコライズが可能です。ただし、チャンネル損失に応じた適正なイコライゼーション特性をシステム設計者が設定またはプログラムしなければなりません。

アダプティブ・イコライザ

アダプティブ・イコライザは、何らかの内蔵アルゴリズムを使用して、接続されているメディアにとって最適なイコライゼーション量を、独立かつ自動的に決定しようと試みるイコライザ・デバイスです。一般には、ケーブル・タイプ、データレート、データ・パターン (8b/10b など) をアルゴリズムに教える必要があります。結果としてアダプティブ・イコライザは、メディア・タイプ、データレート、データ・パターンの限られた組み合わせに対してのみ適切に機能します。アダプティブ・イコライザは、メディア長がそれなりに変わる可能性があって、しかもシステム設計者がメディア長さを制御できない場合に必要です。LMH0344、LMH0034、DS15EA101 は、同軸ケーブルと CAT-5 ケーブルのケーブル長に応じて自動的にイコライズを行なう、最新のアダプティブ・イコライザ製品の一例です。

クロストーク

クロストークとは、FEXT/NEXTセクションで述べたように、対象のデータ・ビットに別の信号ソースから望ましくない結合が重畳した現象を指します。クロストークは一般に、複数のデータ・ストリームが近接してルーティングされ、かつ、互いに結合(EMIを介して)してしまうときに発生します。ケーブルの場合は複数の導体と同じケーブル内に存在しているとクロストークが発生します。コネクタの場合はコネクタの物理的な構造によって発生します。

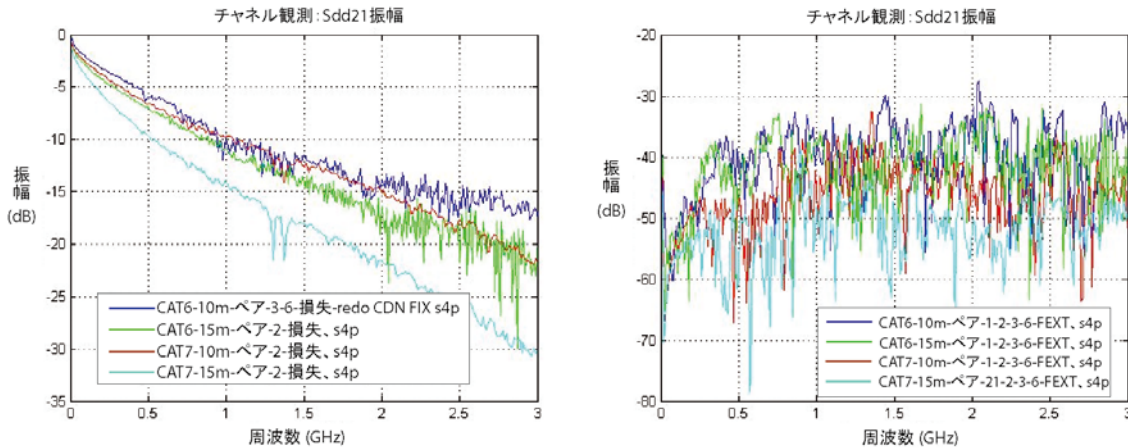


図 7-12. さまざまなメディアで観測されたクロストーク例

クロストークはデータレートが高くなるほど大きくなり、しばしば、同じケーブルまたはコネクタで複数のデータ・レーンを送信するときの制限因子となります。図 7-12 に示すように、3GHz で受信信号とほぼ等しいクロストークが現れています。クロストークはデータが同じケーブルまたは同じコネクタを双方向で流れるときに特に大きくなります。このような条件のとき、受信信号はケーブルによって減衰されますが、近端クロストークは強い強度で結合します。

クロストークを補償するには複雑な DSP 手法と影響を与える信号の知識が必要です。DSP を用いた手法が実用にならない高データレートではクロストークを補正することは極めて困難です。クロストークはイコライゼーションでは補正できません。リニアなイコライゼーションは、所望の信号とともに高周波クロストーク成分も増強してしまうからです。

以上の説明からわかるように、予防こそがクロストークに対処する最善の方法です。システム設計者はできるだけ緩やかなエッジレートを採用すべきです。高周波のエネルギーが少なくなるためクロストークを抑えられます。ただし、エッジレートを緩やかにしすぎると、ISIが増加するとともに所望の信号の減衰が大きくなります。両者のトレードオフを注意深く検討する必要があります。一般にエッジレートはビット周期の 1/3 よりも遅くしてはなりません。また、導体ペアが個別にシールドされたケーブルを選択するとともに、高性能な低クロストーク・コネクタを採用しなければなりません。

反射

反射はシャープなエッジを持つ高周波信号をインピーダンス不連続が存在するチャンネル(伝送媒体)に送信したときに発生します。インピーダンスの不連続がなく適切に終端されたチャンネルでは、トランスミッタから送出された信号はレーンバで完全に吸収されます。つまり、適切(理想的)に終端されていれば反射は起こりません。しかし、途中でインピーダンスの不連続が存在すると、信号の一部が信号源に向かって反射します。

インターコネクト・メディアとシグナル・コンディショニング

たとえば、ソースの終端が負荷と整合していなければ、信号はトランスミッタに向かって反射して戻ってきます。また、レシーバは同じ信号をソースとしてコピーされた減衰を含んだ複数の信号を異なるタイミングで受信するでしょう。信号が複数回にわたってレシーバ端に到達すると ISI が発生します。このような反射の原因となるインピーダンスの不連続は、コネクタ、PC ボード、ビア、そして不適切な終端抵抗部分に存在します。また、高速 I/O ピンの入力容量 (53 ページの「入力容量の影響」セクションも参照) や不適切な終端による集積回路のリターン損失の悪化も、反射の原因になります。

リニアなイコライザは信号パスのどこに不連続が存在するかを知ることができません。また、チャンネルが長い場合は、反射がレシーバに届くまでに相対的に長い時間を要します。所望の信号と反射信号とを DSP を用いずに見分けることは困難です。すなわち、いかなるハイスピード・イコライザも反射を補償することはできません。

反射対策は、クロストークの場合と同様に、高性能コネクタの採用と高周波設計ガイドラインを遵守するしかありません。使用する回路のリターン損失と入力容量特性を十分に検討する必要があります。一般に、対象のデータレートにおけるリターン損失は -10dB よりも優れていなければならない、入力容量は 2pF 以下なければなりません。TI は、DS25BR100 や DS64EV400 など、このような要件を満たす複数のシグナル・コンディショニング IC を提供しています。また、エッジレートを緩やかにすると、図 7-13 に示すように反射は大幅に小さくなります。

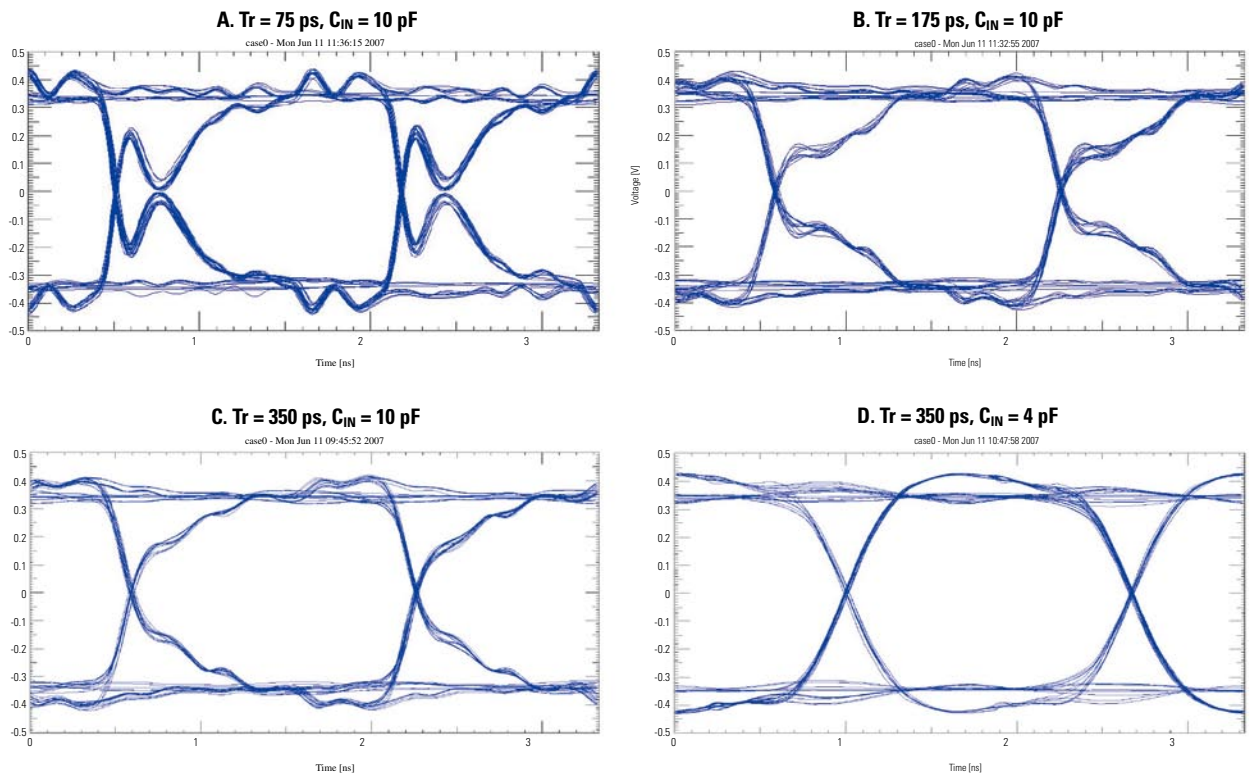


図 7-13. レシーバ入力端のアイ・ダイアグラムで見たエッジレートの効果
データレート = 600Mbps、IBIS モデル・シミュレーションによる波形

7.3 プリエンファシス / ディエンファシスとイコライザの併用

プリエンファシス / ディエンファシス (PE/DE) とイコライザ (EQ) は、PE/DE はドライバ端で、EQ はレシーバ端で、それぞれ ISI の問題を補正しようという目的を両方ともに有します。送信型と受信側の両者の構成をシステム設計者が決定できる場合、同一の信号チェーンに PE/DE と EQ を併用して、より高い性能を得る方法が考えられます。ただしその場合は、PE/DE ドライバ特性、伝送メディア、受信イコライザ特性など、いくつかの事項を考慮しなければなりません。

まず、これらのシステム・パラメータがすべてが合っていなければなりません。ミスマッチすると残存確定的ジッタを増やす要因になる可能性があります。次に、反射とクロストークの増加についても注意が必要です。送信側に PE/DE ドライバを使用すると、クロストーク、反射、さらには電磁界放射を招く多くの高周波エネルギーが追加されます。このような高周波成分は受信イコライザでさらに増幅されます。また、プリエンファシス・ドライバは多くの電力を必要とする点にも留意が必要です。

したがって、はじめに受信イコライゼーションを最大量で適用する方法が適切です。イコライゼーションだけでは不十分な場合にエンファシス・レベルを上げていきます。DS25BR100/110/120/150 バッファ・ファミリは、このような要件に対処します。システム内での併用に便利な PE 機能と EQ 機能が複数の設定とともに搭載されています。

7.4 ランダム・ノイズ

ランダム・ノイズは、電子が持つランダムな性質と、電子が電氣的チャネル内で情報を運ぶときのランダムな衝突に起因して発生します。すべての電子部品はある程度のランダム・ノイズを有しますが、このノイズは最終的にはノイズ電圧として現れ、データ・エッジのランダム・ジッタ (RJ) の要因になります。真のランダム・ノイズはほとんどがガウス分布を持ち、rms 値またはピーク・ツー・ピーク値で測定します。後者の測定は固有のビット・エラー・レート (BER) を仮定します。

ランダム・ノイズ / ランダム・ジッタは予見不可能であり、そのためイコライゼーションでは補償できません。

ランダム・ジッタは、ドライバ・ジッタ、チャネル・ジッタ、レシーバ・ジッタの3つの成分に分解できます。ドライバ・ジッタは、ドライバに供給されるクロック源の純度と、ドライバ自身のランダム・ノイズによって決まります。適切に設計されたドライバ・サブシステムは、 $0.1UI_{p,p}$ 未満のタイミング・ジッタを示すはずですが、メディア・チャネルは通常はパッシブですから RJ にはほとんど寄与しません。レシーバ・イコライザはチャネルによって減衰された信号を増幅します。増幅の過程でノイズも増幅されるため、結果として RJ が大きくなります。適切に設計されたイコライザは $0.2UI_{p,p}$ 未満の RJ を示すでしょう。

ランダム・ノイズ / ランダム・ジッタは受信イコライザでは低減されないことを覚えておかなければなりません。イコライザは DJ を低減しますが RJ を増やします。こうしたイコライザは、ランダム・ジッタを最小限に抑えるために、最先端のバイポーラ・プロセスと回路技術を用いて製造されています。

ランダム・タイミング・ジッタが発生する主な部位は、一般にクロック生成 (PLL) セクションと、データバス中のクロックとデータのリカバリ (CDR) セクションです。タイミング・ジッタの特徴を図 7-14 に示します。クロック・ノイズは、垂直方向 (振幅) のアイ・オープニングには影響を与えませんが、水平方向 (時間) のアイ・オープニングに影響を与える点に留意してください。

インターコネクト・メディアとシグナル・コンディショニング

7.5 リクロック・レシーバ (リクロック)

ランダム・ジッタ (RJ)、クロストーク、反射、残存確定的ジッタの対策では、もう1つのシグナル・コンディショニング・デバイスであるリクロックを検討してください。リクロックは、送られてくるデータを調べ、内部のローカル・クロック・ソースを受信データ・パターンに揃えます。リクロックは完全な整合を完了したら、リカバ・クロックと呼ばれる内蔵クロックを使用して、送られてくるデータを再サンプリングします。このような処理と関連する回路を使って CDR システムの中核を形成します。

サンプリング(またはリラッチまたはリクロッキング)では、送られてくるデータをアイ・オープニングの正確な中央でストロブし、結果をバイナリの1または0として記録します。このようなストロブ回路の理想出力には振幅ジッタもタイミング・ジッタも含まれません。実際の内部クロック源は、ある程度の残存RJを生むタイミング・ジッタを有します。また、クロック・リカバ回路は、過度のDJやRJが存在するデータに対しては、位置合わせができません。また、入力アイ・パターンが部分的に閉じていると、サンプリングによってクリーンなアイ・ダイアグラムが出力として得られる可能性もありますが、ビット・エラーも生じます。

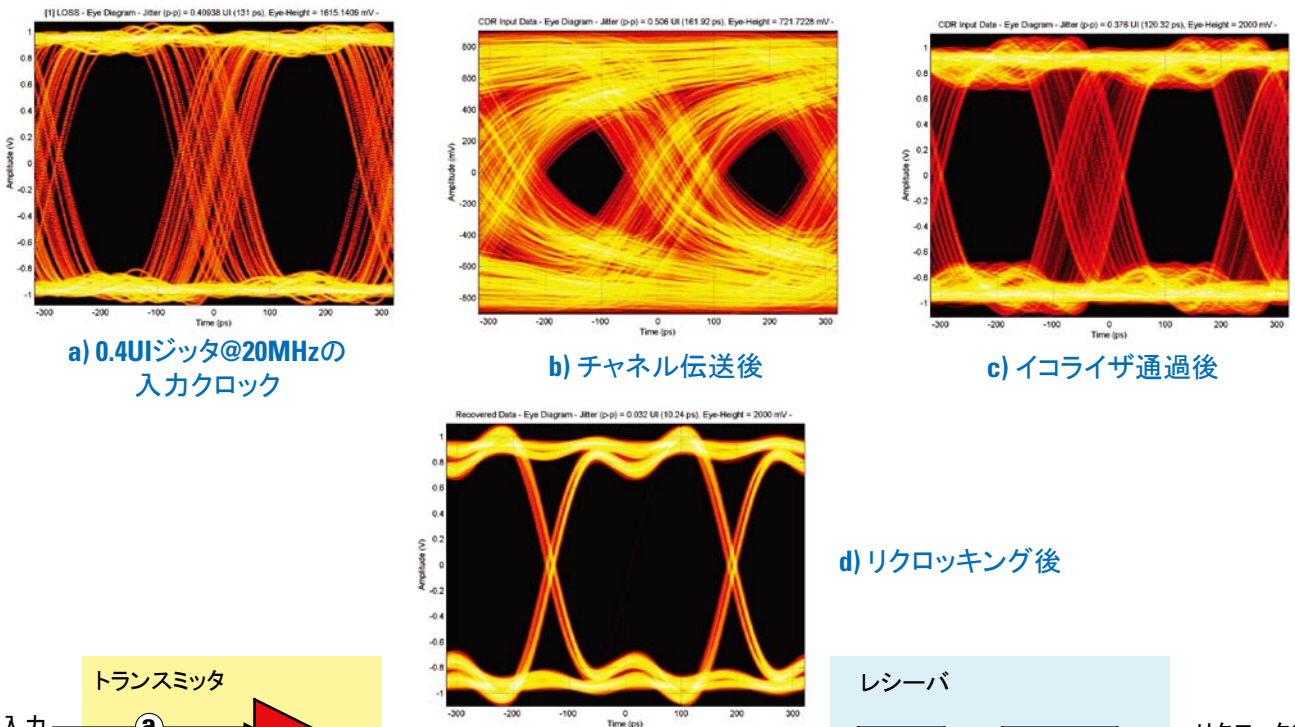


図 7-14. イコライゼーションとリクッキングを使った復元信号

したがって、ビット・エラー・レート・テスト (BERT) を行なって、エラーを起こさずにシステムが動作することを確認しなければなりません。ビット・エラーを招かずに CDR システムが許容できる入力ジッタ量を入力ジッタ許容 (IJT) と呼びます。LMH0346 などのリクロッカは 0.6 UI のジッタが存在するデータも復元可能です。

チャンネル ISI で生じるジッタは、最も優れた CDR テクノロジーが取り扱える量を超える場合もあります。そのため、イコライズ・レシーバまたはプリエンファシス・ドライバをリクロッカの前段に配置するアプリケーションが少なくありません。

7.6 ビット・エラー・レート (BER) とジッタ (ランダムと確定)

ジッタには、ランダム・ジッタ (RJ) と確定的ジッタ (DJ) の 2 種類があることはすでに述べました。DJ は有限な大きさで予測可能です。一方の RJ は、大きさがランダムで、一般には平均がゼロで Σ がデータシート記載の二乗平均平方根 (rms) 秒となるガウス分布に従います。システムのビット・エラー・レートの要件に基づいて、RJ を注意深く抑えなければなりません。ガウス分布を仮定した場合、 $1e-12$ BER を達成するには、システム設計者は 14Σ までのランダム・ジッタの広がり許容しなければなりません。

同様に $1e-15$ BER の場合は、広がり 16Σ まで許容しなければなりません。また、複数のジッタ源が存在する場合、式 7-15 に示すように、各 RJ 因子は rms 形式で加算し、各 DJ 因子はそのまま加算しなければなりません。総ジッタは下流側のリクロッカや SerDes が取り扱える量、すなわち IJT 仕様値よりも小さくしなければなりません。

式 7-15. すべての因子を加えた総ジッタ値の計算：

$$\text{総ジッタ (TJ)} = N_{\text{sigma}} \times \sqrt{RJ_1^2 + \dots + RJ_n^2} + DJ_1 + \dots + DJ_n < \text{IJT (レシーバ)}$$

イコライゼーションを使った損失性メディアの補償

シグナル・コンディショニングの効果を示すために、損失性メディアを通過する信号のアイ・ダイアグラムを検証してみます。長い PCB トレースやケーブルが減衰を与えたり帯域が不足していることは、メディアを通過したあとの擬似ランダム・パターンの高速信号を見れば容易にわかります。図 7-15 に示すような垂直方向と水平方向に閉じたアイ・パターンが得られます。

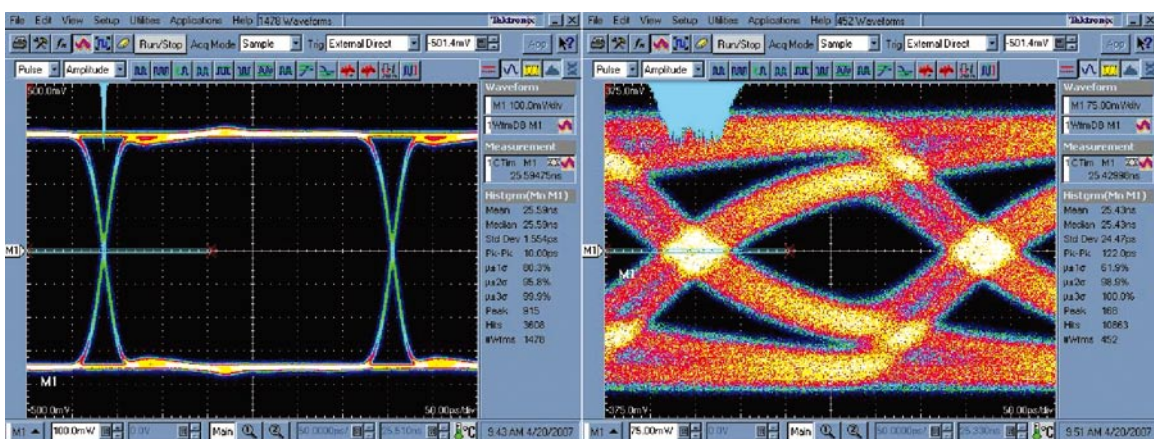


図 7-15. 擬似ランダム LVDS 信号をメディアなし (左) でオシロスコープに直接接続した場合と、同じ信号を 71.1cm の FR-4 トレースを介してオシロスコープに接続した例 (右)

インターコネクト・メディアとシグナル・コンディショニング

入力イコライゼーションはデバイスの入力側に接続されている実際の損失性線路と整合がとれるように設計します。イコライザは、インターコネクトに存在するメディア起因のAC損失を補償しようと試みます。71.1cm (28インチ)のFR-4トレースと入力イコライゼーションを有するデバイスを通じた前後の信号を図7-16に示します。71.1cmのトレースによって3.125Gbpsの信号におよそ8dBの損失が生じています。イコライザ・デバイスにはトレースの8dB損失に近い逆のゲインが設定され、この場合ではおよそ7.5dBです。

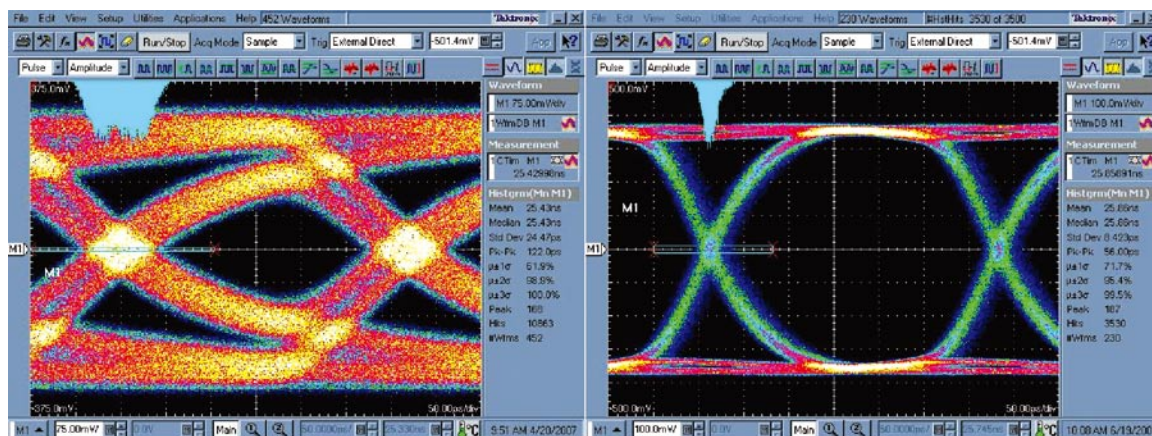


図 7-16. ストリップラインを通過する前の 3.125Gbps の NRZ PRBS-7 信号 (左)とイコライザ・デバイス通過後の信号 (右)(V: 125mV / div、H: 50ps / div)

イコライザを用いるとケーブル・メディアを数百メートルまで延長できます。DVI、CAT-5、あるいは類似のタイプのケーブルを長く使用するアプリケーションが一例として挙げられます。次に、200m の Belden 同軸ケーブルと DS15BA101/EA101 を使った環境で、イコライゼーションの適用有無によってその効果を示した波形を、図 7-17 と 7-18 に示します。

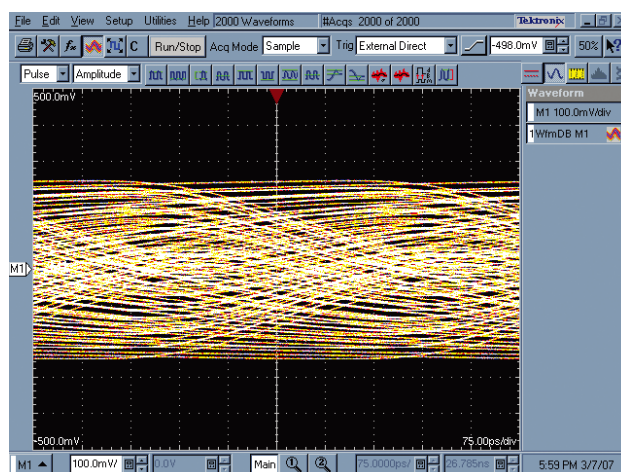


図 7-17. 200m の Belden 9914 ケーブルを通過後の 1.5Gbps NRZ PRBS-7 信号 (補正なし)。スコープ : V:100mV / DIV、H: 100ps / DIV

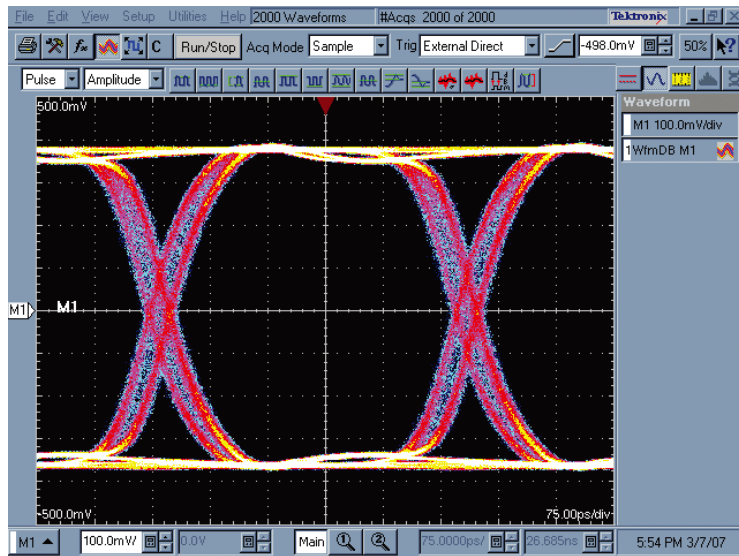


図 7-18. 200m の Belden 9914 ケーブルを通過後にイコライズを適用した 1.5Gbps NRZ PRBS-7 信号。
 スコープ : V:100mV / DIV, H: 100 ps / DIV

プリエンファシスのアイダイアグラム

出力プリエンファシスは、立ち上がりと立ち下がり遷移時に出力レベルを短時間だけ昇圧して、駆動メディアの長さを延長します。プリエンファシス・デバイスは通常、適用するプリエンファシス量の大きさを数段階で設定できるようになっています。71.1cm (28インチ)のFR-4トレースでプリエンファシス適用有無の例を図7-19に示します。

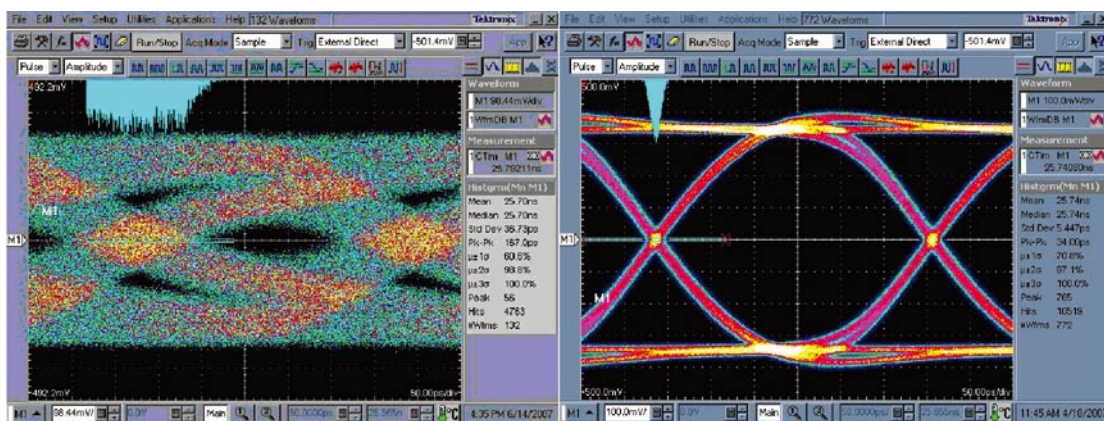


図 7-19. プリエンファシスなし (左) と 6dB の出力プリエンファシスあり (右) で駆動した 71.1cm のトレース出力

インターコネクト・メディアとシグナル・コンディショニング

PE/EQ の組み合わせ

プリアンプとイコライゼーションは、それぞれFR-4 ストリップラインを75cmから1mにわたって延長できるため、送信デバイスと受信デバイスをペアで使えば、メディアの長さを1.8mから2m程度延長することが可能です。



図 7-20. 6dB PE に設定した出力プリアンプ・デバイスから 1.8m トレースを介して -6dB EQ に設定した入カイコライゼーション・デバイスを駆動した例

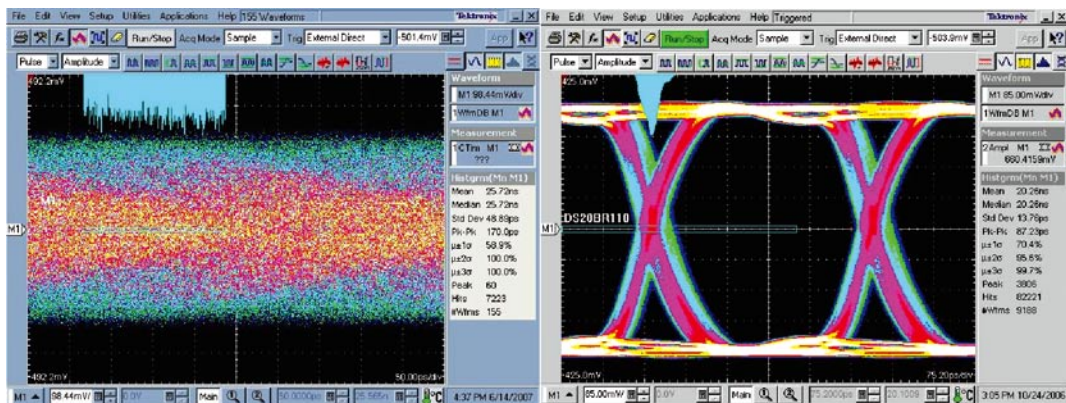


図 7-21. プリアンプなし (左) と 6dB プリアンプあり (右) で 1.8m FR-4 トレースを介して 6dB 入カイコライゼーションを駆動した例 (波形は 2.5Gbps で取得)



複雑な高速インターフェイス設計ではモデル化が必要でしょう。高速インターフェイス・デバイス用に単純で正確なモデルを使用するシミュレーション・ツールが提供されています。シミュレーションは設計フローの初期段階で、設計の課題や不足している点をおおまかに理解するために有用です。この段階では絶対的な精度よりも使いやすさや処理の速さが重要です。その後、設計が固まってくるにつれて、シミュレーションには実際のシステム性能を良好に近似する役割が求められていきます。

8.1 入力 / 出力バッファ情報仕様

IBIS (Input/output Buffer Information Specification) ファイルは、高速で正確なビヘイビア・シミュレーションを行なう場合に欠かせない要素です。

IBIS モデルは 4 つの重要な基準を満たします。

- モデルは標準化されていて、半導体メーカーの特有の IP に依存することなく、素直に作成できる
- IBIS モデルは正確であり、SPICE 結果、実験結果、あるいはその両方に基づいて作成される
- 多くのアナログ・シミュレータや設計自動化 (EDA) ツールが IBIS モデルをサポートしている
- IBIS ビヘイビア・モデルにはシミュレーションが収束しないという問題がなく、また、正確な結果が速やかに得られる

IBIS は ANSI/EIA-656-A として承認された業界の標準規格であり、半導体メーカーと EDA メーカーから広く支持されています。IBIS ビヘイビア・モデルはバッファの入出力を ASCII のテキスト形式で記述した I-V データと V-T データで構成されています。これらデータに標準規格が必要とする他のデータとを組み合わせ、デバイスの I/O ビヘイビアのモデル化が行なわれます。代表的性能とワーストケース性能の両方をモデル化できるように、IBIS ファイルは代表値、最大値、最小値で構成されます。

IBIS スタンダード・バージョン 1.0 は 1993 年に発表されました。現在のバージョンは 4.2 になっていて、下位互換性が維持されています。この標準規格は元々シングルエンド・テクノロジーを対象に開発されたもので、差動信号は差動ピン・マッピングによって取り扱います。差動ペアを反転ピンと非反転ピンに分割し、シミュレーション・ツールにそのペアが差動であることを知らせます。ただし、デバイス IBIS ファイルには、あたかもシングルエンド・デバイスであるかのように、各ピンを抽出します。新しい IBIS バージョン (4.2) は他のシミュレーション言語 (たとえば SPICE) を IBIS モデル内に統合して使うことが可能です。このような新しい仕様によって、イコライゼーションやプリエンファシスといった非リニアなシグナル・コンディショニングのモデリングがサポートされます。

IBIS 仕様には複数のモデルタイプが定義されています。「入力」「入力/出力」「3 ステート出力」「オープンドレイン」などがその例です。高速差動で一般的となるタイプは「入力」と「3 ステート出力」です。

8.2 IBIS のビヘイビア図

レシーバの「入力」IBIS モデル構造の典型例を図 8-1 に示します。パッケージの RLC 値は、 R_{pkg} , L_{pkg} , and C_{pkg} によって表されます。入力容量 (CIN) は C_{comp} 値で、デバイスの ESD 構造は Power_Clamp and GND_Clamp で定義されます。

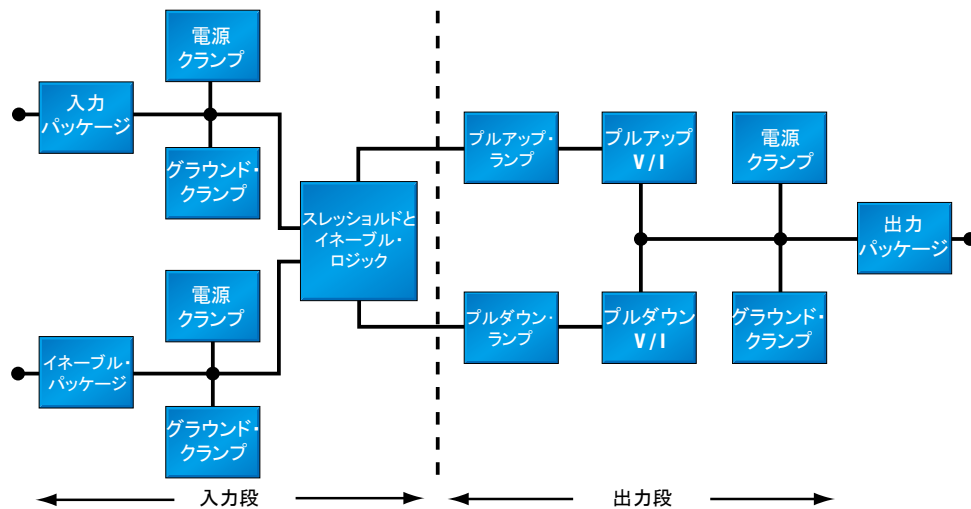


図 8-1. IBIS

8.3 ステート出力モデル

3 ステート出力の場合、出力はハイ・ステートとロー・ステートのほか、ハイ・インピーダンスに設定できます。ハイ・インピーダンス状態での I-V データは電源クランプとグラウンド・クランプ・データです。電源クランプとグラウンド・クランプ特性は出力モデルの ESD 構造を決め、入力のクランプと同じように振る舞います。デバイス駆動の能力はハイ・ステートとロー・ステートのそれぞれで 3 種類のパラメータでモデル化されます。ハイ/ローの駆動の強さ、立ち上がりエッジと立ち下がりエッジの両方のスルーレートを記述したランプ項、そして出力状態の遷移に対応した立ち上がり/立ち下がり波形値によって V-I 特性を記述します。

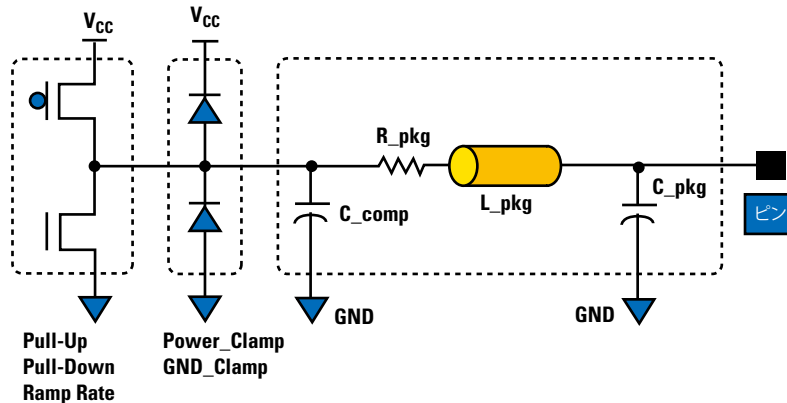


図 8-2. IBIS の 3 ステート出力構造モデル - 入力モデルと同じ表記を使用、パッケージ特性と ESD 構造が含まれる

8.4 IBIS モデルの作成

IBIS モデルは、実験結果や SPICE シミュレーション・データ、あるいはその両方を用いて作成します。実験結果はデバイス・シリコンの実際の性能を測定したものです。結果にはいくつかの制約が存在します。まず、実験結果からはプロセスのコーナー条件を近似することが困難です。また、IBIS が必要とするパッケージ特性を切り分けることができません。

最も高い精度が得られる SPICE ネットリストを使って、IBIS ファイルの代表値、最大値、最小値などを生成しています。代表値の条件は公称 V_{CC} 、室温、公称プロセスです。最小値の条件はウィーク・プロセス、高温、最低 V_{CC} です。最大値の条件は、ストロング・プロセス、低温、最高 V_{CC} です。次に、SPICE 生成の V-I カーブと実験環境でのデバイスの実際の性能データとを比較してモデルを検証します。最後に文法と IBIS の構文解析を確認し、ウェブサイトにアップロードして公開されます。

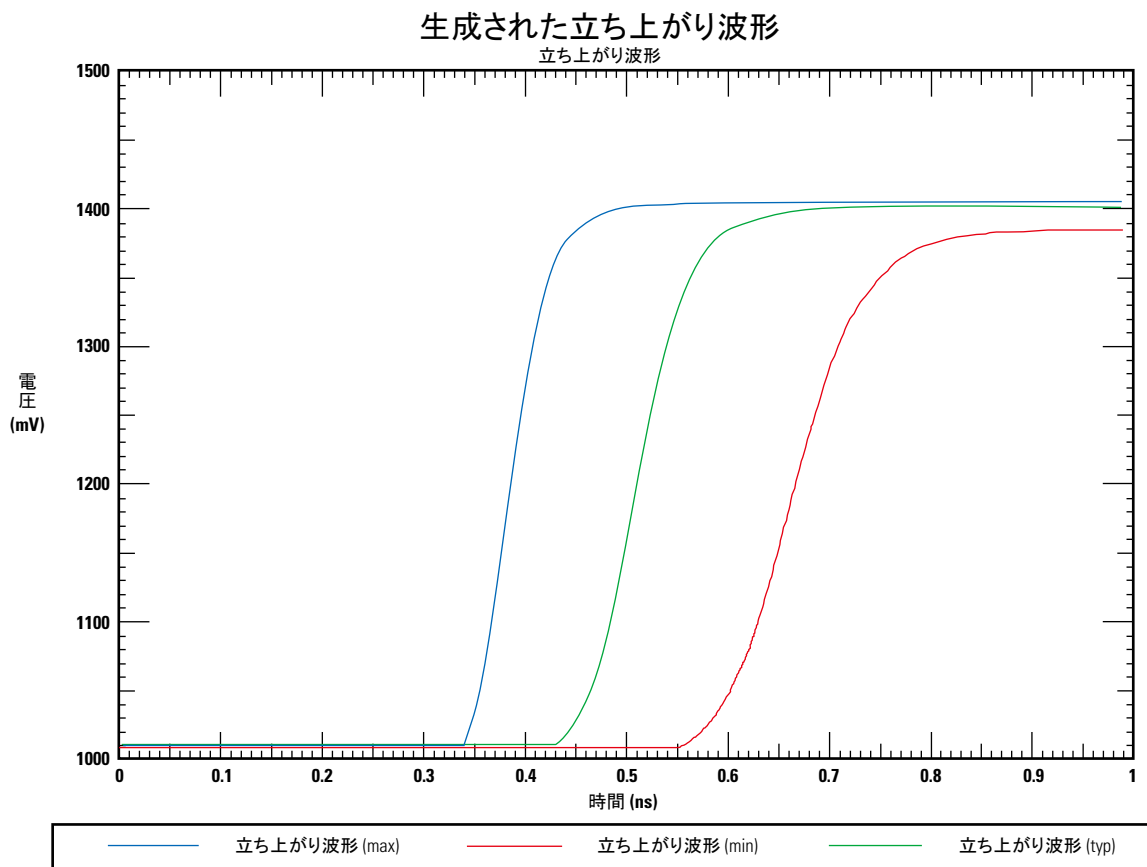


図 8-3. LVDS デバイスの IBIS モデルの代表的なスルーレート曲線

IBIS モデルにはプリエンファシスのような信号調整を適切にサポートできない制約があります。これらの機能を必要とするシミュレーションでは、SPICE のようなより複雑なモデルが必要です (セクション 8.6 で後述)。

8.5 散乱パラメータ (S パラメータ)

S パラメータは通信システムで使われる特性データで、リニア・ネットワークの電気的特性を定義および表現します。S パラメータは安定状態にエネルギーを与えたときのネットワーク応答の小信号表現です。

IBIS モデルは実際の IC の単純かつ正確なモデル化に使われますが、S パラメータはパッシブ・インターコネクットのモデル化に使われます。ドライバとレシーバ間のインターコネクットは、FR-4 トレースだけの単純な事例もあれば、複数のコネクタやメディアやビアが存在する複雑な事例もあります。いずれの条件でも S パラメータを生成して正確なシグナル・インテグリティ・モデルのシミュレーションが行なえます。

S パラメータには IBIS モデルと同様に、業界標準のフォーマットであること、素直に生成できること、高速かつ正確なシグナル・インテグリティ・シミュレーションが行なえること、といったメリットがあります。S パラメータ・モデルでは、インターコネクットの複雑さとは関係なく、そのノードの挙動は、その他のノードへのエネルギーの入力で推測できます。

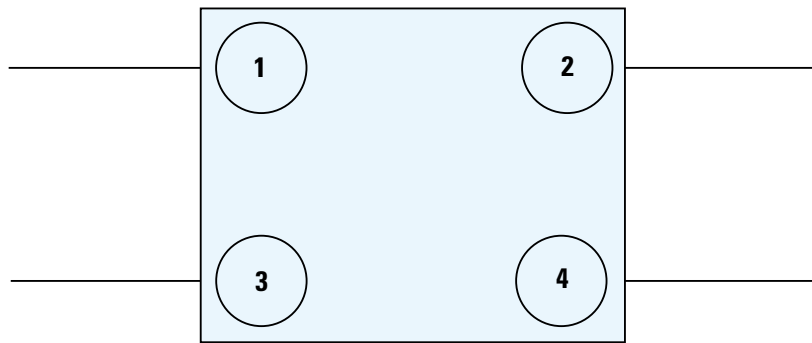


図 8-4. 4 ポートの S パラメータ・モデルの典型例

S パラメータの名称には 2 桁の数字を使ったルールが決められていて、最初の文字がビヘイビアを表す対象ノードを示し、2 文字目が刺激を与えるノードを示します。たとえば S_{21} はノード 1 に与えたエネルギーに対するノード 2 の応答を表します。このような各ノード同士の相互作用はマトリックス形式で記述され、4 ノードの場合は 4×4 です。図 8-4 に示す 4 ポート・モデルではノード 1 の刺激に対する応答は次のように表記されます。

- S11 反射 - ネットワークからノード 1 に反射して戻ってくるエネルギーを表します。
- S21 挿入損失 - 信号がノード 1 からノード 2 に伝搬したときに、ネットワーク内部で生じる信号損失の大きさを表します。
- S31 近端クロストーク
- S41 遠端クロストーク

SパラメータはdBを単位として表現され、表8-5に示すように、周波数との関係でプロットされます。dB値は式 $\text{dB} = -20\log_{10}$ を用いて計算します(受信信号/送信信号)。Sパラメータはパッシブ・ネットワークの定義に用いられるため、考えられる最大値を0dBと仮定します。すなわち信号減衰のない状態です。30%の減衰は-3dB、50%の減衰は-6dB、といった値になります。

表 8-5. 周波数との関係でプロットした S パラメータ

正規化 Rx	信号強度 (dB)
1	0.0
0.7	- 3.1
0.5	- 6.0
0.25	- 12.0
0.1	- 20.0
0.05	- 26.0
0.001	- 60.0

図8-6の例で、 S_{21} (挿入損失)はおよそ1GHzまではほぼ平坦ですが、その後は損失が急激に大きくなり、10GHzではおよそ-25dBの損失が生じています。このような特性は損失性メディアを介したソースからレシーバに至る伝送損失として典型的です。 S_{11} (反射損失)はおよそ-35dBで、ネットワーク全体で一定のインピーダンスを示しています。 S_{31} と S_{41} (近端クロストークと遠端クロストーク)は-50dB未満で、きわめて小さい様子がわかります。

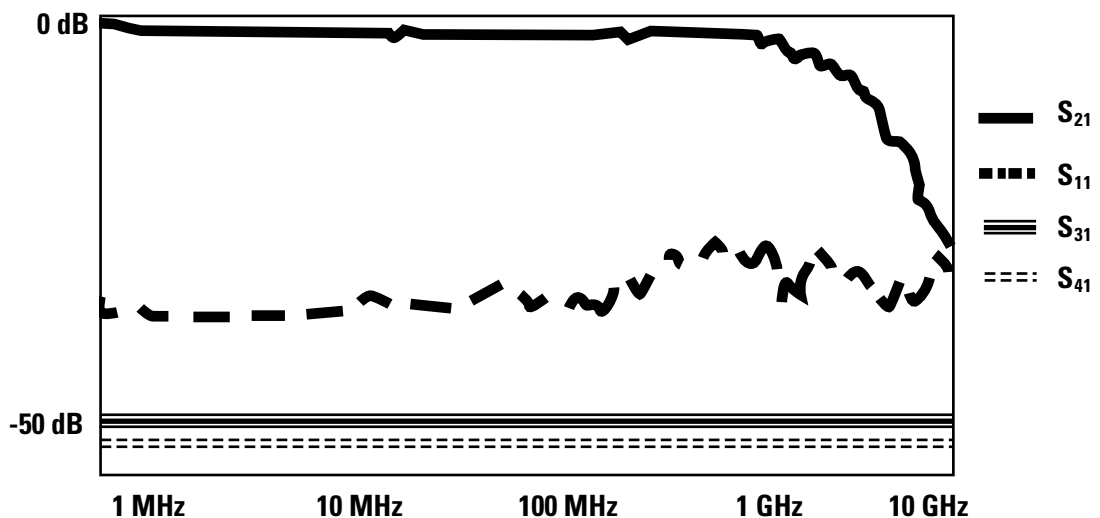


図 8-6. ノード 1 に刺激を与えた仮定ネットワークの例

Sパラメータ・モデルは任意のポート数で構築可能です。ただし、この説明では単方向のポイント・ツー・ポイントの差動信号を主なアプリケーションと想定しています。ここでは4ポート・モデルを示していますが、差動ペアの2本のラインをグラウンドではなく互いを基準電位にしているため、このモデルは2ポート・モデルに簡略化することが可能です。単純化した単方向モデルで最も重要となるのが、反射係数を示す S_{11} と挿入損失を示す S_{21} の2つのパラメータです。

8.6 SPICE モデル

SPICE (Simulation Program with Integrated Circuit Emphasis) は IC モデリング・ツールとして 30 年以上にわたって業界で広く利用されてきました。SPICE は、DC、AC、遷移刺激などのさまざまな条件下で、大規模なパッシブ回路要素とアクティブ回路要素のモデル化に使用されています。SPICE を一言で述べると、ネットワークを複数の複雑な式で定義し、初期条件と入力刺激を与えて、回路のビヘイビアを正確に予測するツールです。

SPICE は多くの式を繰り返しによって解きますが、シミュレーション時間が長くなることや、場合によっては収束しないこともあり得ます。利用できるコンピュータの性能が劇的に向上するとともに回路モデルの品質が上がってきたため、このような制約は現在ではそれほど問題になりません。SPICE を使うことで巨大かつ複雑なアナログ・ネットワークの正確なモデリングが可能です。

SPICE はアクティブな回路要素を正確にモデル化できますが、モデルが広く供給されているのは IBIS です。その理由は、SPICE モデルにはメーカーの知的所有権に関連する情報を含む場合があるため、メーカーがモデルを提供しないことも珍しくありません。あるいは、機密保持契約 (NDA) のもとでのみ提供される場合もあります。メーカーが提供する SPICE モデルは、センシティブな知的所有権を保護する目的で、同じ挙動ながら内部を変更した簡略版となっている場合も少なくありません。SPICE シミュレーションは複雑で、短時間で比較的正確なシミュレーションを行なう際に好まれる IBIS を用いたシミュレーションに比べて、はるかに長い時間を要します。ただし絶対的な精度が必要な時は SPICE ツールの利用が望まれます。

9.1 クロック分配とシグナル・コンディショニング

LVDS や CML は、シングルエンド・ソリューションよりもはるかに高い性能を得ることを目的として、しばしばクロックの分配に使われます。クロック分配にはポイント・ツー・ポイントとマルチポイントの2種類のアーキテクチャがあります。

ポイント・ツー・ポイントでのクロック分配

「1 対 n」またはファンアウト型として知られるポイント・ツー・ポイント・アーキテクチャは、ジッタがきわめて小さくきわめてクリーンな信号を実現できるため、クロック・レートが高いアプリケーションやジッタ要件がきわめて厳しいアプリケーションに適します。

DS90LV110A はファンアウト型クロック分配デバイスの一例です。

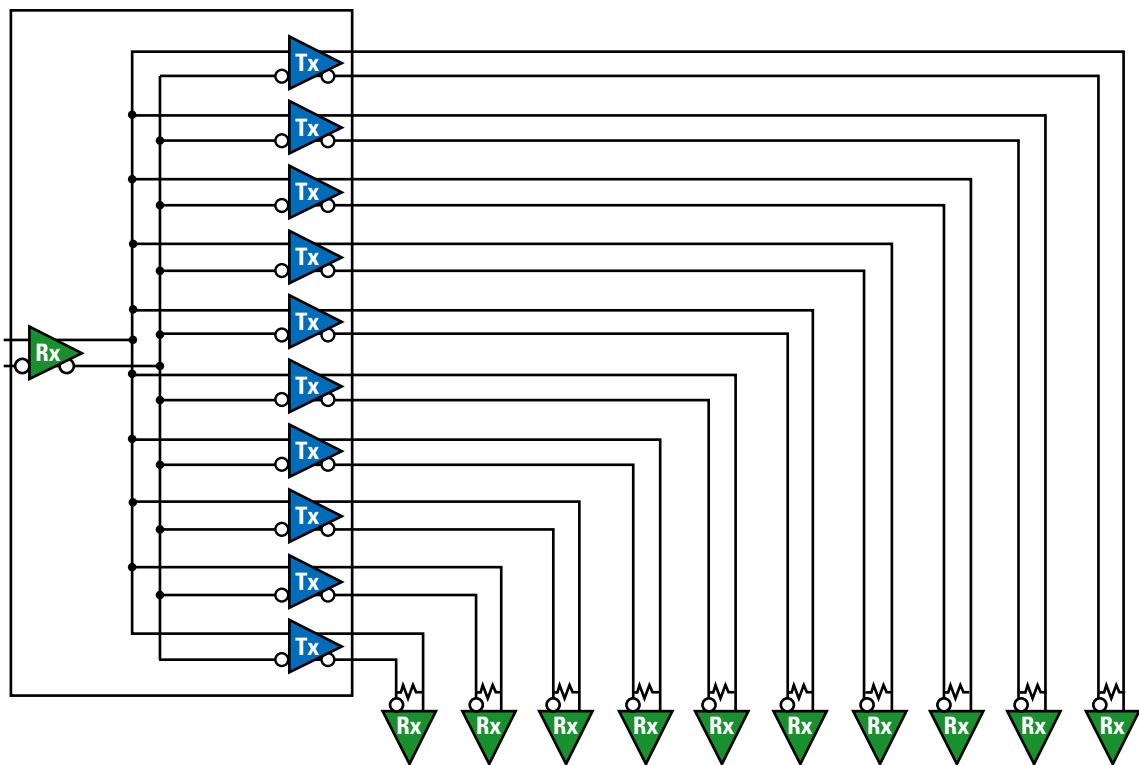


図 9-1.1 対 10 ファンアウト・バッファ DS90LV110A

マルチポイントでのクロック分配

マルチポイント・クロック分配はバックプレーン環境に適した効率的かつ低コストなソリューションです。マルチポイント・ソリューションでは、バックプレーン・トレース本数あるいはケーブル本数の削減が望まれるとともに、冗長性のサポートも場合によっては必要です。マルチポイントでのクロック分配に M-LVDS を採用している例として、Advanced Telecom and Computing Architecture (ATCA) などが挙げられます。

マルチポイント構成には駆動力の強い B-LVDS か M-LVDS が適します。スタブ長の短い短距離メディアを駆動したときに最も高い性能が得られます。マルチドロップの構成はマルチポイントの構成と似ていますが、ドライバはひとつのみでレシーバが複数存在します (図 9-2)。

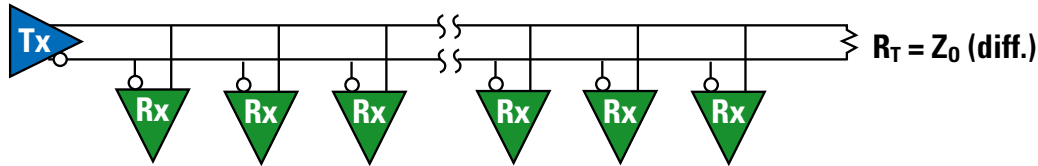


図 9-2. マルチドロップ環境

DS92CK16 トランシーバは、マルチポイント・バックプレーンを駆動する B-LVDS と、カードのローカル側用に 1 対 6 の TTL ファンアウト・バッファを備えています。ほかにも複数のデバイスがマルチポイントに対応しています。該当するデバイスを表 9-3 に示します。

表 9-3. クロック分配デバイス

デバイス	F _{MAX} MHz	Rx 数	Tx 数	備考
DS92LV010	75	1	1	TTLからB-LVDS。最大32負荷を駆動
DS91D176	125	1	1	TTLか M-LVDS。DS91C176はタイプ2 フェイルセーフ、DS91D180は全二重
DS92001	200	1	1	LVDS から B-LVDS
DS92CK16	125	1	6 TTL 1 B-LVDS	冗長性サポート。マスタまたはスレーブ
DS90LV110	400	1	10	フェイル セーフ付きはDS90LV110A

クロック・コンディショナ

LMKファミリなどシグナル・インテグリティを目的としたクロック・デバイスには、システムやバックプレーンのクロック性能を改善するさまざまな工夫が取り入れられています。

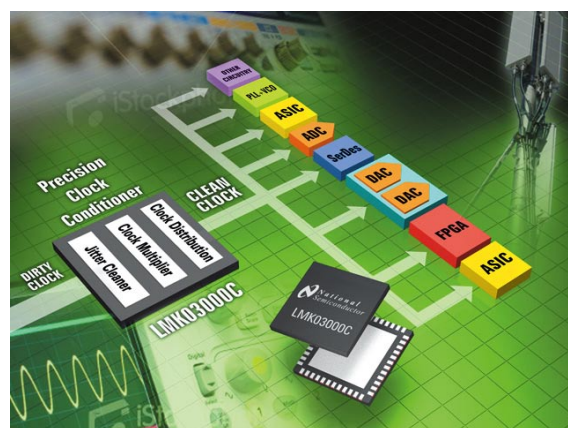


表 9-4. クロック・コンディショナ製品

製品名	クロック周波数 (MHz)	LVDS 出力	LVPECL 出力	VCO	PLL	VCO 周波数 (MHz)	RMS ジッタ (PS)
LMK02000	0 ~ 800	3	5	外部	-	-	0.2
LMK02002	0 ~ 800	0	4	外部	-	-	0.2
LMK03000C	1 ~ 648	3	5	内蔵	内蔵	1185 ~ 1296	0.4
LMK03001C	1 ~ 785	3	5	内蔵	内蔵	1470 ~ 1570	0.4
LMK03002C	1 ~ 862	0	4	内蔵	内蔵	1566 ~ 1724	0.4
LMK03000	1 ~ 648	3	5	内蔵	内蔵	1185 ~ 1296	0.8
LMK03001	1 ~ 785	3	5	内蔵	内蔵	1470 ~ 1570	0.8
LMK03002	1 ~ 862	0	4	内蔵	内蔵	1566 ~ 1724	0.8
LMK03000D	1 ~ 648	3	5	内蔵	内蔵	1185 ~ 1296	1.5
LMK03001D	1 ~ 785	3	5	内蔵	内蔵	1470 ~ 1570	1.5
LMK03033C	1 ~ 1080	4	4	内蔵	内蔵	1843 ~ 2160	0.5
LMK01000	0 ~ 1600	3	5	-	-	-	0.04 (追加ジッタ)
LMK01010	0 ~ 1600	8	0	-	-	-	0.04 (追加ジッタ)
LMK01020	0 ~ 1600	0	8	-	-	-	0.04 (追加ジッタ)

高精度クロック・コンディショナである LMK ファミリーは、マルチポイントまたはマルチドロップ環境で、レシーバを直接駆動できます。終端が最大で 32 個もあるマルチポイント環境では、負荷によってデューティ・サイクル、エッジレート、システム・マージンに影響が及びます。LMK04000 / LMK03000 / LMK02000 クロック・コンディショナ・ファミリーは、ノイズやジッタの多いクロックをバックプレーンから受け取り、クリーンかつバランスの取れた同じ周波数または通倍周波数のクロックを複数のカード・スロットに供給します。クロック・クリーニングや周波数通倍が必要ない場合は、超低ジッタのクロック分周器かつ分配器として LMK01000 ファミリーが使えます。

たとえば、すべての負荷が接続された ATCA バックプレーン上で、スロット 7 からスロット 8 へ 122.88MHz のクロックを駆動した例を図 9-5 に示します。この環境でクロック信号は帯域不足の影響を受けるとともに、デューティ・サイクルは 45% から 55% になります。

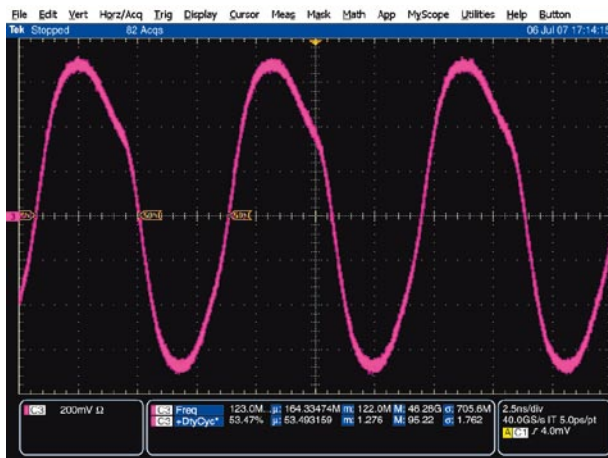


図 9-5. 全負荷を搭載した ATCA バックプレーン上の M-LVDS クロック信号



図 9-6. LMK03000 クロック・コンディショナ出力

図9-6に示すLMK03000クロック・コンディショナによるデューティ・サイクル補正に着目してください。互いにピン互換性を有するLMKファミリーは、業界トップクラスのジッタ性能を誇り、最高1080MHzのLVDS出力とLVPECL出力の両方を備えています。このファミリー製品(表9-4)は、デューティ・サイクル歪みがなく十分な位相マージンと低ジッタを有するクロック信号を、複数のクロック周波数により最大8系統でカード・アプリケーションに分配します。LMK04000ファミリーは、カスケードPLLアーキテクチャを採用し、高価なVCXOを使用せずに優れたジッタ・クリーニングを実現します。

9.2 システム・クロック分配

Advanced Telecommunications and Computing Architecture (ATCA) や MicroTCA システムなど多くの通信システムは、内部インターフェイスと外部ネットワークとの同期を必要とします。システム内に同期クロック・インターフェイスを定義している PCI Industrial Computer Manufacturers Group (PICMG) の各規格は、クロック信号を分配する役割を、TIA/EIA-899 標準規格 (マルチポイント小振幅差動信号方式または M-LVDS) に準拠した IC に割り当てています。

このセクションでは AdvancedTCA と MicroTCA に準拠したクロック分配ネットワークの概要を説明します。M-LVDS のクロック分配設計ガイドラインはアプリケーション・ノート AN-1503 「AdvancedTCA 規格に準拠した M-LVDS クロック分配システム設計」を参照してください。

ATCA 同期クロック・インターフェイス

AdvancedTCA バックプレーンでは、クロック同期化インターフェイスを用いてバックプレーン内のすべてのスロット間でタイミング情報が交換されます。この仕組みには 3 系統の冗長クロック・バス CLK1、CLK2、CLK3 が用いられます。各クロック・バスは M-LVDS クロック / ドライバ / レシーバと接続されマルチポイント・クロック分配ネットワークを構成します。バックプレーンに複数のライン・カードを実装したときに構成される 6 系統の M-LVDS クロック分配ネットワークを図 9-7 に示します。

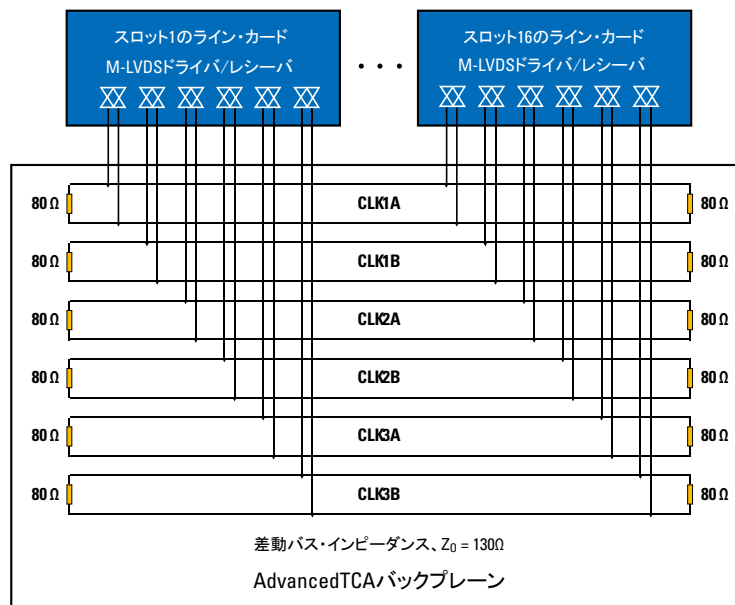


図 9-7. AdvancedTCA クロック分配インターフェイスの例

短く幅の狭いスタブと、制御された出力エッジレートを有する信号ドライバ (M-LVDS ラインドライバ) との組み合わせが、あらゆるマルチポイント・ネットワークでノイズ・マージンの確保と全体性能の向上に不可欠です。AdvancedTCA バックプレーンで M-LVDS クロック分配ネットワークを採用したことで、このようなメリットが得られています。

MicroTCA 同期化クロック・インターフェイス

MicroTCAは非冗長と冗長の両方のクロック・アーキテクチャを定義しています。非冗長アーキテクチャの対象は、図9-8に示すように、MicroTCAキャリア・ハブ(MCH)が1つのみの事例です。クロック・バスはMCHカード点のバックプレーン上とAdvanced Mezzanine Card (AMC)で終端され、ポイント・ツー・ポイント・トポロジーを形成します。

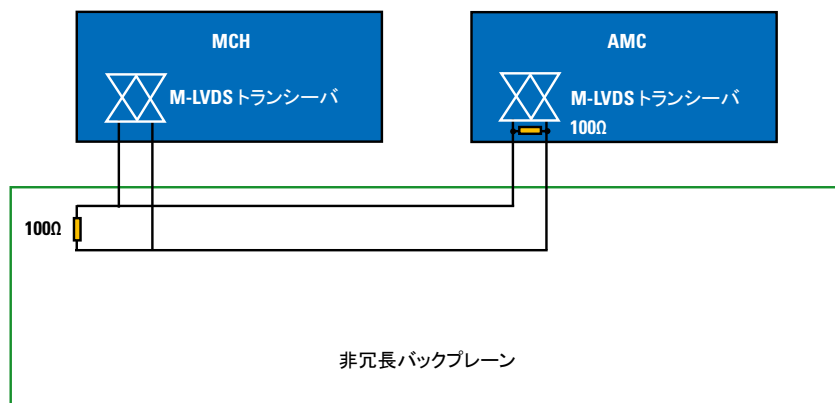


図 9-8. MicroTCA 非冗長クロック分配インターフェイスの例

冗長クロック・アーキテクチャの対象は、図9-9に示すように、デュアルMCHシステムが冗長構成となる事例です。トポロジー的にはマルチポイントの亜種となりますが、直列抵抗を使用して非終端スタブの影響を最小限に抑えています。M-LVDSデバイスは信号エッジが制御されているため、システム内の全カードにクロックを分配することが可能です。

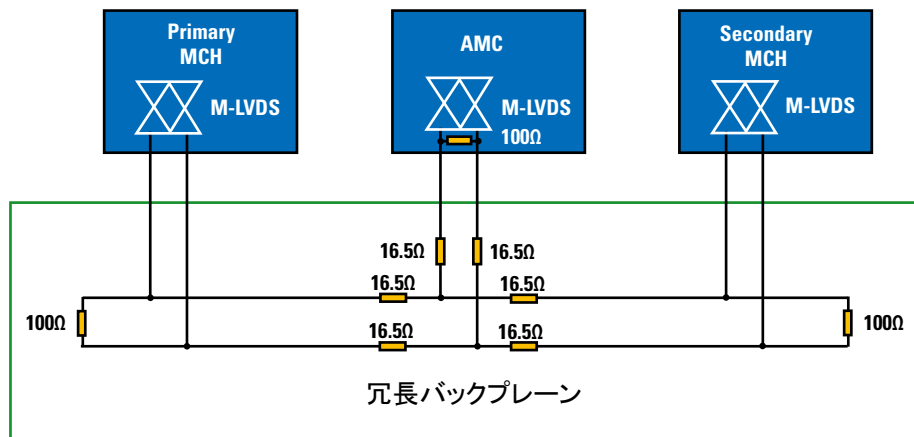


図 9-9. MicroTCA 冗長クロック分配インターフェイスの例

9.3 FPGA 性能の補完

最近のシステムには拡張性や自由度、プログラム性を高める目的でアップグレード機能が盛り込まれるようになり、通信やコンピュータ、産業機器、さらには航空機にも、フィールド・プログラマブル・ゲートアレイ (FPGA) が搭載されることも珍しくなくなりました。FPGA は、高速インターフェイス、組み込みマイクロプロセッサ、デジタル信号プロセッサ (DSP) など、さまざまな組み合わせで使われています。

このような特長を持つ FPGA ですが、いくつかの制約も存在します。マルチドロップ LVDS 信号環境の標準規格である EIA-899 への準拠が課題の 1 つです。通常 FPGA は、システムが必要とする機能や規模を中心に選択されます。そこで適切な補完部品を採用して、FPGA が対応できない仕様や機能に対応する方法が考えられます。

FPGA の伝送距離を延長する SerDes

Altera の Cyclone や Xilinx Spartan の製品ラインは、低速から中速のアプリケーションを想定した低価格 FPGA の一例です。このような FPGA には、高速通信で必要となるシリアライズやデシリアライズ回路が搭載されていないほか、最大データレートも 640Mbps に制限されています。そのため Cyclone と Spartan の外付けインターフェイスの適当な候補として SerDes が挙げられます。FPGA に外付け SerDes インターフェイスを組み合わせることで、パラレル・インターフェイスあるいは複数ペア・インターフェイスは、1 本または複数本の高速信号ペアに凝縮されます。

外付け SerDes のパラレル・インターフェイスによって、LVCMOS 信号のパラレル・インターフェイス全体が低消費電力の高速差動信号に置き換えられるため、元々 LVCMOS 信号がやりとりされていたバックプレーンまたはリボンケーブルの距離の延長が図れます。その結果、システムの EMI とともに、システム内で発生する同時スイッチング出力 (SSO) ノイズが抑えられます。グラウンド・バウンスとしても知られる SSO ノイズは、IC の電源 / グラウンド系のインダクタンスを流れる電流が瞬間的に大きく変化したときに発生します。SSO の問題は、FPGA 回路のアクティブで高駆動な LVCMOS 出力の本数が増えるにつれ、より深刻になります。複数のパラレル・インターフェイスを備えた大規模な FPGA の場合、SSO はシステム性能を悪化させるほか間欠的なデータ・エラーの原因となります。

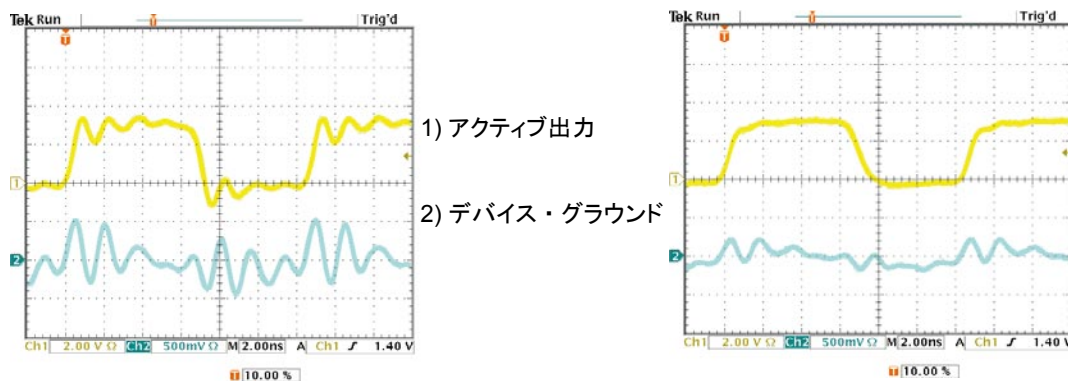


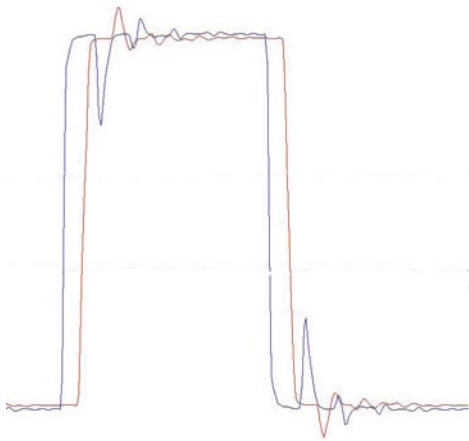
図 9-10. ノイズの多い高駆動 LVC MOS 波形 (左) とノイズの少ない低駆動 LVC MOS 波形 (右) の比較

FPGA の出力駆動電流を減らすと (図 9-10)、一般にシグナル・インテグリティが向上し、出力クロックとデータ信号のジッタが小さくなります。クロック信号に現れる過度のノイズまたはジッタは、FPGA PLL のアナログ性能が低下していることを示す 1 つの指標です。FPGA 性能の低下に加えて FPGA に隣接して配置されているアナログ・デバイスも、大きなグラウンド・ノイズの影響を受ける可能性があります。

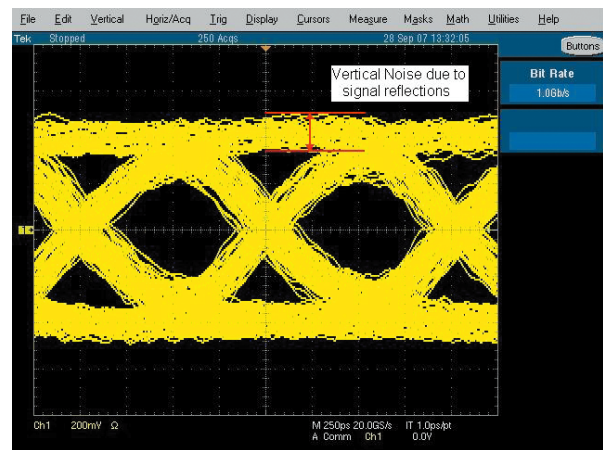
重要な負荷容量

データレートが Gbps オーダーになると、I/O 容量もシグナル・インテグリティに影響を与えるようになってきますが、この問題はしばしば見過ごされがちです。インターフェイスを往復する送信データの遅延時間がユニット・インターバルに近いか越えた場合に、一部の FPGA で I/O 容量が大きな問題として顕在化してきます。I/O 容量が大きいとトランスミッタ点とレシーバ点でインピーダンス低下を招きます。このような不連続点で生じる反射エネルギーの一部は伝送メディアに反射し戻っていきます。

反射した遷移エネルギーが複数回の往復遅延サイクルを経てバックグラウンド・ノイズ・レベルに低下するまで、インピーダンスの不連続に遭遇するごとに反射動作が繰り返されます。伝送線路の電氣的長さやシリアル・データのビット幅に応じて、前のデータ遷移により生まれた反射はしばらく経過したあとのデータ・パターンに現れます。反射による余剰なエネルギーによってジッタは増加し、インターフェイス全体のノイズ・マージンを低下させます。



伝送線路は適切に終端されているにも関わらず、過度の I/O 容量に起因する反射が、50MHz のシミュレーション波形のドライバ点とレシーバ点に現れている。データレートが高くなるにつれてこの反射は大きなシンボル間干渉 (ISI) を引き起こす。



データレートを 1Gbps に高めるとドライバとレシーバからの反射はほぼ 7UI の区間に広がる。レシーバ点での信号の遷移位置は、その前の 7 ビットの間起こったすべての遷移によって変化し、結果としてアイ・ダイアグラムには大きな DJ 成分が現れる。

図 9-11. 負荷容量の影響による ISI の例

容量の大きな I/O の影響を抑えるには伝送メディアの反射による往復遅延を短くしなければなりません。遅延がシリアル・データの単一ビット幅未満となるように短くするのが理想的です。ただし、伝送距離を短縮する対策方法は、集中した容量成分によって帯域が狭くなる問題を解決するわけではありません。きわめて短い伝送線路に容量成分を配置させ、複数のデータ反射を単一ビット周期内に収めることが目的です。各反射でダイナミック・エネルギーは小さくなり、受信デバイス点で高品質な信号が得られます。

LVDS レベル変換

FPGA LVDS アーキテクチャで 1Gbps 以上に対応することは困難ですが、ディスクリート LVDS を使用すれば 3Gbps を超えるデータレートにも効率的に対応可能です。それでも 1Gbps 以上のデータレートで LVDS を使うのであれば、信号振幅、出力電圧、レベル変換などの観点で、他の差動テクノロジーを併用したほうが適当な場合や、設計のトレードオフで解決しなければならない場合があります。

システム設計で越えなければならない最初のハードルは信号振幅の評価です (図 9-12)。LVDS や他の差動インターフェイスは異なる方法で振幅が定義されています。LVDS の場合、出力振幅あるいは V_{OD} (EIA/TIA-644A による規定) は、 $100\ \Omega$ 負荷を用いたときのドライバ出力両端の電圧差として規定されています。他の差動規格は出力電圧振幅をピーク・ツー・ピーク値で規定しています。したがって、 400mV の LVDS V_{OD} は、 800mV ピーク・ツー・ピーク CML 出力と振幅はまったく同一です (詳細は 31 ページの「終端とレベル変換」セクションを参照)。

LVDS デバイスのレシーバは他のいかなる差動テクノロジーよりも高い自由度を有します。入力共通モード範囲が広く、 $1.2\text{V}/1.5\text{V}/2.5\text{V}$ CML や LVPECL 差動 I/O の通常の動作範囲まで収容可能です。そのため、ほとんどの差動出力は LVDS 入力に直接接続でき、PCB 面積の小型化と複数の AC 結合コンデンサのコストの節減が図れます。また、最小 LVDS 出力 V_{OD} は 250mV またはピーク・ツー・ピークで 500mV と規定されています。LVDS は出力振幅がこのように小さいため、低 EMI かつ低電力なソリューションが実現されるほか、出力シグナル・コンディショニング機能と組み合わせれば長いケーブルや大規模なバックプレーンの駆動が可能です。

LVDS 出力は内部バンドギャップ・リファレンスで生成される 1.2V コモンモード電圧で駆動されます。ほとんどの LVPECL 入力と DC 結合が可能です。ただし、CML 入力 (コモンモード範囲が狭い) に接続する場合は、LVDS の出力振幅が CML の規定コモンモード要件に適合しないため、AC 結合が必要です。

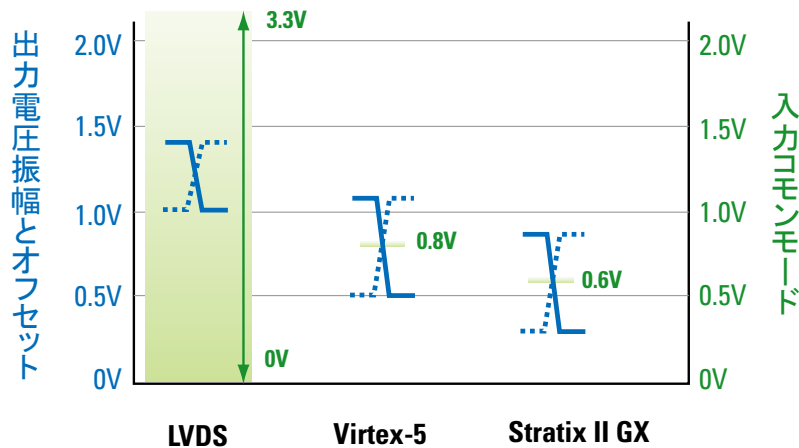


図 9-12. さまざまな差動インターフェイスの V_{OD} と入力共通モード範囲

冗長性を備えたマルチプレクスかつ分配ソリューションを低電力で実現するには、高速 FPGA CML I/O に高性能 LVDS クロスポイント・スイッチを組み合わせます。

LVDS 入力は 200mV から 1600mV の範囲のピーク・ツー・ピーク振幅で動作するように設計されていますが、 500mV から 800mV の範囲の信号の場合に最適な性能が得られます。CML 出力を 600mV から 800mV の範囲に設定すると、FPGA 内蔵 SerDes で消費する送信のための電力を低減しインターフェイス全体の EMI を抑えられます。

つまり、FPGA に適切な補完デバイスを組み合わせることで、多くの場合にその性能と自由度のさらなる向上が図れます。外部に SerDes を設ければ低コストの Spartan や Cyclone デバイスの同時スイッチング出力ノイズを抑えられます。外部にシグナル・コンディショニングを設ければ FPGA のケーブル伝送距離の延長が図れます。FPGA の入力容量 C_{IN} が大きいとリンギングやビット・エラーを招く場合がありますが、リピータを併用すれば実質的に容量を「隠す」ことができます。高駆動の B-LVDS や M-LVDS デバイスを使えばマルチドロップを対象とした信号のバッファが可能です。以上はすべて、FPGA 性能を補完し自由度を高めるディスクリート・デバイスの使用例です。

9.4 放送ビデオ

最近の放送ビデオは高速でエラーのないシリアル・デジタル・ビデオ伝送に依存しています。必要なシグナル・インテグリティを維持するには、ジッタの抑制とノイズの低減が不可欠です。簡略化した 3Gbps SDI (Serial Digital Interface) ビデオ・ルータの例を図 9-13 に示します。

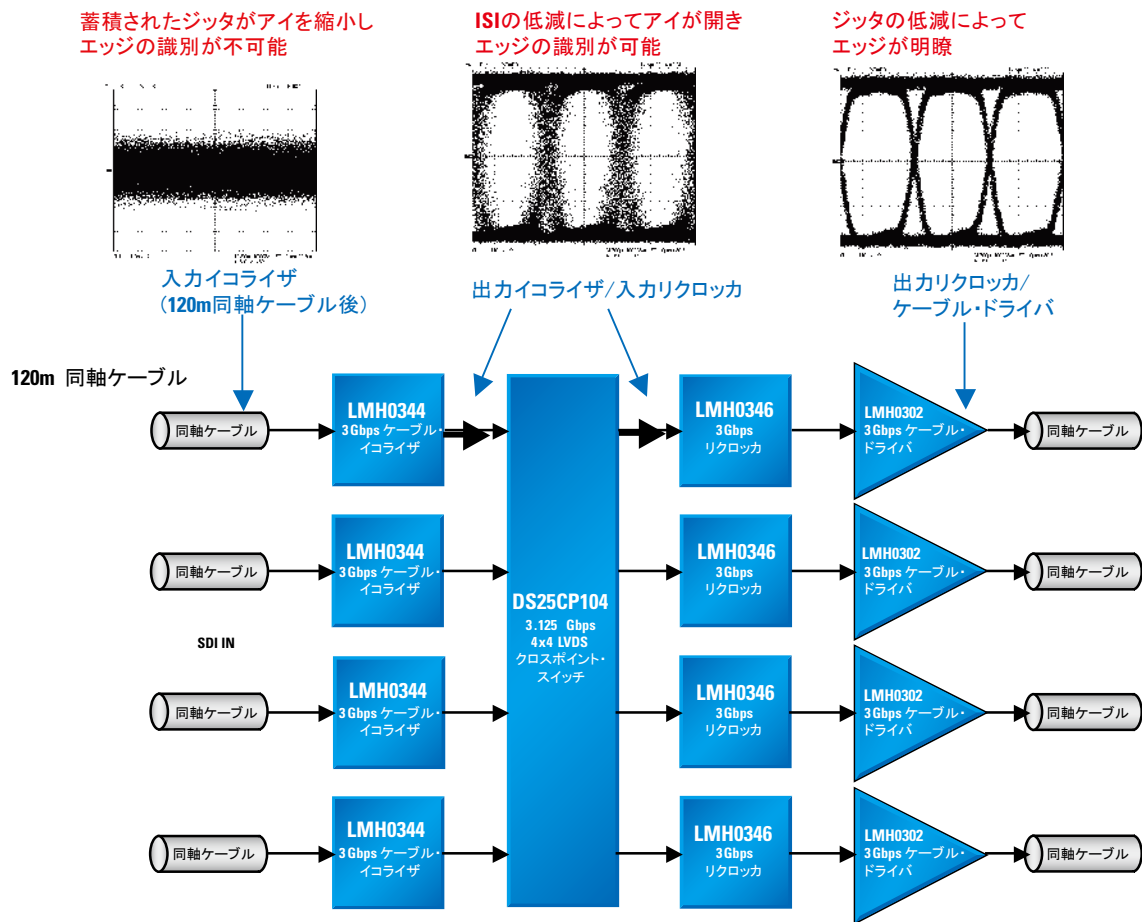


図 9-13. 簡略化した 3Gbps SDI ビデオ・ルータ

高速データ伝送でのシグナル・インテグリティの維持にはいくつかの課題があります。図 9-13 の 3Gbps SDI ルータは、シグナル・コンディショニングを備え、元のインテグリティに波形を再構築します。SDI イコライザは波形の「アイ (目)」を開けるとともに ISI を抑えます。LMH0344 アダプティブ・ケーブル・イコライザは、3Gbps レートで 120m、HD レートで 140m、SD レートで 350m までの同軸ケーブルに自動的に適応します。

DS25CP104 4 × 4 LVDS クロスポイント・スイッチは、さまざまなシステム・アーキテクチャに応じて適用量を設定できる FR-4 イコライゼーションとプリエンファシス機能を内蔵しています。SDI リクローカは高周波ジッタを低減し明瞭でクリーンなエッジを与え、ケーブル・ドライバは SMPTE (Society of Motion Picture and Television Engineers) で規定されている SDI 標準規格に準拠するように適切な振幅とスルーレートを設定します。

SD、HD、3Gbps SDI アプリケーションに対応したビデオ製品の幅広いラインアップが提供されています。

9.5 SerDes 距離の延長

現在の高速システムでは、シリアライザとデシリアライザ (SerDes) は不可欠な役割を担っています。ただし、システムの制約の 1 つが、シリアライザとデシリアライザ間の最大伝送距離です。多くの SerDes は、数メートルのケーブルの伝送しかサポートできない一方で、シリアライザとデシリアライザ間で数十メートルから数百メートルの伝送を要求するシステムもあります。SerDes チップセットを使ったアプリケーションで伝送距離を延長するのが、図 9-14 に示す DS15BA101 と DS15EA101 などのケーブル・エクステンダ・チップセットです。

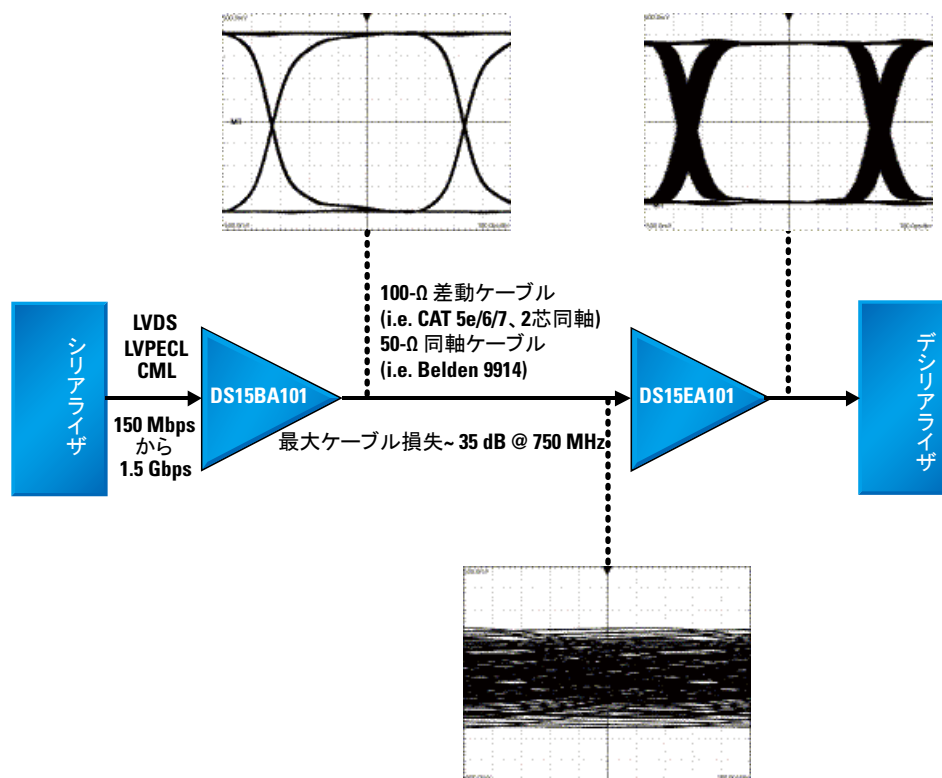


図 9-14. ケーブル・エクステンダ・アプリケーションの代表例

自動的なイコライゼーションはケーブルのトランスミッタ端での信号振幅に依存することを理解する必要があります。DS15EA101 は、シングルエンド (同軸ケーブルのイコライズ) か差動信号 (差動バランス・ケーブルのイコライズ) の振幅を、800mV p-p ± 10% と「仮定」します。DS15EA101 内部のエネルギー検出回路が送られてくる信号の振幅をセンシングし、そのアナログ情報は、信号の高周波成分に特定量のゲインを適用するようイコライザ・フィルタに指示する、自動イコライゼーション制御回路に伝えられます。

振幅が正負の方向にかかわらず偏っていると、イコライザ・フィルタでゲイン過多またはゲイン不足のいずれかが発生します。イコライザ・ゲインとケーブルの損失特性とが整合しないと、イコライザ性能が発揮されず出力残存ジッタが大きくなり、最終的にはシステム・ビット・エラーに至る可能性があります。50Ω 同軸ケーブルか 100Ω 差動バランスケーブル (2 芯同軸ケーブルとツイストペアケーブル) を採用したシステムの両方で、先ほどの DS15EA101 デバイス要件を満たす DS15BA101 デバイスを、DS15EA101 のコンパニオン・デバイスとして使用するようしてください。

ケーブル・エクステンダ・チップセットの利点

ケーブル・エクステンダ・チップセットにより、動作範囲が 0.15Gbps から 1.5Gbps のシリアル化されたデータを送信 / 受信するすべての SerDes チップセットにメリットを与えますが、一対の高速シリアル DC バランスデータ・ストリーム (エンベデッド・クロック SerDes など) の SerDes との組み合わせが最も適します。複数のシリアル・データとクロック・ストリームで構成される SerDes (パラレル・クロック SerDes など) もケーブル・エクステンダ・チップセットを使うことでメリットが得られると考えられますが、これらの SerDes では、ケーブル損失問題よりも先にチャネル間スキューが顕在化します。表 9-15 に、ケーブル・エクステンダ・チップセットとの組み合わせに適すると思われる SerDes 製品の一覧を示します。

表 9-15. ケーブル・エクステンダ・チップセットとの組み合わせでメリットのある SerDes ペア

SerDes チップセット	クロック周波数範囲 (MHz)	raw シリアル・データレート範囲 (Mbps)
10 ビットエンベデッド・クロック SerDes		
DS92LV1021A/DS92LV1212A	16 ~ 40	192 ~ 480
DS92LV1023E/DS92LV1224	40 ~ 66	480 ~ 792
SCAN921025H/SCAN921226H	20 ~ 80	240 ~ 960
16 ビットと 18 ビットエンベデッド・クロック SerDes		
DS92LV16	25 ~ 80	450 ~ 1440
DS92LV18	15 ~ 66	300 ~ 1320
24 ビットエンベデッド・クロック SerDes		
DS90C124/DS90C241	5 ~ 35	140 ~ 980
DS90UR124/DS90UR241	5 ~ 43	140 ~ 1204
DS99UR103/DS99UR104	3 ~ 40	84 ~ 1120

* 10/16/18 ビット SerDes では DC バランス化されたデータをご使用ください。

得られる延長距離の一例

DS15EA101 は、同軸ケーブルか差動バランス・ケーブルで送られたデータのイコライズに最適化されたアダプティブ・イコライザです。ゼロ m から 750MHz でおおよそ 35dB の信号減衰を生む長さの範囲まで、任意のケーブル長を自動的にイコライズします。ケーブルの損失特性にもよりますが、数十 m から数百 m の伝送距離の延長が図れます。ケーブル・エクステンダ・チップセットの詳細、ケーブルごとの代表的な性能、リファレンス回路などは、www.national.com/appinfo/lvds/drivecable02evk.html をご覧ください。

シグナル・コンディショニングによる伝送距離の延長

アプリケーションに低品質や中品質ケーブルを使った場合、LVDS デバイス (や他の高速インターフェイスデバイス) の伝送距離は数 m もしくはそれ以下に制限されます。高性能かつ低損失ケーブルを使えば長い伝送距離が得られますが、このようなソリューションはシステム・コストを引き上げてしまいます。

LVDS 性能の向上に使われる出力のシグナル・コンディショニング手法がプリエンファシスです。プリエンファシスは、制御された振幅と時間で出力をオーバードライブし、ケーブルやバックプレーンの高周波損失を補償して、伝送距離を延ばします。最も単純なプリエンファシスは、図 9-16 に示すように、先頭ビット全体のみをプリエンファシスする方法です。

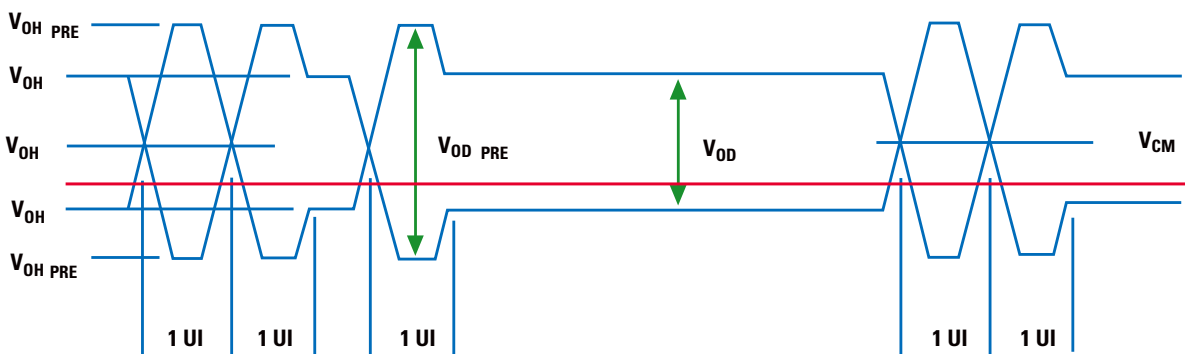
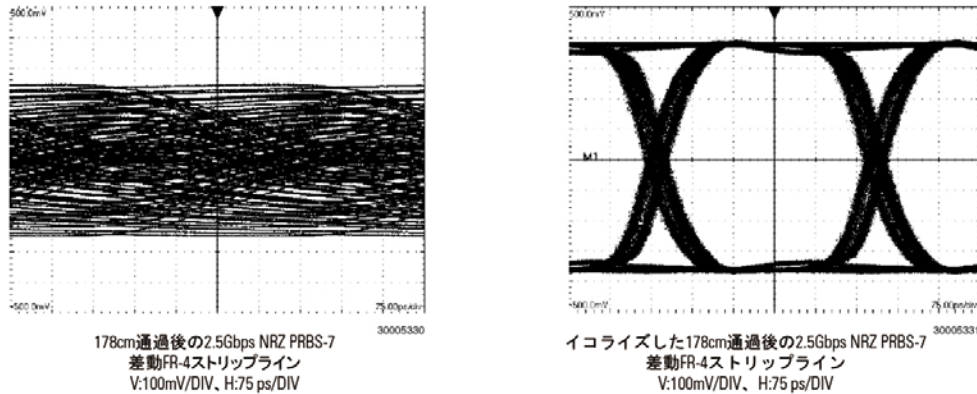


図 9-16. 1Gbps タイミングのプリエンファシス信号

イコライゼーション回路は受信信号を調整します。イコライザは、伝送メディアで生じる高周波の劣化または損失に対処することを目的とした、レシーバで適用される機能です。イコライザは、データ信号の周波数帯域に対して、伝送メディアで生じるローパス効果の影響をおおよそ補うハイパス・フィルタとして作用し、伝送周波数応答を平坦化します。適用量が適切であれば、イコライゼーションによって、図 9-17b に示すように、伝送メディアの ISI の影響は大幅に抑えられます。



A) イコライズ入力端で測定

B) イコライズ出力端で測定

図 9-17. 178cm の FR-4トレースを通過した 2.5Gbps NRZ 信号にイコライズを適用した場合 (A) としない場合 (B)

DS25BR110 バッファなどのハイスピード・デバイスは、レシーバ入力段にイコライズ回路を備え、伝送メディアに起因する周波数依存損失の影響を抑えます (図 9-17)。0dB から 16dB の範囲でイコライズ量を設定できるため、一般的な伝送メディア長の範囲にわたって、信号品質の最適化が簡単に図れます。

パワーセーバー・イコライズ

ケーブル距離を延長するもう 1 つの手段がパワーセーバー・イコライズです。電源やグラウンド接続を必要とせずに最大で 7dB の相対的な昇圧を行ないます。双方向で等しい相対的な昇圧を与え、電源とグラウンドを必要としないことから、コネクタへの実装に特に適します。

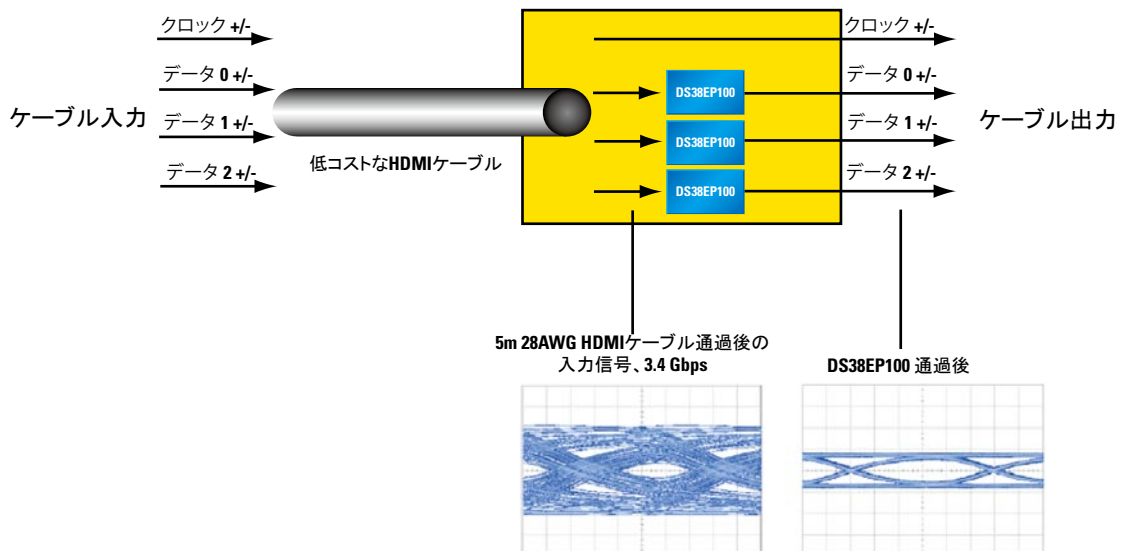


図 9-18. パワーセーバー・イコライゼーション

9.6 M-LVDS : RS-485 に代わる高速短距離伝送

TIA/EIA-485-A (RS-485) と TIA/EIA-899 (M-LVDS) の両方とも、マルチポイント差動バスを対象にバイナリ・データの相互交換が行なえる、広く知られた電氣的標準規格です。いずれの規格も、低消費電力と高速性、および堅牢な差動データ伝送に必要な優れたノイズ耐性を実現することを目的として、差動信号方式を採用しています。

RS-485 は振幅が大きく入力コモンモード範囲も広いため、ケーブルを駆動したときに長い距離の伝送が可能です。一方の M-LVDS デバイスには、高速、低消費電力、低 EMI といった大きなメリットがあります。このような M-LVDS の特徴は多くのアプリケーションで有効です。

表 9-19. ドライバとレシーバの主要パラメータの比較

パラメータ	RS-485	M-LVDS
V_{OD} [V]	1.5~5.0	0.48~0.65
I_{DD} [mA]	28~93	9~13
I_{OS} [mA]	<250	<43
t_{RISE} / t_{FALL} Typ [ns]	5~50	1~5
データレート(Max) [Mb/s]	40	250
V_{ID} [V]	0.4~5.0	0.1~2.4
V_{ICM} [V]	-5.0~12.0	-1.4 ~3.8

RS-485 マルチポイント差動バスは到達距離が長く、また一般にケーブルを伝送メディアとして使用したときに用いられる一方、M-LVDS デバイスはバックプレーン環境のアプリケーションに適します。長いケーブルを使用したポイント・ツー・ポイントでの信号伝送は、両インターフェイスのいずれもが特徴を発揮できる共通のアプリケーション分野です。

図 9-20 に、RS-485 と M-LVDS のポイント・ツー・ポイント・リンクで、ケーブル長 (CAT-5e) とビットレート特性の関係を示します。RS-485 グラフの傾き部分は、周波数 $1/t_{UI}$ Hz で最大減衰が 9dB となるように定めています。ここで t_{UI} は、与えられた信号レートのユニット・インターバルです。この考え方は RS-485 ポイント・ツー・ポイント・リンクの最大信号レートを決定する際に業界で使われているガイドラインです。RS-485 グラフの平坦部分は、CAT-5e ケーブル (9 Ω /100m) の代表的なオーム性損失を表し、最大許容損失は 9dB です。

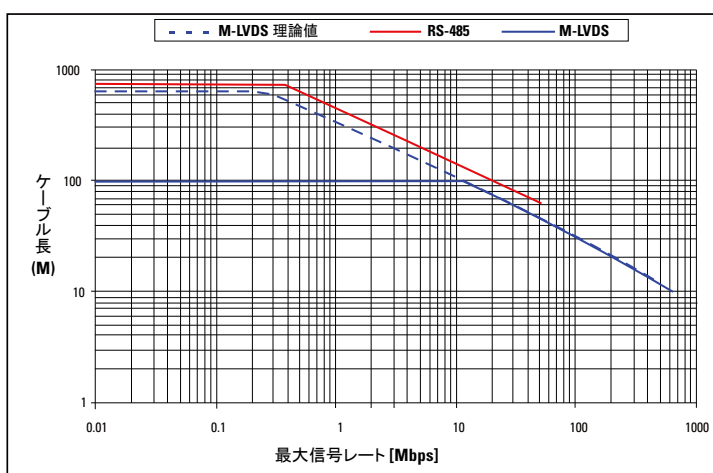


図 9-20. RS-485 と M-LVDS、ポイント・ツー・ポイント・リンクのビットレートと CAT-5e 長さの関係

電圧振幅の小さなインターフェイス IC を使用しネットワークで高データレートの信号を扱う場合 (たとえば M-LVDS)、与えられたケーブル長で最大信号レートを決定する汎用的なガイドラインとして、 $1/t_{UI}$ Hz で最大減衰 6dB という考え方がよく使われます。M-LVDS の点線グラフはそのようなガイドラインから得ています。M-LVDS のレシーバ入力コモンモード範囲は -1.4V から 3.8V と広いため、±1V 程度の電位差がグラウンド・リファレンス間に存在するサブシステムの接続にも適する堅牢性を備えていることになります。ただし、このような比較的広い入力コモンモード範囲で対応できる伝送距離は一般に 100m までです。

ドライバ・カードとレシーバ・カードとが 100m 以上離れたアプリケーションでは、グラウンド電位に ±1V 以上の差が存在すると推測されます。このような難しい条件では、入力コモンモード範囲が -7V から 12V と広く、±7V の電圧差も許容可能な RS-485 が推奨されます。伝送距離が 100m 以下であれば、M-LVDS を使用することで、消費電力と EMI を抑えながら、より高いデータレートをサポートできます。

9.7 冗長性

「High availability (高可用性)」の用語はダウンタイムがきわめて短いシステムを指すときに使われます。よく知られているのは、時間の 99.999% がオンラインであるクリティカルなシステムを意味するテレコム業界の「ファイブ・ナイン」があります。High availability (高可用性) を実現する一般的な手法は、必要なハードウェア要素を障害発生時に交替可能なスタンバイ・ユニットとして二重化した冗長構成です。単純化した冗長ネットワークの例を図 9-21 に示します。

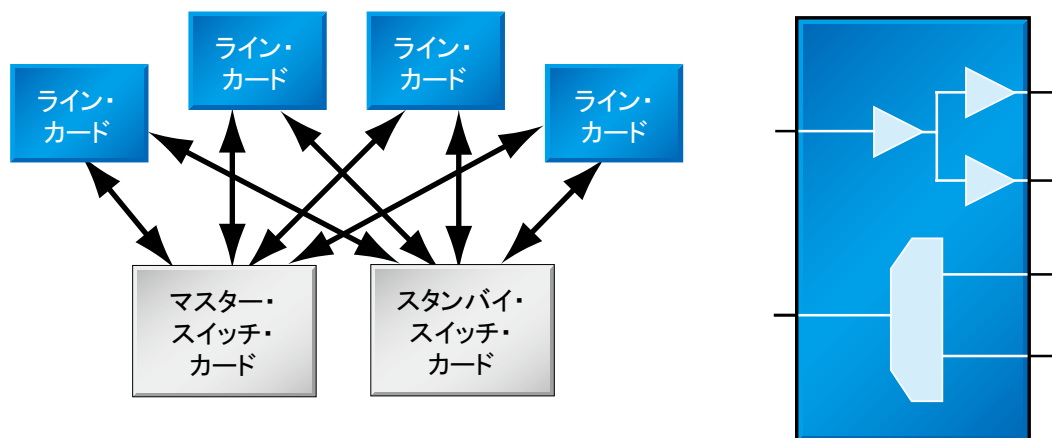


図 9-21. 単純化したデュアル・スター冗長ネットワーク

この冗長ネットワークで各ライン・カードは、いずれかのスイッチに信号を送る 1 対 2 のバッファと、信号を受信する 2 対 1 のマルチプレクサとを必要とします。このような機能を有する専用 IC は「マルチプレクサ/バッファ」として知られており、スピード、定格、構成が異なる複数のデバイスが提供されています (表 9-22 参照)。

表 9-22. マルチプレクサ / バッファ製品一覧

デバイス	データレート (Mbps)	チャンネル数	I/O	機能
DS08MB200	800	デュアル	LVDS	800Mbpsマルチプレクサ/バッファ
DS15MB200	2000	デュアル	LVDS	プリエンファシス
SCAN15MB200	2000	デュアル	LVDS	プリエンファシス、JTAG
DS25MB100	2500	シングル	CML	イコライゼーション、プリエンファシス
DS25MB200	2500	デュアル	CML	イコライゼーション、プリエンファシス
DS40MB200	4000	デュアル	CML	イコライゼーション、プリエンファシス
DS42MB200	4200	デュアル	CML	イコライゼーション、プリエンファシス
DS42MB100	4200	シングル	CML	イコライゼーション、プリエンファシス

9.8 高速差動ネットワークのテストビリティ

テストビリティ (テスト性) は最先端のシステム設計で欠かせません。テストビリティは、開発期間、製品品質、製造コストに直接関係してきます。高速差動テクノロジーはシステム内の総ネットの大半を占める場合があり、差動信号のテスト方法が大きな課題となります。

デジタル・ロジックで広く採用されている JTAG 標準規格 IEEE 1149.1 は、差動ネットワークのテストにも使われます。各差動ペアは単一ロジック接続として扱われ、図 9-23 に示すように、単一の JTAG バウンダリ・スキャン・セルを使って差動接続部の 1 と 0 の信号のセンスを行ないます。

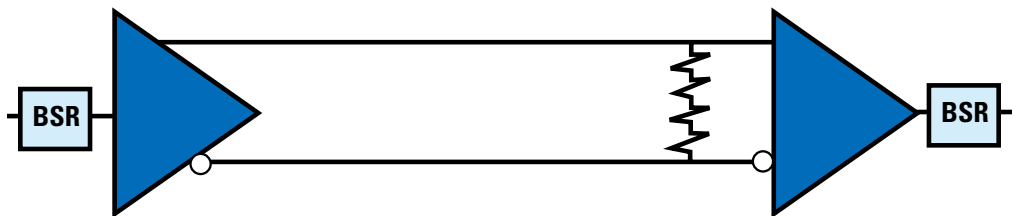


図 9-23. 差動ネットに使用した IEEE 1149.1 JTAG

この方法はある程度の範囲のテストが可能ですが、2つの大きな問題が存在します。ほとんどの JTAG テストは 1MHz から 15MHz 程度の遅いクロック・レートで行なわれます。差動テクノロジーは本質的に差動信号の片方のオープン・シングルまたは短絡、あるいは終端抵抗の欠損といった重度の障害に対して耐性を有するためある程度は動作を続けてしまいます。JTAG テスト・スピードは遅いため、このような障害が存在する場合でも、差動リンクは 1 または 0 を正しく伝送してしまいます。

2つ目の問題は差動信号ラインで一般的な AC 結合に関連します。デジタル JTAG は DC を前提としたテストのため、AC 結合では IEEE 1149.1 をテストとして使用できません。

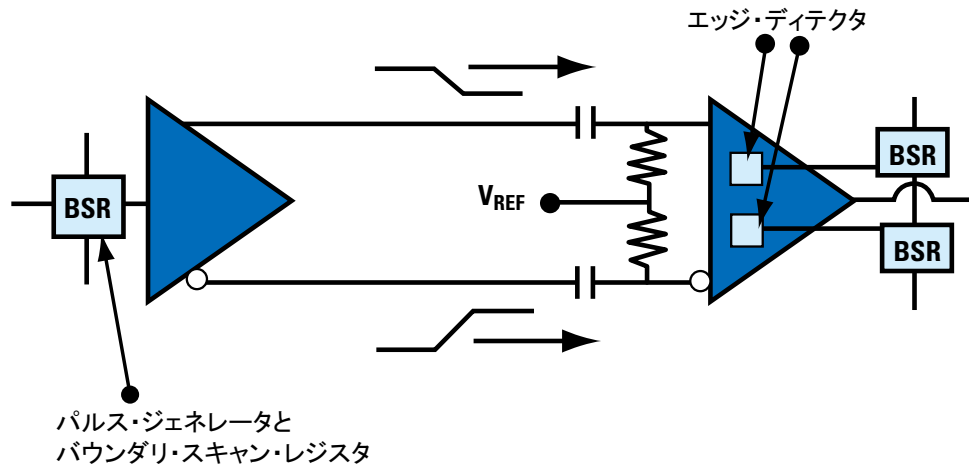


図 9-24. IEEE 1149.6 差動テスト規格

前述のような課題を解決するために、既存のデジタル規格と完全な互換性を維持しながら高速差動に特に焦点を当てた、IEEE 1149.6 標準規格が新しく開発されました (図 9-24)。IEEE1149.6 は 2 つのバウンダリ・スキャン・セルを、ラインそれぞれに 1 つのセルになるように、各差動レーンに割り当てます。また、IEEE 1149.6 は DC 信号ではなく 0 と 1 のパルス信号で伝送します。パルスは AC 終端を直接通過します。

デュアル・セルとパルスの組み合わせを特長とする IEEE 1149.6 は、正確なパス / フェイル情報を与えると同時に、ピン・レベルの診断も可能です。現在、IEEE 1149.6 標準規格に準拠した 4 つのデバイスを供給しています。

表 9-25. IEEE1149.6 準拠デバイス

デバイス	説明
SCAN90004	クワッド1.5Gbps LVDSバッファ、プリエンファシス内蔵
SCAN90CP02	1.5Gbps 2×2 クロスポイント、プリエンファシス内蔵
SCAN15MB200	2Gbpsデュアル LVDS 2対1マルチプレクサ/1対2バッファ、プリエンファシス内蔵
SCAN25100	30.72MHzクロッキングと高精度遅延計測を内蔵したCPRI SerDes

機能テスト

IEEE 1149.6 標準規格はオープンや短絡などの製造欠陥を正確に検出しますが、実時間動作も含めて機能を検証することはできません。こうした問題に対処するため、複数の SerDes チップセットに、短時間のビット・エラー・レート・テスト (BERT) などのテスト機能を内蔵しています。

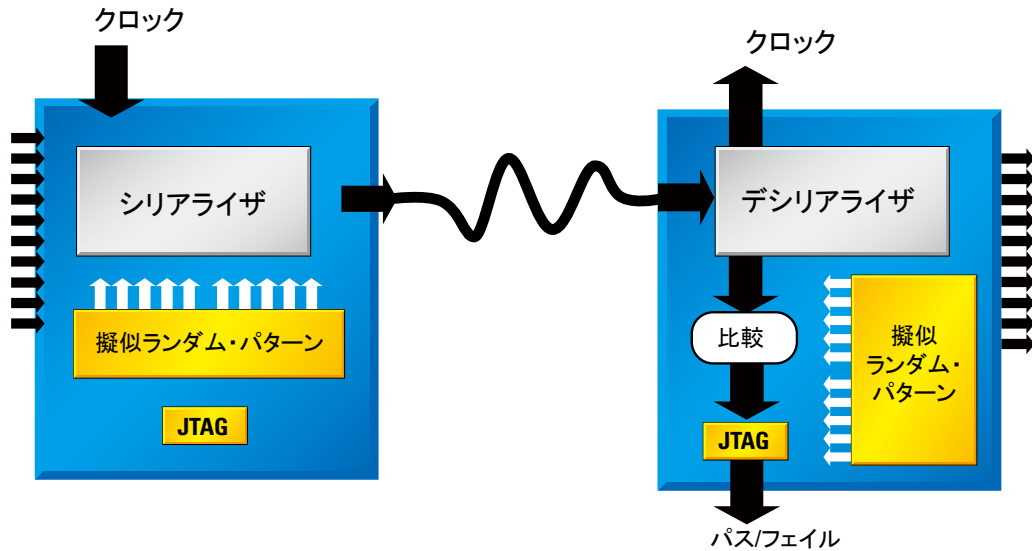


図 9-26. SerDes の BERT 機能

BERT は JTAG BIST 命令を用いて両方のデバイスで開始します。両方のデバイス内部で擬似ランダム・パターンが同時に生成されます。パターンはシリアライザでシリアル化とクロック埋め込みが行なわれ、差動リンクを介してビット・ストリームが送られます。受信ビットはデシリアライザでデシリアライズされ、クロックが復元され、それぞれのビットがフェイルかどうかを比較します。テストは簡易版の at-speed BIST (実時間テスト) として 10^8 ビットに対して行なわれます。表 9-27 にこの機能を有する SerDes チップセットを一覧にして示します。

表 9-27. BIST を内蔵した IEEE1149.1 準拠デバイス

デバイス	説明
SCAN921023/921224	66 MHz 10-to-1/1-to-10 SerDes
SCAN921025/1226	80 MHz 10-to-1/1-to-10 SerDes
SCAN921260	66 MHz 6チャンネル1-to-10 デシリアライザ
SCAN926260	66 MHz 6チャンネル1-to-10 デシリアライザ
SCAN928028	66 MHz 8チャンネル10-to-1 シリアライザ

ループバック

ループバックはバックプレーン上のカード間の接続性の確認に用いられる自己診断手法の1つです。ループバック付きデバイスは送られてきた信号をソースにルーティングする機能を備えています。この機能は一部のマルチプレクサ/バッファ機能に内蔵されています。

9.9 DVI / HDMI

DVI (Digital Visual Interface) と HDMI (High-Definition Multimedia Interface) の 2 つはいずれも非圧縮デジタル・ビデオの配信に用いられる広帯域標準規格です。両方の規格ともにクロック・チャンネルと 3 系統の高速データ・チャンネルとを使って 24 ビットの RGB カラー・ビデオを送信します。DMI と HDMI はパソコンや家電製品で広く使われています。

高データレートと低価格の長いケーブル

ディスプレイの高精細によって必要な帯域は一層広くなり、チャンネルあたりのデータレートは最新の HDMI 1.3 仕様で 1.65Gbps から 3.4Gbps に高められています。データレートが高くなるにつれて、表皮効果によって減衰量と歪みが増大します。また、5m を超える長いケーブルが必要とされる場合もあります。長いケーブルを高データレートの信号を伝送するにはイコライゼーションを用います。

表皮効果と誘電体損失の補償

DS16EV5110 は、DVI、HDMI、CAT-5 ケーブル用のビデオ・イコライザで、表皮効果と誘電体損失を補償します。DS16EV5110 イコライザは、250Mbps から 2.25Gbps のデータレート範囲で、DVI、HDMI、CAT-5 ケーブルの伝送距離を大幅に延長します。

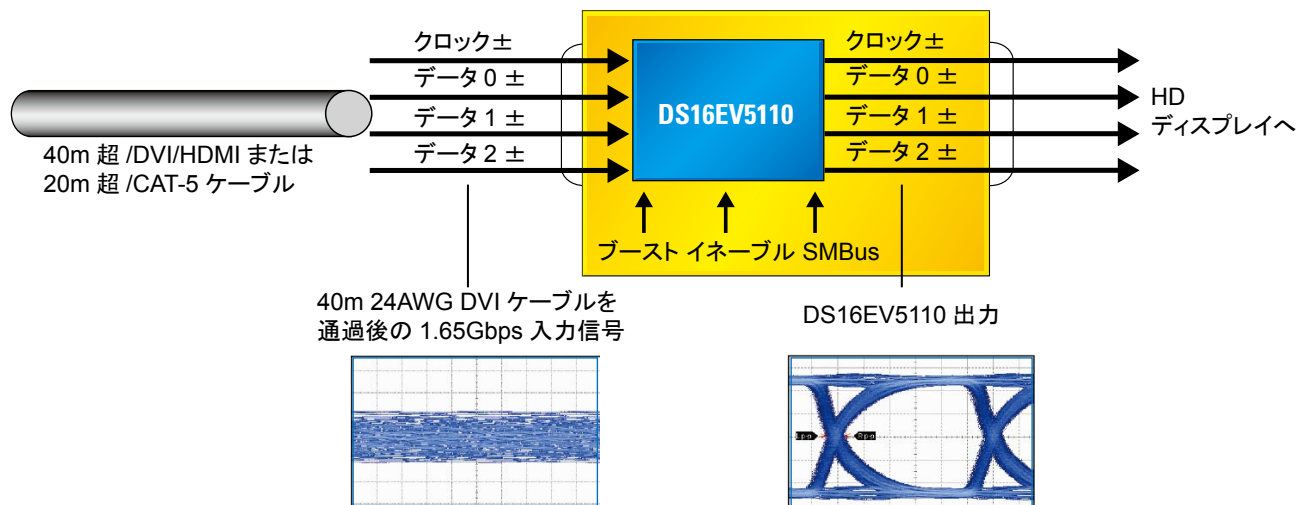


図 9-28. ケーブル性能を延長するシグナル・コンディショニング IC の採用

詳細は AN-1613 「Extending the Reach of HDMI, DVI, and CAT-5 Cables Using the DS16EV5110 Cable Equalizer」 を参照してください。

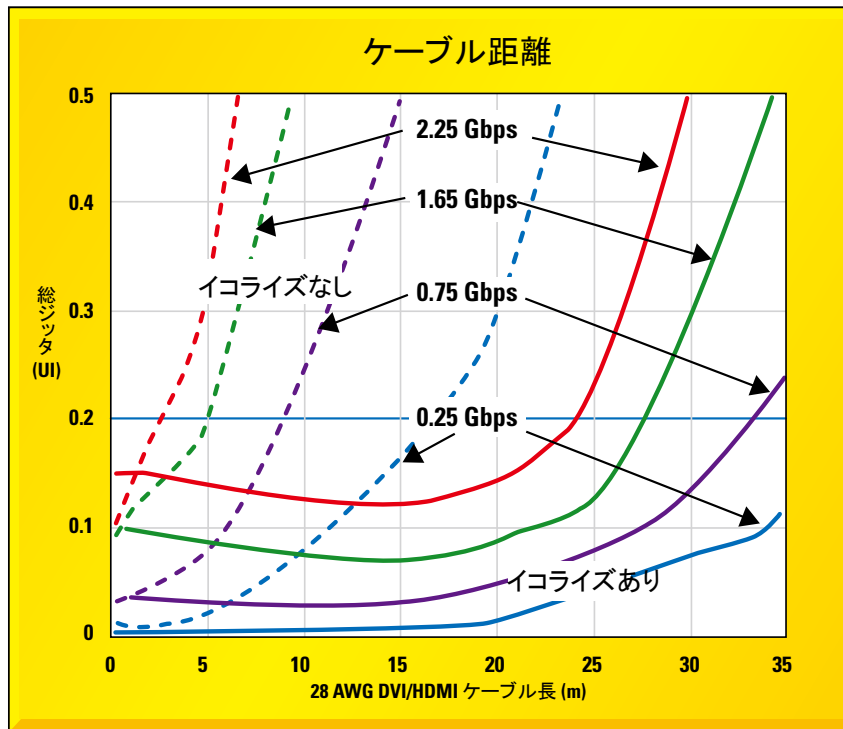


図 9-29. 補正を適用した信号によるさまざまなケーブル性能

10.1 外部刊行物

EE Times Europe – 2007 年 4 月
「3-Gbps SerDes Targets Professional and Broadcast Video Applications」

Electronic Products – 2002 年 10 月
「LVDS Product Selection」

Systems Designline – 2006 年 5 月
「Reduce Simultaneous Switching Output Noise with a Standalone SerDes Network」

Electronic Design Europe – 2006 年 2 月
「LVDS Role in LCDs for Cars」

EPN Supplements – 2007 年 9 月
「High-Speed Data Transfer for Infotainment」

10.2 アプリケーション・ノート一覧

資料番号	タイトル
AN-759	マルチポイント・アプリケーションにおける EIA-485 と EIA-422-A ライン・ドライバ/レシーバの比較
AN-903	A Comparison of Differential Termination Techniques
AN-971	LVDS 技術の概要
AN-977	LVDS 信号の品質：アイ・パターンによるジッタの測定
AN-1032	FPD Link についての概論
AN-1057	Ten Ways to Bulletproof RS-485 Interfaces
AN-1060	LVDS - Megabits @ Milliwatts (EDN Reprint)
AN-1084	高速リンクにおける並列構成アプリケーション
AN-1085	FPD リンク・デバイスのプリント基板および相互接続設計のガイドライン
AN-1115	Bus LVDS and DS92LV010A XCVR
AN-1123	Sorting Out Backplane Driver Alphabet Soup
AN-1173	High-Speed Bus LVDS Clock Distribution Using the DS92CK16 Clock Distribution Device
AN-1194	Failsafe Biasing of LVDS Interfaces
AN-1217	How to Validate Bus LVDS SerDes Signal Integrity Using an Eye Mask
AN-1238	Wide Bus Applications Using Parallel Bus LVDS SerDes Devices
AN-1313	SCAN90CP02 Design for Test Features
AN-1327	Simplified Programming of Altera FPGAs using a SCANSTA111/112 Scan Chain Mux
AN-1340	Simplified Programming of Xilinx Devices Using a SCANSTA111/112 JTAG Chain Mux
AN-1376	External Serial Interface Reduces Simultaneous Switching Output Noise in FPGAs
AN-1380	Design Challenges in 5 Gbps Copper Backplanes
AN-1389	DS40MB200 デュアル 4Gb/s マルチプレクサ/バッファのプリエンファシス・レベルの設定
AN-1398	DS40MB200 に適したプリント基板の設計テクニック
AN-1399	DS40MB200 マルチプレクサ/バッファを使ったギガビット・リンクでの冗長機能の実現
AN-1473	PCI Express Using National Semiconductor DS25MB100, DS25MB200, and DS25BR400
AN-1503	Designing an ATCA Compliant M-LVDS Clock Distribution Network
AN-1511	ケーブル・ディスチャージ・イベント ケーブル帯電による静電破壊
AN-1541	Driving Signals Over XAUI Backplanes Using DS42MB100, DS40MB200, or DS42BR400
AN-1613	Extending the Reach of HDMI, DVI, and CAT-5 Cables Using the DS16EV5110 Cable Equalizer
AN-1734	Using the LMK03000C to Clean Recovered Clocks

10.3 索引

A

AC 結合 5
ANSI/TIA/EIA 3
ATCA 3, 25, 77, 79, 80

B

Bus LVDS 11, 100, 101

C

CAT-5 16, 21, 23, 61, 67, 95, 96, 97
CML 3, 4, 5, 7, 9, 11, 26, 27, 29, 30, 31, 59, 60, 77, 79, 84, 92

D

DC Balance 5, 15, 25, 27
DVI 53, 54, 55, 56, 57, 67, 95, 96

E

ECL 6, 100
EMI 4, 7, 16, 17, 22, 23, 46, 53, 56, 62, 82, 84, 90, 91, 100

F

FEXT 47, 48, 62
FPD 100

H

HDMI 7, 53, 55, 56, 57, 95, 96

I

IBIS 63, 71, 72, 73, 74, 76, 100
IEEE 93, 100
I/O モデル IBIS を参照

J

JTAG 92, 94

L

LVDS 1, 3, 4, 5, 7, 9, 11, 16, 22, 23, 25, 29, 30, 31, 32, 47, 59,
60, 66, 73, 77, 78, 79, 80, 81, 82, 84, 85, 86, 88, 90,
91, 92, 93, 100, 101, 102
LVPECL 3, 4, 5, 6, 9, 11, 26, 27, 29, 30, 60, 79, 80, 84

M

M-LVDS 3, 11, 25, 32, 77, 78, 79, 80, 81, 85, 90, 91

N

NEXT 47, 48, 62

P

PECL 6, 100

R

RS 90, 91, 100

S

Ser/Des 85
SPICE 71, 73, 76
S パラメータ 74, 75

T

TRI-STATE 101, 102

W

WEBENCH 104

あ

アイ・パターン 45, 50, 65, 66
アイ・マスク 51

い

イコライザ 59, 60, 67, 89, 96
イコライゼーション 58, 59, 65, 66, 69, 88, 89, 92

え

遠端クロストーク 74

か

確定的ジッタ 28, 102
活線挿入 19

き

近端クロストーク 47

く

クロストーク 4, 36, 37, 41, 46, 47, 48, 53, 55, 56, 62, 63, 64,
65, 74, 75
クロスポイント 84, 86, 93
クロック復元 22
クロック分配 20, 77

け

ケーブル 5, 6, 7, 9, 15, 16, 21, 23, 25, 53, 55, 56, 57, 60, 61,
62, 88, 90, 95

こ

高データレート 5, 11, 21, 23, 60
コスト 13, 20, 22, 23, 53, 55, 56, 57, 77, 84, 85, 88
コネクタ 9, 17, 36, 47, 53, 56, 62

さ

差動インピーダンス 33, 35, 53
差動信号 82

し

シールド 56
シグナル・コンディショニング 5, 6, 7, 16, 21, 48, 57, 71, 86
ジッタ 7, 9, 11, 14, 15, 16, 20, 26, 28, 41, 42, 43, 44, 45, 46,
47, 48, 49, 51, 52, 61, 64, 65, 66, 77, 80, 82, 83, 86, 101,
102
終端 4, 5, 6, 9, 11, 25, 26, 27, 30, 45, 63, 92, 93
冗長性 91
シリアライザ 86

す

スイッチング・ノイズ ノイズ を参照
スキュー 13, 16, 22, 55, 87
スタブ長 78
ストリップライン 67

そ

損失 34, 48, 53, 54, 57

た

帯域 6, 11, 16, 23, 35, 36, 44, 45, 56, 57, 66, 79, 83, 95

つ

ツイストペア・ケーブル 55
CAT-5 100

て

ディエンファシス 7, 16, 21, 58, 59, 60, 64
デシリアライザ 11, 14, 15, 20, 21, 23, 86, 94, 101, 102
電源 60
電力節減 91
電力節減型 60, 89

と

ドライバとレシーバ 5, 9, 10, 11
トレース 5, 6, 7, 9, 16, 22, 23, 25, 33, 35, 36, 37, 57, 60, 77

ね

ネットワーク・トポロジー 6

の

ノイズ 3, 4, 7, 16, 17, 23, 27, 32, 37, 41, 46, 47, 48, 64, 80, 81,
82, 83, 85, 90, 102
スイッチング・ノイズ 3, 16
ノイズ耐性 3, 4, 7, 90

は

バスタブ曲線 51, 52
バックプレーン 11, 18, 20, 21, 25, 36, 37, 60, 77, 78, 79, 80, 81,
82, 90, 94
反射 44, 45, 62

ひ

ビア 35
ビット・エラー・レート 41, 48, 64, 66, 100
評価ボード 104

ふ

フェイルセーフ 25, 31, 32, 78
プリエンファシス 5, 7, 45, 48, 56, 58, 59, 64, 68, 69, 71, 73, 86,
88, 93
プリント回路基板 7, 35

ほ

ポイント・ツー・ポイント 5, 6, 9, 10, 11, 25, 75, 77, 81, 90

ま

マイクロストリップ 33
マルチドロップ 10, 25, 78
マルチプレクサ/バッファ 91, 92
マルチ・ポイント 6, 9, 10, 11, 25, 47, 77, 78, 79, 80, 81, 90

め

メディア 5, 7, 9, 25, 41, 45, 49, 53, 56, 57, 58, 59, 61, 64, 66, 67,
68, 69, 74, 75, 83, 88, 89, 90

ら

ランダム・ジッタ 41, 64, 65

り

リクロッカ 65, 66, 86
リボン 17, 82

れ

レシーバ 5, 9, 10, 11, 19, 25, 26, 29, 30, 32, 51, 78, 80, 84
レベル変換 11, 25, 27, 29, 84

10.4 略語

AMC	Advance Mezzanine Card	LDI	LVDS Display Interface. LVDSディスプレイ・インターフェイス。
AN	Application Note. アプリケーション・ノート。	LVDS	Low-Voltage Differential Signaling. 小振幅差動信号。
ANSI	American National Standards Institute. 米国規格協会。	LVTTL	Low-Voltage Transistor-to-Transistor Logic. 低電圧トランジスタ・トランジスタ・ロジック。
ASIC	Application Specific Integrated Circuit. 特定用途向け集積回路。	Mbps	Mega bits per second. メガビット毎秒。
ATCA	Advanced Telecommunications and Computing Architecture	MCH	MicroTCA Carrier Hub
B/P	Backplane. バックプレーン。	MDR	Mini Delta Ribbon. ミニ・デルタ・リボン。
BER	Bit Error Rate. ビット誤り率。	MLC	Multi Layer Ceramic. 積層セラミック。
BERT	Bit Error Rate Test. ビット誤り率テスト。	MLVDS	Multipoint Low-Voltage Differential Signaling. マルチポイント小振幅差動信号方式。
B-LVDS	Bus LVDS	NEXT	Near-End Crosstalk. 近端クロストーク。
BTL	Backplane Transceiver Logic. バックプレーン・トランシーバ・ロジック。	NRZ	Non-Return to Zero. ノン・リターン・ゼロ。信号を基準値(ゼロ)に戻さない(リターンさせない)符号化方式。
CAT-3	カテゴリ-3の俗称(ケーブル種別)	PCB	Printed Circuit Board. プリント基板。
CAT-5	カテゴリ-5の俗称(ケーブル種別)	PDF	Probability Duty Function. 確率密度関数
CISPR	Comite International Special des Perturbations Radioelectriques. 国際無線障害特別委員会。	PE	Pre-Emphasis. プリエンファシス
D	Driver. ドライバ。	PECL	Pseudo Emitter Coupled Logic. 擬似エミッタ結合ロジック。
DCD	Duty Cycle Distortion. デューティ・サイクル歪み。	PHY	Physical layer device. 物理層デバイス。
DCR	DC Resistance. 直流抵抗(成分)。	PICMG	PCI Industrial Computer Manufacturers Group
DE	De-Emphasis. ディエンファシス。	PJ	Periodic Jitter. 周期的ジッタ。
DJ	Deterministic Jitter. 確定的ジッタ。	PLL	Phase-Lock Loop. 位相ロック・ループ。
DSP	Digital Signal Processing. デジタル・シグナル・プロセッサ。	PRBS	Pseudo-Random Bit Sequence. 擬似ランダム・ビット・シーケンス。
DUT	Device Under Test. 被試験デバイス。供試体。	RJ	Random Jitter. ランダム・ジッタ。
DVI	Digital Visual Interface	RFI	Radio Frequency Interference. 無線周波妨害。
ECL	Emitter Coupled Logic. エミッタ結合ロジック。	RS	Recommended Standard. (推奨標準) EIA の標準規格。
EIA	Electronic Industries Association. 米国電子工業会。	RT	Termination Resistor. 終端抵抗(器)。
EMC	Electromagnetic Compatibility. 電磁(的)両立性。電磁環境適合性。電磁整合性。	Rx	Receiver. レシーバ。
EMI	Electromagnetic Interference. 電磁(的)妨害。電磁妨害波。電磁妨害ノイズ。	SCI	Scalable Coherent Interface. スケーラブル・コヒーレント・インターフェイス。
EN	Enable. イネーブル。	SCSI	Small Computer Systems Interface. スカジと読む。
EQ	Equalization. イコライゼーション。	SDI	Serial Digital Interface. シリアル・デジタル・インターフェイス。
ESD	Electrostatic Discharge. 静電気放電。	SerDes	Serializer/Deserializer. シリアライザ/デシリアライザ。
EVK	Evaluation Kit. 評価用キット。	SMPTE	Society of Motion Picture and Television Engineers
FCC	Federal Communications Commission. 連邦通信委員会。	SMT	Surface Mount Technology. 面実装テクノロジ。
FEC	Far End Crosstalk. 遠端クロストーク。	SNR	Signal-to-Noise Ratio. 信号雑音比。
FPD	Flat Panel Display. フラット・パネル・ディスプレイ。	SSC	Spread Spectrum Clocking. スペクトル拡散クロック。
FPD-LINK	Flat Panel Display Link. フラット・パネル・ディスプレイ・リンク。	SSO	Simultaneous Switching Output. 同時スイッチング・ノイズ。
FPGA	Field Programmable Gate Array. フィールド・プログラマブル・ゲートアレイ。	SUT	System Under Test. 被テスト・システム。供試体。
Gbps	Gigabits per second. ギガビット毎秒。	TDR	Time Domain Reflectometry. 時間領域反射率測定法。
GTL	Gunning Transceiver Logic. ガニング・トランシーバ・ロジック。	TEM	Transverse Electro-Magnetic. 横向き電磁(波、モード)。電磁的横(波)。
HBM	Human Body Model. 人体モデル	TFT	Thin Film Transistor. 薄膜トランジスタ。
Hi-Z	High Impedance. ハイ・インピーダンス。	TIA	Telecommunications Industry Association. 米国電気通信工業会。
I/O	Input/Output. 入/出力。	TIE	Time Interval Equivalent. タイム・インターバル・エラー。
IBIS	Input/Output Buffer Information Specification. 入/出力バッファ情報仕様。	TP	Test Point. テスト・ポイント。
IC	Integrated Circuit. 集積回路。	TTL	Transistor Transistor Logic. トランジスタ・トランジスタ・ロジック。
IDC	Insulation Displacement Connector. 圧接式接続コネクタ。	TWP	Twisted Pair. ツイストペア。
IEEE	Institute of Electrical and Electronics Engineers. 米国電気電子技術者協会。	Tx	Transmitter. トランスミッタ。
ISI	Inter-Symbol Interference. シンボル間干渉。	UI	Unit Intervals. ユニット・インターバル。
Kbps	kilobits per second. キロビット毎秒。	UTP	Unshielded Twisted Pair. シールドなしツイストペア。
LAN	Local Area Network. ローカル・エリア・ネットワーク。	VCM	Common-mode Voltage. コモンモード電圧。

10.5 共通的なデータシート・パラメータの一覧

V _{IH}	- 入力電圧 High レベル: データ・ピンと制御ピンに適用される TTL 入力仕様
V _{IL}	- 入力電圧 Low レベル: データ・ピンと制御ピンに適用される TTL 入力仕様
V _{CL}	- 入力クランプ電圧: 記載された電流でのクランプ電圧仕様
I _{IN}	- 入力電流: 各 TTL 入力を流れる電流量
V _{OH}	- 出力電圧 High レベル: データ・ピンと制御ピンに適用される TTL 出力仕様
V _{OL}	- 出力電圧 Low レベル: データ・ピンと制御ピンに適用される TTL 出力仕様
I _{OS}	- 出力短絡時電流: 出力が GND に短絡したときに流れる電流量
I _{OZ}	- TRI-STATE [®] 出力電流: TRI-STATE 時に出力を流れる電流量で、制御ピンによって出力がディスエーブルされているか、デバイスがパワーダウン・モードにある場合
V _{TH}	- 差動スレッシュホールド High 電圧: このスレッシュホールドを超える入力信号は出力で論理 High となる
V _{TL}	- 差動スレッシュホールド Low 電圧: このスレッシュホールドを下回る入力信号は出力で論理 Low となる
V _{OD}	- 出力差動電圧: (DO+) + (DO-) で求められる振幅
ΔV _{OD}	- 出力差動不平衡電圧: 正 LVDS 出力と 負 LVDS 出力の振幅差
V _{OS}	- オフセット電圧: LVDS 出力のコモンモード電圧
ΔV _{OS}	- オフセット不平衡電圧: 正 LVDS 出力コモンモード電圧と 負 LVDS 出力コモンモード電圧の差
I _{OX}	- パワーオフ出力電流: VDD = 0 で出力が 0V か正の電圧の場合に出力を流れる電流量
I _{CCD}	- シリアライザ全電源電流 (負荷電流を含む): シリアライザを流れる電流量の合計
I _{CCR}	- レシーバ全電源電流 (負荷電流を含む): デシリアライザを流れる電流量の合計
I _{CCT}	- トランシーバ全電源電流 (負荷電流を含む): シリアライザと デシリアライザの電流の合計
I _{CCX}	- パワーダウン時のトランシーバ全電源電流: トランシーバがパワーダウン・モードにあるときの電流の合計
I _{CCXD}	- パワーダウン時のシリアライザ全電源電流: シリアライザがパワーダウン・モードにあるときの電流の合計
I _{CCXR}	- パワーダウン時のレシーバ全電源電流: レシーバがパワーダウン・モードにあるときの電流の合計
t _{TCP}	- 送信クロック周期: シリアライザの TTL クロック入力仕様
t _{TCH}	- 送信クロック High 時間: クロック周期のうち High でなければならない期間の仕様
t _{TCL}	- 送信クロック Low 時間: クロック周期のうち Low でなければならない期間の仕様
t _{CLKT}	- TCLK 入力遷移時間: 10%と 90%点で測定した入力クロックの立ち上がり / 立ち下がり時間の要求仕様
t _{JIT}	- TCLK 入力ジッタ: 入力クロック・ジッタの許容可能な最大量
t _{LH}	- BusLVDS の Low から High への遷移時間 (20%~ 80%点で測定): LVDS 信号の立ち上がり時間仕様
t _{HL}	- BusLVDS の High から Low への遷移時間 (80%~ 20%点で測定): LVDS 信号の立ち下がり時間仕様
t _{DIS}	- TCLK に対する DIN (0-x) セットアップ: シリアライザのデータとクロック間のセットアップ時間要求仕様
t _{DIH}	- TCLK に対する DIN (0-x) ホールド: シリアライザのデータとクロック間のホールド時間要求仕様
t _{HZD}	- DO ± が High から TRI-STATE に遷移するまでの遅延: シリアライザの LVDS 出力が High から TRI-STATE に遷移するために必要な時間
t _{LZD}	- DO ± が Low から TRI-STATE に遷移するまでの遅延: シリアライザの LVDS 出力が Low から TRI-STATE に遷移するために必要な時間

tZHD	- DO 土が TRI-STATE から High に戻るまでの遅延: シリアライザの LVDS 出力が TRI-STATE から High に遷移するために必要な時間
tZLD	- DO 土が TRI-STATE から Low に戻るまでの遅延: シリアライザの LVDS 出力が TRI-STATE から Low に遷移するために必要な時間
tSPW	- SYNC パルス幅: デバイスを SYNC モードに移行させるために High にアサートすべき SYNC ピンのクロック数で、モード移行後に LVDS 出力から SYNC パターンが出力される
tPLD	- シリアライザ PLL ロック時間: 入力クロックに対して PLL がロックするまでに必要なクロック・サイクル数で、ロック後に LVDS 出力からデータが出力される
tSD	- シリアライザ伝搬遅延: データをシリアライザが通過するために必要な時間
tRJIT	- ランダム・ジッタ: 発生するガウス分布ジッタの量
tDJIT	- 確定的ジッタ: 発生する非ガウス分布ジッタの量
tRFCP	- REFCLK 周期: REFCLK 入力ピンの周期要求仕様
tRFDC	- REFCLK デューティ・サイクル: REFCLK 入力ピンのデューティ・サイクル要求仕様
tRFCP/TCP	- REFCLK と TCLK の比: TCLK と REFCLK 周期の許容差を示す
tRFFT	- REFCLK 遷移時間: REFCLK ピンの立ち上がりと立ち下がり時間の要求仕様
tRCP	- 復元クロック (RCLK) 周期: LVDS 入力から復元されたクロックの周期
tRDC	- RCLK デューティ・サイクル: LVDS 入力から復元されたクロックのデューティ・サイクル
tCLH	- CMOS/TTL の Low から High 遷移時間: TTL 出力の立ち上がり時間仕様
tCHL	- CMOS/TTL の High から Low 遷移時間: TTL 出力の立ち下がり時間仕様
tROS	- RCLK に対する ROUT(0-x) セットアップ・データ: RCLK エッジ (通常立ち上がり) と出力データに与えられるセットアップ時間
tROH	- RCLK に対する ROUT(0-x) ホールド・データ: RCLK エッジ (通常立ち上がり) と出力データに与えられるホールド時間
tHZR	- High から TRI-STATE に遷移するまでの遅延: デシリアライザ TTL 出力が High から TRI-STATE に遷移するために必要な時間
tLZR	- Low から TRI-STATE に遷移するまでの遅延: デシリアライザ TTL 出力が Low から TRI-STATE に遷移するために必要な時間
tZHR	- TRI-STATE から High に戻るまでの遅延: デシリアライザ TTL 出力が TRI-STATE から High に遷移するために必要な時間
tZLR	- TRI-STATE から Low に戻るまでの遅延: デシリアライザ TTL 出力が TRI-STATE から Low に遷移するために必要な時間
tDD	- デシリアライザ遅延: デシリアライザをデータが通過する時間
tDSR1	- パワーダウン復帰後のデシリアライザ PLL ロック時間: デシリアライザがパワーダウン・モードから復帰したときに PLL がロックするまでに必要な時間
tDSR2	- SYNC PAT 受信後のデシリアライザ PLL ロック時間: 受信した SYNC パターンにデシリアライザの PLL がロックするまでに必要な時間
tRNMI-R	- デシリアライザの理想的ノイズ・マージン-右: 理想的なビット終了位置からサンプリング・ウィンドウの右エッジまでを測定したノイズ・マージン
tRNMI-L	- デシリアライザの理想的ノイズ・マージン-左: 理想的なビット開始位置からサンプリング・ウィンドウの左エッジまでを測定したノイズ・マージン

販売特約店 及び 取扱店

<http://www.tij.co.jp/dist/>

株式会社 ケイティーエル

東日本営業本部 第2営業部
〒105-0004 東京都港区新橋1-16-4 リソナ新橋ビル6階
☎ 03(5521)2062 FAX03(3502)6301

新光商事株式会社

本社 海外半導体販売推進部
〒141-8540 東京都品川区大崎1-2-2
アートヴィレッジ大崎セントラルタワー13階
☎ 03(6361)8082 FAX03(5437)8486

東京エレクトロニクス株式会社 取扱子会社:パネトロン株式会社

〒221-0056 神奈川県横浜市神奈川区金港町1-4 横浜イーストスクエア
☎ 045(443)4001 FAX045(443)4051

富士エレクトロニクス株式会社

本社
〒113-8444 東京都文京区本郷3-2-12 御茶の水センタービル
☎ 03(3814)1411 FAX03(3814)1414

株式会社マクニカ クラビス カンパニー

本社
〒222-8561 神奈川県横浜市港北区新横浜1-6-3 マクニカ第1ビル
☎ 045(470)9821 FAX045(470)9822

丸文株式会社

デバイス事業部 販売推進本部 推進第1部
〒103-8577 東京都中央区日本橋大伝馬町8-1
☎ 03(3639)9920 FAX03(3639)8156

日本テキサス・インスツルメンツ株式会社

お問い合わせ先

日本TIプロダクト・インフォメーション・センター (PIC)
URL:<http://www.tij.co.jp/pic/>
TEL: ☎ 0120-92-3326
FAX: ☎ 0120-81-0036
※必ず会社名、お名前、eメールアドレス、ご住所をご記入ください。

本社
〒160-8366 東京都新宿区西新宿6-24-1 西新宿三井ビル
☎ 03(4331)2000 (番号案内)

仙台営業所
〒980-0014 宮城県仙台市青葉区本町1-1-1
三井生命仙台本町ビル 7階(アジュール仙台)

さいたま営業所
〒330-8669 埼玉県さいたま市大宮区桜木町 1-7-5
ソニックシティビル 12階

横浜営業所
〒221-0056 神奈川県横浜市神奈川区金港町1-4
横浜イーストスクエアビル 5階

松本営業所
〒390-0811 長野県松本市中央 1-4-20
日本生命松本駅前ビル 6階

金沢営業所
〒920-0031 石川県金沢市広岡 3-1-1
金沢パークビル 11階

名古屋ビジネスセンター/名古屋営業所
〒460-0003 愛知県名古屋市中区錦 2-4-3
錦パークビル 17階

西日本ビジネスセンター/大阪営業所
〒530-6026 大阪府大阪市北区天満橋1-8-30
OAPオフィスタワー26階

京都営業所
〒600-8216 京都府京都市下京区西洞院通り塩小路上ル
東塩小路町608-9 日本生命京都三哲ビル5階

広島営業所
〒732-0052 広島県広島市東区光町 1-10-19
日本生命広島光町ビル 4階

福岡営業所
〒810-0801 福岡県福岡市博多区中洲 5-6-24
第6ガーデンビル 3階

S-0107

ご注意:

本資料に記載された製品・サービスにつきましては予告なしにご提供の中止または仕様の変更をする場合がありますので、本資料に記載された情報が最新のものであることをご確認の上ご注文下さいませようお願い致します。

TIは製品の使用用途に関する援助、お客様の製品もしくはその設計、ソフトウェアの性能、または特許侵害に対して責任を負うものではありません。また、他社の製品・サービスに関する情報を記載していても、TIがその他社製品を承認あるいは保証することにはなりません。



ご注意

Texas Instruments Incorporated 及びその関連会社 (以下総称して TI といいます) は、最新の JESD46 に従いその半導体製品及びサービスを修正し、改善、改良、その他の変更をし、又は最新の JESD48 に従い製品の製造中止またはサービスの提供を中止する権利を留保します。お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての半導体製品は、ご注文の受諾の際に提示される TI の標準販売契約約款に従って販売されます。

TI は、その製品が、半導体製品に関する TI の標準販売契約約款に記載された保証条件に従い、販売時の仕様に対応した性能を有していることを保証します。検査及びその他の品質管理技法は、TI が当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、適用される法令によってそれ等の実行が義務づけられている場合を除き、必ずしも行なわれておりません。

TI は、製品のアプリケーションに関する支援又はお客様の製品の設計について責任を負うことはありません。TI 製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI 製部品を使用したお客様の製品及びアプリケーションに関連する危険を最小のものとするため、適切な設計上及び操作上の安全対策は、お客様にてお取り下さい。

TI は、TI の製品又はサービスが使用されている組み合わせ、機械装置、又は方法に関連している TI の特許権、著作権、回路配置利用権、その他の TI の知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TI が第三者の製品もしくはサービスについて情報を提供することは、TI が当該製品又はサービスを使用することについてライセンスを与えるとか、保証又は是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない、又は TI の特許その他の知的財産権に基づき TI からライセンスを得て頂かなければならない場合もあります。

TI のデータ・ブック又はデータ・シートの中にある情報の重要な部分の複製は、その情報に一切の変更を加えること無く、且つその情報と関連する全ての保証、条件、制限及び通知と共になされる限りにおいてのみ許されるものとします。TI は、変更が加えられて文書化されたものについては一切責任を負いません。第三者の情報については、追加的な制約に服する可能性があります。

TI の製品又はサービスについて TI が提示したパラメーターと異なる、又は、それを超えてなされた説明で当該 TI 製品又はサービスを再販売することは、関連する TI 製品又はサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TI は、そのような説明については何の義務も責任も負いません。

TI からのアプリケーションに関する情報提供又は支援の一切に拘わらず、お客様は、ご自身の製品及びご自身のアプリケーションにおける TI 製品の使用に関する法的責任、規制、及び安全に関する要求事項の全てにつき、これをご自身で遵守する責任があることを認め、且つそのことに同意します。お客様は、想定される不具合がもたらす危険な結果に対する安全対策を立案し実行し、不具合及びその帰結を監視し、害を及ぼす可能性のある不具合の可能性を低減し、及び、適切な治癒措置を講じるために必要な専門的知識の一切を自ら有することを表明し、保証します。お客様は、TI 製品を安全でないことが致命的となるアプリケーションに使用したことから生じる損害の一切につき、TI 及びその代表者にその全額の補償をするものとします。

TI 製品につき、安全に関連するアプリケーションを促進するために特に宣伝される場合があります。そのような製品については、TI が目的とするところは、適用される機能上の安全標準及び要求事項を満たしたお客様の最終製品につき、お客様が設計及び製造ができるようお手伝いすることにあります。それにも拘わらず、当該 TI 製品については、前のパラグラフ記載の条件の適用を受けるものとします。

FDA クラス III (又は同様に安全でないことが致命的となるような医療機器) への TI 製品の使用は、TI とお客様双方の権限ある役員の間で、そのような使用を行う際について規定した特殊な契約書を締結した場合を除き、一切認められていません。

TI が軍需対応グレード品又は「強化プラスチック」製品として特に指定した製品のみが軍事用又は宇宙航空用アプリケーション、若しくは、軍事的環境又は航空宇宙環境にて使用されるように設計され、かつ使用されることを意図しています。お客様は、TI がそのように指定していない製品を軍事用又は航空宇宙用に使う場合は全てご自身の危険負担において行うこと、及び、そのような使用に関して必要とされるすべての法的要求事項及び規制上の要求事項につきご自身のみの責任により満足させることを認め、且つ同意します。

TI には、主に自動車用に使われることを目的として、ISO/TS 16949 の要求事項を満たしているとして特別に指定した製品があります。当該指定を受けていない製品については、自動車用に使われるようには設計されてもいませんし、使用されることを意図しておりません。従いまして、前記指定品以外の TI 製品が当該要求事項を満たしていなかったことについては、TI はいかなる責任も負いません。

Copyright © 2013, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位 (外装から取り出された内装及び個装) 又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で (導電性マットにアースをとったもの等)、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度: 0~40℃、相対湿度: 40~85% で保管・輸送及び取り扱を行うこと。(但し、結露しないこと。)

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品 (外装、内装、個装) 及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限 260℃ 以上の高温状態に、10 秒以上さらさないこと。(個別推奨条件がある時はそれに従うこと。)
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質 (硫黄、塩素等ハロゲン) のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。(不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。)

以上