

## Application Note

## TPS61381-Q1 の回路図とレイアウトのガイドライン



Travis Wang

## 概要

TPS61381-Q1 は、TBOX や e-call などのバックアップ バッテリ アプリケーション向けに設計された双方向昇圧コンバータ / 降圧チャージャです。設計を成功させるには、回路図設計、外部部品の適切な選択、ボードレイアウトが重要です。このアプリケーションノートでは、正しい機能、安定した動作、優れた熱特性と低 EMI 性能を実現するための TPS61381-Q1 の配線方法について詳しく説明します。

## 目次

1 はじめに.....	2
2 TPS61381-Q1 の回路図ガイドライン.....	2
2.1 GND 接続.....	2
2.2 ドライバ設計.....	3
2.3 IO の構成.....	4
2.4 出力コンデンサ.....	5
2.5 補償設計.....	6
3 TPS61381-Q1 レイアウト ガイドライン.....	11
3.1 クリティカル スイッチング ループの識別.....	11
3.2 電力コンポーネントの配置.....	14
3.3 レイアウト例.....	15
4 まとめ.....	17
5 参考資料.....	17

## 商標

すべての商標は、それぞれの所有者に帰属します。

## 1 はじめに

TPS61381-Q1 双方向昇圧コンバータおよび降圧チャージャは、TBOX、E-call などのバックアップ バッテリ アプリケーション向けに設計されています。適切に設計された回路図と PCB レイアウトは、あらゆる DC/DC または AC/DC パワーコンバータのシステム設計を成功させるための基礎となります。最適化されたレイアウトは、比較的小型の設計サイズで、EMI 性能の向上、放熱特性の改善、良好な安定性性能の改善につながります。そのため、最適化されたレイアウトは、信頼性の向上、コストの削減、製品開発期間の短縮を実現します。このアプリケーション ノートでは、TPS61381-Q1 双方向昇圧コンバータ / 降圧チャージャの回路図とレイアウトの指針について説明します。このアプリケーション ノートのガイダンスにより、お客様は 4 層 PCB を使用して上記の目標を達成できます。メイン コンテンツには、回路図に関する注意事項、レイアウトに重要なスイッチンググループ、電力段の部品配置、電源回路と信号回路配線、AGND および PGND 接続、電源と GND の銅プレーン設計の識別が含まれます。

## 2 TPS61381-Q1 の回路図ガイドライン

### 2.1 GND 接続

TPS61381 は、電源障害検出時のシステム電圧を即座に引き継げるように、大電流制限と高速起動戦略を備えています。昇圧スタートアップ時、電流は最大 25A (I2C で設定) に達する可能性があります。Vout は、I2C や短絡保護の再起動条件により変化します。スイッチング ノイズが IC に影響しないようにするため、GND 接続は非常に重要です。AGND が正しく接続されないと、IC 内部回路が制御不能になったり、損傷するおそれがあります。図 2-1 に標準的な回路図を示します。

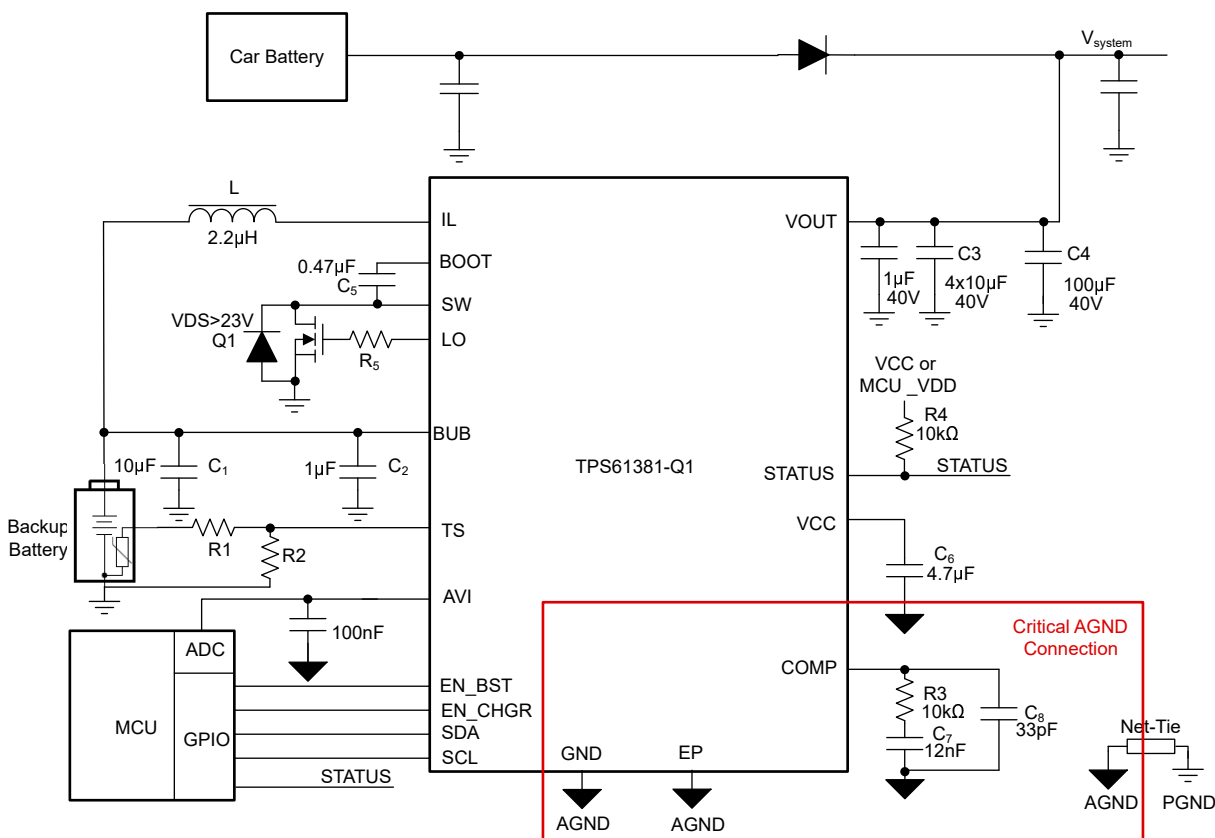


図 2-1. TPS61381-Q1 GND 接続

PGND とは別に AGND を設け、VCC、COMP、AGND ピン、サーマル パッドを AGND に接続します。

AGND は PGND に単一点で接続します (ネットタイ、0Ω 抵抗、10mil 幅配線など)。AGND と PGND を広いポリゴンで接続しないでください。

## 2.2 ドライバ設計

TPS61381-Q1 は、ゲート抵抗 ( $R_5$ ) によってドライバ速度を調整します。ほとんどの MOSFET には  $1\Omega$  で十分ですが、 $Q_{gd}$  が  $3nC$  を下回る場合は、より大きな抵抗 ( $1 \sim 2\Omega$ ) を適用します。

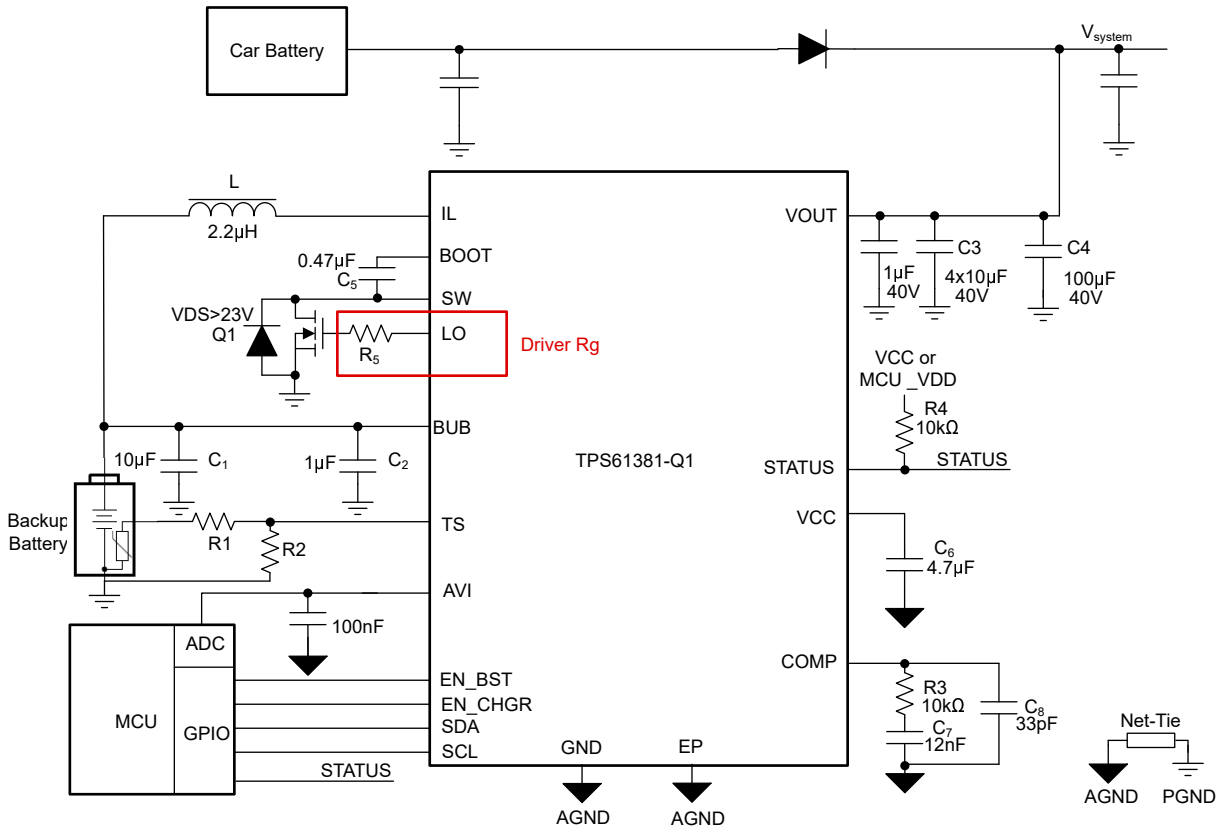


図 2-2. TPS61381 -Q1 のドライバ設計

MOSFET の  $Q_{gd}$  が  $10nC$  以上の場合は、 $1\Omega$  未満の抵抗を使用しないでください。ドライバ速度が低い場合、効率が低下するだけでなく、パワー FET における貫通電流の発生を誘発する可能性があります。

$R_5$  は、ドライバ損失により発生する熱に耐える必要があるため、 $R_5$  に小型パッケージを選択しないでください。ドライバ損失は次の式で計算できます。

$$P_{gloss} = Q_g V_{CC} f_{sw} \quad (1)$$

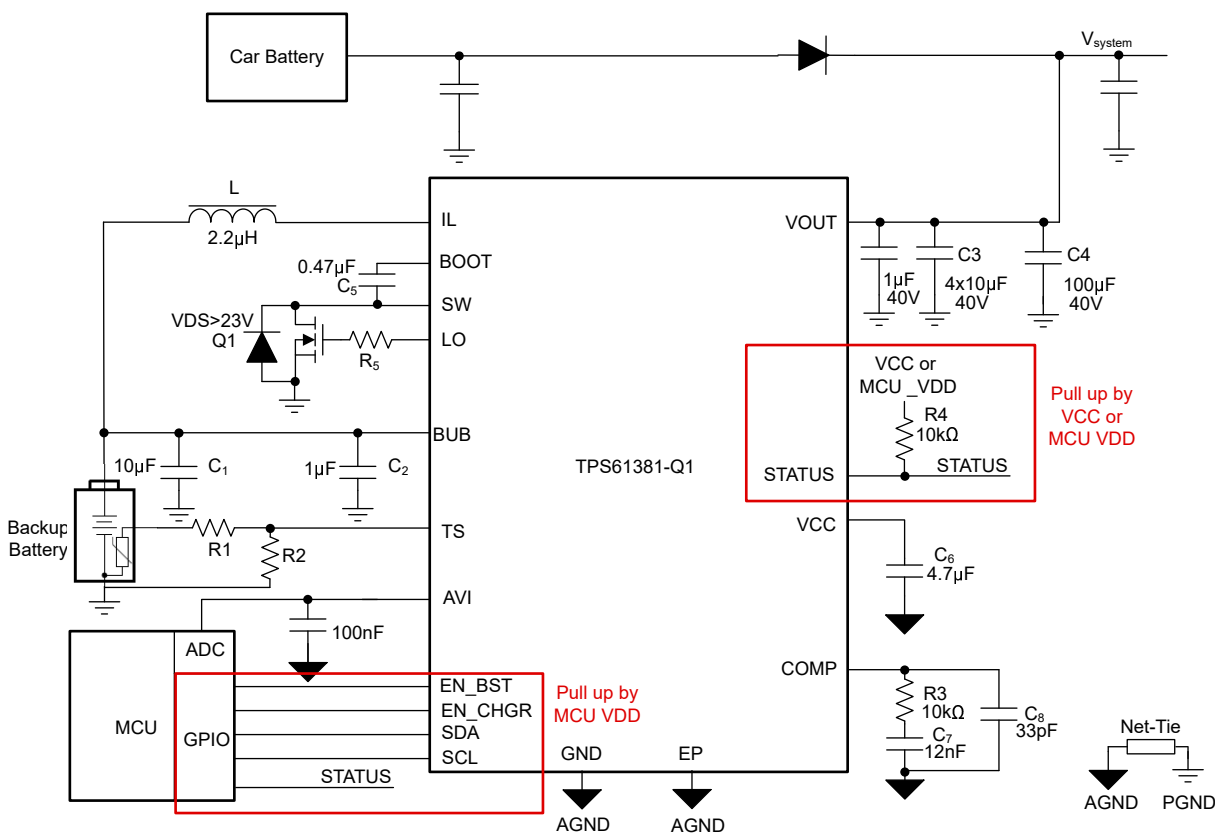
ここで、 $V_{CC}$  は  $5V$  と計算できます。

## 2.3 IO の構成

デジタル入力は、マイコンの電源レールによってプルアップする必要があります。TPS61381 の VCC または Vout には接続しないでください。

AVI ピンには、デカップリング コンデンサが必要です。コンデンサは、IC の近くまたは MCU ADC の近くに配置できます (100nF で十分です)。

STATUS ピンは、TPS61381 VCC または MCU GPIO VDD によってプルアップできるオープンドレイン出力です。



**図 2-3. TPS61381-Q1 IO 構成**

## 2.4 出力コンデンサ

TPS61381 には、少なくとも  $100\mu\text{F}$  のローカル合計出力容量が必要です。MLCC と電解コンデンサの両方を並列に配置することを推奨します。

電解コンデンサは ESR が大きいため、高周波リップルとスイッチング ノイズのフィルタリングでは効果がありません。昇圧  $V_{\text{out}}$  の目標値における MLCC の実効容量が  $40\mu\text{F}$  を上回ることを確認してください。電解コンデンサが  $500\text{m}\Omega$  よりも大きな ESR を持つ場合、MLCC の容量はさらに大きくする必要があります。電解コンデンサの ESR は低温時に 10 倍以上増加し、ループ安定性に大きく影響します。ループ安定性を計算するときは、温度が低い ESR を考慮してください（ループ安定性の計算については、[セクション 2.5](#) を参照）。

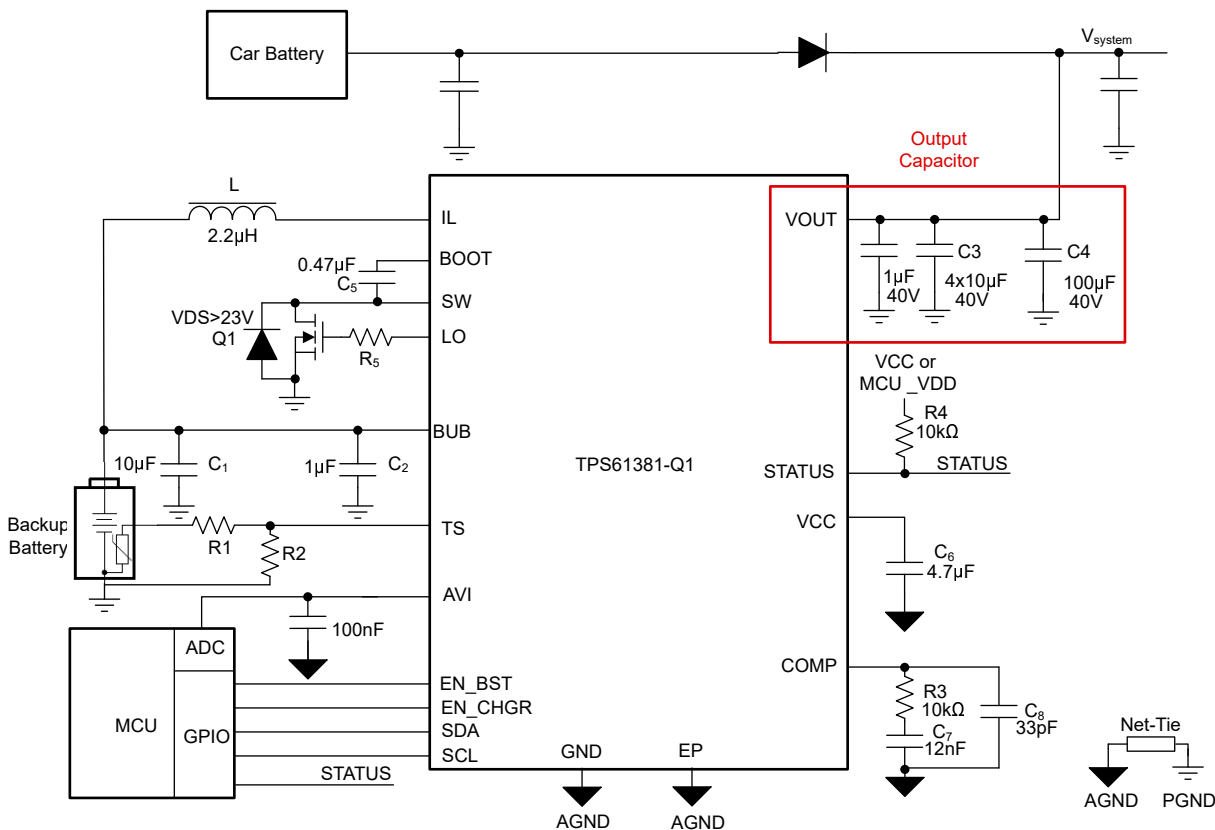


図 2-4. TPS61381-Q1 の出力コンデンサ

MLCC には DC バイアスのディレーティングがあるため、DC 電圧が印加されたときの実効容量が大幅に低減されます。そのため、静電容量を計算するときに、昇圧  $V_{\text{out}}$  の目標電圧での DC バイアス曲線を確認してください。

## 2.5 補償設計

TPS61381-Q1 には、アプリケーションごとにループ応答を最適化できる外部補償が必要です。COMP ピンは内部エラーアンプの出力です。COMP ピンには、抵抗 R3 とセラミックコンデンサ C7 および C8 で構成される外部補償回路が接続されています。補償パラメータは、条件ごとに計算する必要があります。以下のセクションでは、選択したインダクタと出力コンデンサを使用して、補償ネットワークのパラメータを計算する方法の例を示します。

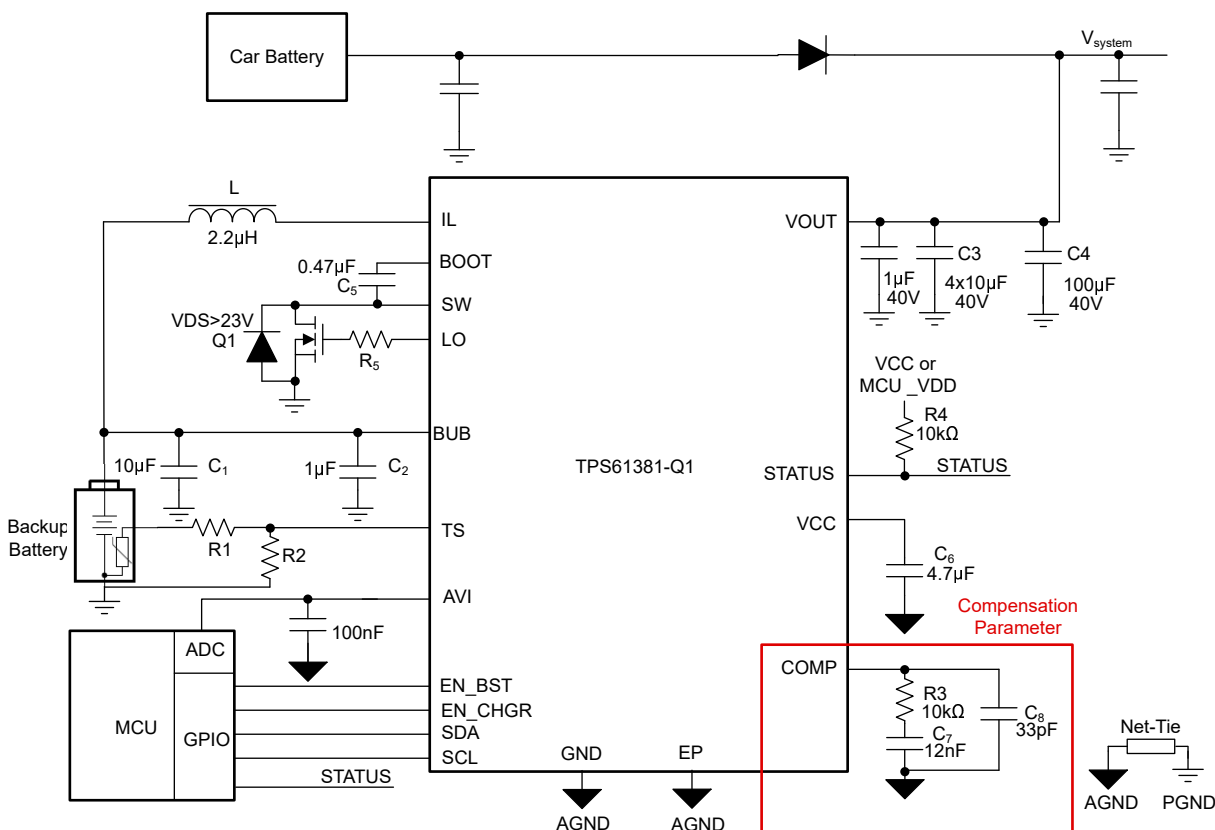


図 2-5. TPS61381-Q1 の補償設計

### 2.5.1 小信号解析

TPS61381-Q1 は、サブハーモニック発振を回避するため、内部適応勾配補償による固定周波数のピーク電流モード制御を使用します。インダクタ電流の情報が検出されると、電力段の小信号モデルは、L および C<sub>OUT</sub> によって作成される 2 極システムから、R<sub>OUT</sub> および C<sub>OUT</sub> によって作成される単極システムへと効率化されます。単極システムは、ループ補償と組み合わせて簡単に使用できます。図 2-6 に、昇圧コンバータの小信号等価回路素子を示します。

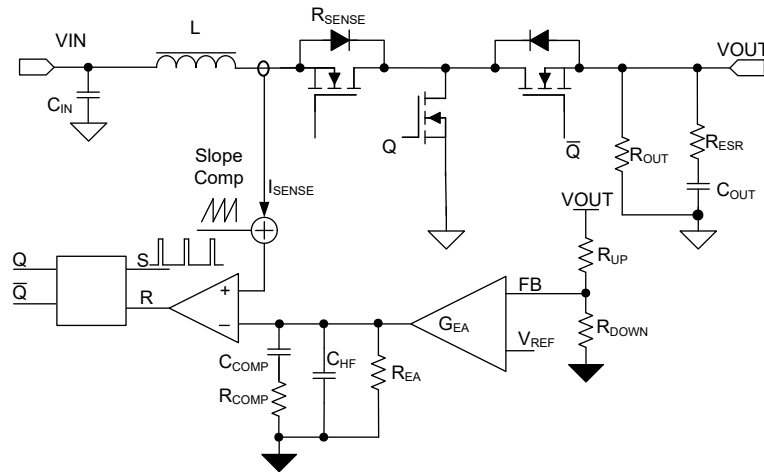


図 2-6. TPS61381-Q1 の制御等価回路モデル

電力段の小信号は、次の式で求められます。

$$K_{PS}(s) = \frac{R_{out}(1-D)}{2R_{sense}} \times \frac{\left(1 + \frac{s}{2\pi \times f_{zESR}}\right) \left(1 - \frac{s}{2\pi \times f_{zRHP}}\right)}{\left(1 + \frac{s}{2\pi \times f_{pPS}}\right)} \quad (2)$$

ここで:

- D はデューティ・サイクル
- $R_{out}$  は出力負荷抵抗
- $R_{sense}$  は通常  $6m\Omega$  の等価内部電流センス抵抗

電力段の単一極は、次の式で与えられます。

$$f_{pPS} = \frac{2}{2\pi \times C_{out} \times R_{out}} \quad (3)$$

ここで:

- $C_{out}$  は出力容量です。複数の同一の出力コンデンサを並列接続する昇圧コンバータの場合は、これらのコンデンサを等価容量で組み合わせるだけです

出力コンデンサの ESR によって生じるゼロは、次の式で与えられます。

$$f_{zESR} = \frac{1}{2\pi \times C_{out} \times R_{ESR}} \quad (4)$$

ここで:

- $R_{ESR}$  は、出力コンデンサの等価直列抵抗

右平面のゼロは次の式で与えられる。

$$f_{zRHP} = \frac{R_{out}(1-D)^2}{2\pi \times L} \quad (5)$$

ここで:

- D はデューティ・サイクル
- $R_{out}$  は出力負荷抵抗
- L はインダクタンス

式 6 に、帰還抵抗ネットワークと補償ネットワークの式を示します。

$$H_{COMP}(s) = G_{comp} \times R_{EA} \times \frac{R_{up} + R_{down}}{R_{down}} \times \frac{\left(1 + \frac{s}{2\pi \times f_{zCOMP}}\right)}{\left(s1 + \frac{s}{2\pi \times f_{pCOMP1}}\right) \left(1 + \frac{s}{2\pi \times f_{pCOMP2}}\right)} \quad (6)$$

ここで:

- $G_{COMP}$  はエラー アンプのゲインで、通常  $G_{EA} = 24\mu S$
- $R_{EA}$  はエラー アンプの出力インピーダンスで、通常  $R_{EA} = 5M\Omega$
- $f_{pCOMP1}$  および  $f_{pCOMP2}$  は補償のポールの周波数
- $f_{zCOMP}$  は補償ネットワークのゼロの周波数

$f_{pCOMP1}$  は、次の式で与えられます。

$$f_{pCOMP1} = \frac{1}{2\pi \times R_{EA} \times C_{COMP}} \quad (7)$$

ここで:

- $C_{COMP}$  は補償コンデンサ

$f_{pCOMP2}$  は、次の式で与えられます。

$$f_{pCOMP2} = \frac{1}{2\pi \times R_{COMP} \times C_{HF}} \quad (8)$$

ここで:

- $C_{HF}$  は **COMP** ピンの高周波バイパス コンデンサです
- $R_{COMP}$  は補償ネットワークの抵抗です

$f_{zCOMP}$  は次の式で与えられます。

$$f_{zCOMP} = \frac{1}{2\pi \times R_{COMP} \times C_{COMP}} \quad (9)$$

ここで:

- $C_{COMP}$  は、ゼロ コンデンサ補償です
- $R_{COMP}$  は補償ネットワークの抵抗です



## 2.5.2 ステップバイステップのループ補償設計

以前の小信号モデルの分析により、指定したインダクタと出力コンデンサのパラメータを使用して補償ネットワークのパラメータを計算することができます。テキサス・インスツルメンツでは、補償パラメータを設計するための EXCEL 計算ツールを提供しています。このセクションでは、設計用計算ツールを使用してループ補償を計算する例を示します。

### 1. クロスオーバー周波数 $f_c$ を設定します。ます。

最初のステップは、ループのクロスオーバー周波数  $f_c$  を設定することです。クロスオーバー周波数が高いほど、ループ応答が高速になります。一般的にループ ゲインは、スイッチング周波数  $f_{SW}$  の 1/10 または RHPZ 周波数  $f_{zRHP}$  の 1/5 のいずれか低い方を超えない範囲で許容されます。

### 2. 補償抵抗 $R_{COMP}$ を設定します。

適切に補償された昇圧システムの場合、 $f_c$  は  $R_{COMP}$  によって決定されます。目的の  $f_c$  を設定すると、計算ツールが  $R_{COMP}$  の推奨値を出力できます。

70	<b>Boost Compensation Calculation</b>			
71	<b>Boost loop Calculation</b>			
72	Vin	2.50	V	
73	Vout	5.50	V	
74	Iout	1.50	A	
75	fp_PS	368	Hz	
76	fz_RHP	43122	Hz	
77	fz_ESR	39789	Hz	
78	f(BW) desired	2	kHz	
79	R3 recommended	10.11	kΩ	
80	R3 actual	12	kΩ	

1. Enter Desired Crossover Frequency → f(BW) desired

2. Output Recommended RCOMP → R3 actual

3. Select and Input Real RCOMP → R3 actual

図 2-7. 補償抵抗を設定する

以下の前提により、計算ツールが  $R_{out}$  を推奨します。昇圧システムの適正設計では、位相マージン確保のため、 $f_{zCOMP}$  を  $f_c$  より低い位置に設定する必要があります。また、一般的な  $R_{COMP}$  の範囲では、 $R_{COMP}$  がアンプの出力抵抗  $R_{EA}$  よりもはるかに小さい必要があるため、 $R_{COMP} \parallel R_{EA} \sim R_{COMP}$  となります。したがって、式 6 に示すように、初期ゲイン  $R_{COMP} \times G_{COMP} \times K_{FB}$  は  $R_{COMP}$  によって決定されます。したがって、 $f_c$  は、閉ループの合計ゲイン  $T(s) = K_{PS}(s) + H_{COMP}(s)$  が  $f_c$  でゼロであるという式で計算できます。

$$H_{COMP} = 20 \lg \left( G_{COMP} \times R_{COMP} \times \frac{R_{down}}{R_{up} + R_{down}} \right) = -K_{PS}(f_c) \quad (10)$$

ここで、

- $K_{PS}$  は電力段のゲインです
- $G_{EA}$  はアンプの相互コンダクタンスで、標準値  $G_{EA} = 24 \mu S$  です

### 3. 補償ゼロコンデンサ $C_{COMP}$ を設定します。

補償ゼロは、 $f_{pPS}$  付近の位相低下を補償するため、電力段の極  $f_{pPS}$  に配置します。 $f_z = f_p$  に設定すると、 $C_{COMP}$  を計算できます。実際の  $R_{COMP}$  の値を 80 行目に入力すると、計算ツールが  $C_{COMP}$  を出力します。

$$C_{COMP} = \frac{R_{out} \times C_{out}}{2R_{COMP}} \quad (11)$$

78	f(BW) desired	2 kHz
79	1. Enter Selected R <sub>COMP</sub> <b>Recommended</b>	10.11 kΩ
80	R3 actual	12 kΩ
81	<b>C7 recommended</b>	42.78 nF
82	2. Output <b>C7 actual</b>	12.0 nF
Recommended C <sub>COMP</sub> → 3. Select and Input Real C <sub>COMP</sub>		

図 2-8. 補償容量を設定する

4. 補償極コンデンサ C<sub>HF</sub> を設定します。

補償極は、R<sub>ESR</sub> と C<sub>out</sub> で生成される ESR ゼロを排除するように配置します。f<sub>pCOMP2</sub> = f<sub>zESR</sub> に設定し、次の式を得ます。

$$C_{HF} = \frac{R_{ESR} \times C_{out}}{R_{COMP}} \quad (12)$$

ESR と C<sub>out</sub> を 15 ~ 16 行目に正しく入力すると、計算ツールの 84 行目に C<sub>HF</sub> の推奨値が表示されます。

	1. Enter Selected C <sub>COMP</sub>		
82		C7 actual	12.0 nF
83		fz_COMP	947 Hz
84		C6 recommended	462.70 pF
85	2. Output	C6 actual	33 pF
	Recommended C <sub>HF</sub>	3. Select and Input Real C <sub>HF</sub>	

図 2-9. 補償容量を設定する

## 5. 位相マージンとゲインマージンを確認します

計算された補償パラメータは、必ずしも安定性を保証するとは限りません。C<sub>out</sub> の ESR が大きく、f<sub>zESR</sub> が帯域幅に寄与している場合は、特にそう言えます。計算ツールは、補償パラメータをすべて入力するとボード線図を生成します。ステップ 1 ~ 4 の後、安定性を確保するためにボード線図を確認します。テキサス・インスツルメンツでは、位相マージンを 60deg より大きく、ゲインマージンが 10dB より大きくすることを推奨しています。マージンが要件を満たしていない場合は、目的の f<sub>c</sub> を減らし、手順 1 ~ 4 で補償を再計算します。

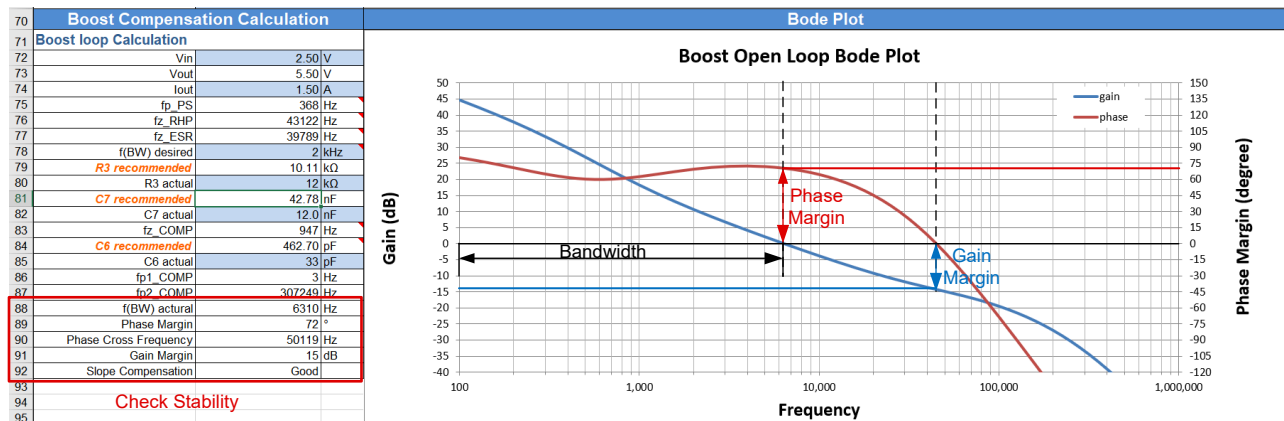


図 2-10. ループ安定性を評価します

## 3 TPS61381-Q1 レイアウト ガイドライン

### 3.1 クリティカル スイッチング ループの識別

#### 3.1.1 ローサイドドライバループ

ドライバ ループは、すべてのスイッチング レギュレータにとって最も重要なループの 1 つです。IC が MOSFET をオンにすると、電流は VCC コンデンサから内部ドライバとゲート抵抗を経由して流れ、ローサイド MOSFET のゲート容量をチャージをします。ローサイド MOSFET (PGND) のソースからネットタイを経由して VCC コンデンサ (AGND) に戻ります。IC が MOSFET をオフにすると、ローサイド MOSFET のゲート容量が放電されます。電流は MOSFET のゲートからゲート抵抗を経由して LO ピンに流れ、最終的には AGND ピンに流れます。IC AGND ピンからのリターン電流は、ネットタイを通して MOSFET ゲート容量 (PGND) に戻ります。これらの充電および放電電流は数 ns 以内に発生し、ピーク電流は最大 2A に達する可能性があります。そのため、この電流ループの寄生インダクタンスは MOSFET ゲートにリンギングを発生させ、ドライバの効果に影響を及ぼす可能性があります。レイアウトが注意深く設計されていない場合、スイッチング リンギングによって昇圧レグが貫通してデバイスが損傷する可能性があります。図 3-1 に、ローサイドドライバ電流経路を示します。

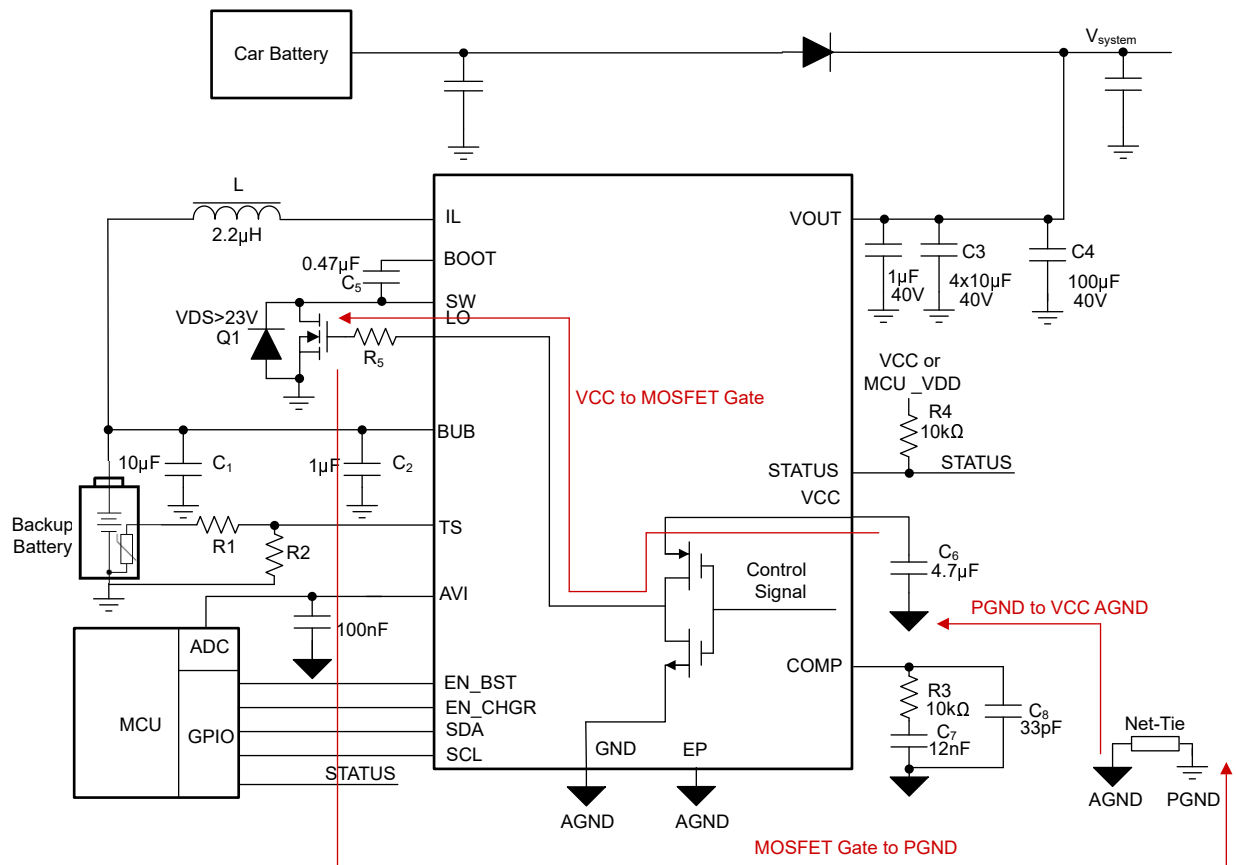
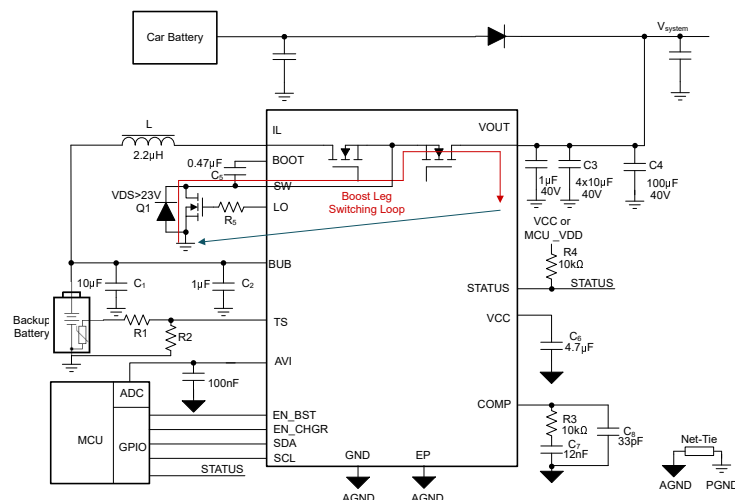


図 3-1. TPS61381-Q1 のローサイドドライバ電流パス

### 3.1.2 昇圧レグスイッチンググループ

昇圧レグのスイッチング ループは、昇圧デバイスにとって最も重要なループです。これら 2 つのループの配線は長くて細いため、過剰なノイズ、スイッチング ノードでのオーバーシュートとリングング、寄生インダクタンスによるグラウンド バウンスを引き起こす可能性があります。MOSFET のスイッチング イベント中、転流電流のスルーレートが 3 ~ 5A/ns を上回ることがあるため、2nH の寄生インダクタンスによって 6V の電圧スパイクが発生する可能性があります。スイッチング中にこれらのクリティカル ループを流れるパルス電流は高調波成分が豊富であり、ループ面積を十分に最小化しない場合、大きな放射エネルギー放射および電磁干渉問題を引き起こす可能性があります。そのため、配線の長さや、ループで囲まれた領域を最小化することが不可欠です。



**図 3-2. TPS61381-Q1 の昇圧レグ スイッチング ループ**

### 3.1.3 ハイサイドドライバループ

ハイサイド ゲートドライバ回路はブートストラップ コンデンサで駆動されます。TPS61381-Q1 は双方向の昇降圧コンバータであり、ハイサイドとローサイド両方の MOSFET をメインスイッチとして使用できます。この特性は、ローサイドドライバ回路に似ています。ハイサイドドライバループの寄生インダクタンスは、降圧チャージャ モードで余分なスイッチング ノイズを発生させ、IC の寿命に影響を及ぼします。

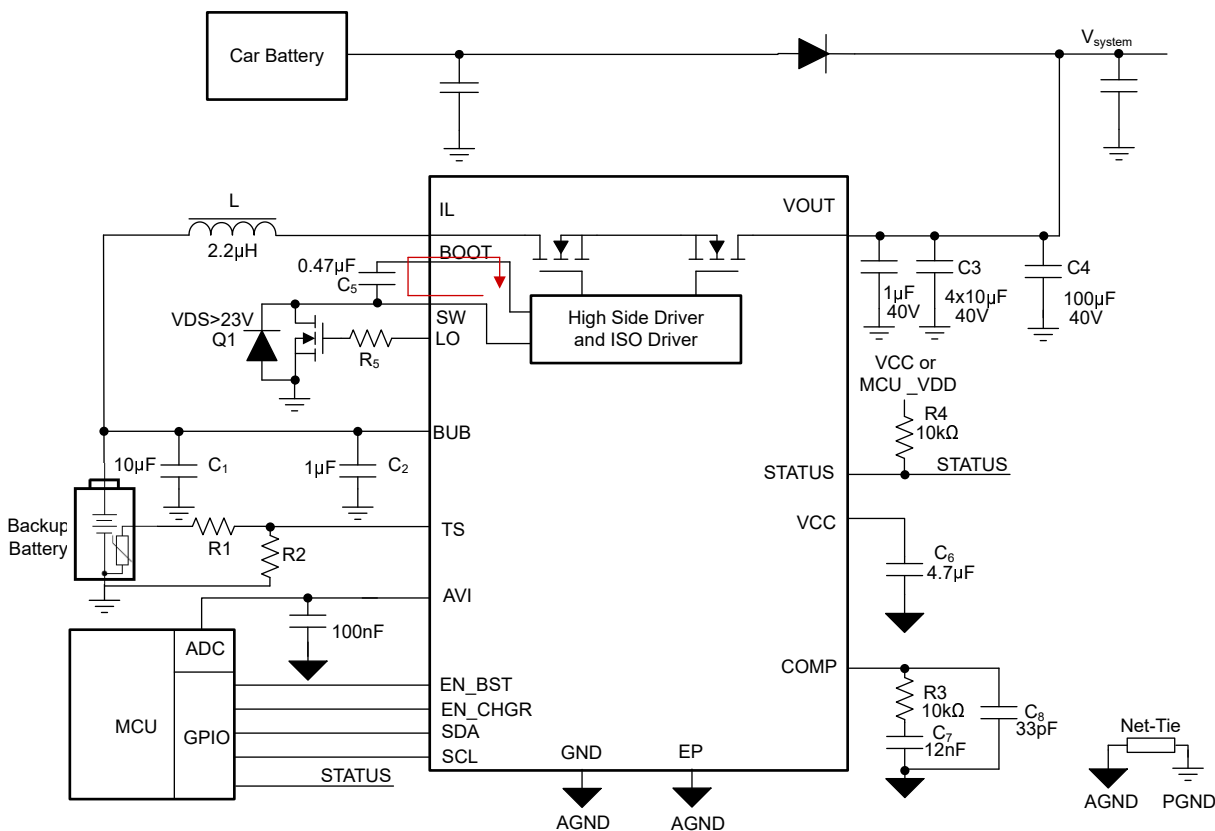


図 3-3. TPS61381-Q1 ハイサイドドライバループ

## 3.2 電力コンポーネントの配置

図 3-4 に、パワー MOSFET、入出力のセラミックコンデンサ、メイン インダクタ、TPS61381-Q1 シリコンの上層への配置を示します。

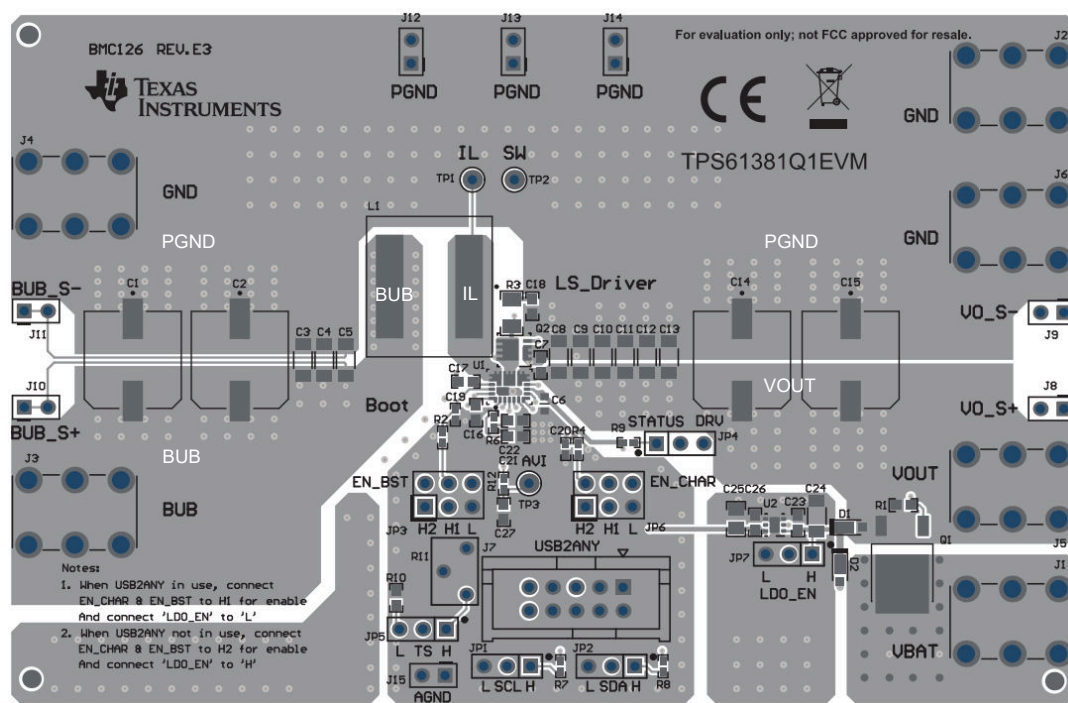


図 3-4. TPS61381-Q1 の電力系部品の配置例

出力コンデンサは、TPS61381 外付け MOSFET のソース側 VOUT ピンに隣接して配置されます。メイン インダクタ L1 は、IL ピンの近傍に配置されます。IL および SW ノードは、小面積の銅プレーンで形成され、SW ノードの高  $dv/dt$  遷移に関連する容量性結合を低減します。SW ノードの大型銅プレーンは熱抵抗改善に寄与しますが、放射エミッションを悪化させる可能性があります。

### 3.3 レイアウト例

#### 3.3.1 ローサイドドライバループの最適化例

図 3-1 の解析によると、ドライバ電流は VCC に戻る前にネットタイを流れる必要があります。ローサイドドライバ電流パスの長さと密閉領域を狭くする必要があります。AGND と PGND の間のネットタイは、ローサイド MOSFET のソースの間に接続する必要があります。ドライバ電流のリターンパスは PGND 銅箔から切り出し、ゲート配線に近接して並走させます。その結果、相互インダクタンスによって寄生インダクタンスが低減されます。VCC コンデンサは IC のできるだけ近くに配置します。

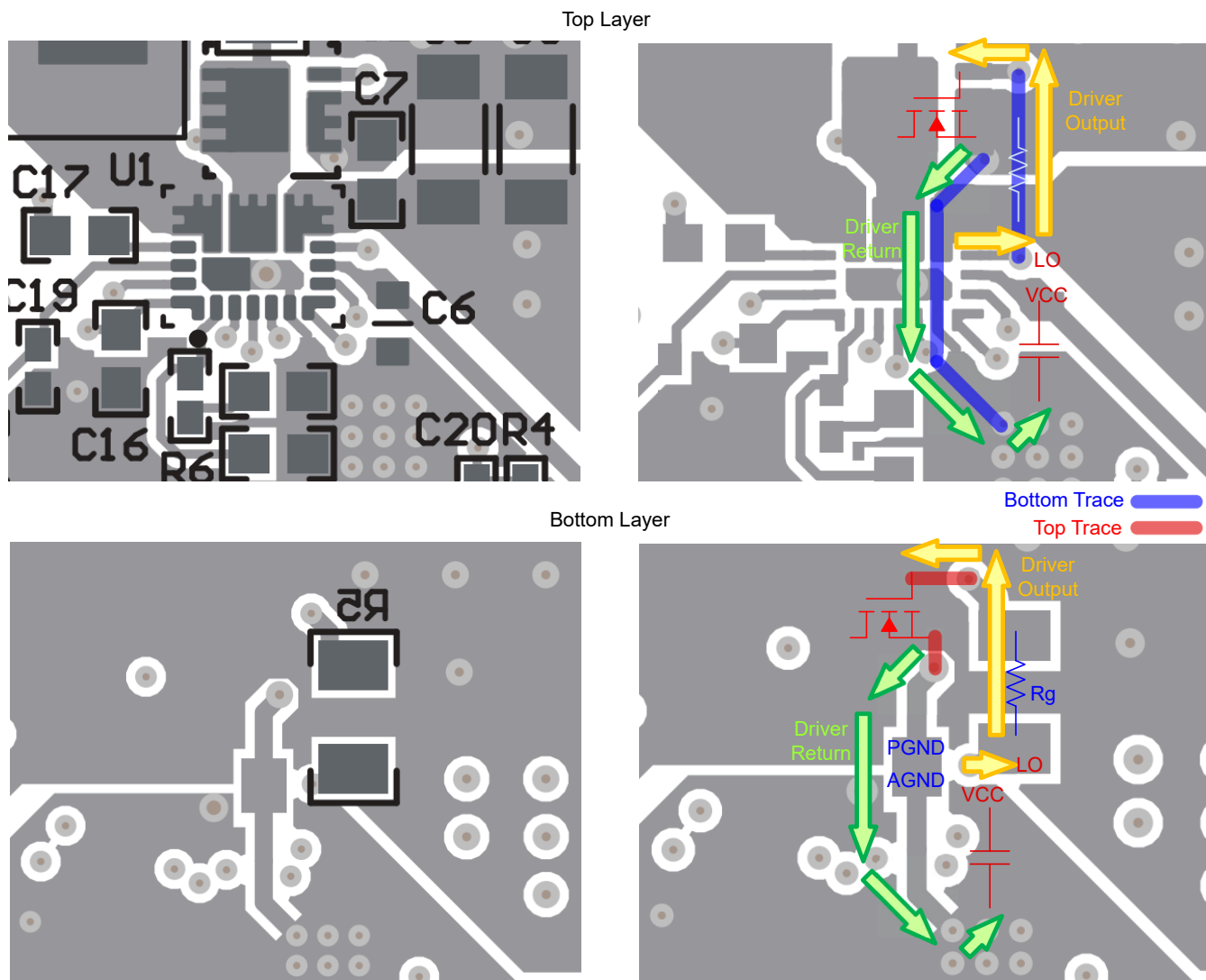


図 3-5. TPS61381-Q1 ローサイドドライバのレイアウト例

#### 3.3.2 昇圧レグスイッチングループの最適化例

図 3-6 に、昇圧レグスイッチングループの例を示します。この電流経路を短くするため、MLCC は Vout ピンの可能な限り近く (1mm 以内)、ローサイド MOSFET Q1 は SW ピンの可能な限り近くに配置します。テキサス・インスツルメンツは、高周波ノイズをバイパスするために、Vout ピン近傍に小容量の Cout (100nF–1uF、0603 パッケージ) を配置することを推奨します。



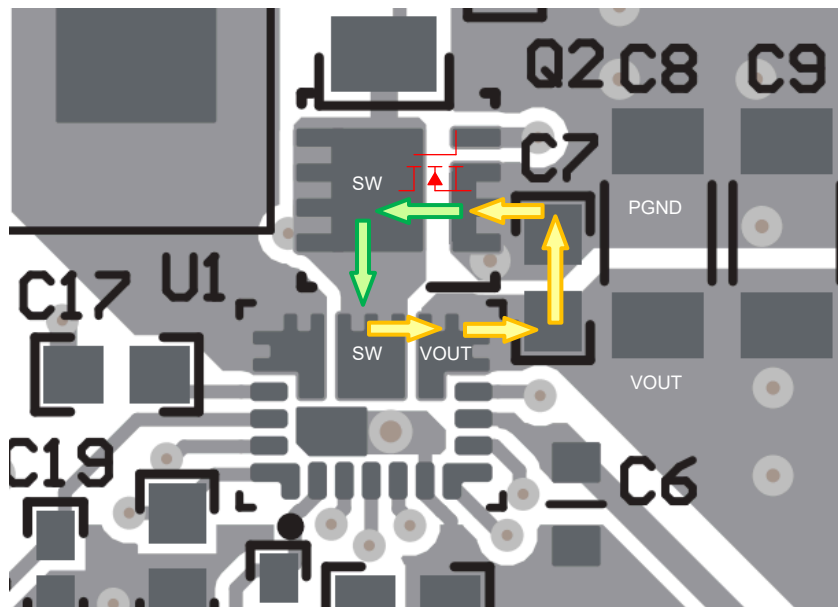


図 3-6. TPS61381-Q1 昇圧レギュレータスイッチングループのレイアウト例

### 3.3.3 ハイサイドドライバループの最適化例

図 3-7 に、ハイサイドドライバループの配線例を示します。ブートストラップコンデンサを SW およびブートピンのごく近くに配置することにより、ゲートループ密閉領域を低減できます。ゲートドライブ配線をシリコンから MOSFET まで最短で引き、ゲート配線とリターン配線を並走させてゲートループインダクタンスとループ面積を最小化します。

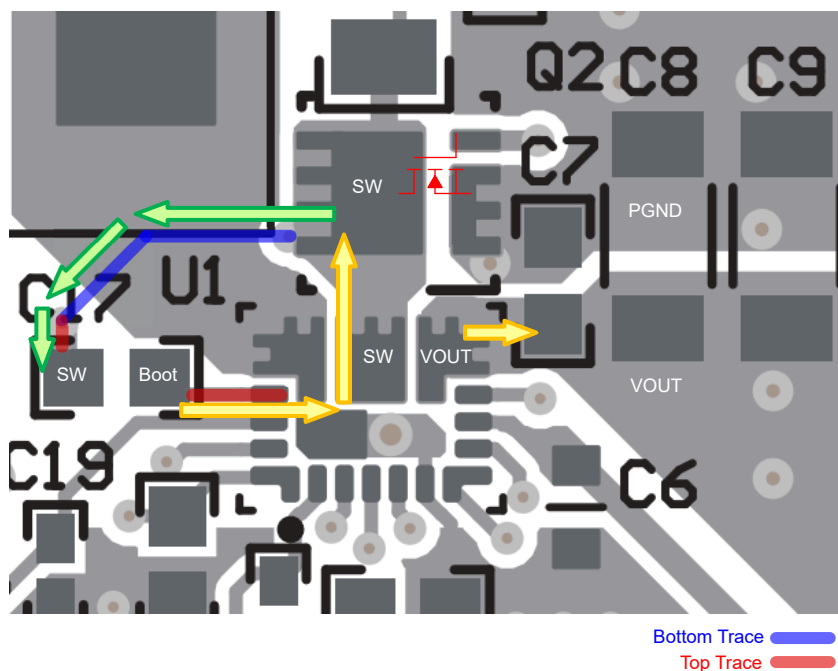


図 3-7. TPS61381-Q1 ハイサイドドライバのレイアウト例



### 3.3.4 信号回路の配線例

スイッチング ノード SW および IL の面積は、できるだけ小さくする必要があります。SW と IL を大面積の銅プレーンで覆うと、高  $dv/dt$  のノイズの多い信号が容量性結合によって付近にある他の配線に結合し、電磁干渉の問題を引き起こす可能性があります。信号の配線は、SW および IL の配線の近くやその下の領域を避ける必要があります。

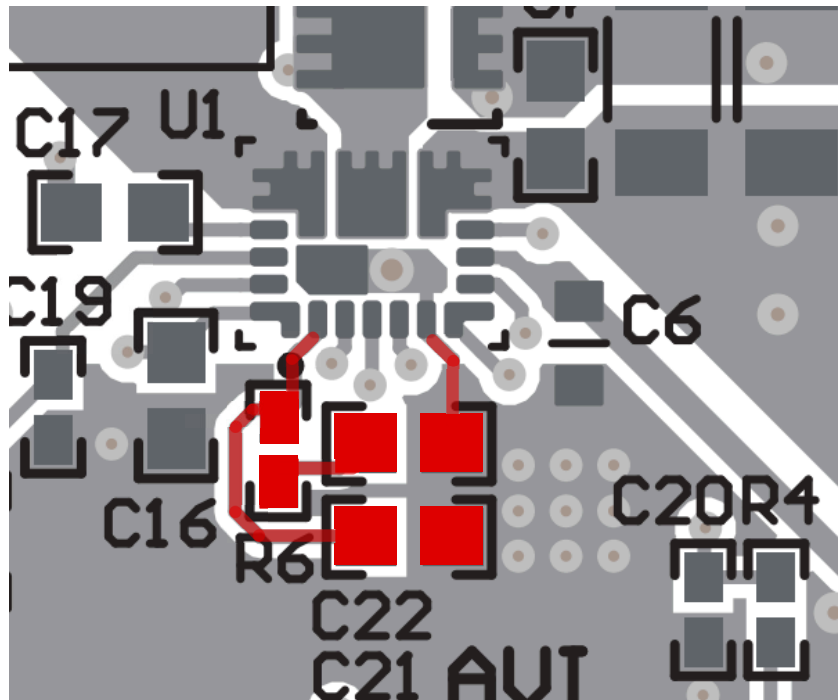


図 3-8. TPS61381-Q1 信号回路の配線例

COMP ピンは CM ノイズの影響を受けやすいため、補償部品は IC の近くに配置し、高周波コンデンサ  $C_8$  がノイズをバイパスできるようにする必要があります。

## 4 まとめ

このアプリケーションノートでは、TPS61381-Q1 双方向昇降圧コンバータを 4 層プリント基板を使用して配線する方法について説明します。作業は、まずクリティカルなスイッチング ループを見つけることから始まります。電源部品を最適配置し、クリティカル ループを最小化し、スイッチング ループ直下に全面 GND プレーンを配置し、ノイズに弱い信号配線を適切にルーティングすることで、良好なコンバータ設計を実現できます。

## 5 参考資料

- テキサス・インスツルメンツ、[TPS61381-Q1 車載対応、400kHz、40V、15A 昇圧コンバータ、LDO チャージャおよびバッテリー状態検出機能付き、データシート](#)。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月