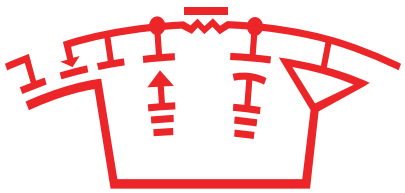
参考資料



Power Supply Design Seminar

# 位相シフト フルブリッジ コンバータの基礎

Texas Instruments

Reproduced from
2024 Texas Instruments Power Supply Design Seminar
SEM2600
Topic 4
Sheng-Yang Yu, Benjamin Lough, Richard Yin and Qing Ye
Literature Number: JAJP092

Power Supply Design Seminar resources
are available at:
www.ti.com/psds

***位相シフトフルブリッジコンバータ (PSFB : Phase Shifted Full-Bridge converter)は高い負荷応答性、高電力密度、高効率化用途の電源として使用されます。本トピックでは、PSFB の動作原理、数種類の整流器、クランプ オプション、コンバータの制御モード、同期整流器の動作モード、および軽負荷の管理オプションを紹介します。モジュール型ハードウェア システム向け共通冗長電源 (M-CRPS) の基本仕様に基づくPSFB 設計は、アクティブ クランプ回路を搭載した PSFB が、高い過渡応答で大電力設計を実現できることを示しています。***

## はじめに

現在の電力変換システムには、高効率、高電力密度、軽量化が求められています。電気通信、サーバー、PC の各アプリケーションにおいて、80 Plus の認証プログラムは 15 年以上にわたって効率的な電源規格を定義してきました。先日、Open Compute Project (OCP) は、サーバー電源ユニット (PSU) に関する M-CRPS 仕様を発表しました。この仕様では、**表 1** に示すように、80 Plus よりもさらに高い効率要件が求められています。

| 効率達成時: | 10% 負荷 | 20% 負荷 | 50% 負荷 | 100% 負荷 | 注 |
|---|---|---|---|---|---|
| 80 Plus Titanium | 90% | 94% | 96% | 91% | $230V_{AC}$ 入力時 |
| M-CRPS (<2,500W) | 90% | 94% | 96% | 92% | $240V_{AC}$ 入力時 |
| M-CRPS (≧2,500W) | 90% | 94% | 96% | 94% | $240V_{AC}$ 入力時 |

***表 1.*** *80 Plus Titanium 230V 内部冗長 PSU および M-CRPS の効率要件*

PSU の効率向上が求められる理由の一つには、エネルギー効率の高いデータ センターに対するニーズがあります。導入から 10 年未満のデータ センターでは、電力使用効率 (PUE) は約 3 であり、PUE は **式 1** で次のように定義されています。

$$\mathrm{PUE} = \frac{\mathrm{Total_Datacenter_Power}}{\mathrm{Actual_IT_Power}} \qquad (1)$$

つまり PUE が低いほど、データ センターの効率が高いことを意味します。

**図 1** と **図 2** は、PUE がそれぞれ 3 と 1.25 である 2 つのデータ センターの消費電力を示しています。PUE が 3 に相当するデータ センターの場合、データ センターの総電力の大部分が冷却システムの電力であるため、サーバー PSU の効率を向上させれば、必要な冷却電力を確実に削減でき、PUE を下げて、効率を向上させることができます。

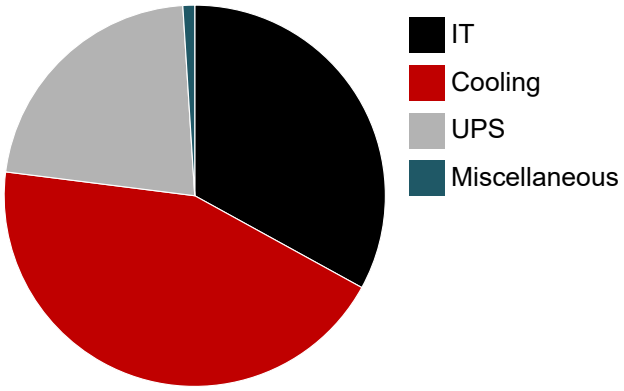



***図 1.*** *データ センター (PUE = 3) の消費電力の内訳*

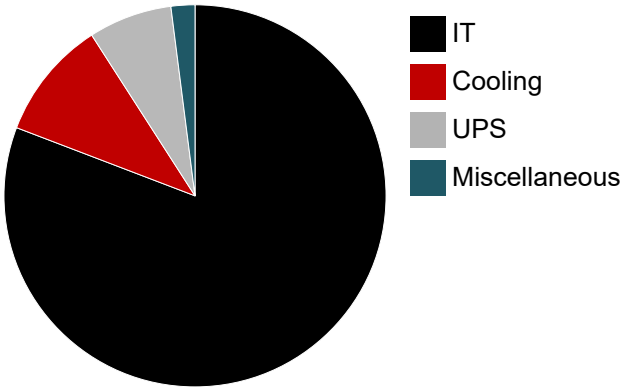



***図 2.*** *データ センター (PUE = 1.25) の消費電力の内訳*

効率の向上が必須であるだけでなく、人工知能 (AI) やエッジ コンピューティングの登場、ムーアの法則の継続を考えると、サーバー PSU はより小さな占有面積でより多くの電力を供給しなければなりません。CPU やグラフィックス処理ユニット (GPU) を含むサーバー負荷は、処理ユニットあたりのトランジスタが飛躍的にに増加していることから、より多くの電力を必要とします。サーバー ラック サイズは従来と変わりませんが、サーバー負荷の電力需要に対応するために、サーバー PSU にはより高い電力密度が求められます。

高い電力密度は車載アプリケーションや航空宇宙アプリケーションにおいても必要な要件です。軽量化されれば、輸送手段のエネルギー効率が向上するからです。

PSU 内部では、重量を軽減する方法の一つとして、コンバータのスイッチング周波数を上げることが挙げられ、これにより、磁束が減少し、その結果サイズも小さくなります。図 3 は、トランスの体積とスイッチング周波数との関係をプロットしたものです。DC/DC コンバータのスイッチング周波数が 500kHz のオンボード チャージャでは、トランスの体積は 100kHz のトランスの半分未満になります。

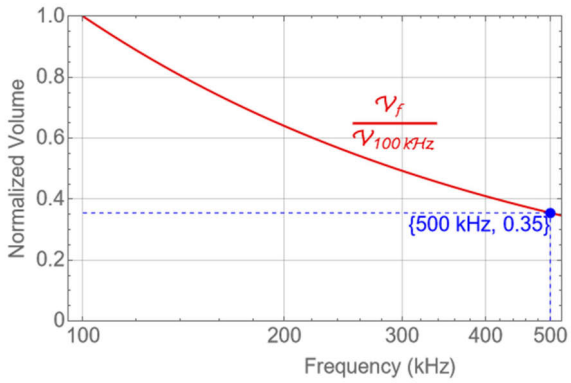



*図 3. トランスの体積とスイッチング周波数の関係*

効率を損なうことなく電力密度を高めることが目標であるため、PSU にソフト スイッチングを導入してスイッチング損失を低減することが不可欠です。ハード スイッチング コンバータは、図 4 に示すように、金属酸化膜半導体電界効果トランジスタ (MOSFET) のターンオン過渡時に MOSFET の電流と電圧がオーバーラップするスイッチ モード電源で最初に開発されました。スイッチング周波数が高いほど、ハード スイッチング過渡が頻発するため、スイッチング損失が大きくなります。ターンオン速度を上げてオーバーラップしている面積を小さくすることでスイッチング損失を低減することはできますが、電圧変化スルーレートが高くなると、ノイズや電磁干渉のレベルが高くなります。一方、図 5 に示すように、ゲート電圧が High になる前に、ドレイン - ソース間電流を負にして MOSFET 出力コンデンサ ($C_{OSS}$) 電圧を放電させることで、ソフトスイッチによるターンオンが実現します。MOSFET のターンオン過渡時に電流と電圧のオーバーラップがないため、ターンオン スイッチング損失が発生せず、PSU を高いスイッチング周波数で動作させ、同時に高効率を維持することができます。

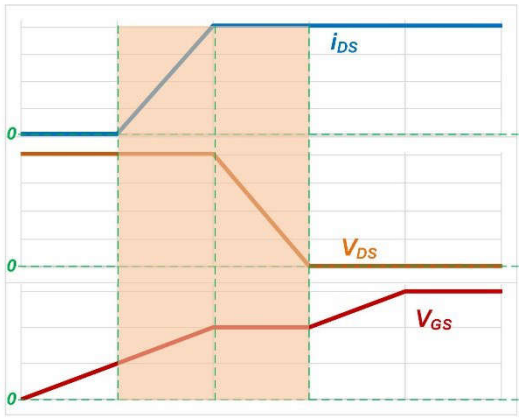



*図 4. MOSFET のハード スイッチングによるターンオン過渡*

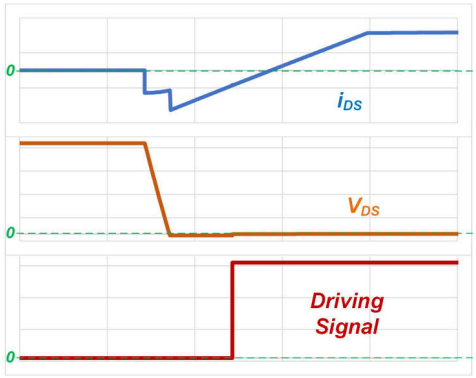



*図 5. MOSFET のソフト スイッチングによるターンオン過渡*

同じトポロジでも制御方式が異なると、MOSFET のスイッチング過渡時に異なる挙動が生じる可能性があります。図 6 のフルブリッジ コンバータを例に説明します。パルス幅変調 (PWM) 制御を用いてフルブリッジ コンバータを動作させた場合、コンバータは MOSFET のターンオン過渡時にハード スイッチング動作を示すはずです。MOSFET のドレイン - ソース間電流はターンオン過渡時に正から始まります。

図 7 に、最も重要なハード スイッチング フルブリッジ コンバータの MOSFET 電圧および電流の各波形を示しており、スイッチング過渡時にゼロ以外の電圧と電流がオーバーラップしています (緑色の破線の円で強調表示)。2 つの入力レグ間の位相シフト制御を用いてフルブリッジ コンバータを動作させる場合、図 8 に示すように、MOSFET のターンオン過渡時にドレイン - ソース間に負の電流が流れることで、ソフト スイッチングにおけるゼロ以外の電圧電流のオーバーラップを回避できます。

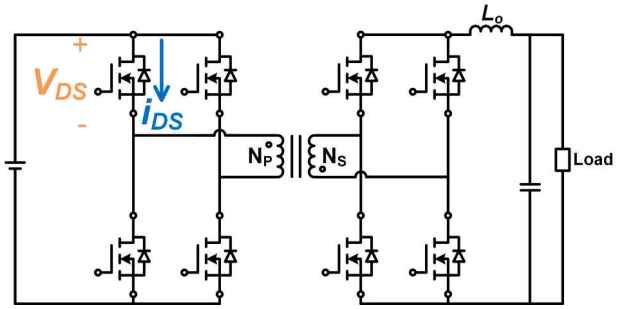



*図 6. フルブリッジ コンバータ*

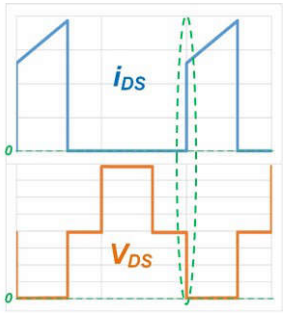



*図 7. ハード スイッチング フルブリッジ MOSFET の電流と電圧*

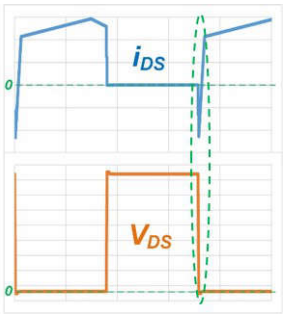



*図 8. PSFB MOSFET の電流と電圧*

PFSB コンバータ、インダクタ - インダクタ - コンデンサ (LLC) 直列共振コンバータ (SRC)、デュアル アクティブ ブリッジ (DAB) コンバータはいずれも、ソフト スイッチングを実現できますが、その特性は異なります。LLC-SRC は電圧レギュレーションに周波数変調を使用しますが、PSFB と DAB はどちらも電圧レギュレーションに固定スイッチング周波数による位相シフト制御を使用します。LLC-SRC は、これら 3 つの中で、出力整流器でソフト スイッチングを実現できる唯一のコンバータです。通常、ほとんどの場合、PSFB や DAB よりもピーク効率が高くなります。

ただし、LLC-SRC は、入出力範囲が広いアプリケーションに適したオプションではありません。LLC-SRC が広い入出力範囲に対応するには、トランスの磁化インダクタンスと共振インダクタンスの比率を小さくする必要があり、その結果、効率が低下します。PSFB と DAB は、LLC-SRC ほど効率を低下させることなく、広い実効デューティ サイクル ($D_{eff}$) 範囲で広い入出力範囲に対応できます。さらに、PSFB のピーク電流モード制御は LLC-SRC の電流モード制御よりも高精度であり、負荷過渡への高速応答が可能です。また、PSFB は高速過渡応答が求められるアプリケーションにも適しています。PSFB アプリケーションには、高速負荷過渡が発生する AI やエッジ コンピューティング用のサーバー PSU や、広い入出力範囲を持つ電気自動車の 400V、800V～12V バッテリ電力変換システムなどのバッテリ チャージャ アプリケーションが含まれます。

このトピックでは、動作原理、整流器オプション、クランプ オプション、さまざまな種類の制御を含め、PSFB の基礎を設計例と一緒に説明します。

## PSFB の動作原理

**図 9** にダイオード整流器を搭載したフルブリッジ コンバータを示し、**図 10** に、ソフト スイッチングを行うために MOSFET がオンになる前に負のドレイン - ソース間電流を流すことができる、位相シフト制御下のフルブリッジ コンバータの波形を示します。**図 10** に示すように、レグ 1 の MOSFET 駆動信号 (Out1L と Out1H) とレグ 2 の MOSFET 駆動信号 (Out2L と Out2H) の間に位相差が生じますが、4 つすべての駆動信号のデューティ サイクルは変化しません。直列インダクタ ($L_S$) への通電から、トランスを通して入力側 (1 次側) から出力側 (2 次側) にエネルギーが供給されるまでの時間にあたる $V_{AB}$ には、対角線上にある 1 対の MOSFET がオンになると、入力電圧 ($+V_{IN}$) または反転入力電圧 ($-V_{IN}$) のいずれかが印加されます。レグ 1 とレグ 2 の位相差によって、$V_{AB}$ のゼロ以外の電圧持続時間 (パルス幅) が決まります。$V_{AB}$ 波形に似たバイポーラ矩形波が 2 次側電圧 ($V_{SEC}$) で生成され、出力ダイオード整流器によってさらに整流されてユニポーラ矩形波となるため、出力インダクタは「降圧」動作を行い、$V_{SEC}$ のパルス幅で制御される出力レギュレーションを行うことができます。

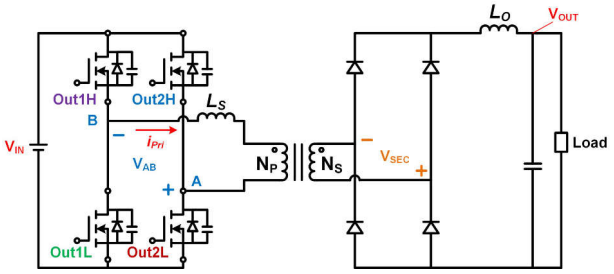



*図 9. フル ブリッジ整流器を搭載した PSFB*

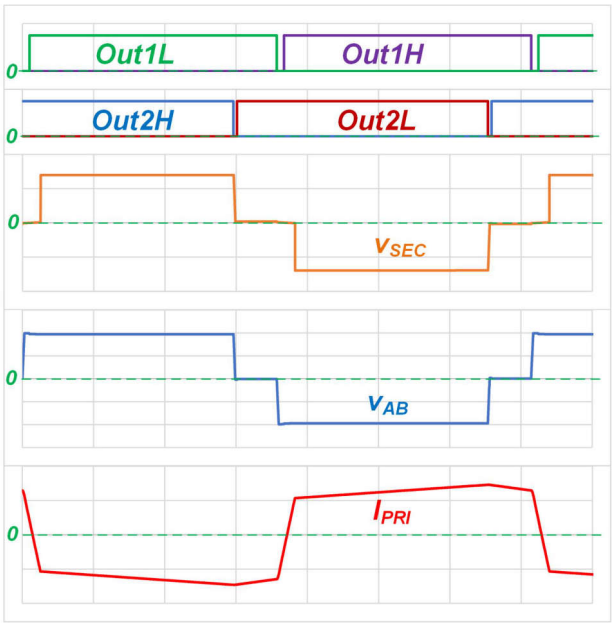



*図 10. PSFB の波形*

$L_S$ は印加された $V_{IN}$ を使用して電流極性を切り替えるため、$V_{SEC}$ のパルス幅は $V_{AB}$ よりも小さくなります。その結果、トランス巻線の電圧はゼロになり、$V_{SEC}$ のパルス幅が小さくなります。これはデューティ サイクル損失として知られています。$L_S$ インダクタンスが大きいほど、デューティ サイクル損失 ($V_{AB}$ と $V_{SEC}$ の間のパルス幅の差) は大きくなります。2 次側の $D_{eff}$ を大きくしてデューティ サイクル変動範囲を広げるには、$L_S$ インダクタンスを小さくする必要があります。

スイッチング過渡時に $L_S$ に蓄積されたエネルギーは、1 次側 MOSFET でソフト スイッチングを実現するための鍵となります。$L_S$ インダクタンスが小さいと、蓄積されるエネルギーが少くなり、特に軽負荷時には、ソフト スイッチングを行うための MOSFET 出力コンデンサ電圧を放電するには不十分となる可能性があります。したがって、設計では、ソフト スイッチングと $D_{eff}$ 範囲の間でトレードオフを行う必要があります。

位相シフト制御により、1 次側巻線電流が 1 次側フルブリッジ MOSFET の $C_{OSS}$ とボディ ダイオードを連続的に循環し、自由に流れるため、前に **図 8** で示したように、フルブリッジ スイッチ ノードの出力で誘導性インピーダンスを持つ MOSFET に電流の遅れが生じ、MOSFET のスイッチング過渡時に負電流が流れる可能性があります。$L_S$ に蓄積されたエネルギーはソフト スイッチングの鍵ですが、出力インダクタ $L_O$ もソフト スイッチング能力に影響を及ぼします。

MOSFET スイッチング過渡の波形を見てみましょう。**図 11** の紫色の破線曲線は、レグ 1 ハイサイド MOSFET 電流です。レグ 1 ローサイド MOSFET 電流はレグ 1 ハイサイド MOSFET 電流と同じですが、レグ 1 ハイサイド MOSFET のターンオフ期間に発生することに注意してください。MOSFET のターンオン過渡時の 1 次側電流 ($I_{PRI}$) レベルが $L_O$ 電流リップルのバレー ポイントにあることがわかります。言い換えれば、$L_O$ 電流リップルが大きい場合（つまり、$L_O$ インダクタンスが小さい場合)、レグ 1 MOSFET のソフト スイッチング能力は低下します。トランスの磁化インダクタ電流がゼロであると仮定すると、**式 2** は、レグ 1 MOSFET でソフト スイッチングを実現するために使用される電流を表します。

$$I_{PRI_{LEG1_switching_transient}} = \frac{I_{out,\,avg} - \frac{I_{Lo,\,pp}}{2}}{\frac{N_P}{N_S}} \qquad (2)$$

ここでは、$I_{LO,pp}$ は $L_O$ のピーク ツー ピークの電流リップルです。

**式 3** は、レグ 2 MOSFET でソフト スイッチングを実現するため使用される電流を計算します。

$$I_{PRI_{LEG2_switching_transient}} = \frac{I_{out,\,avg} - \frac{I_{Lo,\,pp}}{2}}{\frac{N_P}{N_S}} \qquad (3)$$

**図 12** は、レグ 2 ローサイド MOSFET 電流を黒色破線で強調表示しています。レグ 2 ハイサイド MOSFET 電流はレグ 2 ローサイド MOSFET 電流と同じですが、レグ 2 ローサイド MOSFET のターンオフ期間に発生することに注意してください。**式 2** から **式 3**、**図 11** と **図 12** の波形から、レッグ 1 MOSFET よりもレッグ 2 MOSFET の方がソフト スイッチングを実現しやすいことがわかります。

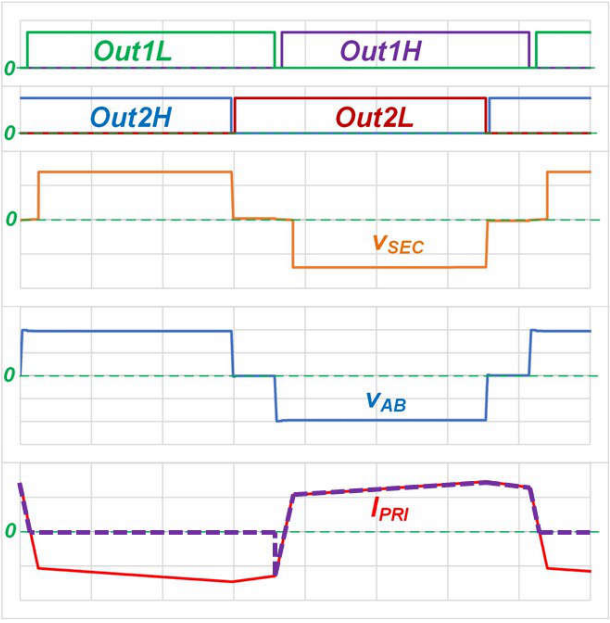



*図 11. PSFB の波形 (レグ 1 ハイサイド MOSFET 電流を紫色破線で表示)*

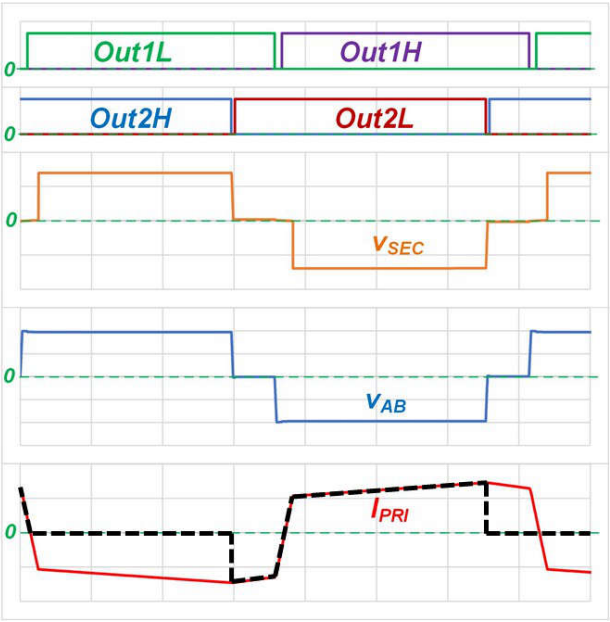



*図 12. PSFB の波形 (レグ 2 ローサイド MOSFET 電流を黒色破線で表示)*

## PSFB 出力整流器

PSFB における整流段の主な機能は、トランス巻線からのバイポーラ矩形波を $L_O$ の入力側でのユニポーラ矩形波に整流することです。選択する整流器の種類は、アプリケーションや要件によって異なります。図 13 から 図 15 に、フルブリッジ整流器、センター タップ整流器、および倍電流整流器の 3 つの一般的な整流器を示し、図 16 と 図 17 に整流器に関連した波形を示します。

フルブリッジ整流器では、トランスの 2 次側巻線電圧が正のときに対角線上にある 1 対のダイオードが電流を流して $L_O$ に通電し、トランスの 2 次側巻線電圧が負のときに対角線上にあるもう 1 対のダイオードが電流を流して $L_O$ に通電します。

センター タップ整流器では、トランスの 2 次側巻線電圧が正のときに 1 つの出力ダイオードが電流を流して $L_O$ に通電し、トランスの 2 次側巻線電圧が負のときにもう 1 つの出力ダイオードが電流を流して $L_O$ に通電します。

倍電流整流器では、トランスの 2 次側巻線電圧が正のときに 1 つのダイオードを通してのみ $L_{O1}$ に通電し、トランスの 2 次側巻線電圧が負のときにもう 1 つのダイオードを通してのみ $L_{O2}$ に通電します。

表 2 に、これらの整流器の違いを示します。フルブリッジ整流器とセンター タップ整流器の両方を搭載した PSFB の場合、バイポーラからユニポーラへの波形変換のため、$L_O$ の 動作周波数は 1 次側 MOSFET のスイッチング周波数の 2 倍になります。倍電流整流器を搭載した PSFB の出力インダクタは、1 次側 MOSFET のスイッチング周波数と同じ周波数で動作します。また、倍電流整流器は構造上、出力インダクタの最大 $D_{eff}$ が 50% にしかならなりませんが、フルブリッジ整流器やセンター タップ整流器では 100% になります。

各整流ダイオードの電圧ストレスは、センター タップ整流器では $2V_{OUT}/D_{eff}$、フルブリッジ整流器および倍電流整流器では $V_{OUT}/D_{eff}$ であることも特徴です。フルブリッジ整流器は、同じ $D_{eff}$ と出力電圧 ($V_{OUT}$) を持つセンター タップ整流器に比べて、整流器の電圧ストレスが小さくなります。倍電流整流器の最大 $D_{eff}$ は最大 50% までしか上がらないため、倍電流整流器とセンター タップ整流器は、同じ $V_{OUT}$ で効率を最適化した設計 ($D_{eff}$ が最大値に近い状態) では、どちらもフルブリッジ整流器よりも高い電圧ストレス レベルになります。

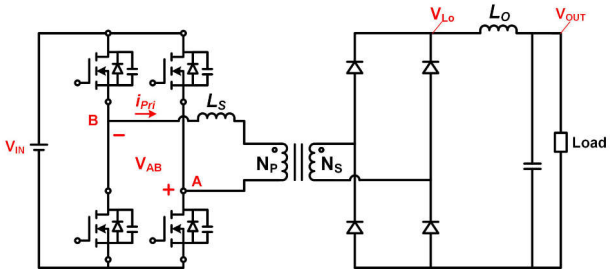



*図 13. フルブリッジ整流器を搭載した PSFB*

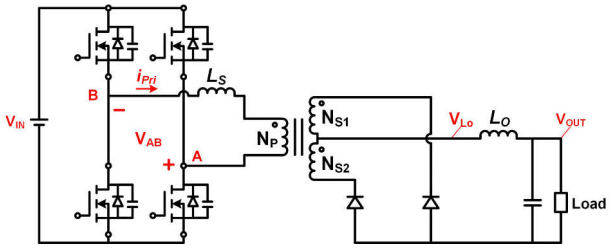



*図 14. センター タップ整流器を搭載した PSFB*

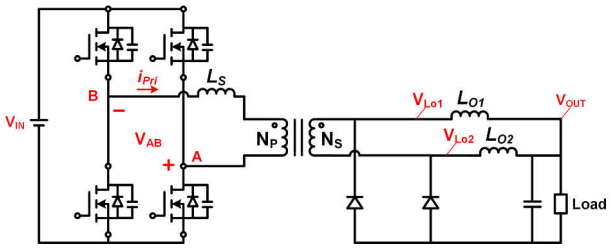



*図 15. 倍電流整流器を搭載した PSFB*

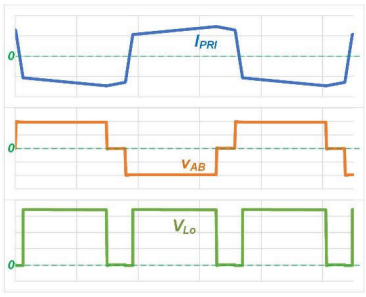



*図 16. PSFB の波形*

**注**

フルブリッジ整流器またはセンター タップ整流器での波形です。

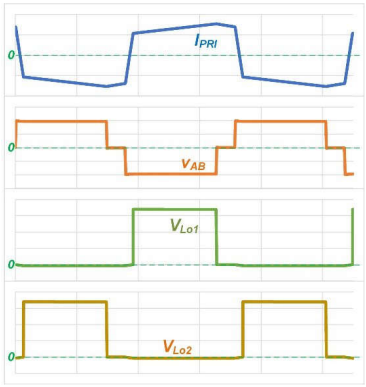



*図 17. フルブリッジ整流器またはセンター タップ整流器を搭載した PSFB の波形*

| 整流器の種類 | インダクタの動作周波数 | $D_{eff}$ の許容範囲 | 2 次側巻線の数 | 整流器部品の数 | 出力インダクタの数 | 特性 |
|---|---|---|---|---|---|---|
| フルブリッジ | 1 次側スイッチング周波数の 2 倍 | 0～100% | 1 | 4 | 1 | トランスの利用率が高く、高い静止出力電圧 ($_O$) に適している |
| センター タップ | 1 次側スイッチング周波数の 2 倍 | 0～100% | 2 | 2 | 1 | 部品点数が最も少なく、トランスの利用率も低い |
| 倍電流 | 1 次側スイッチング周波数 | **0～50%** | 1 | 2 | **2** | トランスの利用率が高く、$I_{LO}$ は半分 |

*表 2. PSFB 出力整流器の主な特性*

## PSFB のクランプ オプション

PSFB は、1 次側スイッチのソフト スイッチングを実現し、電圧リンギングの少ない、クリーンな FET ドレイン - ソース間電圧 ($V_{DS}$) 波形を得ることができます。ただし、PSFB 出力整流器の寄生容量は、トランス巻線と直列のインダクタンスと共振し、整流器の高電圧ストレスにつながります。

図 18 で、フルブリッジ同期整流器を搭載した PSFB について考えてみましょう。同期整流器の $V_{DS}$ 電圧には、図 19 に示すようにモデル化された FET 出力容量によって大きなリンギングが発生します。リンギングのピーク値は、$2V_{IN} \times N_S/N_P$ 程度になる可能性があります。整流器の電圧ストレスを低減し、より低いドレイン - ソース間オン抵抗 ($R_{DS(on)}$) FET を使用

して効率を向上させるには、整流器の電圧ストレスのクランプが必要かもしれません。電圧リンギングの部分的エネルギーを吸収するためにパッシブ クランプ回路を適用することも、一つのオプションです。**図 20** に、PSFB に適用されるパッシブ クランプのオプションを示します。**図 21** に、出力段に抵抗コンデンサ ダイオードを追加することで、整流器の電圧ストレスがいかに大幅に低減されるかを示します。クランプ コンデンサ ($C_{cl}$) の容量は、整流器の電圧ストレスを効果的にクランプするために、理想的な電圧源として扱われるのに十分な大きさが必要です。$C_{cl}$ は クランプ ダイオードによって充電され、そのエネルギーを $R_{cl}$ で消費します。**式 4** で、目標のクランプ電圧レベル ($V_{CP}$) で整流器電圧をクランプするために必要なクランプ抵抗 ($R_{cl}$) の抵抗を計算します。

$$R_{cl} = \frac{(V_{CP} - V_{OUT}) \times (V_{CP} - V_d)}{C_{cl} \times V_{CP} \times (2V_d - V_{CP}) \times f_{SW}} \quad (4)$$

ここでは、$V_d = V_{IN} \times N_S/N_P$、$f_{SW}$ は PSFB のスイッチング周波数です。

**式 5** で、クランプ抵抗の消費電力を計算します。

$$P_{R_{cl}} = \frac{(V_{CP} - V_{OUT})^2}{R_{cl}} \quad (5)$$

**式 4** と **式 5** に示すように、$V_{CP}$ が低いほど $R_{cl}$ が低くなり、$R_{cl}$ の消費電力が大きくなります。

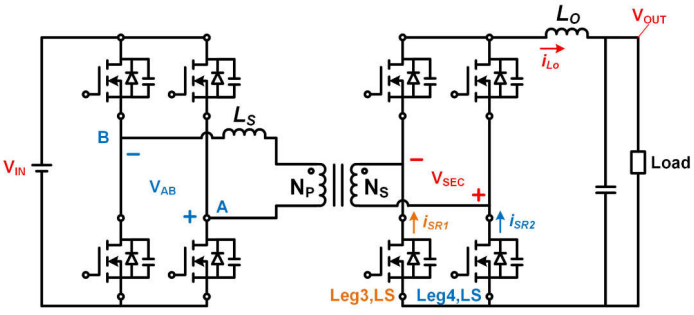



*図 18. 同期整流器を搭載した PSFB*

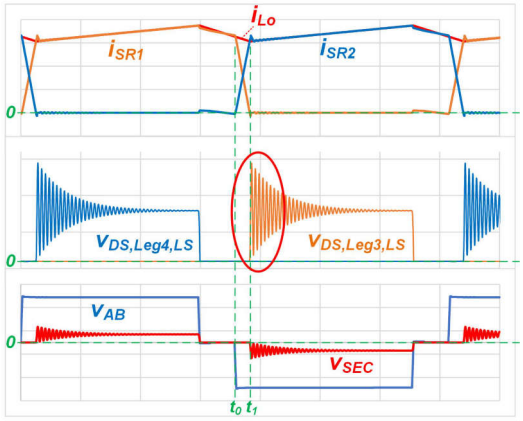



*図 19. 出力整流器に電圧クランプが搭載されていない PSFB の波形*

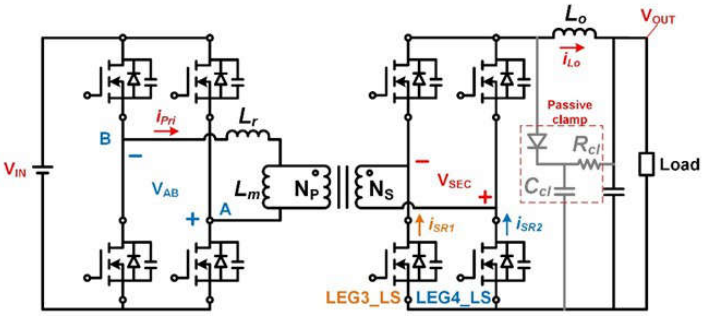



*図 20. アクティブ クランプを搭載した PSFB*

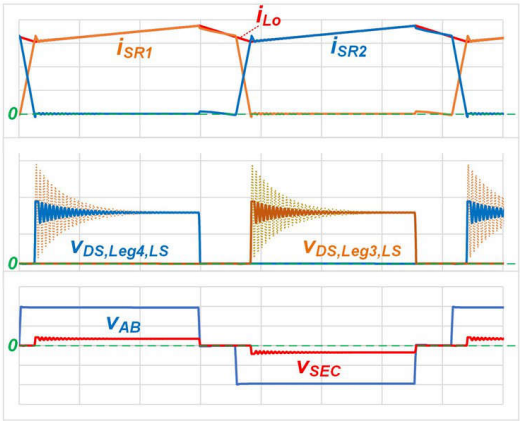



*図 21. パッシブ クランプ回路を搭載した PSFB の波形 (実線)*

PSFB は、トランス巻線と直列のインダクタに蓄積されたエネルギーによってソフト スイッチングを実現します。ただし、インダクタは整流器の寄生コンデンサと共振するため、整流器に高い電圧ストレスがかかります。トランスの直列インダクタのインダクタンスを小さくできれば、整流器の電圧ストレスを低減できます。**図 22** に示す 1 次側クランプを使用すると、ハーフブリッジ FET レグとクランプ ダイオードの間にトランスの直

列インダクタを配置し、2 個のダイオードを追加することで、より小型の直列インダクタを使用できます。こうすることで、トランスの直列インダクタはトランスのリーケージ インダクタのみになります。

図 23 に、1 次側クランプが搭載された場合と搭載されていない場合の PSFB の波形を示しています。$L_S$ は 3.5µH、リーケージ インダクタンス ($L_{lk}$) は 0.5µH に設定されています。1 次側のダイオード クランプにより、$L_S$ のエネルギーを再利用して 1 次側に保持することが可能です。出力整流器の寄生コンデンサは $L_{lk}$ にのみ共振するため、出力整流器の電圧ストレスが大幅に低減されます。小さな $L_{lk}$ でソフト スイッチングを維持するために、1 次側クランプが搭載された PSFB ではディスクリート インダクタ $L_S$ が必要になるため、別のクランプ方式を採用した PSFB よりも電力密度が低くなる可能性があります。

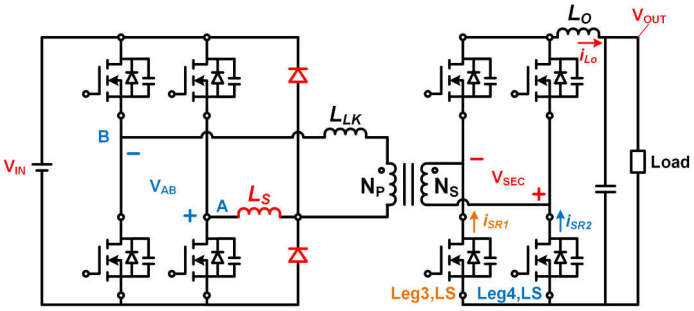



*図 22. 1 次側クランプが搭載された PSFB*

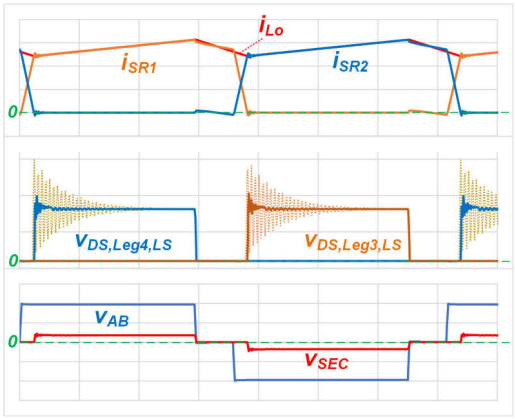



*図 23. 1 次側クランプ回路がある場合 (実線) とない場合 (破線) の PSFB の波形*

パッシブ クランプのようにクランプ抵抗で電力を消費したり、1 次側クランプのようにディスクリート インダクタを追加したりする代わりに、図 24 に示すアクティブ クランプを使用することで、サイズと効率の両方を最適化できます。出力インダクタの前に、コンデンサ ($C_{CL}$) と MOSFET ($Q_{CL}$) で形成されたアクティブ クランプ レグ (ACL) が挿入されています。出力巻線電圧がゼロ以外になると、エネルギーは 1 次側巻線から 2 次側巻線に移って出力インダクタに電力を供給し、また、$Q_{CL}$ がオンになっていなくても、$Q_{CL}$ のボディ ダイオードを通して電流が流れ、$C_{CL}$ が充電されます。本体がすでに電流を伝導した後に $Q_{CL}$ をオンにすると、$Q_{CL}$ は確実にゼロ電圧スイッチング (ZVS) になります。$D_{eff}T_S$ の開始時に $C_{CL}$ の電流 - 時間バランス (または充電バランス) を完了させるために、電流極性が変化する前に $Q_{CL}$ をオンにすることが重要です。

図 25 は、同期整流器の電流とトランスの巻線電流に非単調な電流があることを示しています。ピーク電流モード制御では、一般に、実効デューティ サイクル周期中にトランス電流が単調に上昇する必要があるため、これはピーク電流モード制御の課題となる可能性があります。$Q_{CL}$ は、アクティブ クランプ電流 - 時間バランスが意図したとおりに動作するのに十分な時間、つまり出力整流器電圧を $C_{CL}$ 電圧 ($V_{CL}$) にクランプするのに十分な時間だけオンにする必要があります。$Q_{CL}$ は $D_{eff}T_S$ 全体を通して通電させる必要はなく、代わりに比較的短い時間だけ通電させます。

したがって、動作電圧と負荷の全範囲にわたって、$D_{eff}T_S$ を電流 - 時間バランスが完了する時間 ($D_{CSB}T_S$) よりも常に長く保ちながら、$Q_{CL}$ を固定オン時間 ($D_{ACL}T_S$ = 一定) に設定することを推奨します。$D_{eff}T_S$ は $D_{CSB}T_S$ より大きいため、トランス電流が単調に上昇するときに必ずピーク電流検出が発生します。PSFB は一般に、$D_{eff} >> D_{CSB}$ が予想される中負荷から重負荷で $D_{eff}$ が大きくなるように設計されています。軽負荷時は、コンバータは通常不連続導通モードで動作し、同じ入出力電圧条件では $D_{eff}$ は連続導通モードの $D_{eff}$ より小さくなります。

軽負荷時でも $D_{eff}T_S$ が $D_{CSB}T_S$ より大きくなるように、周波数低減制御やバースト動作を実施することができます。デューティ サイクル損失期間が終了した後でのみ $Q_{CL}$ をオンにすることが重要です。そうでなければ、$C_{CL}$ に蓄積されたエネルギーが 1 次側にダンプして、同期整流器に過大なストレスが発生し、部品を損傷する可能性があります。$C_{CL}$ は、同期

整流器の電圧ストレスを効果的に低減するために、理想的な電圧源として扱われるのに十分な大きさである必要があります。したがって、選択した $C_{CL}$ が **式 6** で表される不等式を満たしていることを確認する必要があります。

$$T_S \ll 2\pi\sqrt{\left(\frac{N_S}{N_P}\right)^2 L_S C_{CL}} \quad (6)$$

$C_{CL}$ の電圧リップルがゼロであると仮定すると、クランプ回路なしで、電圧ストレスの半分に相当する $V_{IN}N_S/N_P$ に整流器電圧をクランプすることが可能です。アクティブ クランプは電力抵抗にリンギング エネルギーを放散させず、無損失スナバとして LC 共振タンクのエネルギーを循環させます。そのため、同じ仕様であれば、パッシブ クランプを搭載した PSFB よりもアクティブ クランプを搭載した PSFB の方が高いコンバータ効率を期待できます。

同期整流器の $C_{OSS}$ によって、ACL のピーク電流が制御されます。$C_{OSS}$ の低い同期整流 FET を選択すると、ACL の 2 乗平均平方根 (RMS) 電流が下がり、コンバータの効率向上に役立ちます。

アクティブ クランプを搭載した PSFB を設計する際の設計ガイドラインを以下に示します。

- $C_{CL}$ のエネルギーが 1 次側に逆流するのを防ぐため、$Q_{CL}$ はデューティ サイクルの損失期間後にのみオンにする必要があります。
- $Q_{CL}$ はボディ ダイオードが ZVS に電流を流している間にオンにする必要があります。
- $Q_{CL}$ のオン時間が長くなると、同期整流器の電圧ストレスと同様に $V_{CL}$ も低減しますが、$Q_{CL}$ の RMS 電流は増加します。
- 同期整流器の $C_{OSS}$ を下げると、ACL RMS 電流を下げるだけでなく、同期整流器の電圧ストレスを下げることにもつながります。

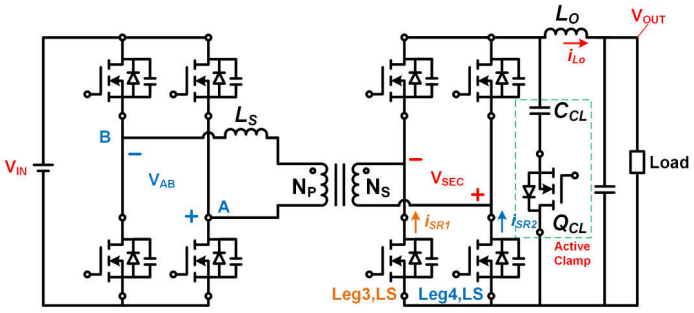



*図 24. アクティブ クランプを搭載した PSFB*

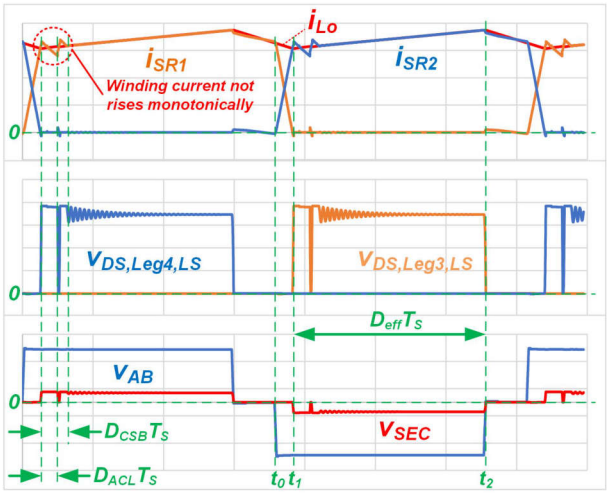



*図 25. アクティブ クランプを搭載した PSFB の波形*

## PSFB 制御

このセクションでは、PSFB の制御に関する微妙な違いを紹介します。**図 26** は、PSFB を実装するために必要な制御ロジックの大まかなブロック図であり、OUT1H と OUT1L は 1 次側 FET の一方のハーフ ブリッジのゲート ロジックであり、OUT2H と OUT2L は 1 次側 FET の他方のハーフ ブリッジのゲート・ロジックです。目的のスイッチング周波数に設定されたクロックにより、OUT1H と OUT1L の一対の PWM が直接制御されます。OUT2H と OUT2L は、次の組み合わせで制御されます。

- 抵抗、コンデンサ、固定リファレンス電圧 $V_{RAMP_REF}$ で構成されるランプ信号。
- 補償回路を備えた分圧抵抗を通して出力電圧をサンプリングする誤差アンプ。
- 誤差アンプの出力とランプ信号電圧を比較するコンパレータ。
- コンパレータ出力に基づいて OUT2H と OUT2L の状態を設定する T フリップ フロップ。T フリップ フロップは立ち上がりエッジでトリガされます。

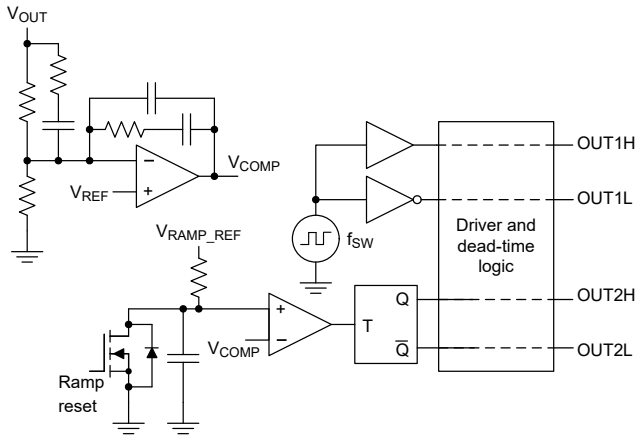



*図 26. PSFB 制御ロジック*

図 27 は、図 26 に示した回路のゲートロジック波形を示しています。新しいスイッチング周期が始まると、ランプ信号は 0V にリセットされ、1 次側 FET の対角線上にある OUT1H と OUT2L の 1 対がオンになります。ランプ信号 $V_{RAMP}$ が誤差アンプ出力電圧 $V_{COMP}$ より大きくなると、T フリップ フロップがトグルし、OUT2H と OUT2L の状態が変化します。スイッチング周期の中間点で OUT1H と OUT1L の状態が変化し、ランプ電圧がリセットされます。これで、1 次側 FET の対角線上にある別の OUT1L と OUT2H の 1 対がオンになります。ランプ信号が誤差アンプ出力電圧を上回ると、T フリップ フロップが再びトグルし、OUT2H と OUT2L の状態が変化します。

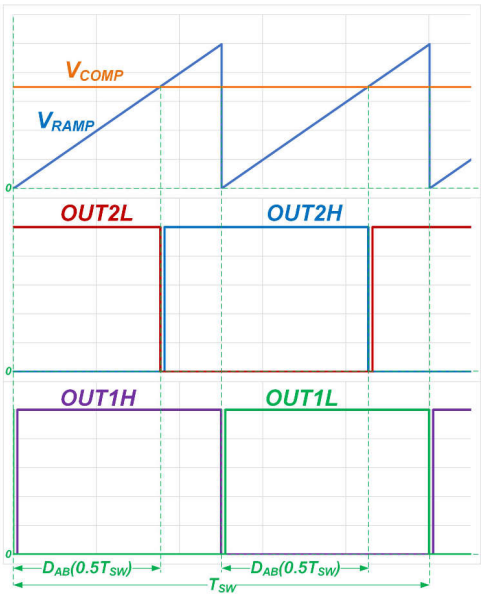



*図 27. PSFB の制御ロジック波形*

ここまでに説明した制御ロジックは、電圧モード制御として知られています。図 28 には、この制御ロジックの若干のバリエーションを示しており、ランプ信号を生成するために、固定リファレンス電圧の代わりに $V_{IN}$ または $V_{IN}$ に比例する電圧を使用しています。この方式の利点は、ランプの過渡電圧 (dV/dt) が $V_{IN}$ に応じて即座に変化するため、制御ロジックが $V_{IN}$ の変化を即座に反映できることです。これにより、$V_{IN}$ の変化による $V_{OUT}$ の偏差を最小限に抑えることができます。

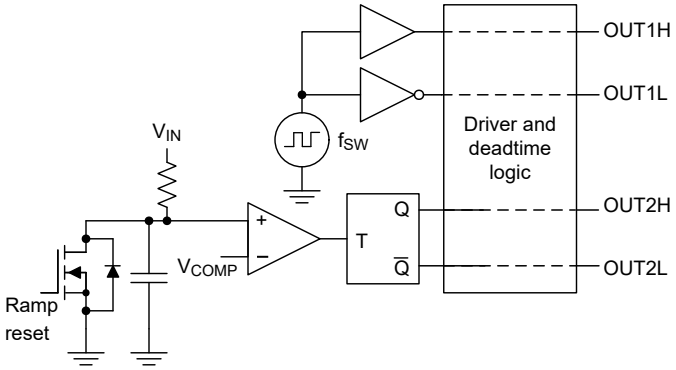



*図 28. フィードフォワードによる電圧モード制御*

図 29 に、ピーク電流モード制御として知られる制御ロジックの別のバリエーションを示します。この方式では、ランプ信号が電力段からサンプリングされた電流情報 $I_{CS}$ に置き換えられます。

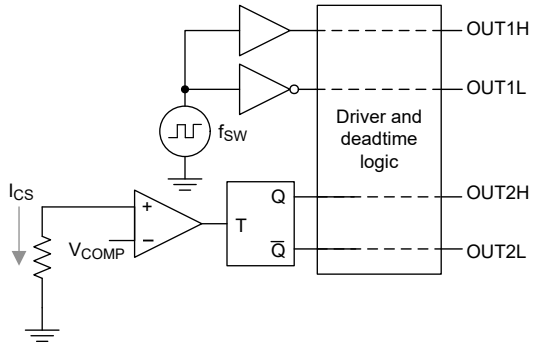



*図 29. ピーク電流モード制御*

電圧モード制御とピーク電流モード制御のどちらを使用するかは、PSFB の電力段の設計に影響を及ぼします。電圧モード制御の場合、巻線電流の不均衡によってトランスが飽和するのを回避するため、図 30 に示すように、トランスの 1 次側巻線と直列に DC ブロッキング コンデンサを配置する必要があります。トランスの 1 次側巻線電流はすべて DC ブロッキング コンデンサを流れるため、十分な電流定格のコンデンサ、または必要な電流定格を満たすコンデンサの組み合わせが必要になります。DC ブロッキング コンデンサを印加すると、2 次側の整流器の電圧ストレスが増加します。これは、1 次側 MOSFET の対角線上にある 1 対がオンになると、DC ブロッキング コンデンサの電圧リップルによって、トランスの 1 次側巻線の電圧振幅が $V_{IN}$ を上回るためです。したがって、DC ブロッキング コンデンサのサイズと容量、電圧ストレスとの間でトレードオフを行う必要があります。

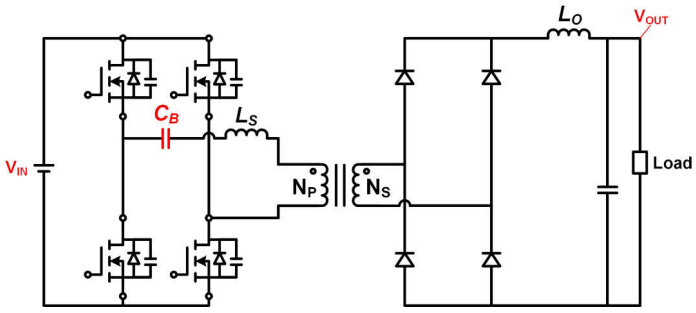



*図 30. DC ブロッキング コンデンサを搭載した PSFB*

電流モード制御の利点の一つは、制御ループがトランスのピーク電流を直接サンプリングしてレギュレートするため、DC ブロッキング コンデンサが不要であることです。図 31 では、電力段の電流サンプリングが可能な 3 つの位置を丸で囲んでいます。

位置 No.1 では、電流センス トランスなどの電流センシング素子を PSFB トランスと直列に配置しています。この位置の利点の一つは、PSFB トランスの双方向電流の流れにより、電流センス トランスのコアを自動的にリセットできることです。この位置の欠点の一つは、トランスからの電流センス信号には AC 情報しか含まれておらず、DC 情報が含まれていないことです。電力段での遅延のミスマッチや、電流センス信号への同相ノイズの結合などが原因で、PSFB トランスの電流が片側に偏る可能性があり、飽和を回避するためにトランスの設計に大きなマージンが必要になる可能性があります。

位置 No. 2 では、入力コンデンサと 1 次側のフルブリッジの間に電流サンプリングを配置しています。入力コンデンサとフルブリッジの間、またはフルブリッジから入力コンデンサに戻るリターン パスにトランスを配置できます。この位置の利点は、トランスの電流センス信号が AC と DC の両方の情報を含み、位置 No. 1 の欠点を回避できることです。位置 No. 2 の欠点は、1 次側電力段ループ内の寄生インダクタンスが増加することです。より高い寄生ループ インダクタンスからもたらされるリンギングによって 1 次側 FET にかかる電圧ストレスを管理することが重要です。この位置のもう一つの課題は、スイッチング周期ごとにトランスのコアを 2 回リセットする必要があることです。このリセットは、ハイサイドまたはローサイドの両方の 1 次側 FET がオンのときに発生します。トランス コアのリセットは、高いデューティ サイクルを必要とする設計や、リセット完了までの時間が短い高周波設計では、さらに難しくなります。また、フルブリッジから入力コンデンサに戻るリターン パスで、電流センシング素子としてシャント抵抗と電流センス アンプを使用することもできます。これにより、シャント抵抗での消費電力とのトレードオフが生じますが、トランスのリセットに関する課題を回避できます。

位置 No. 3 は、出力インダクタ電流が整流器に戻るリターン パスの 2 次側です。設計者は多くの場合、この位置に電流センス抵抗と電流センス アンプを使用します。他の 2 つの位置とは異なり、電流サンプリングはコンバータの 2 次側に配置されます。このため、PSFB コントローラも 2 次側に配置されている場合、絶縁バリアを越える必要がないため、実装を簡素化できます。3 つの位置のうち、アクティブ クランプを適用した場合、電流が上昇する期間に電流が歪まないのは位置 No. 3 のみです。

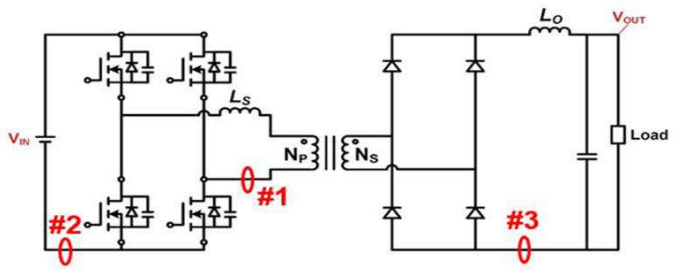



*図 31. 電流モード制御による PSFB*

図 32 は、『Transfer Functions of Switching Converters』(英語) で Christophe Basso が示した電圧モード制御の PSFB モデルのプラント伝達関数と、『Small-Signal Modeling of Phase-Shift Full-Bridge Converter with Peak Current Mode Control』(英語) で Shi-song Wang が示したピーク電流モード制御の PSFB モデルのプラント伝達関数を、100kHz で動作する 3kW、400$V_{IN}$ から 12$V_{OUT}$ の PSFB コンバータについて比較したものです。PSFB は降圧派生トポロジであり、電圧モード制御の降圧と電圧モード制御の PSFB は類似していると思われるかもしれませんが、$L_S$ によるデューティ サイクル損失の影響により減衰効果がもたらされ、電圧モード制御の PSFB の AC 応答にはピークがありません。電圧モード制御モデルはプラント伝達関数に 2 つの実数極を示し、ピーク電流モード制御モデルは 1 つの実数極を示します。ピーク電流モード制御のゲインのロールオフがよりソフトであることから、より高いループ帯域幅を達成できるため、負荷過渡応答が懸念されるアプリケーションにとって非常に有利であることがわかります。

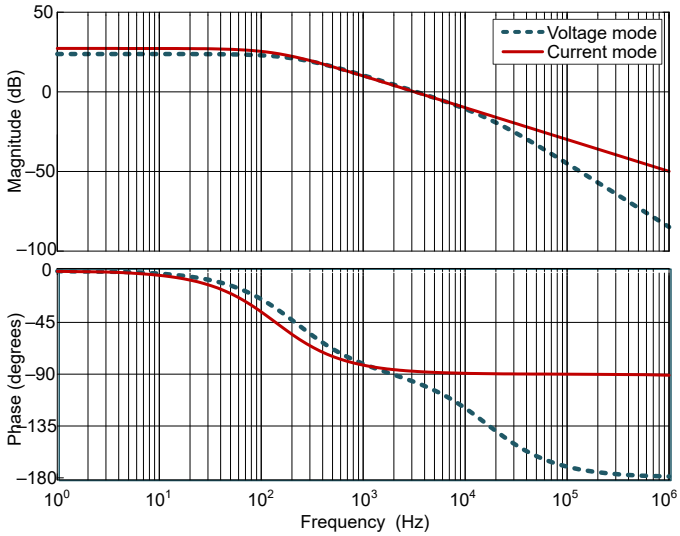



*図 32. 電圧モード制御とピーク電流モード制御の比較*

## 同期整流の動作モード

PSFB コンバータでの同期整流の動作モードは、LLC-SRC など他の絶縁型トポロジとは異なる場合があります。LLC-SRC の同期整流器は理想的なダイオードのように動作します。同期整流 FET の電圧または電流を検出することで、FET のボディ ダイオードを通して電流が導通しているかどうかが明らかになり、同期整流 FET オンにするかどうかがわかります。同期整流電流が特定のレベルを下回ったら、同期整流 FET をオフにします。

PSFB 整流段 (図 33 を参照) は降圧コンバータのように動作します。たとえば、$V_{SEC}$ が正の場合、$L_O$ はレグ 4 ハイサイド スイッチ (Out4H 信号により制御) を通して通電され、電流はレグ 3 ローサイド スイッチ (Out3L 信号により制御) を通してトランスに戻ります。トランスの巻線電圧がゼロの場合、$I_{LO}$ 電流はレグ 4 ローサイド スイッチ (Out4L 信号により制御) 通して連続的に流れ、電流はレグ 3 ハイサイド スイッチ (Out3H 信号により制御 )を通して $L_O$ に戻ります。これはフリーホイール期間であり、この間は、たとえ同期整流 FET をオンにしなくても、インダクタ電流は同期整流 FET のボディ ダイオードを通して流れ続けます。フリーホイール期間中の電流が大きい場合、フルブリッジ整流器の 4 個の同期整流 FET をすべてをオンにして、ボディ ダイオード導通の代わりにチャネル導通を可能にし、導通損失を低減する必要があります。図 34 から図 36 に示すように、一般に PSFB の同期整流には 3 つの動作モードがあります。負荷電流が非常に小さい場合、スイッチング損失と駆動損失を低減するために、すべての同期整流 FET をオフ (モード 0) のままにしても問題ありません。PSFB がまだ不連続導通モードである間に負荷電流がもう少し大きくなると、$L_O$ の通電期間 (モード 1) 中に同期整流 FET をオンにし始めることができます。負荷電流がさらに大きくなると、PSFB は連続導通モードで動作し、$L_O$ の非通電期間 (モード 2) 中にすべての同期整流 FET をオンにして、導通損失を低減します。フリーホイール期間中にフルブリッジ整流器の 4 個の同期整流 FET をすべてオンにできるのは、PSFB に固有の機能です。

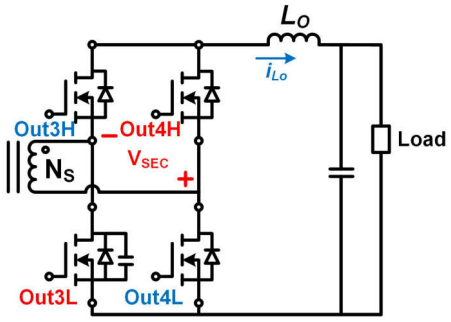



***図 33.*** *同期整流器が搭載された PSFB 出力段*

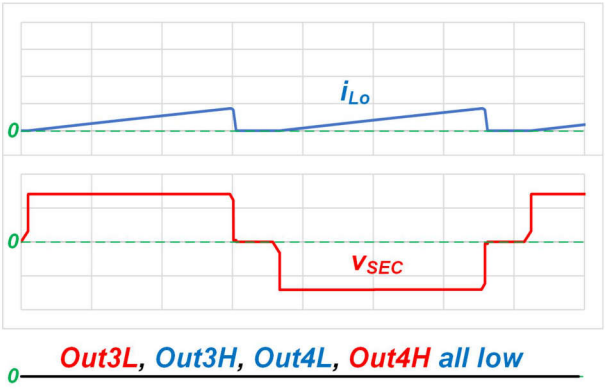



***図 34.*** *同期整流の動作モード：モード 0 – 軽負荷時にはすべての同期整流 FET がオフになる*

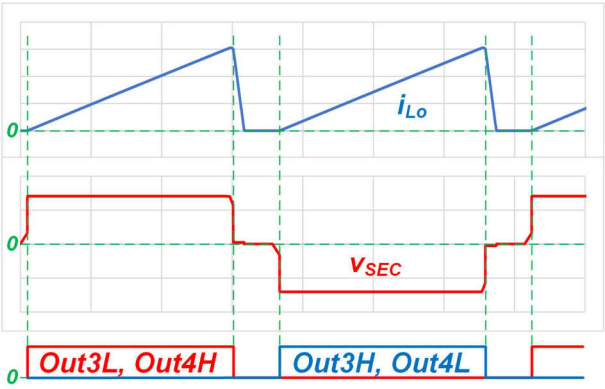



***図 35.*** *同期整流の動作モード：モード 1 – $L_O$ が通電時のみ対応する同期整流 FET をオンにする*

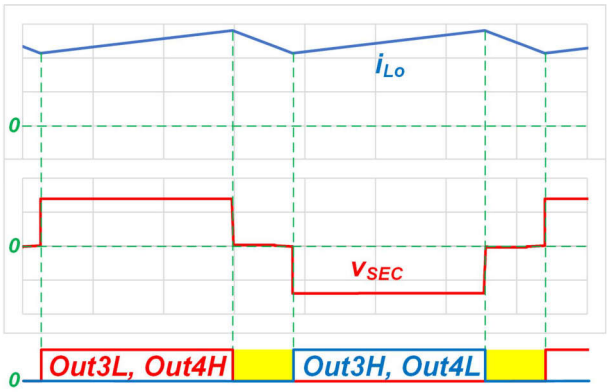



***図 36.*** *同期整流の動作モード：モード 2 – $L_O$ が非通電時にすべての同期整流 FET をオンにする*

## 軽負荷の管理オプション

軽負荷時には、出力電圧をレギュレーション範囲内に維持したり、PSFB コンバータの効率を改善したりするために、特殊な制御モードを使用しなければならない場合があります。やり方の一つとして、図 37 に示すように、コンバータのスイッチング周波数を直接下げて、OUT1H/OUT2H と OUT1L/OUT2L のオーバーラップ時間を長くする方式があります。この方式により、対角線上にある対の OUT1H/OUT2L と OUT1L/OUT2H のそれぞれのオーバーラップ時間を最小に保ちながら、PSFB をより低い $D_{eff}$ にすることができます。各 1 次側ゲート信号のオン時間が長いため、1 次側にゲート ドライブ トランスを使用する場合は、飽和を回避するのが困難になるため、この方式は推奨できません。

図 38 に、2 つ目の軽負荷時の管理方式を示します。この方式では、エラー アンプの出力 $V_{COMP}$ がプリセット値 $V_{burst_threshold}$ を下回ると、PSFB コンバータはスイッチングを完全に停止します。$V_{COMP}$ が $V_{burst_threshold}$ より大きくなると、PSFB はスイッチングを再開します。周波数低減モードと比較した場合、このヒステリシス バースト モード方式の利点の一つは、必要なスイッチング周波数をコントローラで計算する必要がないため、CPU 使用率が低下することです。また、ヒステリシス バースト モードは、周波数低減モードに比べて軽負荷時のループ帯域幅が広くなります。この方式の主な欠点としては、出力電圧リップルが高くなることが挙げられます。

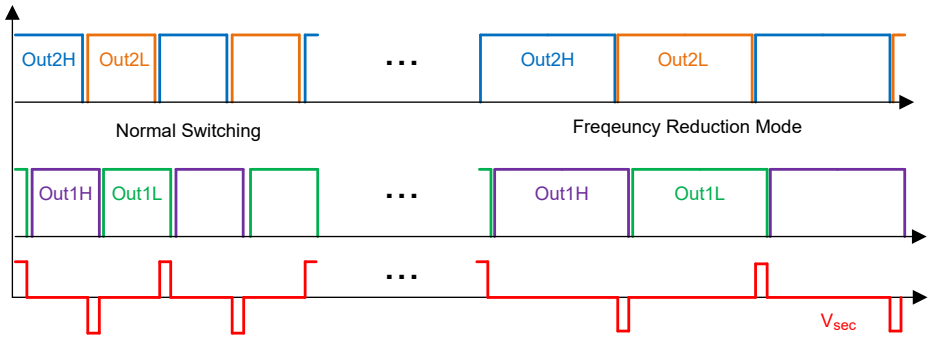



*図 37. 周波数低減モードによる PSFB スイッチング パターン*

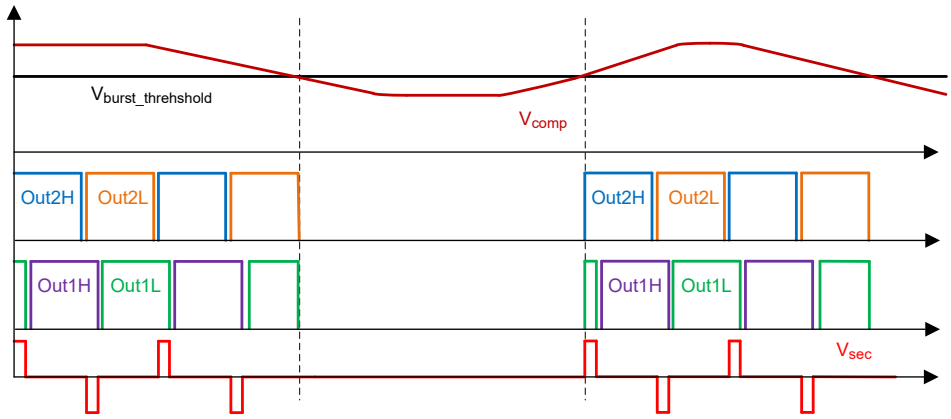



*図 38. ヒステリシス バースト モードによる PSFB スイッチング パターン*

## PSFB 設計例

性能を検証するために、M-CRPS 仕様を対象とした、アクティブ クランプを搭載した 54V、3kW PSFB のリファレンス デザインを製作しました。**図 39** と **図 40** に、このリファレンス デザインのブロック図と基板の写真をそれぞれ示します。このリファレンス デザインでは、PSFB 制御用に TMDSCNCD280039C C2000™ マイクロコントローラ、効率最適化のために窒化ガリウム FET、ピーク電流モード制御電流センシング用に 1 次側巻線の電流トランスを使用しています。出力段の総寸法は、100mm x 65mm x 40mm です。**図 41** に、3kW 負荷時の定常状態波形を示します。アクティブ クランプ MOSFET は、140kHz の PSFB スイッチング周波数で 300nS だけオンになるようにプログラムされているため、非単調な $I_{PRI}$ 期間が 1µs 未満に制限され、広い $D_{eff}$ 範囲が可能になります。トランスの 2 次側巻線電圧 ($V_{SEC}$) のピークは、同期整流 FET の電圧ストレスを表すものです。**図 41** にも、54V 出力の同期整流 FET に印加している 80V の電圧ストレスを示しており、100V 定格の同期整流 FET を使用することが可能です。**図 42** に、電流変化スルーレート 1-A/µS で 50% の負荷過渡を示しています。このリファレンス デザインは、M-CRPS の限界をはるかに上回る性能を示しています。

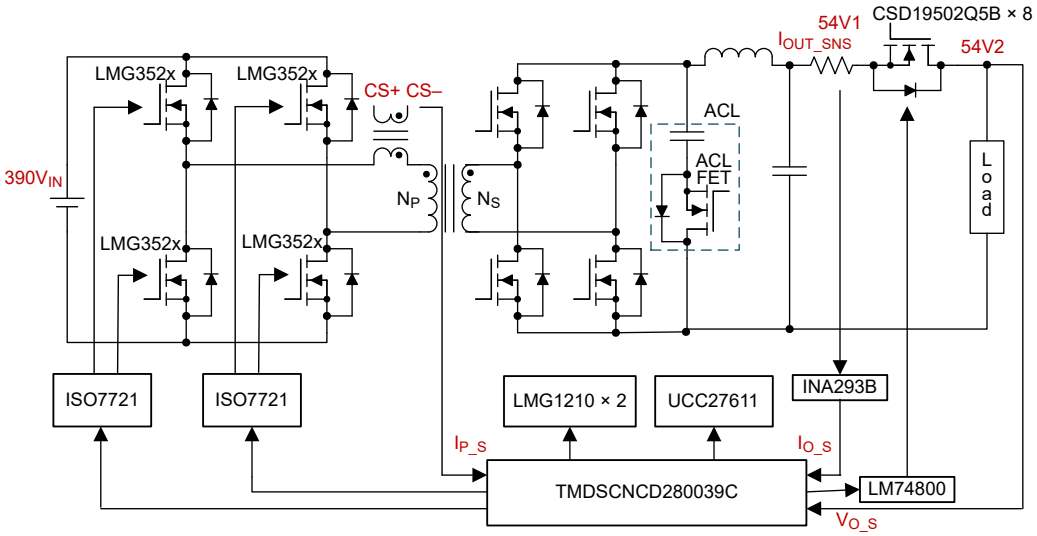



***図 39.*** *アクティブ クランプ搭載、54V、3.6kW PSFB のリファレンス デザイン*

***図 40.*** *54V、3.6kW PSFB のリファレンス デザイン*

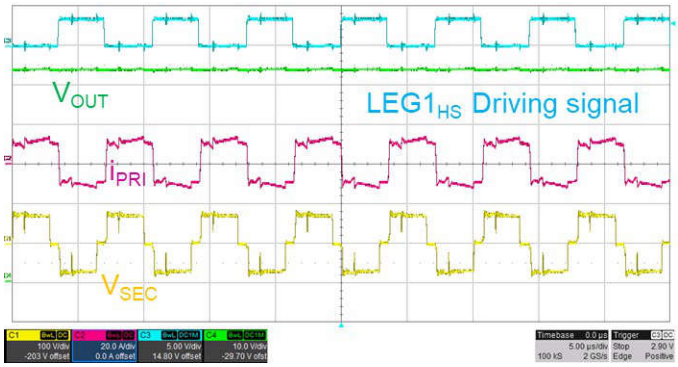



***図 41.*** *3kW 負荷時の PSFB リファレンス デザインの定常状態波形*

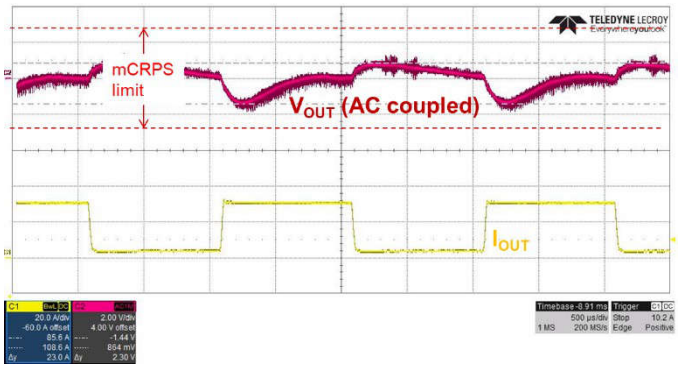



***図 42.*** *M-CRPS 仕様に基づく 3A～31A (50%) 負荷過渡*

## 結論

PSFB は、広い入出力電圧範囲と高速負荷過渡応答が求められるアプリケーションに適したものです。このホワイト ペーパーでは、動作原理、整流器の種類、整流器のクランプ オプション、制御モード、同期整流器の動作モード、制御モード、軽負荷時の管理方式を含め、PSFB の基礎について説明しました。

## その他資料


- Richard Yin。2022.『**Power Tips #109：サーバー用電源設計の 5 つの主要なトレンド**』EDN、2022 年 8 月 12 日。
- CLEAResult. n.d.『**80 Plus**』アクセス日：2023 年 11 月 28 日。
- 『**モジュール型ハードウェア システム向け共通冗長電源 (M-CRPS) の基本仕様**』OPEN Compute Project：米国テキサス州オースティン、2022 年 11 月 1 日。
- 『**Open Rack V3 Base Specification**』(英語)。OPEN Compute Project：米国テキサス州オースティン、2022 年 8 月 24 日。
- Yu、Sheng-Yang、Xun Gong、Gangyao Wang、Manish Bhardwaj。『**SiC FET を使用した大電力双方向 AD/DC 電源の設計**』テキサス・インスツルメンツ パワー サプライ デザイン セミナー SEM2400、2020～2021 年。
- Colin Gillmor。『**大電流 DC/DC 変換設計の概要：PSFB と FB-LLC の比較、第 1 部**』テキサス・インスツルメンツのビデオ、2018 年 12 月 14 日。
- Colin Gillmor。『**大電流 DC/DC 変換設計の概要：PSFB と FB-LLC の比較、第 2 部**』テキサス・インスツルメンツのビデオ、2018 年 12 月 16 日。
- Colin Gillmor。『**大電流 DC/DC 変換設計の概要：PSFB と FB-LLC の比較、第 3 部**』テキサス・インスツルメンツのビデオ、2018 年 12 月 16 日。
- Colin Gillmor。『**大電流 DC/DC 変換設計の概要：PSFB と FB-LLC の比較、第 4 部**』テキサス・インスツルメンツのビデオ、2018 年 12 月 16 日。
- Colin Gillmor。『**大電流 DC/DC 変換設計の概要：PSFB と FB-LLC の比較、第 5 部**』テキサス・インスツルメンツのビデオ、2018 年 12 月 17 日。
- Colin Gillmor。『**大電流 DC/DC 変換設計の概要：PSFB と FB-LLC の比較、第 6 部**』テキサス・インスツルメンツのビデオ、2018 年 12 月 17 日。
- Sabate、Juan A.、Vlatko Vlatkovic、Raymond B. Ridley、Fred C. Lee、Bo H. Cho。『Design considerations for high-voltage high-power full-bridge zero-voltage-switched PWM converter』(英語)。5th Annual Proceedings on Applied Power Electronics Conference and Exposition、1990 年 3 月 11～16 日、pp. 275～284。
- Laszlo Balogh。『**The Current-Doubler Rectifier: An Alternative Rectification Technique for Push-Pull and Bridge Converters**』(英語)。テキサス・インスツルメンツ文献番号 SLUA21、1994 年 12 月。
- Song-Yi Lin、Chern-Lin Chen。『位相シフト フルブリッジ ZVS コンバータの出力整流器で使用される RCD クランプスナバの分析と設計』IEEE Transactions on Industrial Electronics 45, no. 2 (1998 年 4 月)、pp. 358～359。
- Richard Redl、Laszlo Balogh、D.W.Edwards。『Optimum ZVS Full-Bridge DC/DC Converter with PWM Phase-Shift Control: Analysis, Design Considerations, and Experimental Results』(英語)。Proceedings of 1994 IEEE Applied Power Electronics Conference and Exposition、1994 年 2 月 13～17 日、pp. 159～165。
- Sheng-Yang Yu、Benjamin Lough、LiehChung Yin。『**PSFB コンバータのアクティブ クランプにより高い変換効率を実現する**』テキサス・インスツルメンツ Analog Design Journal、文献番号 SLYT835、2023 年第 1 四半期。
- Shi-Song Wang、Zhang-Hai Shi、Jin-Hao Ruan。『Small-Signal Modeling of Phase-Shift-Full-Bridge Converter with Peak Current Mode Control』(英語)。2020 IEEE International Conference on Applied Superconductivity and Electromagnetic Devices、2020 年 10 月 16～18 日、pp. 1～22。
- Ahmed、M.R.、X. Wei、Y. Li。『**Enhanced Models for Current-Mode Controllers of the Phase-Shifted Full Bridge Converter with Current Doubler Rectifier**』(英語)。2019 10th International Conference on Power Electronics and ECCE Asia、2019 年 5 月 27～30 日、pp. 3271～3278。
- Vlatkovic、Vlatko、Juan A. Sabate、Raymond B. Ridley、Fred C. Lee、Bo H. Cho。『**Small-Signal Analysis of the Phase-Shifted PWM Converter**』(英語)。IEEE Transactions on Power Electronics 7, no. 1 (1992 年 1 月)、pp. 128～135。

- Christophe Basso。2021.『Transfer Functions of Switching Converters』(英語)。マサチューセッツ州スワンプスコット:Faraday Publishing。
- テキサス・インスツルメンツ。『**>270-W/in$^3$ の電力密度、アクティブ クランプ付き 3kW 位相シフト フルブリッジのリファレンス デザイン**』テキサス・インスツルメンツのリファレンス デザイン No. PMP23126。アクセス日:2023 年 11 月 28 日。
- テキサス・インスツルメンツ。『**アクティブ クランプ付き、54V、3kW 位相シフト フルブリッジのリファレンス デザイン**』テキサス・インスツルメンツのリファレンス デザイン No. PMP22951。アクセス日:2023 年 11 月 28 日。


**重要なお知らせ**:ここに記載されているテキサス・インスツルメンツ社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

C2000™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

© 2024 Texas Instruments Incorporated

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス· デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、TI の販売条件、または ti.com やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated