

Power Supply Design Seminar

従来型の昇圧コントローラを使った1 次側レギュレーション フライバックコン バータの設計



Reproduced from
2024 Texas Instruments Power Supply Design Seminar
SEM2600
Topic 6
Jiri Panacek
Literature Number: JAJ098

Power Supply Design Seminar resources
are available at:
www.ti.com/psds

一次側レギュレーション (PSR: Primary Side Regulation) は一次側または補助巻線の電圧を検出することにより、フォトカプラを利用した帰還を不要にし、システムコストを低減し信頼性を向上させます。PSR フライバックコンバータ向けのフィードバック回路を内蔵した専用ICも多くありますが、従来の昇圧/SEPIC コントローラIC を活用してPSR フライバックコンバータを実現することも可能です。この手法はシンプルに思えますが、実装に当たっては独自の注意点がいくつかあります。本セッションでは、それらの注意点について、トレードオフが必要になる領域を設計例を紹介しながら説明します。

フライバックコンバータ

フライバックコンバータは、低コストの絶縁型 DC/DC コンバータにおいて一般的な方法です。このトポロジでは、1 次側巻線を流れる電流を制御するスイッチを 1 つのみ使用します。

図 1 は、フライバックコンバータの概略回路図です。図 2 に、不連続導通モード (DCM) で動作するフライバックコンバータの選ばれた波形を示します。その動作サイクルは、ターンオンとターンオフという 2 つの段階に分類されます。

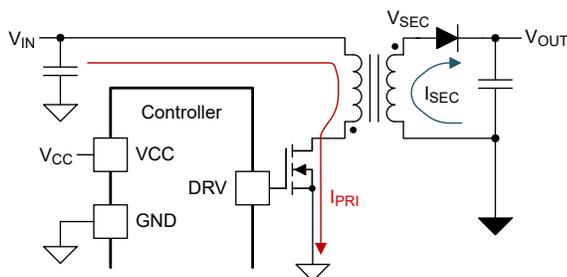


図 1. フライバックコンバータの概略図。

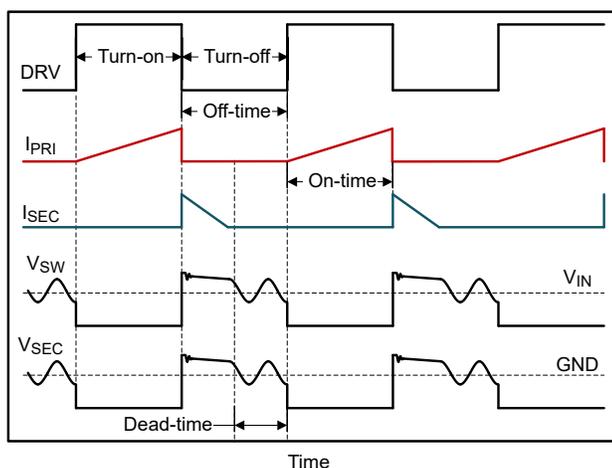


図 2. フライバックコンバータの波形。

ターンオン中、スイッチは導通します。1 次側巻線を流れる電流 (I_{PRI}) は直線的に増加します。2 次側のダイオードは逆極性であり、2 次側巻線電流 (I_{SEC}) を阻止します。出力コンデ

ンサのみが負荷に電力を供給します。この段階は、結合型インダクタ (トランス) にエネルギーを蓄積します。

ターンオフ中、スイッチが開き、 I_{PRI} はゼロに低下します。2 次側巻線の極性は、ターンオン段階の間に結合型インダクタが蓄積したエネルギーによって変化します。極性が変化すると、2 次側ダイオードが導通します。電流 I_{SEC} は直線的に減少し、インダクタを消磁します。この電流は出力コンデンサを再充電し、負荷に電力を供給します。

インダクタが完全に消磁され、 I_{SEC} がゼロに低下したとき、デッドタイム期間が始まります。この期間中、スイッチの 1 次側インダクタンスと出力容量の共振リングングが発生します。これは、DCM で動作するフライバックコンバータに特有の特性です。このリングングはすべての巻線で観測されます。

ターンオン期間とターンオフ期間を注意深く釣り合わせることで、本コンバータはレギュレートされたレベル内に出力電圧 (V_{OUT}) を維持します。通常、フライバックコンバータおよびコントローラは、高速な過渡応答でレギュレーションを維持するため、 I_{PRI} と V_{OUT} を検出します。 I_{PRI} の検出は単純です。コントローラは 1 次側に存在しており、情報が絶縁バリアを横断する必要はありません。 V_{OUT} の検出は、情報が絶縁バリアを横断する必要があるため、より困難です。この課題に対処するのに、2 次側レギュレーション (SSR) と PSR という 2 つの手法があります (図 3 を参照)。

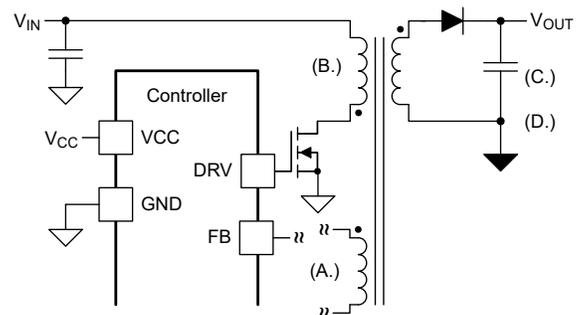


図 3. フライバック電圧帰還の位置。

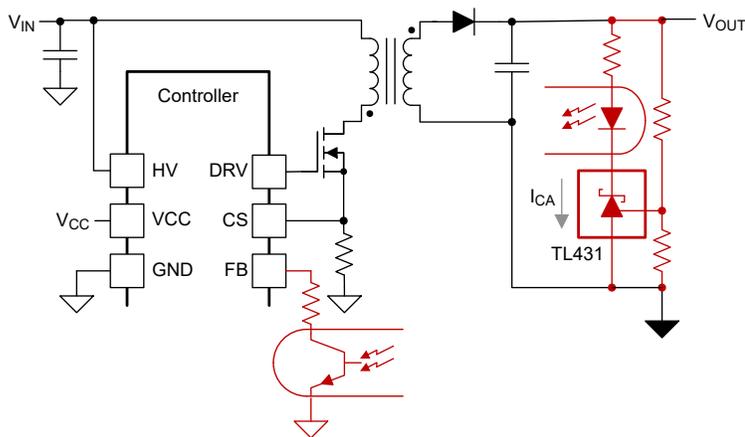
SSR は、DC/DC コンバータの出力で V_{OUT} を直接測定し
 ず (図 3 の C と D)。ガルバニック絶縁が問題とならないコン
 バータ (たとえば、高電圧出力を持つ DC/DC コンバータ) で
 は、帰還 (FB) ピンの入力電圧範囲に合うように、単純な抵抗
 分圧器を使って V_{OUT} を降圧します。ただし、ほとんどのアプ
 リケーションではガルバニック絶縁が重要です。この場合、
 SSR では、絶縁バリア越しに情報を伝達するアナログ アイソ
 レータ (フォトカプラ) を使います。

PSR は、ターンオフ段階中に 1 次側巻線に反映された電圧
 を検出することで、 V_{OUT} を間接的に測定します。この方法で
 は、追加の補助巻線 (図 3 の A) を使用するか、スイッチ ノード
 (図 3 の B) のスイッチ ノード電圧 (V_{SW}) を測定します。

SSR

図 4 に、SSR フライバック コンバータの概略回路図を示しま
 す。帰還回路には、抵抗分圧器、シャント電圧リファレンス、フ
 オトカプラを使います。電圧リファレンス (TL431 または類似の
 デバイス) は、 V_{OUT} を内部電圧リファレンスと比較し、それ
 に応じてカソード - アノード電流 (I_{CA}) を調整します。フォトカプラ
 のトランジスタの電流は電流伝達率 (CTR) に比例します。

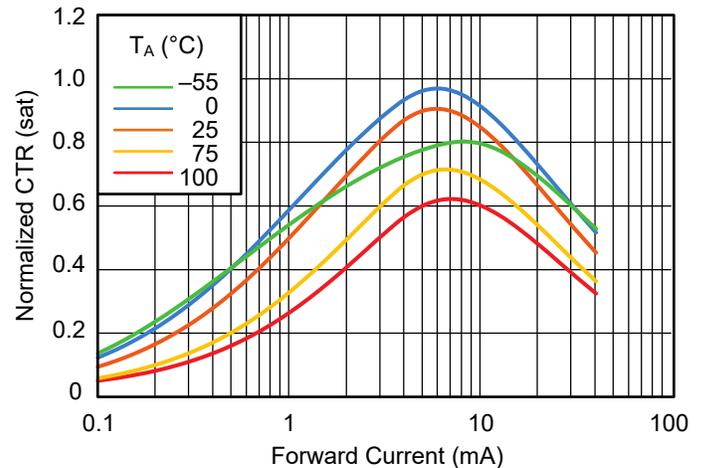
このフライバックコントローラは、 V_{OUT} が目標値を下回ってい
 るか上回っているかを間接的に伝える電圧リファレンスを利用
 しています。実際には、制御ループの安定性を確保するため、
 適切に補償を行うための受動部品をこの回路に追加する
 必要があります。



簡素な帰還回路。

図 4. フォトカプラを使った SSR フライバック コンバータ。

一般的なフォトカプラの CTR は、非直線性が高く、複数の要
 因に依存しています。図 5 に、温度と順方向電流によって
 CTR が変化する様子を示します。また、CTR は時間の経過
 とともに劣化します。信頼性の高いフライバック コンバータを
 設計するには、製品の寿命と動作温度を含むワーストケース
 シナリオを考慮する必要があります。



出典: Vishay 社、アプリケーション ノート 45 $V_{CE} = 0.4V$

以下の条件で正規化:

$I_F = 5mA$ $V_{CE} = 5V$ $T_A = 25^\circ C$

図 5. CTR と順方向電流および温度との関係

PSR

図 6 は、PSR フライバックの概略回路図です。この例では、コントローラが補助巻線を測定することで、 V_{OUT} を間接的に検出しています。補助巻線は、グランド基準をコントローラと共有しています。この巻線の極性は 2 次側巻線と同じです。

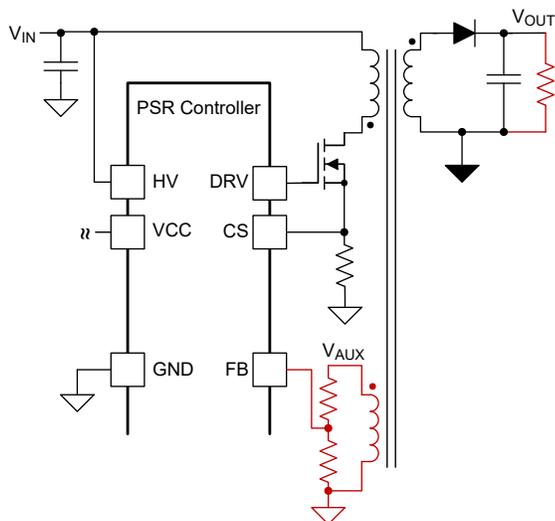


図 6. 補助巻線を使った PSR フライバックコンバータ。

図 7 に、PSR フライバックの波形を示します。補助巻線に現れている波形が重要です。ターンオン段階中、補助電圧 (V_{AUX}) は負であり、1 次側巻線と補助巻線の巻線比を V_{IN} に乗じた値に相当します。

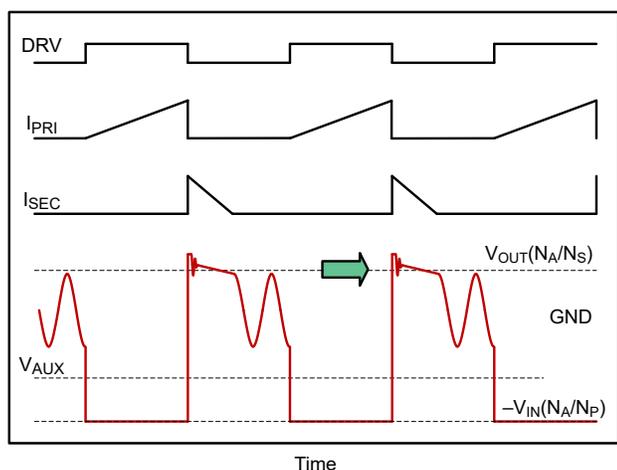


図 7. PSR フライバックの波形。

ターンオフ段階中、かつデッドタイムの前、 V_{AUX} は正です。その振幅は、2 次側巻線と補助巻線の巻線比を V_{OUT} に乗じた値に相当します。本コントローラは、デッドタイムの開始時に V_{AUX} をサンプリングすることで、スイッチングサイクルごとに 1 回、 V_{OUT} を測定します。 V_{AUX} が出力を正確に表すことができるように、PSR フライバックのスイッチングを継続的に行うことが不可欠です。

表 1 に、SSR と PSR の比較を示します。

パラメータ	フォトカプラを使った SSR	PSR
軽負荷時の動作	軽負荷時の良好なロードレギュレーション	最小限の負荷が必要
帰還	TL431 レギュレータとフォトカプラを使用した複雑な帰還回路	サンプリングされた V_{OUT} 反映値
V_{OUT} の初期精度	非常に良好	平均的
負荷レギュレーション	非常に良好なロードレギュレーション (<1%)	平均的なロードレギュレーション (>1%)
信頼性	フォトカプラの経年劣化は信頼性に影響を及ぼします。	非常に良好
過渡応答	フォトカプラの帯域幅に依存します。	主にスイッチング周波数 (f_{SW}) に依存します。
コスト	平均的	フォトカプラを取り外すことで改善します。
自己バイアス	補助巻線が必要	バイアスと帰還の両方に補助巻線を利用します。

表 1. SSR と PSR の比較。

補助巻線波形の詳細

図 8 に、補助巻線波形の形状に影響を及ぼす追加パラメータを含む PSR フライバック帰還を示します。すでに説明したように、ターンオン段階はレギュレーションにとって重要ではありません。なぜなら、この段階の間、補助巻線は有用な情報を何も伝えないからです。コンバータがターンオフ段階に入るとすぐに、 V_{AUX} は急に極性を変えます。

結合型インダクタの寄生漏れインダクタンスが、高周波数のリングングを発生させます。リングングが減衰した後、 V_{AUX} 波形は、ほぼ一定の状態を維持する段階に入ります。実際には、時間の経過とともに電圧はわずかに低下します。ダイオードの順方向電圧 (V_F) と 2 次側巻線の等価直列抵抗 (R_S) が、インダクタの消磁プロセス中に I_{SEC} が直線的に減少するにつれて V_{AUX} が変化する原因です。図 9 の緑色の矢印は、 V_{AUX} が間接的ではあるが正確に V_{OUT} を表している理想的な瞬間を示します。この瞬間は、 I_{SEC} がゼロに低下した瞬間です。したがって、ダイオードと直列抵抗による電圧降下は無視できます。この瞬間の後、共振リングングが発生します。こ

のリングングは、制御ループにとって有用な情報をもたらしません。ただし疑似共振動作では、コントローラが新しいスイッチング サイクルを開始するために、バレー (V_{SW} の電圧が低くなる期間) を待機するのに役立ちます。この手法を使うと、フライバックコンバータの効率を向上させることができます。

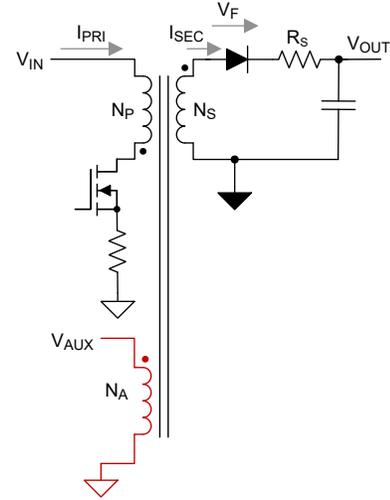


図 8. PSR フライバックの補助巻線。

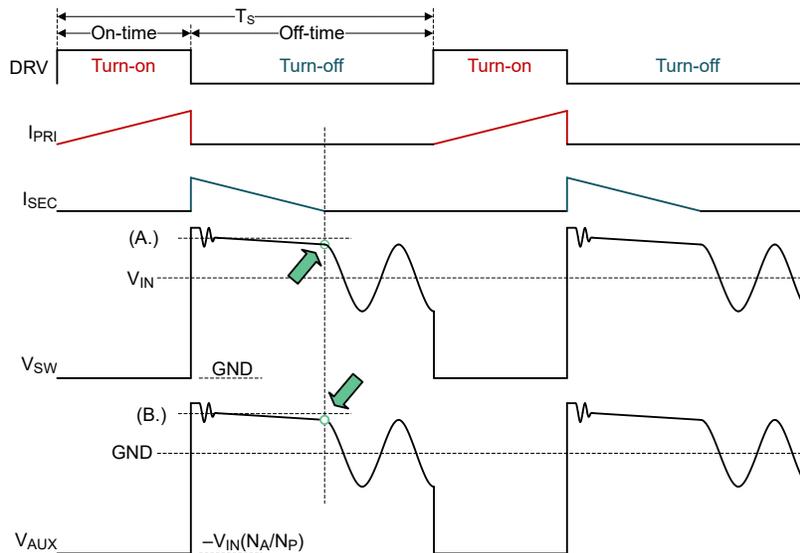


図 9. PSR フライバック波形の詳細。

A. 式 1 に、点 (A.) でのスイッチ ノード波形 (V_{SW}) の電圧レベルを定義します。

$$\frac{N_P}{N_S} \times (V_{OUT} + V_F + (I_S \times R_S) + V_{IN}) \quad (1)$$

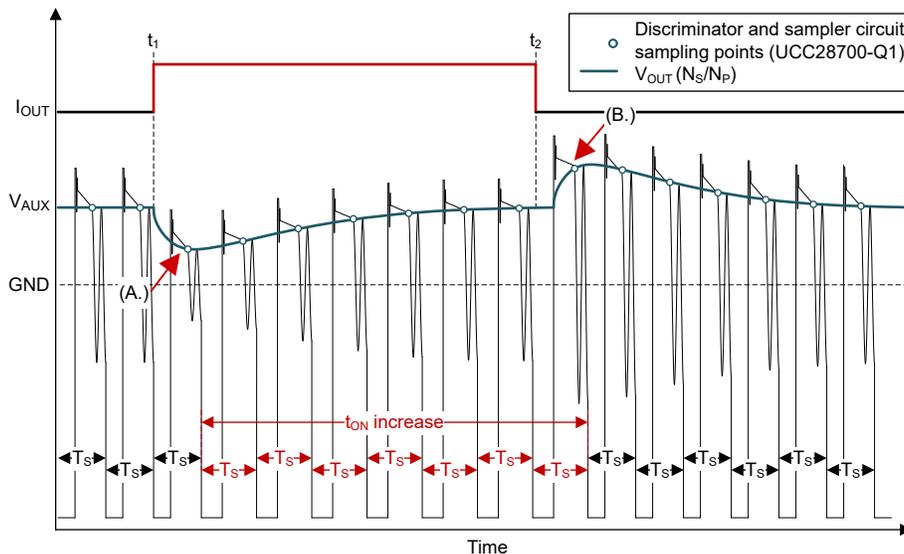
B. 式 2 に、点 (B.) での補助巻線波形 (V_{AUX}) の電圧レベルを定義します。

$$\frac{N_A}{N_S} \times (V_{OUT} + V_F + (I_S \times R_S)) \quad (2)$$

式 1 に、点 (A.) でのスイッチ ノード波形 (V_{SW}) の電圧レベルを定義します。式 2 に、点 (B.) での補助巻線波形 (V_{AUX}) の電圧レベルを定義します。

負荷過渡時の補助巻線波形

図 10 に、負荷過渡時の V_{AUX} の波形を示します。時間 t_1 で、出力電流が増加し、 V_{OUT} が低下します。このイベントは、それに従って V_{AUX} をスケールリングします。本コントローラは 1 スwitchング サイクル (T_S) 内で電流要求の増加に対応します。その結果、本コントローラはオン時間 (t_{ON}) を延長します。



この波形のサイズは、実際の波形のサイズとは異なります。

図 10. 負荷過渡時の補助巻線波形。

特徴が異なる 3 種類の PSR

フライバックコンバータの PSR を実現するには、複数の方法があります。図 11 に、テキサス・インスツルメンツの UCC28730-Q1 高電圧 PSR コントローラを示します。これらのコントローラは、「適切なタイミングで」補助巻線をサンプリングする特殊なサンプラ回路を内蔵しています。帰還分圧器は、追加のフィルタ処理を行わないで、補助巻線を直接検出します。動作中、補助巻線はコントローラにバイアスを印加します。フライバック起動中、コントローラは HV ピンからエネルギーを受け取ります。起動後、コントローラは内部的に HV ピンを切り離し、整流された V_{AUX} をバイアスとして使用します。これにより、フライバックコンバータの効率が向上します。

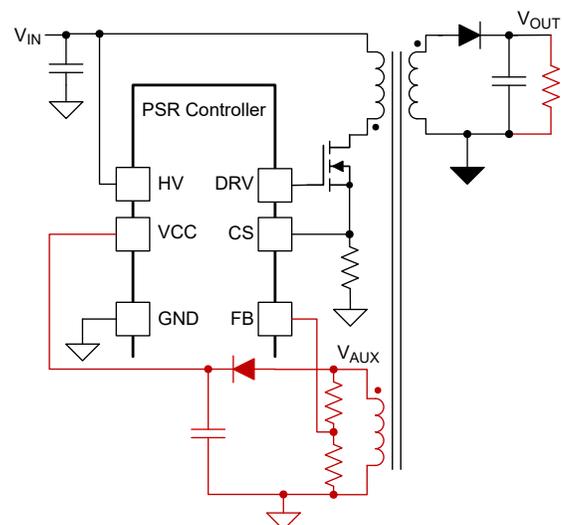


図 11. PSR コントローラを使ったフライバックコンバータ。

もう1つの方法は、テキサス・インスツルメンツの LM5180 などの、主要 1 次側巻線に反映された V_{OUT} を直接検出する低電圧 PSR コントローラです。この方法では、補助巻線を完全になくすることができます (図 12 を参照)。ただし、この方法が可能なのは V_{IN} が低い (通常は 100V 未満) 場合のみです。その利点は、単純なトランス設計と小さいソリューション サイズです。

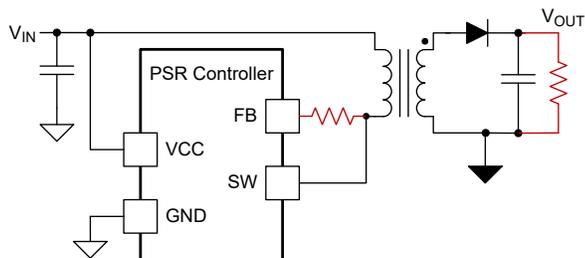


図 12. 補助巻線を持たない、PSR コントローラを使ったフライバックコンバータ。

最後の方法では、整流およびフィルタ処理された V_{AUX} を安定化のために使う従来型昇圧コントローラを採用しています (図 13 を参照)。この帰還方法は高電圧 PSR の例と非常に似ていますが、整流ダイオードの後の電圧を抵抗分圧器が検出していることに注意します。

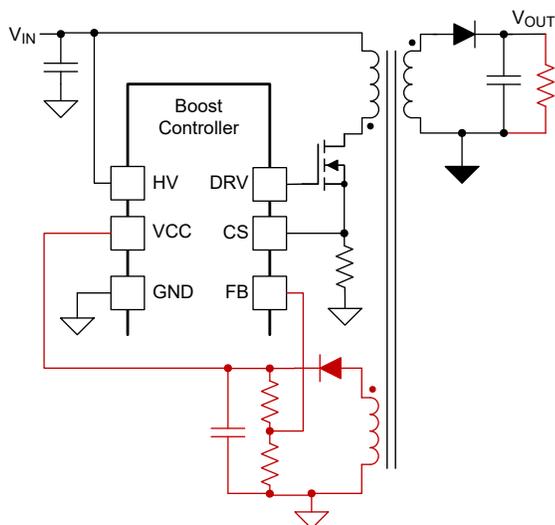


図 13. 従来型昇圧コントローラを使った PSR フライバックコンバータ。

PSR の要点

前のセクションで、PSR の動作方法と、フォトカプラを使用した SSR との違いについて説明しました。以下の要点は重要です。

- V_{AUX} は、多くの情報が含まれた合成波形です。
- V_{AUX} は、 I_{SEC} がゼロまで低下した場合に、1 周期に 1 回だけ精度の高い V_{OUT} 情報を提供します。
- V_{AUX} は、スイッチング時にのみ V_{OUT} 帰還情報を伝達します。
- PSR コントローラおよびコンバータは特殊なサンプル アンド ホールド回路を使用しています。
- 従来型の昇圧コントローラは、帰還電圧 (V_{FB}) が連続的であることを想定しています。

次に、昇圧コントローラを使用して PSR フライバックを実装する方法と、 V_{AUX} 合成波形 (図 14 を参照) を FB ピンの連続アナログ信号に変換する方法を詳細に説明します (図 15 を参照)。

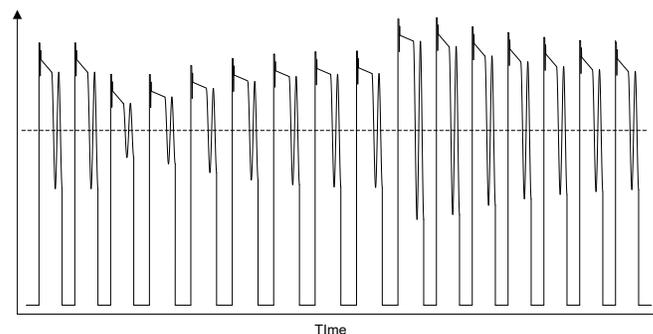


図 14. 補助巻線の波形。

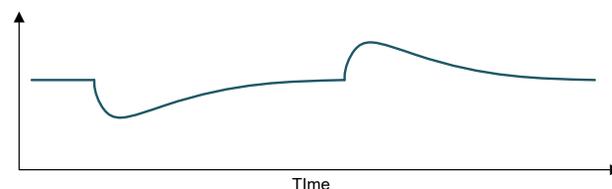


図 15. 従来型コントローラの FB ピンの波形。

従来型昇圧コントローラによる PSR フライバック コンバータ

従来型の昇圧コントローラを使用した PSR フライバックと、専用の PSR コントローラを使用した PSR フライバックの設計プロセスの違いについて説明します。すべての回路部品の選択の詳細については、参考資料 [1] と関連デバイス固有のデータシートを参照してください。

この例は、ハイブリッド電気自動車と電気自動車のトラクションインバータのための絶縁型ゲートドライババイアス電源です (図 16~図 18 を参照)。この設計では LM5156-Q1 昇圧コントローラを使用していますが、このコントローラはいかなる専用 PSR 機能も備えていません。本コントローラの FB ピンは、 V_{OUT} を分圧した連続電圧を監視します。本コントローラは一定の f_{SW} で動作します。パルススキップは、本コントローラがデューティサイクルをそれ以上減らせない場合に発生します。本フライバックコンバータは 1 つの絶縁型出力と 1 つの仮想グランドを備えています。

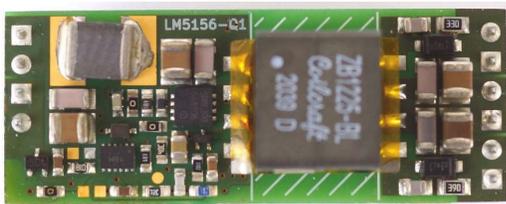


図 16. PSR フライバックの例 (上面図)。



図 17. PSR フライバックの例 (側面図)。



図 18. PSR フライバックの例 (底面図)。

設計パラメータ

最初の一步は、設計パラメータを一覧表にすることです (表 2 を参照)。 V_{IN} 、 V_{OUT} 、 I_{OUT} 、および絶縁要件は、システムによって定義されるパラメータです。 f_{SW} と動作モードは通常、設計者が判断します。これらの決定は妥協の産物です。 f_{SW} を大きくすると、ソリューション サイズ (特にトランス) が小さくなります。ただし、それはシステムの損失と総合効率にも悪影響を及ぼします。

フライバックコンバータは 3 つのモード (連続導通モード (CCM)、DCM、臨界導通モード (BCM)) で動作できます。

これらの各モードには、[1] に詳述する欠点と利点があります。ほとんどの低消費電力フライバックコンバータは、この例に示す DCM で動作します。DCM を採用すると、トランスのサイズを最小化し、制御ループの安定性の問題を緩和できます。

パラメータ	仕様
V_{IN}	6V~42V (52V の過渡電圧)
V_{OUT}	+15V、-9V ($V_{OUT} = 24V$)
I_{OUT}	0mA~180mA
f_{SW}	400 kHz
動作モード	DCM
1 次側と 2 次側の間の絶縁	基本、2.5kV
コントローラ	LM5156-Q1

表 2. PSR フライバックのパラメータの例。

各種動作条件における電流とタイミング

第 2 の段階は、各種動作条件における電流とタイミングを調べることです。2 つのコーナー ケースが存在します。第 1 のケースは、 V_{IN} がその最小値、 I_{OUT} がその最大値である場合です。本コンバータは、ターンオン段階中に十分なエネルギーを蓄積できる必要があります。また、スイッチング周期は一定に保たれます。この条件は、最大のデューティサイクルをもたらします。

第 2 のコーナー ケースは、 V_{IN} がその最大値、 I_{OUT} がその最小値である場合です。この場合、本コンバータはデューティサイクルを低減します。小さいデューティサイクルは、負荷が消費するエネルギーよりも多くのエネルギーが伝達されるのを防ぎ、結果的に最小のデューティサイクルをもたらします。

Power Stage Designer™ ソフトウェア [2] は、トランスのインダクタンスを計算し、数学モデルに基づいて波形を生成する優れた計算ツールです。反復的なプロセスの後、この例では 1 次側インダクタンス (L_{PRI}) = 4 μ H、2 次側インダクタンス (L_{SEC}) = 16 μ H が計算されました。これらの値を使うと、一定の f_{SW} で DCM 動作できます。

表 3 に、両方のコーナー ケースでのタイミングと電流の計算結果を示します。

パラメータ	最小デューティ サイクル条件	最大デューティ サイクル条件	LM5156-Q1
t_{ON}	0.13 μ s	1.57 μ s	最小 130ns (図 8 ~ 図 12)
t_{OFF}	0.43 μ s	0.76 μ s	
デューティ サイクル	5.10%	62.86%	最大 92.8% (図 8 ~ 図 16)
ゼロ時間	1.94 μ s	0.16 μ s	
I_{PRI} の最大値	1.33A	2.36A	
I_{SEC} の最大値	0.66A	1.18A	
必要な最小負荷 $I_{L(MIN)}$	60mA		

表 3. PSR フライバック例でのタイミングと電流の計算結果。

計算から、最大デューティ サイクルの条件は、LM5156-Q1 の制限値を超えないため、問題にならないことが確認されます。本コントローラの t_{ON} の最小値は 130ns です。 f_{SW} を考慮し、本デバイスのデータシートの図 8 ~ 図 12 ($t_{ON(MIN)}$) と周波数との関係) から値を読み取ることが重要です。「電気的特性」表には、最小 $t_{ON} = 50$ ns (標準値) と記載されています。ただし、この値は $f_{SW} = 2.2$ MHz の場合の値です。

最小の t_{ON} で動作している場合、本コンバータは、1 スイッチング サイクル以内に負荷が消費する必要があるエネルギーを 2 次側に伝達します。 $V_{IN} = 42$ V の場合、本コンバータは、一定の f_{SW} (400kHz) を維持するため、60mA の最小負荷電流 ($I_{OUT(MIN)}$) を必要とします。

負荷電流が 60mA を下回ると、本コントローラはパルス スキップ モードに入り、FB ピンの電圧が特定のスレッショルドを超えた場合にサイクル全体をスキップすることで、 f_{SW} を実質的に低減します。パルス スキップ モード中の回路の実際の挙動は、複数のパラメータに依存するため、予測が困難です。スイッチングを行わないと、補助巻線は V_{OUT} 帰還情報

を伝達せず、本コントローラは「ブラインド」状態になります。このモードでは、過渡応答性も低下します。しかし、パルス スキップ モードは、本コンバータの出力の最小負荷電流を低減できる唯一の選択肢です。

フィードバックの解決

帰還回路では、補助巻線の出力に接続したピーク検出器 (半波整流器) を使います。

図 19 の回路は、不要な成分をフィルタ処理し、 V_{OUT} を間接的に表現する V_{AUX} の上側包絡線に追従します。 V_{AUX} の正の振幅が本コントローラの動作電圧範囲と一致するように設定すると便利です。フライバックコンバータの例の場合、 V_{AUX} は 12V です。後で、本コントローラに自己バイアスを印加するために V_{AUX} を使います。

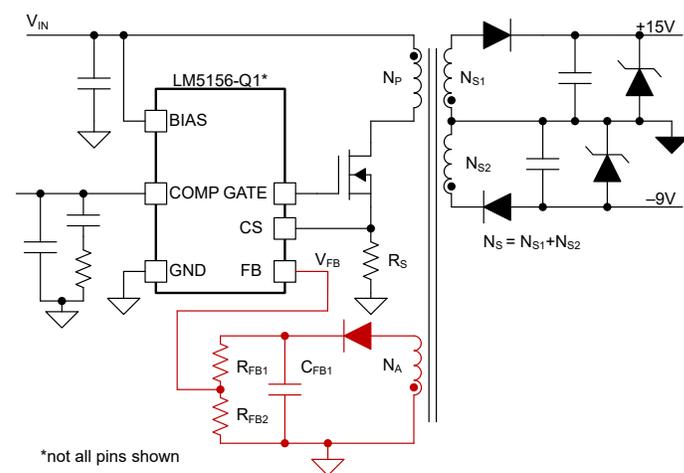


図 19. PSR 帰還用ピーク検出器。

式 3 に、 V_{CC} (V_{AUX}) と V_{OUT} の関係を定義します。

$$V_{CC} \cong V_{OUT} \times \frac{N_A}{N_S} \quad (3)$$

ここで、 N_A は補助巻線の巻数、 N_S は 2 次側巻線の巻数です。

表 4 に、磁気部品メーカーが提供する結合型インダクタの全パラメータを示します。

巻線	インダクタンス	直流抵抗	巻数 (L_{PRI} を参照)
L_{PRI}	4 μ H	0.015 Ω	1
補助インダクタンス (L_{AUX})	4 μ H	0.050 Ω	1
L_{S1}	5.76 μ H	0.050 Ω	1.2
L_{S2}	2.56 μ H	0.038 Ω	0.8
合計 ($L_{S1} + L_{S2}$)	16 μ H	0.088 Ω	2

表 4. 結合型インダクタ (トランス) のパラメータ。

V_{AUX} と巻線比を決めると、帰還分圧器 (R_{FB1} 、 R_{FB2}) を設計できます。補助ダイオードの両端の電圧降下は 2 次側での電圧降下と同程度です。このため、帰還分圧器の式は式 4 のように単純化されます。

$$V_{FB} = V_{OUT} \times \frac{N_A}{N_S} \left(\frac{R_{FB2}}{R_{FB1} + R_{FB2}} \right) \quad (4)$$

ここで、 V_{FB} は、 $V_{REF} = 1V$ のときの本コントローラのリファレンス電圧です。

帰還分圧器の合計抵抗は、数 k Ω ～数 10k Ω の範囲に収まるようにします。この例では、 $R_{FB1} = 11k\Omega$ 、 $R_{FB2} = 1k\Omega$ を使用しています。

各種条件でピーク検出器回路がどのように動作するかを理解することが重要です。ダイオードは、正極性の V_{AUX} のみを通過させます。これが、その信号が V_{OUT} 情報を伝達する瞬間です。この電圧はフィルタコンデンサ (C_{FB1}) を素早く充電します。ターンオフ段階中、ダイオードは逆バイアスされ、 C_{FB1} は R_{FB1} と R_{FB2} を通してゆっくり放電します。抵抗分圧器とコンデンサの値は、ピーク検出器の応答時間 (時定数) を定義し、フライバックコンバータの過渡応答に影響を及ぼします。

時定数が長すぎると、 V_{FB} は V_{OUT} の変化にタイムリーに追従できません。負荷が急激に増加すると、 V_{OUT} が低下し、そ

の結果、ターンオフ段階中に V_{AUX} 振幅が減少します。しかし、 V_{AUX} は C_{FB1} の電圧よりも小さいため、ダイオードは導通しません。これは、 C_{FB1} が十分な速さで放電しないことが原因です。このイベントによって、 V_{FB} と PSR フライバックコンバータの過渡応答が損なわれます。

時定数が短すぎると、 V_{FB} 信号のリプルが大きくなりすぎて、コントローラが誤動作を起こす原因になる可能性があります。LM5156-Q1 昇圧コントローラは V_{OUT} 過電圧保護 (OVP) 機能を内蔵しています。FB ピンの電圧が過電圧スレッシュホールド (V_{REF} の 110% (代表値)) を上回ると、本コントローラはスイッチングを停止します。FB ピンのリプルが大きすぎると、本コントローラが OVP を誤トリガする可能性があります。軽負荷動作時に本コントローラがパルススキップモードに入ると、リプルが増加します。これは重要な考慮事項です。

図 20 に、この回路のさらなる改善方法を示します。 R_{FB2} の両端に小さなコンデンサを接続すると、ローパスフィルタに第 2 の極が追加され、リプルが減少します。これは、過渡応答をそれほど制限しないため、 C_{FB1} コンデンサの値を増やすよりも望ましい方法です。

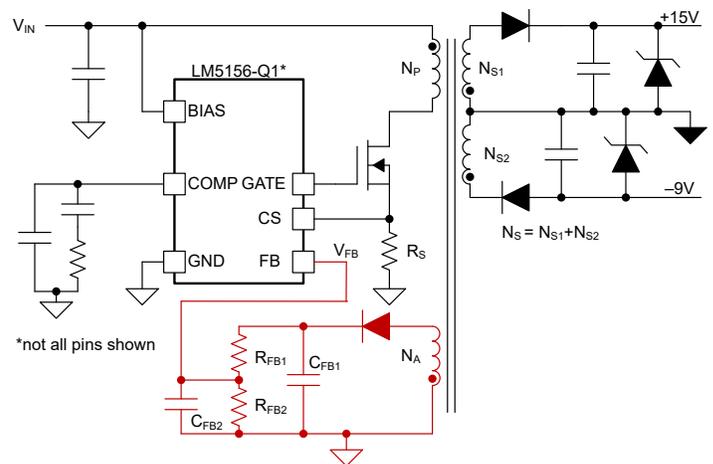


図 20. 2 次帰還フィルタ。

回路シミュレータは、 C_{FB1} と C_{FB2} の理想的な値を求めるためのシンプルな工学的な手法です。回路シミュレータを使うと、過渡時のピーク検出器の挙動を調べることができます。図 21 に、ピーク検出器シミュレーションのための PSpice® for TI 回路を示します。この回路は 3 つのブロックに分割されます。

上部は V_{OUT} 過渡ジェネレータ (赤色で強調) です。この回路は、過渡イベント時のフライバックコンバータの V_{OUT} の期待値を模倣します。G1、R4、C2 は、単極応答性を持つ理想的なオペアンプを形成します。R5 と C3 は、フライバックの過渡応答に合わせて帰還を低速化します。電流源 I_{OUT} が急速に変化し、過渡応答を励起します。使用する回路の V_{OUT} 電源、R5、C3、 I_{OUT} 負荷を調整します。

補助巻線近似器 (青色で強調表示) は V_{OUT} ノードを検出します。理想スイッチ (S1、S2) は V_{OUT} をチョップし (切り刻み)、

V_{AUX} 巻線信号を近似します。信号源 (V2、V3) はデューティサイクルと f_{SW} の期待値を定義します。

最後のブロックはピーク検出器 (灰色で強調) です。これが、このシミュレーションが最適化する帰還回路です。R_{FB1} と R_{FB2} の値はすでに計算しました。このシミュレーションを使うと、C_{FB1} と C_{FB2} の値を素早く変更できます。

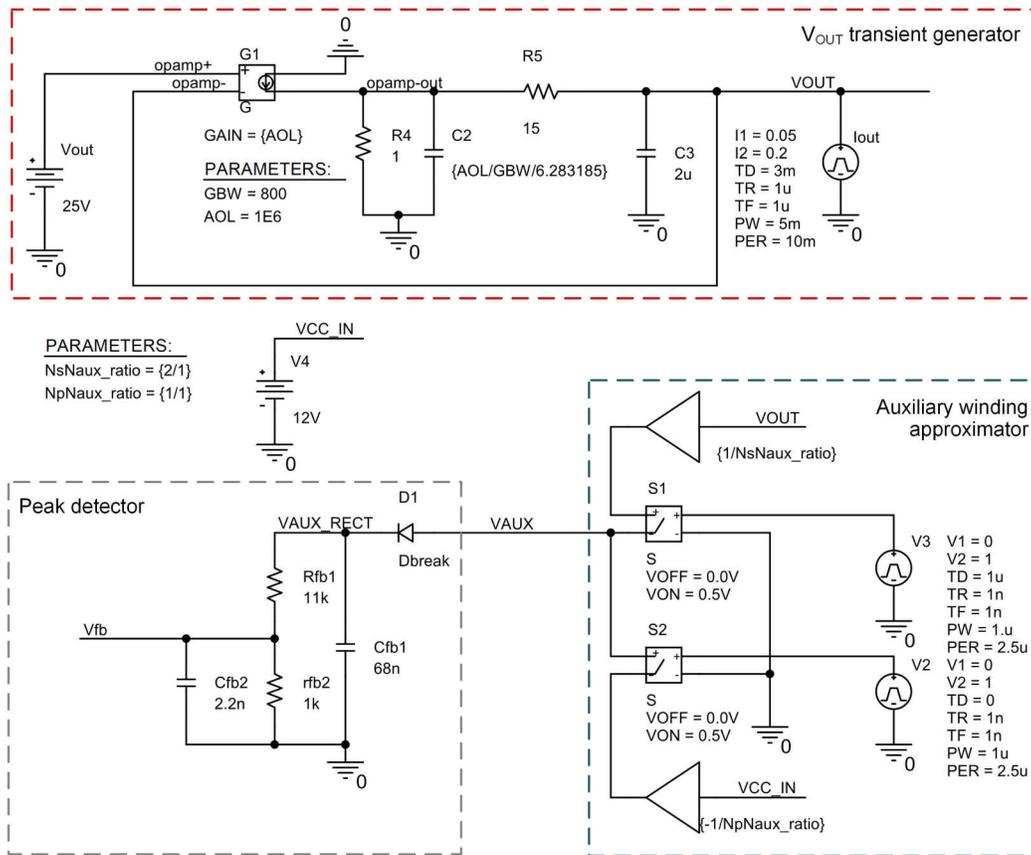


図 21. ピーク検出器のシミュレーション回路。

図 22 に、3 つのブロックすべてから得られる信号を示します。この回路の開ループ動作を使うと、コントローラと制御ループ補償に影響を及ぼさずに、ピーク検出器の特性を調べることができます。

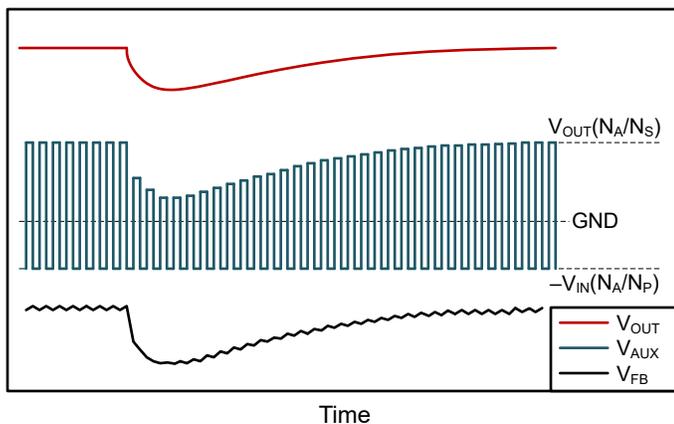
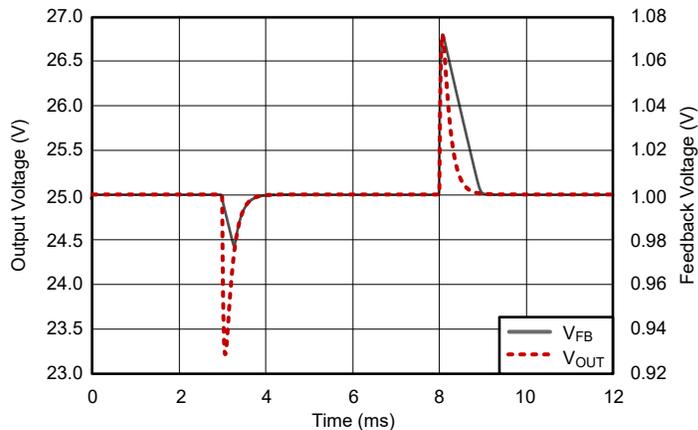


図 22. 回路のシミュレーション波形。

図 23 に、時定数が長すぎるシナリオを示します。赤色の破線は、負荷過渡中の V_{OUT} の期待値を示しています。灰色の線は、本コントローラによって観測された V_{FB} を表します。 $t = 3\text{ms}$ でのアンダースhoot中、 C_{FB1} と C_{FB2} は V_{OUT} の変化よりも遅い速度で放電します。ピーク検出器のダイオードはオフのままであり、 V_{FB} は出力に追従しません。 $t = 8\text{ms}$ でのオーバースhoot中、 V_{FB} は急速に上昇しますが、出力が安定化レベルに戻っても、高いままです。

これらの波形は参考のために作成したものであり、開ループ条件での波形を示しています。これらは、ピーク検出器が出力に追従できないという望ましくない状況を示しています。閉ループシステムでは、過度に長い時定数がループ補償の支配的な部分になり、フライバックコンバータの過渡応答に悪影響を及ぼします。設計者はしばしば、この現象をループ補償と取り違え、応答性を改善しようとして、それを調整しようと試みます。

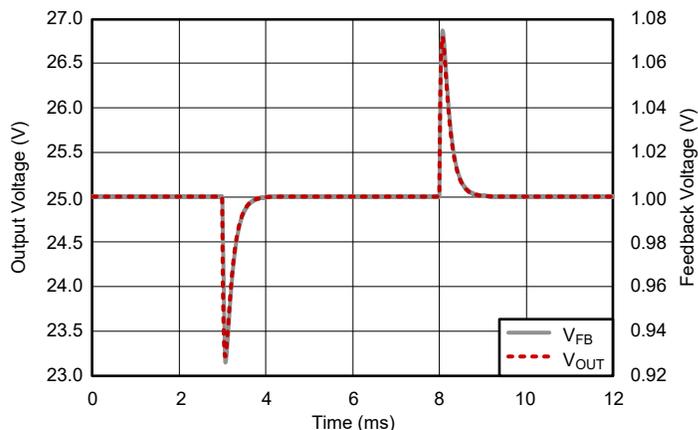


$C_{FB1} = 680\text{nF}$

$C_{FB2} = 2.2\text{nF}$

図 23. 時定数が長すぎる場合。

図 24 に、ピーク検出器回路の時定数が適切である状況を示します。どちらの状況でも、 V_{FB} は V_{OUT} に追従します。



$C_{FB1} = 68\text{nF}$ 、

$C_{FB2} = 2.2\text{nF}$

図 24. 時定数が適切な場合。

図 25 と図 26 に、PSR フライバックの例における V_{OUT} と V_{AUX} の過渡応答を示します。 I_{OUT} は 45mA から 135mA (またはその逆) に変化しています。負荷レギュレーションの影響 (図 25) に注意します。

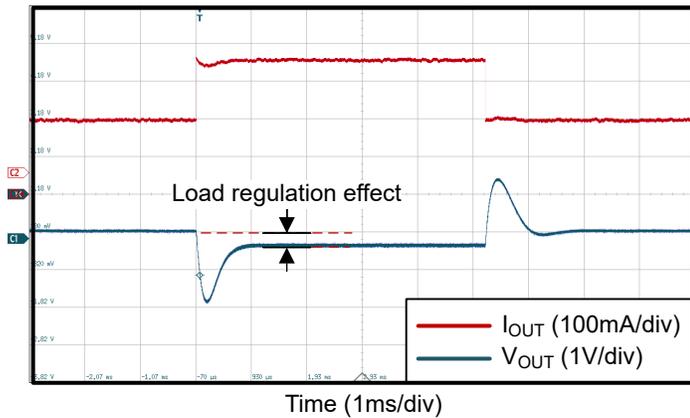


図 25. PSR フライバックの例の V_{OUT} の過渡応答。

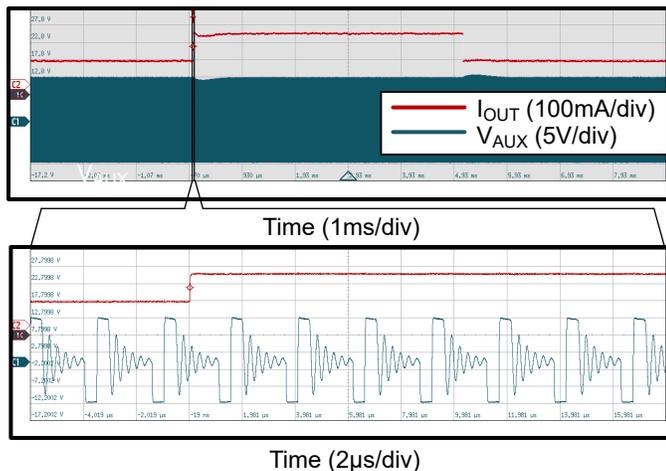


図 26. PSR フライバックの例の V_{AUX} の過渡応答。

軽負荷効率を改善するためのバイアス印加方法

補助巻線からフライバックコントローラに電力を供給することは非常に一般的です。高電圧フライバックコントローラは、高電圧レールからの電力供給では、継続的に動作することはできません。本コントローラは、内部回路用の電圧を安定化するリニアレギュレータ (LDO) を内蔵しています。高電圧からこの LDO に電力を供給するのは非常に非効率的であり、多くの熱を放散させます。このため、多くのコントローラは、起動時にのみ使用される HV ピンを持っています。コンバータが起動した後、内部スイッチが HV ピンを切り離し、コントローラは自己バイアス印加のために補助巻線からエネルギーを受け取ります。

補助巻線からの自己バイアス印加は、低電圧フライバックコンバータにも利点があります。この方法により、軽負荷時の効率が向上します。また、コントローラの消費電力により、PSR

フライバックがスイッチングを維持するために必要な最小負荷が低減されます。

図 27 に、設計例のバイアス方式を示します。電圧レールを安定した状態に保つため、 V_{CC} ピンのバイアス電圧に大きなバルク容量を接続する必要があります。ただし、フィードバックパスには、 V_{OUT} を迅速に追跡するための高速過渡応答が必要です。このため、帰還回路 (赤色で強調) を妨げない第 2 のハーフブリッジ整流器 (緑色で強調) が備わっています。自己バイアスと帰還のための 2 つの独立した経路は、妥協することなく最高の性能を実現します。残念ながら、この設計手法は設計ではめったに使われません。

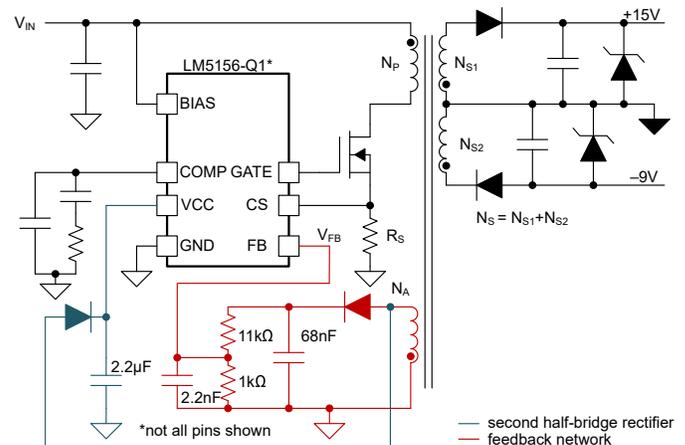


図 27. 従来型昇圧コントローラを使った PSR フライバックの自己バイアス。

最小負荷の問題の解決方法

すでに説明したように、PSR フライバックコンバータは連続動作を維持するために最小負荷を必要とします。負荷に流れる電流がゼロである場合、コンバータの出力にダミー負荷を接続する必要があります。ダミー負荷がないと、出力が安定化レベルをはるかに上回って上昇し、下流の回路に永続的な損傷を与える可能性があります。ダミー負荷としては 2 種類の方法があり、それぞれに欠点と利点があります。

- ダミー負荷として抵抗を使用すると、PSR フライバックコンバータのロードレギュレーションが改善されます。ただし、抵抗はあらゆる条件下で電力を消費するため、システムの総合的な効率は低下します。
- ツェナーダイオードの使用は、より実用的な方法です (図 28 を参照)。特定のツェナーダイオードは、 V_{OUT} の代表値よりわずかに高いブレイクダウン電圧を持っています。

スイッチング サイクル中、2 次側に供給されたエネルギーをコントローラがさらに低減できない場合、ツェナー ダイオードが導通し、電流をシンクする点まで V_{OUT} が上昇します。これらのツェナー ダイオードは過剰なエネルギーを熱という形で放散しますが、 V_{OUT} が安定化レベルを大きく上回ることを防止します (図 29 を参照)。

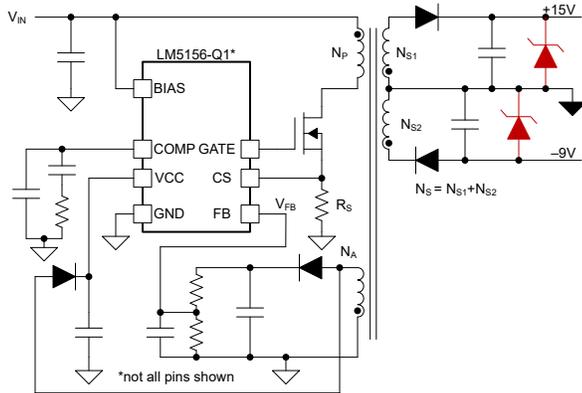


図 28. ツェナー ダイオードを使って最小負荷の問題を解決。

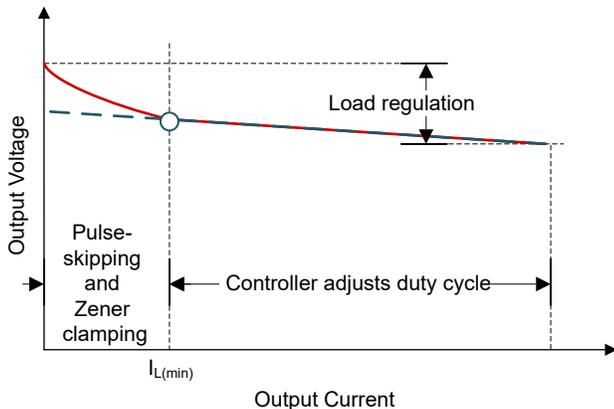


図 29. ツェナー ダイオードをダミー負荷として使った PSR フライバックのロードレギュレーション。

ただし、ツェナー ダイオードにはいくつかの課題があります。ツェナー電圧 (V_Z) < 4.7V のツェナー ダイオードは負の温度係数を持っています。 V_Z > 4.7V のツェナー ダイオードは正の温度係数を持っています。また、初期精度も異なります。

図 30 に、ツェナー電流 (I_Z) = 5mA で $V_Z = 16V$ のツェナーダイオードの許容誤差範囲を示します。一般的な車載用動作温度範囲 (-40°C ~ 125°C) において、 V_Z は 14.6V から 17.7V まで変動します。 V_Z が V_{OUT} の安定化レベルを下回らないようにすることが重要です。さもないと、過剰な電流が流れ、コンバータに永続的な損傷を与える可能性があるためで

す。理想的には、 V_Z は V_{OUT} に近い値であるが、決してそれを下回らないようにします。

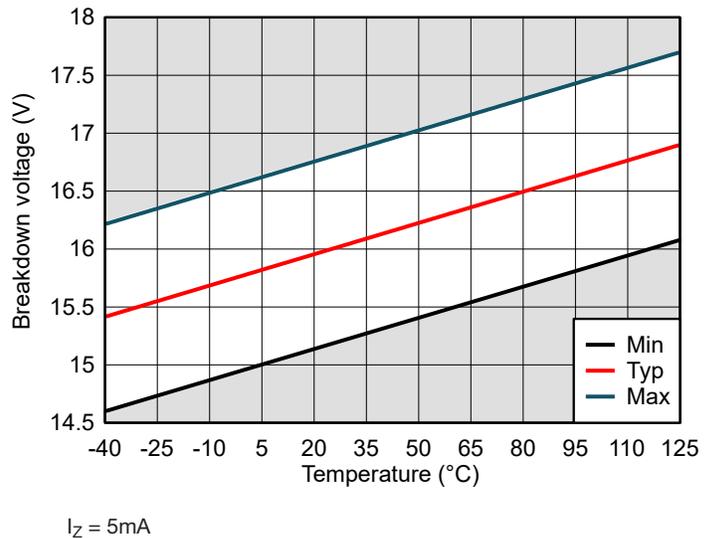


図 30. ツェナー ダイオードの許容誤差範囲。

電流検出抵抗の補償

ピーク電流モード制御方式を使用する昇圧コントローラは、電流検出 (シャント) 抵抗 (R_S) の両端の電圧を測定することで、1 次側巻線を通る電流を検出します。すべての電流シャント抵抗は寄生インダクタンス (L_S) を持っています。 L_S は、電流検出信号 (V_{CS}) の立ち上がりおよび立ち下がりエッジでスパイクを発生させるため、電流測定値に誤差を加えます。特に t_{ON} が最小値に近い場合、ブランキング時間が組み込まれていても、電流検出回路は過電流イベントを検出することがあります。このため、補償回路を追加することが重要です。

図 31 に、単純な R_C 、 C_C の補償回路を示します。この回路は式 5 を満たす必要があります。

$$C_C \times R_C = \frac{L_S}{R_S} \quad (5)$$

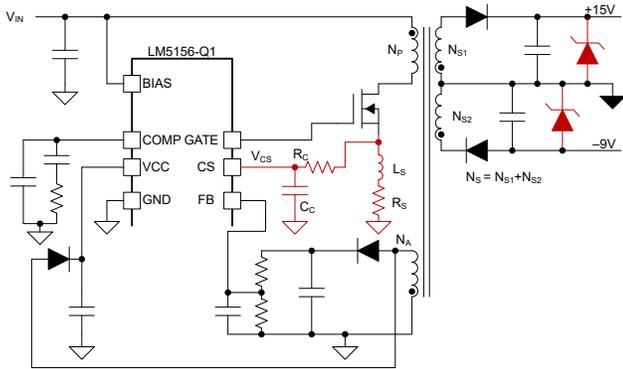
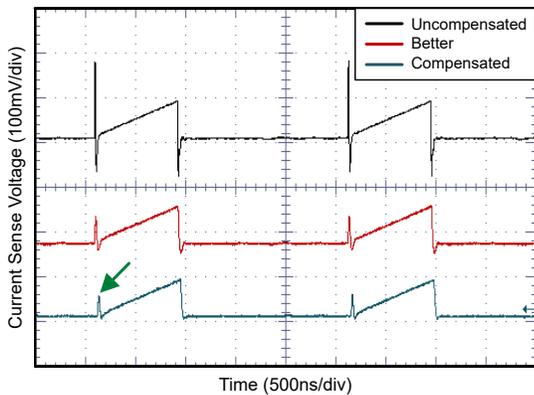


図 31. 電流検出抵抗の補償。

図 32 に、同じ条件下で測定された 3 種類の波形を示します。黒色の線は、いかなる補償回路も使わない場合の V_{CS} です。赤色の線は補償回路を初めて適用した場合の改善を示しています。青緑色の線は、適切に補償されたシャント抵抗を使用した場合の V_{CS} を表します。この例の値は、0603 パッケージの 0.33Ω シャント抵抗の場合、 $C_C = 15\text{nF}$ (COG)、 $R_C = 1.5\Omega$ です。



補償を行った場合:

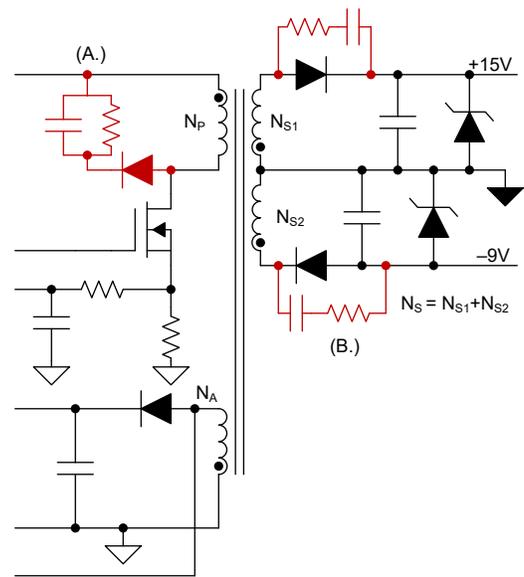
- 0603 パッケージの 0.33Ω シャント抵抗の場合、 $R_C = 1.5\Omega$
- $C_C = 15\text{nF}$ (COG)

図 32. 補償を行った場合と行わなかった場合の V_{CS} 波形。

ノッチ (緑色の矢印) は内蔵ゲートドライバからのターンオン電流です。この測定を実施するには、高精度のプロブ作業が必要です (理想的には、アクティブ オシロスコーププロブを使用します)。これは、最適な組み合わせを見つけるために、最初の推測の前後のさまざまな値を試す必要がある反復的プロセスでもあります。

スナバ回路

フライバックコンバータは、不要な高周波数のリングングを発生させます。1 次側巻線の漏れインダクタンスとスイッチの出力容量が、ターンオフ過渡時にリングングを発生させる寄生インダクタ - コンデンサ回路網を形成します。2 次側巻線の漏れインダクタンスと 2 次側整流器の逆回復電流が、ターンオン過渡時にリングングを発生させます。あらゆる種類のフライバックコンバータに、この不要なリングングを抑制するスナバ回路を使用することを強く推奨します。図 33 に、フライバック例のスナバ回路の位置と値を示します。スナバ設計の指針については、[1~2] を参照してください。



スナバ A

スナバ B

D = 高速 (100V/200mA)

R = 33Ω , 0805

R = $2.7\text{k}\Omega$, 0805

C = 100pF , 100V, 0805, COG

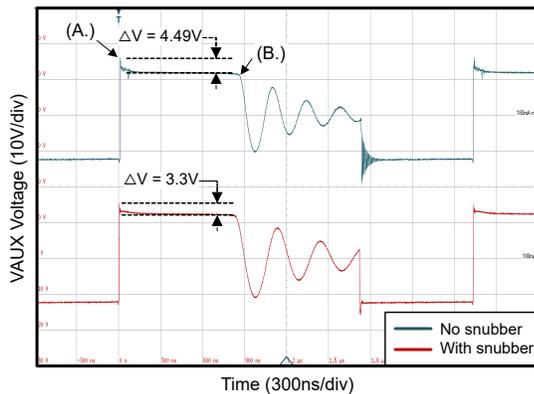
C = 10nF , 100V, 0805, COG

図 33. フライバックコンバータのスナバ回路。

このリングングは V_{AUX} にも悪影響を及ぼします。図 34 に、この問題を示します。スナバ回路を使用しない場合、ターンオフ過渡時のオーバーシュートが増大します。このオーバーシュートはピーク検出器をより高い電圧に充電します。また、このオーバーシュートは I_{OUT} に比例します。この挙動は、 V_{FB} に誤差を追加し、負荷によっても変化します。図 35 に、スナバ回路が PSR フライバック例のロードレギュレーションに与え

る影響を示します。実際の例では、ロードレギュレーションが50%近く改善することが示されています。

従来型の昇圧コントローラを使ったPSRフライバックコンバータのスナバに注目してください。これは、サプライチェーンを保護するセカンドソースを多くの部品が持っている大量生産において、特に重要です。トランスのサプライヤを変更すると、1次側スイッチ(トランジスタ)または整流ダイオードの設計の検証が必要になります。たとえば、漏れインダクタンスが変化した場合、共振周波数が変化するため、電流スナバ回路の効率が下がります。



A. 検出された電圧 B. 理想的なサンプリング点

$I_{OUT} = 180 \text{ mA}$

図34. スナバ回路を使用した場合、および使用しない場合の V_{AUX} 波形

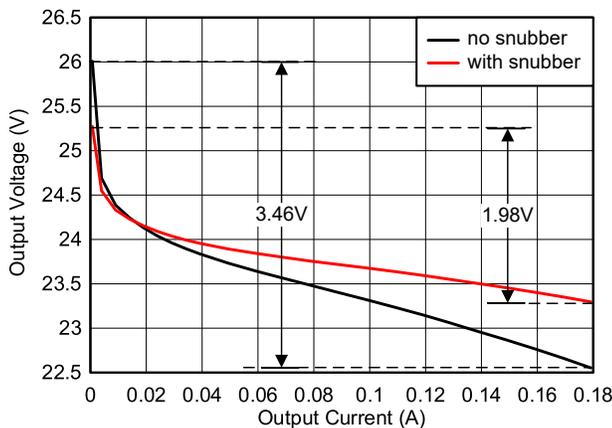


図35. スナバ回路を使用した場合と使用なかった場合のPSRフライバック例のロードレギュレーション。

ロードレギュレーションを改善するもう1つの方法は、リーディングエッジブランキングを使ったより複雑なピーク検出器を

追加することです。残念ながら、この方法を採用すると、システムのコストと複雑さが増し、すべての動作条件にわたる安定性の確保が困難になります。

結論

この文書では、昇圧コントローラを使ったPSRフライバックコンバータの、あまり知られていない課題について説明しました。PSRコントローラで利用可能な専用サンプラー回路が存在しないことが、設計を複雑にしています。専用PSRフライバックコントローラは、ロードレギュレーション、高速過渡応答、低スタンバイ電流を重視するアプリケーションに大きな利点をもたらします。

また、ほとんどのPSRコントローラはバレースイッチング機能付き疑似共振モードで動作し、さらに効率を向上させます。必要な条件がそれほど厳しくないアプリケーションでは、従来型のコントローラを使用することは理にかなっています。多くのシステムは、 V_{OUT} を安定化するポストレギュレータを実装しています。この場合、フライバックコンバータの主な目的は、1次側と2次側間のガルバニック絶縁です。このようなアプリケーションでは、過渡応答とロードレギュレーションでの妥協は容認できます。

設計プロセスの間、これらの手順では特に注意を払う必要があります。

- 特定の動作条件における最小および最大デューティサイクルを特定する。
- 負荷過渡中に V_{OUT} を素早く追従できるように V_{AUX} ピーク検出器を設計する。
- スナバ回路を使用して、スイッチノードと補助巻線のリングングを最小限に抑える。
- コントローラの自己バイアスから帰還経路を分離する。
- 電流検出(シャント)抵抗の寄生インダクタンスを補償する補償回路を使用する。
- 包絡線検出器を念頭に置いてループ補償を設計する。より大きい位相マージンを考慮する。
- 最小、最大、公称 V_{IN} の過渡応答を確認する。
- コントローラがパルススキップモードに入る条件での回路動作を評価する。

参考資料

1. Picard, Jean、『**フライバック スイッチモード電源設計の中身**』、テキサス・インスツルメンツ パワー サプライ デザイン セミナー SEM1900、文献番号 SLUP261、2010～2011 年。
2. テキサス・インスツルメンツ (発行年記載なし)**Power Stage Designer ソフトウェア**、2023 年 12 月 26 日アクセス。

重要なお知らせ:ここに記載されているテキサス・インスツルメンツ社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

PSpice® is a registered trademark of Cadence Design Systems Inc.
すべての商標は、それぞれの所有者に帰属します。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated