

## Power Supply Design Seminar

# リニアレギュレータ向けの高度なアプリケーションへのヒントとコツ

---



Reproduced from  
2024 Texas Instruments Power Supply Design Seminar  
SEM2600  
Topic 5  
Stephen Ziel  
Literature Number: JAJ100

Power Supply Design Seminar resources  
are available at:  
[www.ti.com/psds](http://www.ti.com/psds)

本トピックでは、電源除去比 (PSRR) やノイズ特性の最適化や、放熱性能などの最新の LDO に関連する一般的な課題について説明します。また、複数の LDO を並列接続して使用する際の回路設計に関する情報や、並列接続した LDO にそれぞれ別の電源を接続して使用方法など高度なリニア LDO システムについて説明します。LDO を使用する設計やシステムで性能の最適化のヒントにお役立てください。

## はじめに

リニアおよび LDO レギュレータは、その簡単さと低コストという特長から、非常に普及している電源アーキテクチャです。エンジニアがシステムを設計する際に、より多くのリニアレギュレータを使うようになるにつれて、各アプリケーションで性能を最大化する方法についての疑問が必然的に沸き起こります。ノイズに敏感なアプリケーションに LDO を最適化するにはどうすればよいでしょうか。レギュレータの放熱特性を改善することは可能でしょうか。どの程度の入力電圧があれば十分でしょうか。

時には、疑問はより複雑な場合もあります。市場で入手できる最高クラスの LDO よりも高い性能が必要な場合はどうすればよいでしょうか。より大きな出力電流を達成し、ノイズを低減し、放熱を分散させるため、複数の LDO を並列接続するにはどうすればよいでしょうか。それを実現するために、何個の LDO を並列接続する必要があるでしょうか。

どの入力電源よりも大きい出力電力が必要な場合はどうすればよいでしょうか。LDO を使って、複数の電源から供給される電力を合成し、1 つの負荷に供給することは可能でしょうか。

これらの疑問のいずれかをお持ちになったことがあるなら、このトピックはあなたのお役に立ちます。

## リニアレギュレータとスイッチングコンバータの比較

電源には、リニアレギュレータとスイッチングコンバータの 2 種類があります。スイッチングコンバータは、スイッチング素子を完全オン状態と完全オフ状態に切り換え、生成された波形をフィルタ処理することで、レギュレートされた出力電圧 ( $V_{OUT}$ ) を生成します (図 1 を参照)。リニアレギュレータが  $V_{OUT}$  を制御するには、金属酸化膜半導体電界効果トランジスタ (MOSFET) を使ったパス素子を飽和領域に設定する方法と、バイポーラ接合トランジスタを使ったパス素子をアクティブ領域に設定する方法があります (図 2 を参照)。

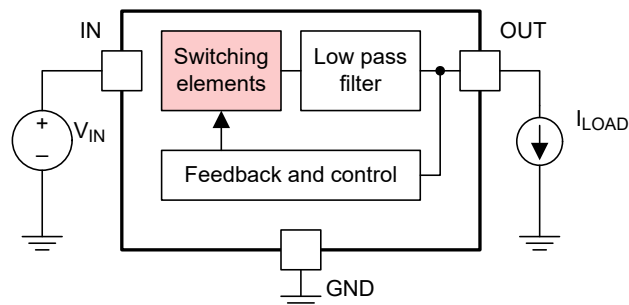


図 1. スイッチングコンバータの構成。

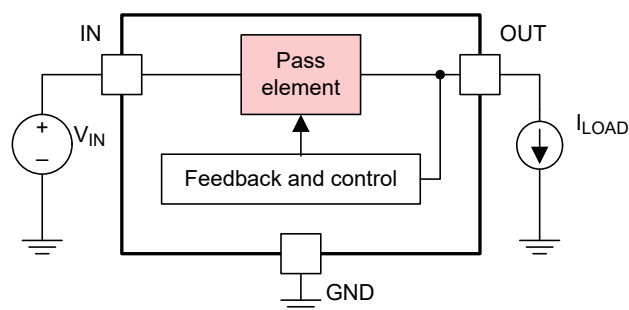


図 2. リニアレギュレータの構成。

リニアレギュレータはしばしば、スイッチングコンバータよりも安価であり、簡単であり、出力ノイズが小さいです。一方、スイッチングコンバータは、負荷が重いときに、より高い効率を達成できます (図 3 を参照)。従来型のリニアレギュレータが  $V_{OUT}$  を適切にレギュレートするには、入力電圧 ( $V_{IN}$ ) が  $V_{OUT}$  より 1V 以上高い必要があります。この  $V_{IN}$  と  $V_{OUT}$  の差はヘッドルーム電圧とも呼ばれ、リニアレギュレータの効率を大幅に低下させる原因となります。

高効率を実現するため、LDO レギュレータと呼ばれる特殊なクラスのリニアレギュレータが存在します (図 4 を参照)。LDO は、1V をはるかに下回るヘッドルーム電圧を実現します。一部のハイエンド LDO は 50mV~100mV のヘッドルームしか必要としません。現在設計に使われているほとんどのリニアレギュレータは LDO であるため、本書では LDO という用語を使います。

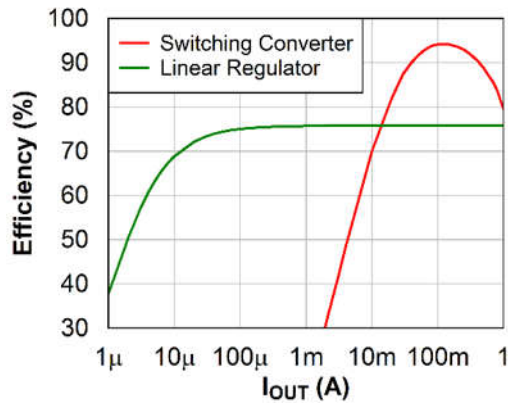


図3. スイッチングコンバータとリニアレギュレータの効率の比較。

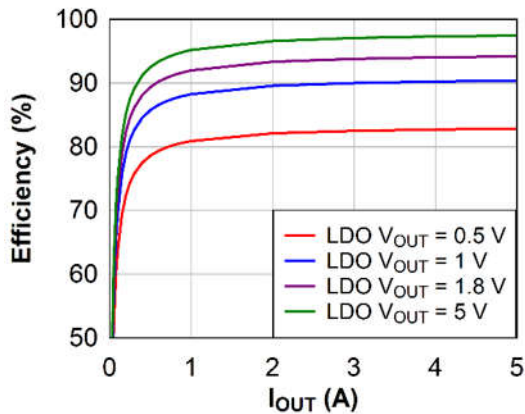


図4. ヘッドルーム電圧が一定である場合、 $V_{OUT}$ の増加に伴ってLDOの効率は向上します。

## LDOレギュレータの構造と特性

LDOの基本構造には、基準電圧、エラーアンプ、パスデバイス(通常はMOSFET)、帰還抵抗が含まれます(図5を参照)。入力および出力コンデンサと、基準電圧( $V_{REF}$ )とエラーアンプの間のフィルタ回路が含まれることもあります。

動作中、帰還抵抗は $V_{OUT}$ を検出および分圧します。エラーアンプは $V_{REF}$ と、検出された $V_{OUT}$ との電位差を増幅し、パスデバイスを調整して、 $V_{OUT}$ を精密に制御します。

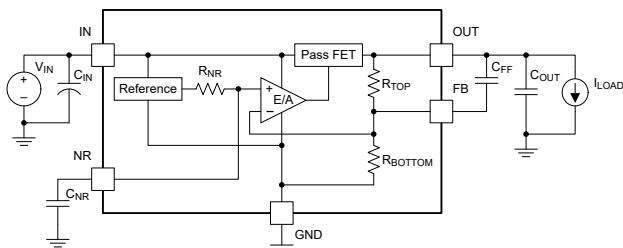


図5. リニアレギュレータのブロック図

LDOの特性:

- ドロップアウト電圧( $V_{DO}$ )。  $V_{DO}$  は、DC動作条件下でLDOが $V_{OUT}$ をレギュレートするために必要なヘッドルーム電圧の最小値です。最新のLDOは $V_{DO}$ が小さいため、 $V_{OUT} > 1V$ の場合、90%を上回る効率を実現できます。
- 消費電力( $P_D$ )。LDOはパスデバイス全体で電力を放散するため、デバイス固有のデータシートに記載された許容制限値を接合部温度が上回らないように、適切に熱管理を行う必要があります。
- ノイズとPSRR。LDOの出力ノイズを小さくするには、LDOが生成する内部(または固有)ノイズと、LDOがフィルタ処理する外部(入力)電源ノイズの両方を小さくする必要があります。固有ノイズは $V_{REF}$ からのノイズによって支配され、エラーアンプによって増幅されます。 $V_{IN}$ が変動しても、LDOは内部帰還ループを使って、安定した $V_{OUT}$ を維持します。入力電源ノイズをフィルタ処理するLDOの能力が、LDOのPSRRです。
- 静止電流( $I_Q$ )。  $I_Q$  は、LDOの内部回路を駆動するために必要な電流です。軽負荷時のレギュレータの効率を最大化するには、この電流を最小化することが重要です。
- 安定性。LDOは、内部帰還ループを使用して、データシートに記載された幅広い動作条件下で、安定性を維持します。最新のLDOは、幅広い範囲の容量値の低ESR(等価直列抵抗)コンデンサを出力コンデンサとして使いながら、最小限のヘッドルーム電圧でも、無負荷条件下で安定性を維持します。一部のLDOは、何も部品を追加しなくても、本質的に安定性を維持しますが、ほとんどの場合、LDOの発振を防ぐため、少なくとも1つの出力コンデンサを必要とします。
- ターンオン時間。総ターンオン時間は、 $V_{IN}$ に電力が瞬時に印加された時点から、またはイネーブルピンを使用してLDOが有効化された時点から、LDOが最小の安定した出力に達するのに要する時間を指します。

$I_Q$ 、安定性、ターンオン時間の詳細については、[1~8]を参照してください。

## LDO の固有ノイズ

データシートでは、LDO のノイズを次の 2 つの異なる方法で表現しています [9]。

- スペクトルノイズ密度 ( $\mu\text{V}/\sqrt{\text{Hz}}$ ) と周波数との関係のプロット。
- 電気的特性表内の RMS (2 乗平均平方根) ノイズ電圧の測定値 ( $\mu\text{V}_{\text{RMS}}$ )。

RMS ノイズ電圧は、特定の周波数範囲 (しばしば、10Hz～100kHz または 100Hz～100kHz) にわたって積分されたスペクトルノイズ密度に相当します (図 6 を参照)。公表されている RMS ノイズ電圧を使うと、各種 LDO のノイズ性能を比較できます。目的のアプリケーションが特定の周波数範囲に敏感な場合、スペクトル密度のグラフでそれらの周波数を確認することを推奨します。

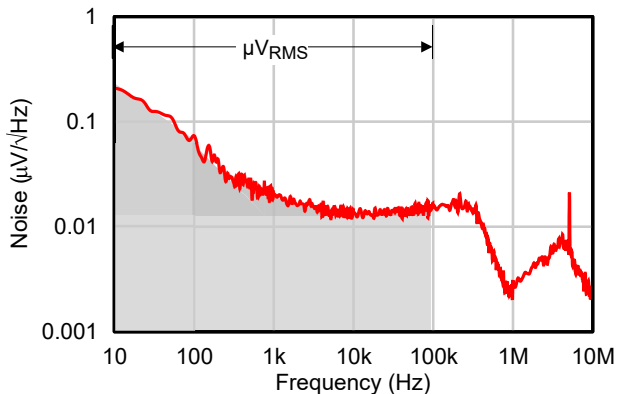


図 6. ノイズスペクトル密度と合計積分ノイズとの関係。

ノイズの影響を受けやすい環境で使う LDO を設計する場合、それは、LDO の出力ノイズに影響を及ぼさない要因を理解するのに役立ちます。通常、出力電流 (図 7 を参照) と  $V_{\text{IN}}$  (図 8 を参照) は LDO のノイズ性能に影響を及ぼしません。負荷電流は、一部の超低  $I_{\text{Q}}$  LDO のノイズ曲線に確かに影響を及ぼしますが、市場に出回っている LDO の大部分は 図 7 に従うでしょう。

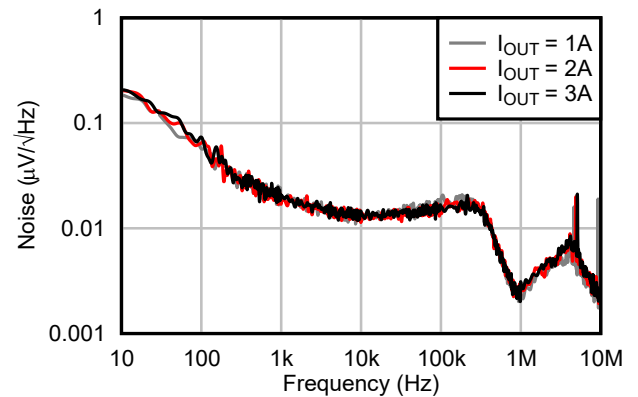


図 7. LDO ノイズは負荷電流の影響をさほど受けません。

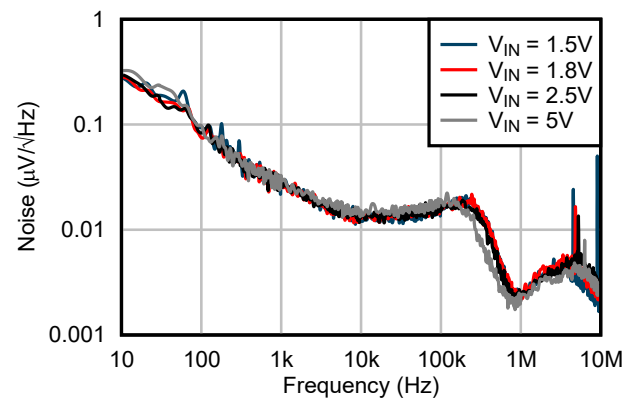


図 8. LDO ノイズは、 $V_{\text{DO}}$  を上回る  $V_{\text{IN}}$  の変動の影響をさほど受けません。

出力容量の値を非常に大きくすると、LDO ノイズが改善される可能性があります、それは高い周波数においてのみであり、データシートの RMS ノイズ測定値に記載されているとは限りません。RMS ノイズ指標 (通常は 100kHz 未満で仕様規定) に意味のある影響を及ぼすには、十分大きな出力容量が必要です (図 9 を参照)。

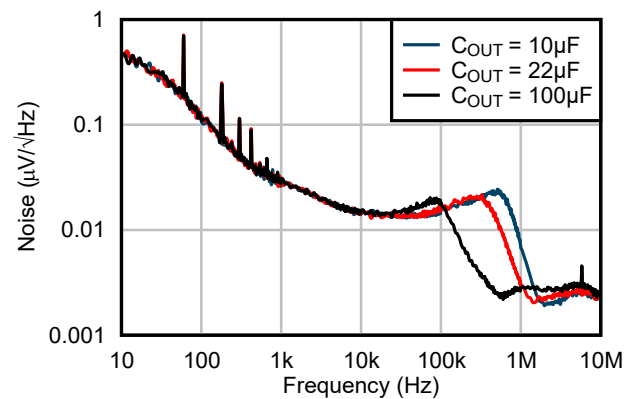


図 9. LDO ノイズは、小さい値と中程度の値の  $C_{\text{OUT}}$  の影響をさほど受けません。

帰還抵抗を使用して  $V_{OUT}$  を設定すると、内部エラーアンプのゲインが増加します (図 10 を参照)。エラーアンプのゲインは  $V_{REF}$  (通常は LDO 内の最大ノイズ源) からのノイズも増幅します (図 11 を参照)。

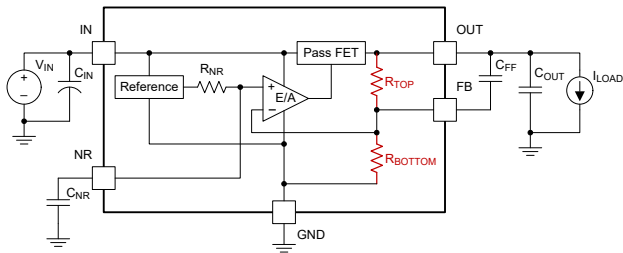


図 10. 非ユニティゲイン帰還で動作している場合、 $V_{OUT}$  はエラーアンプのゲインを変化させます。

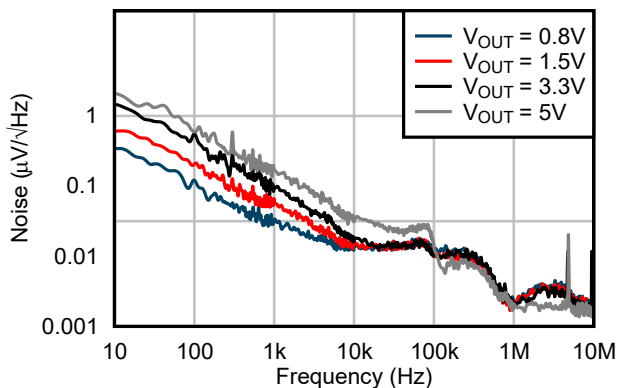


図 11. 非ユニティゲイン帰還で動作している場合、LDO ノイズは  $V_{OUT}$  の変化に敏感です。

最新の超低ノイズ LDO では、ノイズが増加しないように、ユニティゲイン帰還構成が採用されています (図 12 を参照)。これらの LDO の RMS プロットは、広い範囲の出力電圧にわたって平坦に維持されています (図 13 を参照)。

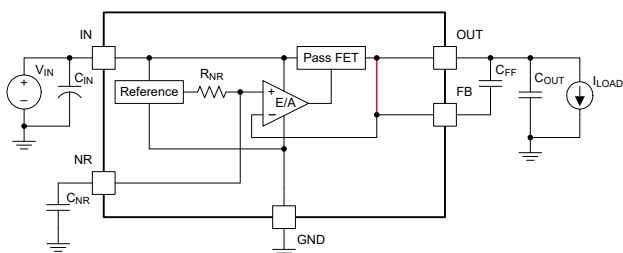


図 12. ユニティゲイン帰還で動作している場合、エラーアンプのゲインは  $V_{OUT}$  の影響をさほど受けません。

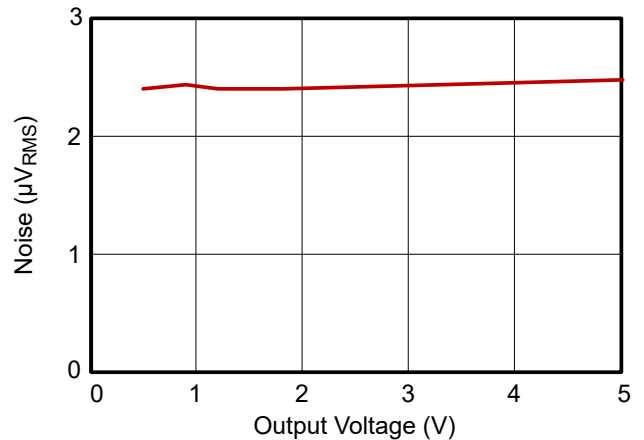


図 13. ユニティゲイン帰還で動作している場合、LDO ノイズは  $V_{OUT}$  の変化の影響をさほど受けません。

上側の設定点抵抗の両端に帰還コンデンサ ( $C_{FF}$ ) を接続すると、LDO のノイズを低減できます (図 14 を参照) [8、10]。より高い周波数では、 $V_{FB}$  と  $V_{OUT}$  は実質的に  $C_{FF}$  によって短絡されるため、リファレンスノイズがエラーアンプのゲインによって増幅されることが防止されます (図 15 を参照)。LDO がすでにユニティゲイン帰還で動作している場合 (図 16 を参照)、 $C_{FF}$  はノイズ曲線に影響を及ぼしません。

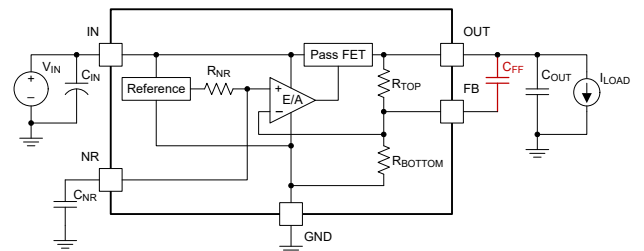


図 14.  $R_{TOP}$  の両端に  $C_{FF}$  を接続すると、中間周波数帯域のユニティゲイン帰還をエミュレートできます。

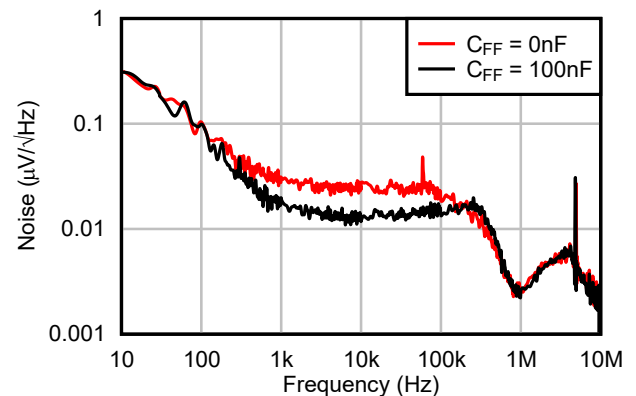


図 15.  $R_{TOP}$  の両端に  $C_{FF}$  を接続すると、中間周波数帯域の LDO ノイズが低減されます。

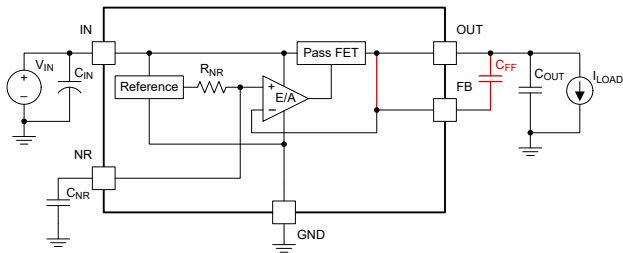


図 16. ユニティ ゲイン帰還で動作している場合、 $C_{FF}$  は LDO ノイズに影響を及ぼしません。

$V_{REF}$  とエラー アンプの間にノイズ低減 (NR) ローパスフィルタを配置すると、リファレンス ノイズがアンプによって増幅される前に、ローパスフィルタがリファレンス ノイズを減衰させます (図 17 と図 18 を参照) [8]。ほとんどの場合、NR 抵抗は LDO に内蔵されています。NR コンデンサは内蔵されている場合と内蔵されていない場合があります。 $C_{FF}$  と NR フィルタを同時に使用すると、シングル LDO で最小のノイズを達成できます。

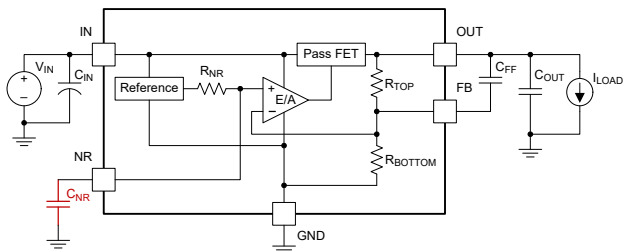


図 17. NR コンデンサ ( $C_{NR}$ ) は、エラー アンプの前に  $V_{REF}$  をフィルタ処理します。

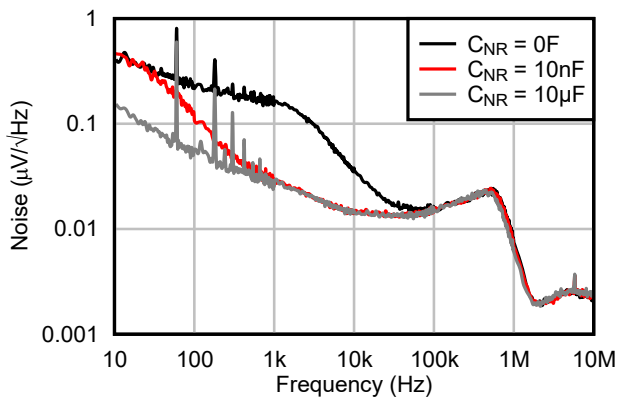


図 18. NR フィルタは低周波数帯域と中間周波数帯域のノイズ性能を改善します。

## PSRR

PSRR は、 $V_{IN}$  の変化をフィルタ処理するレギュレータの能力に相当し、入力ノイズに対する出力ノイズの対数比として式 1 で表されます [11]。

$$PSRR = 20 \times \log\left(\frac{V_{IN(AC)}}{V_{OUT(AC)}}\right) \quad (1)$$

任意の PSRR 曲線 (図 19) [8、12] には、図 20 に示す回路素子の影響を受ける 3 つの領域があります。低周波数帯域では、 $V_{REF}$  の PSRR が LDO の PSRR を支配します。中周波数帯域では、エラー アンプのゲインが PSRR 性能を支配します。高周波数帯域では、LDO の帯域幅が不足し、パス デバイスの寄生容量と出力容量によって形成される容量性分圧器によって、PSRR が決定されます。

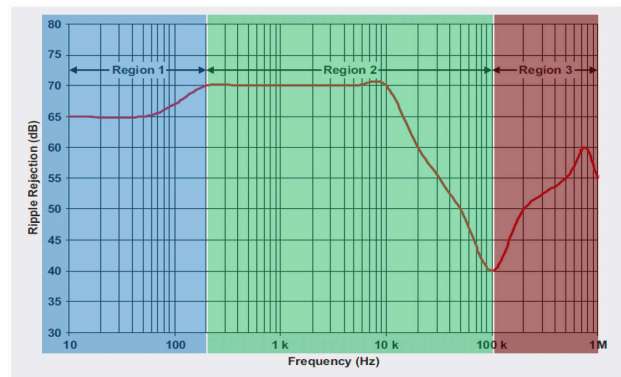


図 19. 代表的な PSRR の周波数依存性。3 つの領域が青、緑、灰色で強調表示されています。

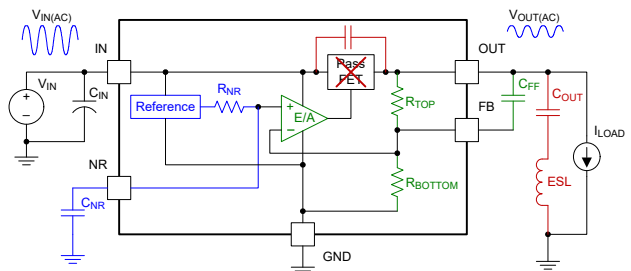


図 20. LDO の構成要素とそれらが PSRR 曲線に及ぼす影響。

$V_{IN}$  に過剰なノイズが含まれている場合、ノイズに敏感な環境での LDO の PSRR を最大化することが推奨されます。したがって、これらのアプリケーションでは、PSRR 性能を向上させる要因と向上させない要因を理解することが重要です。LDO にバイアス電圧 ( $V_{BIAS}$ ) が印加されており、その  $V_{BIAS}$  が、データシートに記載された必要最小値より大きい場合、通

常、 $V_{BIAS}$  (図 21 を参照) が LDO の PSRR に及ぼす影響は無視できます。

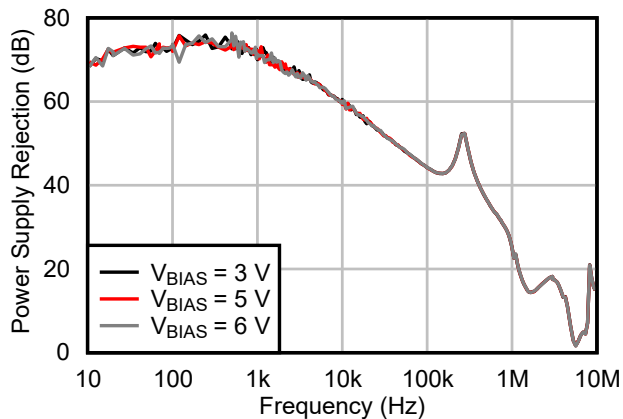


図 21. LDO の PSRR は、ドロップアウトを上回る  $V_{BIAS}$  の影響をさほど受けません。

$V_{OUT}$  (図 22 を参照) と出力容量 (図 23 を参照) の変化は LDO の内部帰還ループに影響を及ぼし、LDO の PSRR に最小限の影響を及ぼす可能性があります。通常、 $V_{OUT}$  は固定値ですが、出力容量の選択とレイアウトはユーザーが制御できます。コンデンサの等価直列インダクタンス (ESL) と、レイアウトの基板の寄生インダクタンスを最小化すると、コンデンサのインピーダンスが減少し、出力コンデンサの共振周波数が増加して、結果的にノイズフィルタの性能が改善されます。共振周波数が高くなるにつれて、より高い周波数での LDO の PSRR も高くなります。

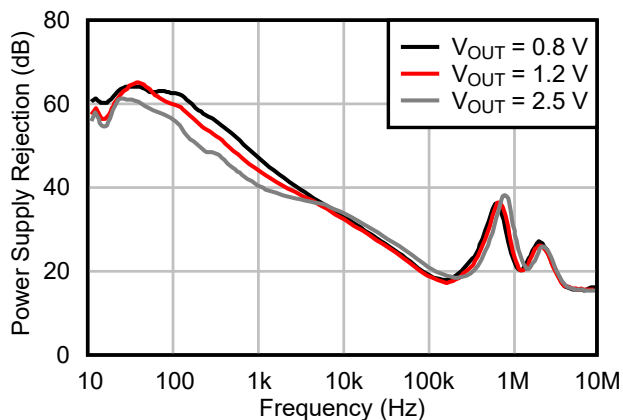


図 22.  $V_{OUT}$  は LDO の PSRR に最小限の影響を及ぼします。

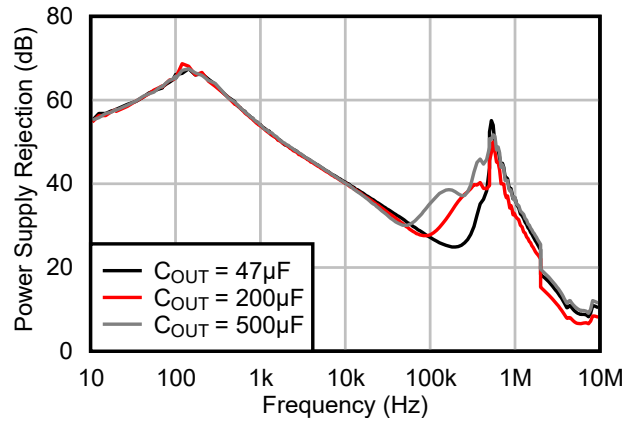


図 23. LDO の PSRR は、小さい値と中程度の値の  $C_{OUT}$  の影響をさほど受けません。

ヘッドルーム電圧 ( $V_{IN} - V_{OUT}$ ) (図 24 を参照) は PSRR に大きな影響を及ぼします。最小ヘッドルーム電圧または  $V_{DO}$  付近で動作させると、PSRR は非常に小さくなります。ヘッドルーム電圧を大きくすると、開ループゲインが増加し、その結果、PSRR 性能が向上します。したがって、PSRR は通常、 $V_{DO}$  単独よりも大きいヘッドルーム電圧で仕様規定されます。一般的なヘッドルーム値は 300mV、500mV、あるいは 1V であり、それ以上大きくしても PSRR 性能は通常頭打ちになります (図 25 を参照)。

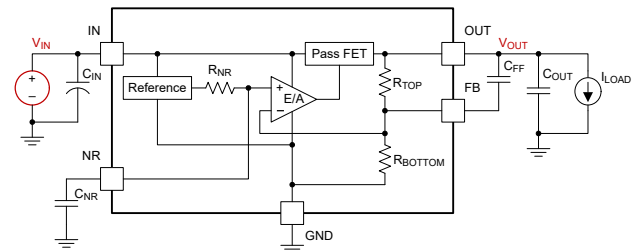
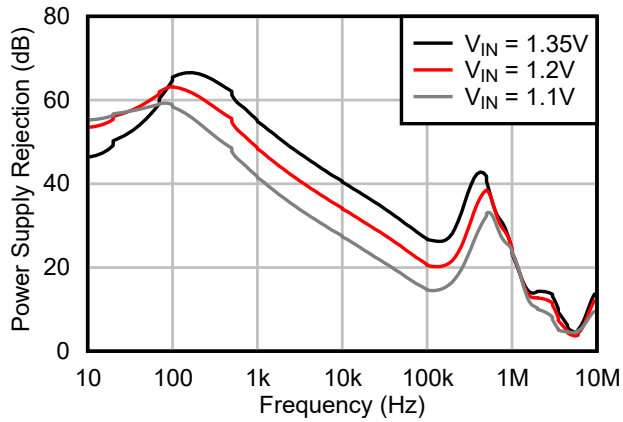


図 24. ヘッドルーム電圧 ( $V_{IN} - V_{OUT}$ ) は LDO の PSRR に影響を及ぼします。



$V_{OUT} = 0.8V$

図 25. ヘッドルーム電圧を大きくすると、LDO の PSRR も向上します。

負荷電流を増やすことは、LDO の PSRR に悪影響を及ぼします (図 26 と 図 27 を参照)。LDO データシートの PSRR 曲線を常に確認し、目的の負荷電流に最適なデータを見つめます。小さな負荷を付けて取得された PSRR テストデータは、全負荷付近で動作しているときの LDO の PSRR 性能を示すものではありません。この最小限の負荷が目的の動作条件である場合を除いて、そのデータでは不十分です。テキサス・インスツルメンツに PSRR データを請求するか、目的のアプリケーションの実際の条件に基づいて、評価基板 (EVM) を使ってデータを直接取得します。

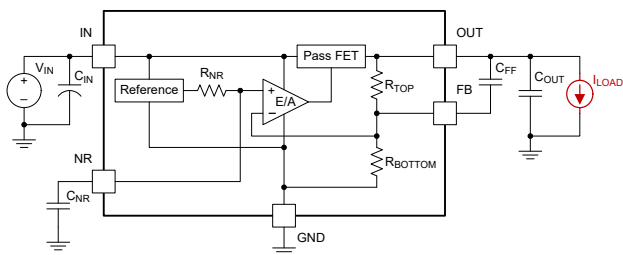


図 26. 負荷電流を増やすことは、LDO の PSRR に影響を及ぼしません。

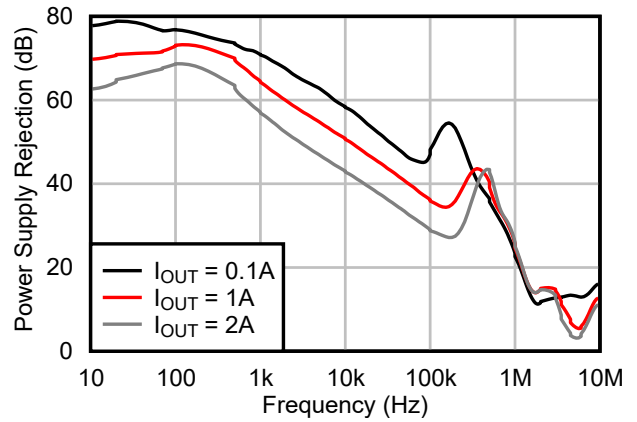


図 27. 負荷電流を増やすと、LDO の PSRR は低下します。

LDO の  $V_{REF}$  の PSRR は有限の値であるため、 $V_{IN}$  のノイズは  $V_{REF}$  に悪影響を及ぼす可能性があります。阻止しないままにすると、このノイズがエラー アンプによって増幅され、LDO の  $V_{OUT}$  に伝搬し、PSRR 性能を低下させます。前述の NR フィルタ (図 17 を参照) を使用して  $V_{REF}$  をフィルタ処理することで、低周波数帯域から中周波数帯域での LDO の PSRR が改善されます。ほんのわずかな NR 容量が PSRR 曲線に大きな影響を及ぼします (図 28 を参照)。

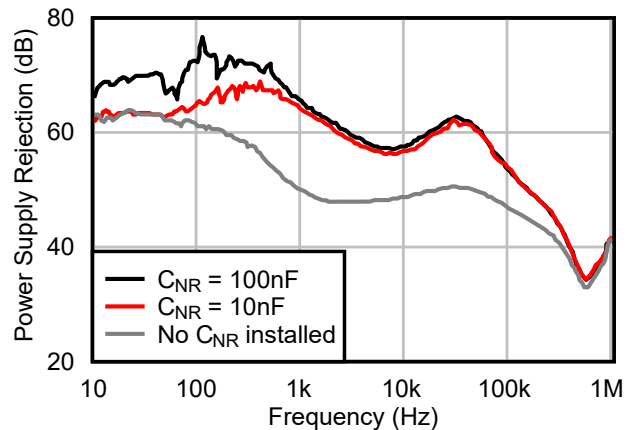


図 28. NR 抵抗 - コンデンサフィルタは LDO の PSRR を向上させます。

ほとんどの場合、 $C_{FF}$  を追加すると LDO の帰還帯域幅が増加し、LDO の PSRR が向上します (図 14 と 図 29 を参照) [10]。LDO がユニティゲイン帰還で動作している場合、 $C_{FF}$  は短絡され、PSRR 曲線に影響を及ぼしません (図 16 を参照)。

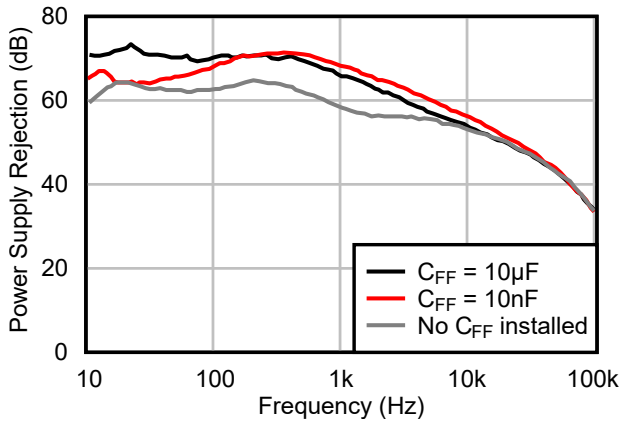


図 29.  $R_{TOP}$  の両端に  $C_{FF}$  を接続すると、PSRR が向上します。

### 熱評価基準

接合部から周囲への熱インピーダンス ( $R_{\theta JA}$ ) は、LDO の  $P_D$  の関数として LDO の接合部温度 ( $T_J$ ) を決定するために使われる、LDO の放熱特性の指標です。各種 LDO 間で放熱特性を直接比較する必要がありますが、 $R_{\theta JA}$  はプリント基板 (PCB) のレイアウトに大きく依存します [13、14]。JEDEC (Joint Electron Device Engineering Council) の委員会は半導体の熱評価基準の測定および報告方法を標準化しました [15]。この委員会は、特定の基板設計およびレイアウト要件におけるデバイスの  $R_{\theta JA}$  の業界標準を定義しました。JEDEC の PCB レイアウトは、GND と  $V_{DD}$  の 1 オンス銅の内層が交互に配置された 4 層基板を使用しています (図 30 を参照)。上面の 2 オンス銅層は、各入力ピンに配線されるパターンに使われ、それ以外の場所は GND で埋められています (図 31 を参照)。下面の 2 オンス銅層はベタの GND です。JEDEC 規格では、PCB のサイズも正確に定義されています。

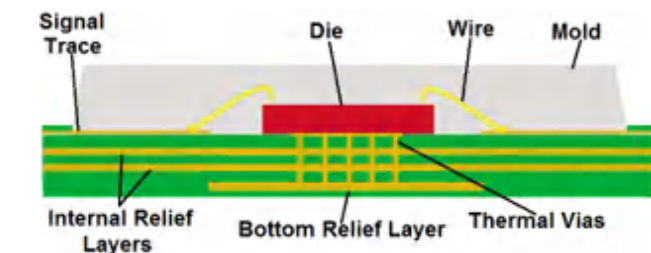


図 30. JEDEC 規格の PCB レイアウト。

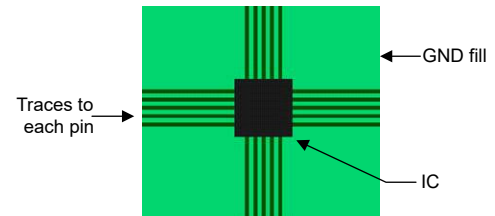


図 31. JEDEC 規格の上面配線と GND フィル。

幸い、ほとんどの PCB 設計の面積は JEDEC の仕様よりも大きく、グラウンドプレーンと LDO のグラウンドパッド内のサーマルビアが追加されています。実際の  $R_{\theta JA}$  は、公表されている JEDEC の  $R_{\theta JA}$  値より 25%~50% も低くなるがよくあります。

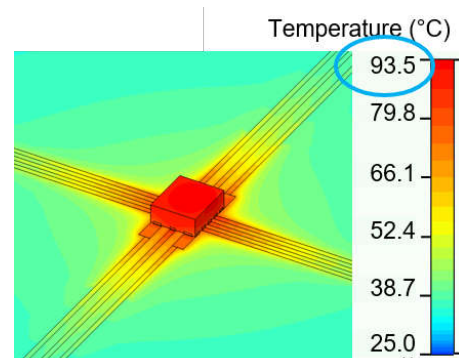
1W を消費する LDO を評価基板に実装した場合を考えます。式 2 と式 3 に、LDO の  $P_D$  を定義し、式 4 に、LDO の  $T_J$  を定義します。

$$P_D = (V_{IN} - V_{OUT}) \times (I_{OUT} + I_Q) \quad (2)$$

$$P_D \approx (V_{IN} - V_{OUT}) \times I_{OUT} \quad (3)$$

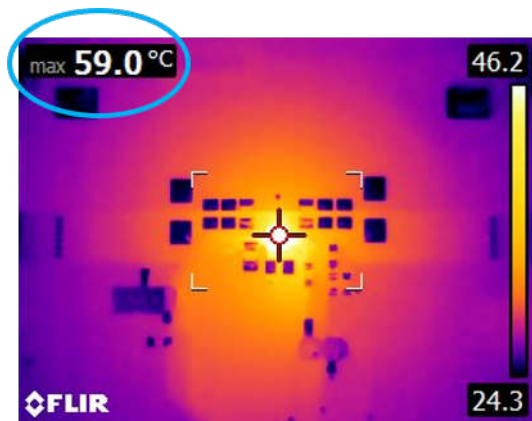
$$T_J = T_A + (\theta_{JA} \times P_D) \quad (4)$$

JEDEC 仕様のレイアウトでは、 $R_{\theta JA} = 68.5^\circ\text{C/W}$  が得られますが (図 32 を参照)、評価基板に実装された LDO の実際の測定値は  $34.7^\circ\text{C/W}$  前後です (図 33 を参照)。設計で  $R_{\theta JA}$  を低減するには、サーマルパッド内のサーマルビアの数と、本デバイスの周囲の PCB 銅箔面積の両方を最大化する必要があります。 $R_{\theta JA}$  をより小さくするには、LDO の周囲にローカルサーマルビアを配置します。



JEDEC シミュレーション:  $\theta_{JA} = 68.5^\circ\text{C/W}$

図 32. JEDEC 熱特性シミュレーション。



評価基板の測定:  $\theta_{JA} = 34.7^\circ\text{C/W}$

図 33. 評価基板を使用した図 32 の熱測定。

設計段階では、公表されている  $R_{\theta JA}$  を指針として使います。物理ハードウェア上でテスト データを取得する場合、Psi パラメータと呼ばれる別の一連の JEDEC 熱パラメータがより便利です。Psi パラメータを使うと、基板レイアウトとはほぼ無関係に接合部温度を推定できます (図 34 を参照)。最も一般的なパラメータは、接合部から上面への ( $\Psi_{JT}$ ) Psi パラメータです。図 33、式 5、式 6 を再検討すると、 $T_J$  は  $63.5^\circ\text{C}$  と推定されます。

$$T_J = T_C + \Psi_{JT} \times P_D \quad (5)$$

$$T_J = 59^\circ\text{C} + 4.5^\circ\text{C/W} \times 1\text{W} = 63.5^\circ\text{C} \quad (6)$$

LDO の場合、小さい Psi パラメータ値が一般的です。内部の集積回路の大部分が、熱を放散しているパス デバイス (パス素子) であるためです。したがって、赤外線画像では通常、LDO の実際の  $T_J$  にかかなり近い値が得られます。

$\Psi_{JT}$  AND  $\Psi_{JB}$  VERSUS PCB SIZE

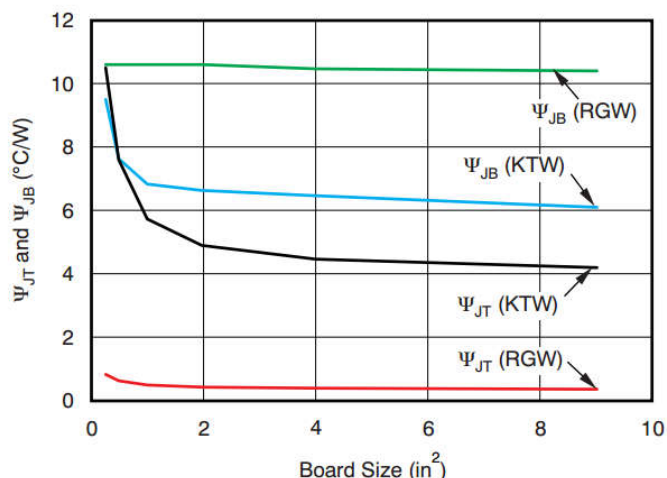


図 34.  $\Psi_{JT}$  および  $\Psi_{JB}$  と PCB サイズとの関係。

### ドロップアウト付近での負荷過渡応答

LDO で低損失と高効率を実現するには、必要な  $V_{IN}$  の最小値を理解することが重要です。LDO が DC 電流負荷で動作する場合、レギュレーションを維持するには、 $V_{IN}$  は  $V_{OUT} + V_{DO}$  以上である必要があります。これらの例 (図 35 と図 36 を参照) では、TPS7A14 LDO の  $V_{DO}$  は  $45\text{mV}$  (標準値) です。ただし、アプリケーションで  $V_{OUT}$  に負荷過渡が発生する場合、 $V_{IN}$  の最小値は大きくなる可能性があります。アプリケーションが過渡条件に応答する必要がある場合、LDO はより多くのヘッドルームを必要とします。

負荷過渡が発生するとヘッドルーム電圧が低下するため、 $V_{OUT}$  の偏差と復帰時間が増加します (図 36 を参照)。小電流から大電流に変化する間に、LDO ではより大きなドループが発生し、定常状態に達するための応答が遅延します。大電流から小電流に遷移する間に、ヘッドルームの不足によって  $V_{OUT}$  が変動することがあります。図 35 の  $V_{OUT}$  は、負荷が大電流から小電流に変化する際の、この挙動の代表例です。 $V_{OUT}$  の偏差のピーク値は  $V_{IN}$  の摂動と一致しており、その復帰は定常状態の  $800\text{mV}$  の設定点をわずかにアンダーシュートします。

$V_{IN}$  を最小化して、効率を最大化する場合、過渡要件を把握しておく必要があります。その過渡要件には、負荷過渡パルスの振幅とパルス負荷のランプレートが含まれます。LDO の性能が要求を満たしているかどうか、または  $V_{IN}$  を増減させ

必要があるかどうかを評価するため、評価基板に実装した独自の部品を使ってテストすることもできます。

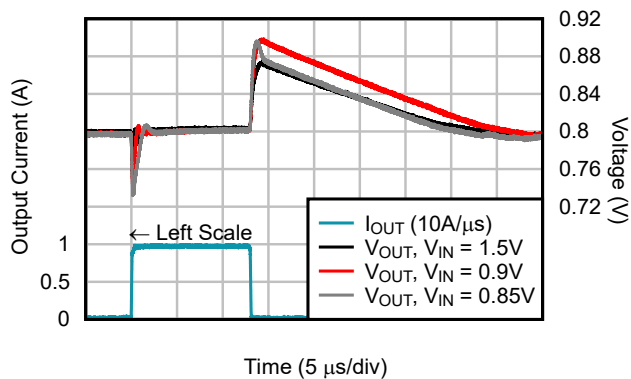


図 35. ドロップアウト付近での LDO の過渡性能。

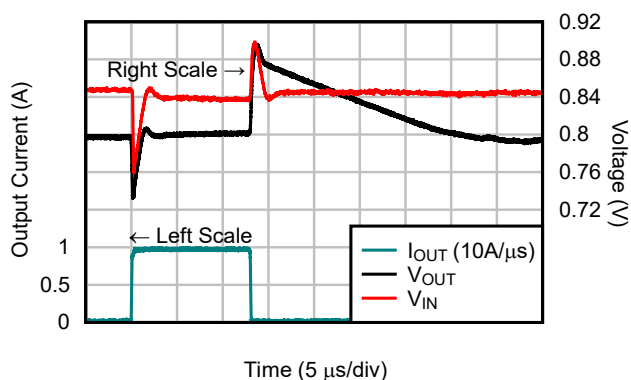


図 36. LDO の過渡性能とヘッドルーム電圧との関係。

## パラレル LDO

パラレル LDO は人気が高まりつつあり、シングル LDO と競合スイッチング コンバータ製品に対して多くの長所があります。パラレル LDO を使用すると、負荷電流の増加、システムノイズの低減、PSRR と放熱性の改善、与えられた負荷電流に対するヘッドルーム要件の低減を実現できます [16]。このように今や設計者は、さまざまな設計課題の解決策としてパラレル LDO を研究しています。

最も背の高い部品が小さな出力コンデンサであるパラレル LDO システムとは異なり、スイッチング コンバータと多相モジュールでは通常、大型の磁気素子が必要です [17]。さらに、スイッチング コンバータの帯域幅の制約 [18] により、高速過渡応答時に  $V_{OUT}$  を保持するため、追加の出力容量が必要な場合があります。スイッチング コンバータとは異なり、最新の LDO とパラレル LDO システムは数 MHz に及ぶ周波数帯域幅を持ち、 $F_{SW}/5$  にも  $F_{SW}/10$  にも制限されません。

一部のアプリケーションでは、スイッチング コンバータの  $V_{OUT}$  リップル電圧が望ましくない場合があります。リップル電圧の振幅を小さくするため、しばしばより大きなコンデンサバンクが必要とされます。LDO とパラレル LDO システムにはリップル電圧が存在しないため、この懸念は解消されます。スイッチング コンバータは通常、EMI 規格に準拠するために電磁干渉 (EMI) フィルタを追加する必要があるため、設計のコストが増え、期間が長くなります。パラレル LDO システムは本質的に EMI フィルタ処理を必要としないため、コスト最適化された設計をより短い設計サイクルで実現できます。

レーザー位相ノイズ特性は電流ドライバの性能によって支配されるため、高性能、超低ノイズのレーザードライバアプリケーションのための最新の電流ドライバは、10 もの LDO を並列化した低ノイズのパラレル LDO を採用しています。

最大デューティサイクルの制約によって  $V_{IN}$  からの  $V_{OUT}$  のレギュレーションが禁止される場合、ヘッドルーム電圧が狭いアプリケーション (または  $V_{IN} - V_{OUT}$  が非常に小さい場合) でスイッチング コンバータを使うことは困難であり、または非実用的である場合があります。シングル LDO が軽負荷時のソリューションを提供するのに対し、パラレル LDO はより重い負荷電流のためのソリューションを提供します。

テキサス・インスツルメンツは、バラスト抵抗 [16]、[17]、[19] を使用したパラレル LDO 回路の設計と解析を最新化し、ワーストケース解析手法を使ってこれらのパラレル LDO を素早く設計できるダウンロード可能なソフトウェア ツール [20] に、パラレル LDO のためのこの新しい数学的基礎を組み込みました。

## バラスト抵抗を使用したパラレル LDO – 設計と解析

残念ながら、パラレル LDO において複数の出力電圧を直接接続することはできません。各 LDO の  $V_{OUT}$  はわずかに異なっており、並列システム内で最大の  $V_{OUT}$  を持つ LDO は、その LDO が電流制限状態に入るまで、負荷全体の電流を供給しようと試みます。この状態では、並列システム内のその他の LDO は負荷に寄与しません。第 1 の LDO が電流制限状態に入っている間に、その電圧は低下し、その結果、次に高い  $V_{OUT}$  を持つ LDO が、その LDO もまた電流制限状態に

入るまで、負荷全体の電流を供給しようと試みます。この過程は無制限に繰り返され、出力の発振をもたらします。合成された負荷電流を出力に供給すると同時に、各 LDO を互いに分離する方法が必要です。バラスト抵抗は、この設計課題に対するよく知られた解決方法です (図 37 と 図 38 を参照)。

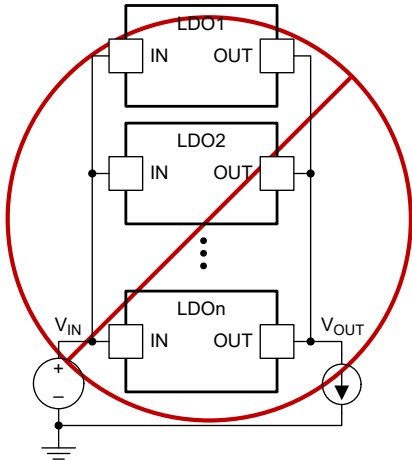


図 37. LDO を並列接続する誤った方法。

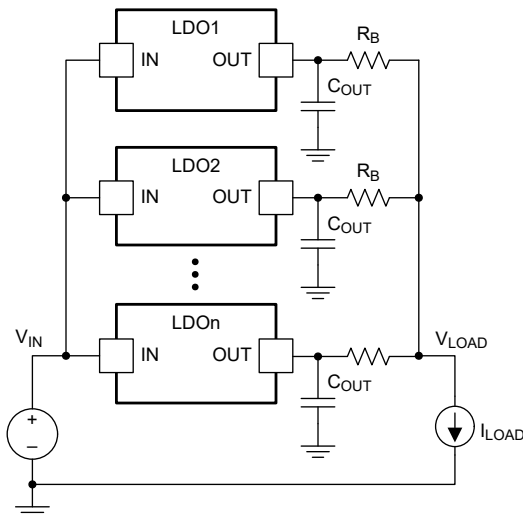


図 38. LDO を並列接続する正しい方法。

図 39 に、バラスト抵抗を使用してパラレル LDO を構成する方法を示します。各 LDO は、 $V_{OUT}$  (標準値) と誤差電圧 ( $V_E$ ) 項の直列接続として表現された、理想的な電圧源で表されています。 $V_E$  は、デバイス固有のデータシートに基づく公差 (ラインおよび負荷レギュレーション、エラー アンプのオフセット電圧 ( $V_{OS}$ ) (ラインおよび負荷レギュレーションを含む場合があります)、帰還抵抗の公差 (LDO がユニティゲイン帰還で動作していない場合) など) で構成されます。LDO がユニティゲイン

で動作している場合、 $V_E$  は  $V_{OS}$  と同じです。図 39 では、各 LDO の出力電圧と出力電流が  $V_{OUT}$  と  $I_{OUT}$  として定義されており、バラスト抵抗の後の電圧と電流はそれぞれ  $V_{LOAD}$  と  $I_{LOAD}$  であることに注意します。これは、パラレル LDO 設計における LDO 出力またはシステム負荷を指す用語です。

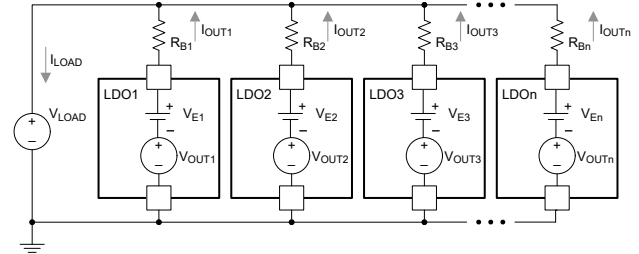


図 39. バラスト抵抗を使用した n パラレル LDO の等価モデル。

ほとんどの設計では、パラレル LDO は、より多くの電流を負荷に供給することに加えて、 $V_{LOAD}$  要件を満たす必要があります。これを実現するには、満たす必要がある出力 ( $V_{LOAD}$  など) を求めるため、既知かつ制御可能な入力 ( $R_B$ 、 $V_{OUT}$ 、 $I_{LOAD}$ 、 $V_E$  など) を持つ一連の式が必要です。図 39 のメッシュ電流解析を解くことで、式 7~式 10 が得られます。

$$R_B = \frac{\max_{1 < x < n} V_{En} - \min_{1 < x < n} V_{En}}{\Delta I_{MAX}} \quad (7)$$

$$I_{LOAD} = \sum_{n=1}^n \frac{V_{OUTn} - V_{LOAD} + V_{En}}{R_{Bn}} \quad (8)$$

$$V_{LOAD} = \frac{\sum_{n=1}^n \frac{V_{OUTn} + V_{En}}{R_{Bn}} - I_{LOAD}}{\sum_{n=1}^n \frac{1}{R_{Bn}}} \quad (9)$$

$$I_{OUTn} = \frac{V_{OUTn} - V_{LOAD}}{R_{Bn}} + \frac{V_{En}}{R_{Bn}} \quad (10)$$

$V_{LOAD}$  は入力として式 10 に現れていることに注意します。しかし、その意図は、システム要件と比較するために  $V_{LOAD}$  を求めることです。バラスト抵抗と出力電圧を同じ値に設定し、再計算すると、式 11 の結果が得られます。式 7~式 11 は、バラスト抵抗を使ったパラレル LDO に関する一連の新しい解析の基礎を形成します。

$R_{B1} = \dots = R_{Bn}$  かつ  $V_{OUT1} = \dots = V_{OUTn}$  の場合:

$$I_{OUTn} = \frac{I_{LOAD} - \left( \sum_{n=1}^n \frac{V_{En}}{R_B} \right)}{n} + \frac{V_{En}}{R_B} \quad (11)$$

$R_B$  が大きくなるにつれて、各 LDO 間の電流共有  $\Delta I_{MAX}$  が改善されます。 $R_B$  を増やすと、負荷レギュレーション ( $V_{OUT} - V_{LOAD}$ ) も増加します。そのため、 $R_B$  が大きいほど、レギュレーション帯域要件を満たすのは困難です。 $V_{LOAD}$  と  $\Delta I_{MAX}$  の両方を満たす最適なバラスト抵抗値が存在します。式 7~式 11 は、その値を求めるのにも役立ちます (図 40 を参照)。

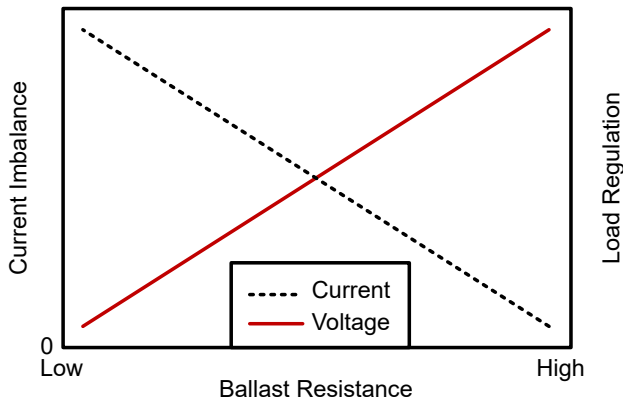


図 40. 電流の不均衡の最大値と負荷レギュレーションに対するバラスト抵抗の影響。

バラスト抵抗をシステムに組み込むには、それぞれが長所と短所を持つ 2 つの方法があります。1 つは PCB の銅箔を使用する方法であり、もう 1 つはディスクリート抵抗を使用する方法です。PCB パターンを設計するには、オンラインで簡単に入手できる電子回路協会 (IPC) -2221 規格を使用できます。この方法はフットプリントが最も大きく (図 41 を参照)、公差が最も大きい (図 42 を参照) ですが、製造コストが最も低く、温度が最も高いソリューションを実現できます。ディスクリート抵抗ソリューションはフォーム ファクタがより小さく、許容誤差も小さいですが、抵抗ディレーティング曲線に応じてディレーティングを行う必要があります (図 43 を参照)。

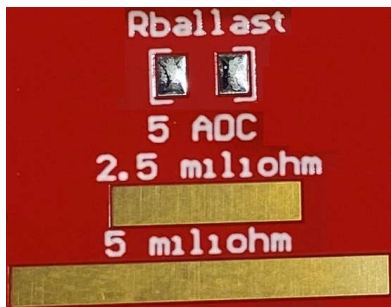


図 41. 1206 サイズのディスクリート抵抗 (上) と PCB 配線抵抗 (中と下) の比較。

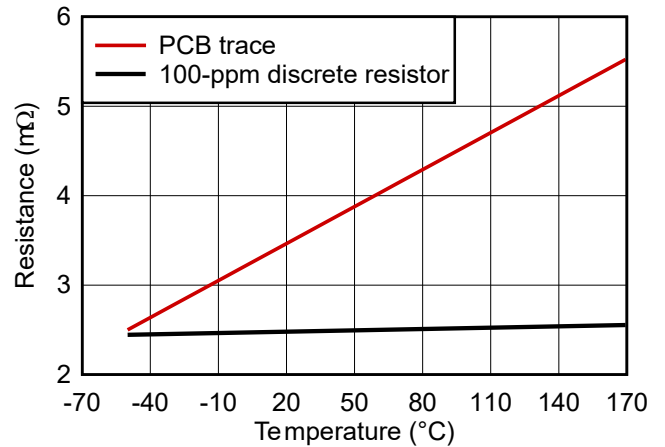


図 42. PCB パターンと 100ppm ディスクリート抵抗の公差の比較 (全温度範囲)。

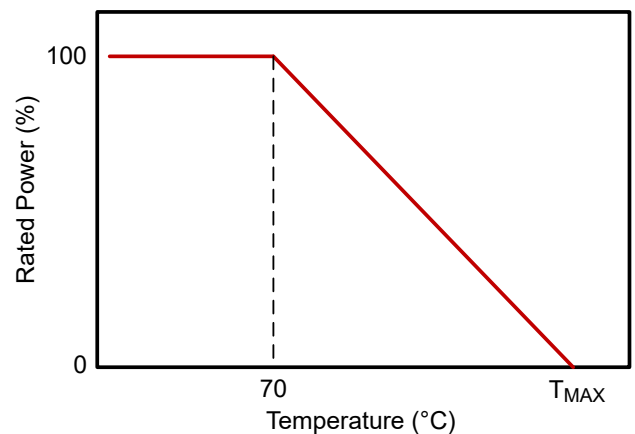


図 43. 代表的なディスクリート抵抗ディレーティング曲線 (全温度範囲)。

各  $R_B$  と直列に接続された電源プレーン抵抗を PCB 自体が持っているため、この直列 PCB 抵抗の分だけ  $R_B$  を小さくすることで、設計を最適化できます。2 つの経路を評価する必要があります。それは、LDO から負荷までとその逆の経路 (図 44 を参照) と、各 LDO 間の経路 (図 45 を参照) です。

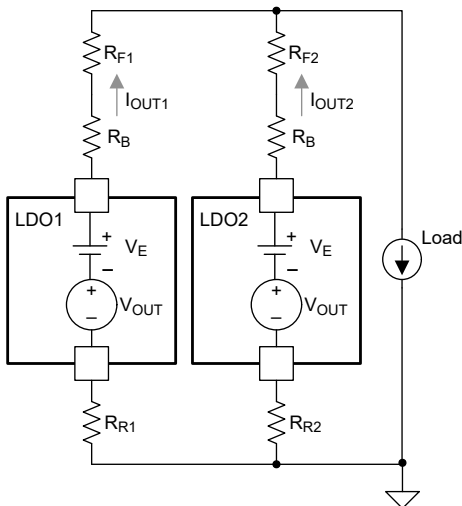


図 44. 平行 LDO と負荷との間の理想的でない PCB インピーダンスの影響。

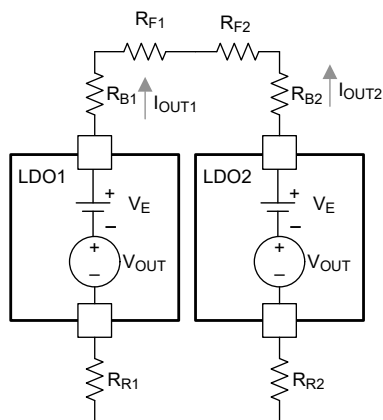


図 45. 各平行 LDO 間の理想的でない PCB インピーダンスの影響。

PCB の寄生インピーダンスを減算することでディスクリート  $R_B$  を最適化することは完全に任意であり、最大の性能が必要な場合にのみ使用されます。多くの平行 LDO 設計では、PCB の DC 抵抗が  $R_B$  に対してほんのわずかな割合にしかならない、十分大きい  $R_B$  が使われます。この任意の手順を行うと、 $R_B$  が  $50\text{m}\Omega$  より大きい場合に、性能がわずかに向上する可能性があります。

テキサス・インスツルメンツは、平行 LDO を素早く設計するための、ダウンロード可能な使いやすいカリキュレータを開発しました (図 46 を参照)。本ツールには Visual Basic が含まれていないため、ほとんどのエンジニアが簡単に使えます。このカリキュレータは、式 7~式 11 を使用してワーストケース解析を実行し、一連のシステム要件を満たすために必要な

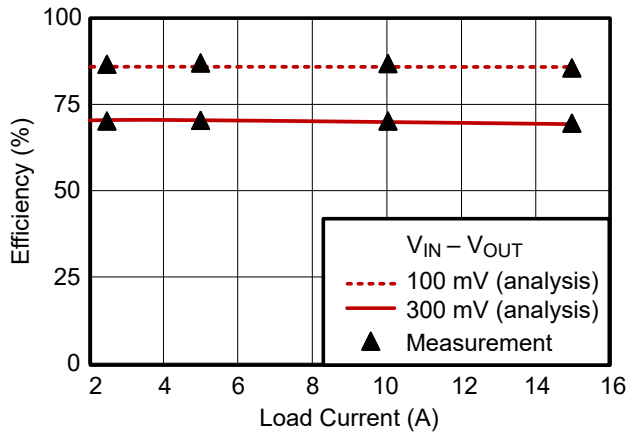
平行 LDO の並列数の最小値と最適なバラスト抵抗を求めます。このツールには、業界で並列接続されている一般的な LDO とそれらのデータシートの値が事前に入力されているため、目的のアプリケーションに合わせて各種 LDO を素早く比較できます。目的のシステム要件を入力するだけで、その要件を満たすのに最適なバラスト抵抗と LDO の並列数の最小値がカリキュレータに表示されます。

Not included: Abs Max voltage assessment or DC setpoint analysis  
This calculator assumes the same LDO IC, ballast resistor, and output voltage is used for all LDO's in parallel

TPS7A57				
LDO Specifications				
Parameter	Value	Units	Optional User Entry	Units
$V_{E, \text{high}}$	2	mVdc		mVdc
$V_{E, \text{low}}$	-2	mVdc		mVdc
Thermal Impedance $T_{JA}$	21.9	$^{\circ}\text{C}/\text{W}$		$^{\circ}\text{C}/\text{W}$
Parallel LDO System Requirements				
Parameter	Value	Units		Units
$T_A$	85	$^{\circ}\text{C}$		$^{\circ}\text{C}$
Maximum $T_J$ per LDO	125	$^{\circ}\text{C}$		$^{\circ}\text{C}$
$V_{IN}$	1.25	Vdc		Vdc
$V_{OUT}$	0.75	Vdc		Vdc
Allowable load regulation	0.02	Vdc		Vdc
System Noise Requirement (10 Hz - 100 kHz)	2.45	$\mu\text{Vrms}$		$\mu\text{Vrms}$
Total System Load:	8.48	A		A
Minimum Ballast Resistance needed	0.8	$\text{m}\Omega$		$\text{m}\Omega$
Optimum Ballast Resistance	5.608043	$\text{m}\Omega$		$\text{m}\Omega$
Ballast Resistance Selected	5.608043	$\text{m}\Omega$		$\text{m}\Omega$
N =				
Minimum number of parallel LDO's required:	3			

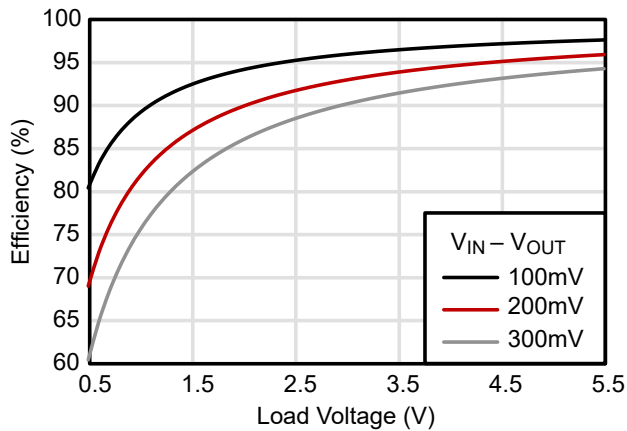
図 46. 平行 LDO カリキュレータを使用すると、一連のシステム要件を満たすためのバラスト抵抗の最適値と平行 LDO の並列数の最小値を、ワーストケース解析によって即座に計算できます。

図 47~図 51 に、テキサス・インスツルメンツの新しいデバイスの 1 つを使用した平行 LDO のテスト データを示します。この解析では、式 7~式 11 を使って効率を計算しており、解析値と測定値には優れた相関関係が見られます。平行 LDO の効率は、シングル LDO の効率と同等です (図 47 を参照)。 $V_{LOAD}$  が高いほど、与えられたヘッドルーム電圧に対する効率は高くなります (図 48 を参照)。



$V_{LOAD} = 748.5V$

図 47. パラレル LDO の効率の解析値と測定値。



$I_{OUT} = 10 A$

図 48. パラレル LDO の効率と負荷電圧およびヘッドルーム電圧との関係

図 49 の熱画像は、パラレル LDO の熱拡散の利点を示しています。このアプリケーションでは、LDO は約 7W を消費しており、温度が 76°C 上がっています。これは、いかなるリニアレギュレータシステムとしても非常に優れた結果です。

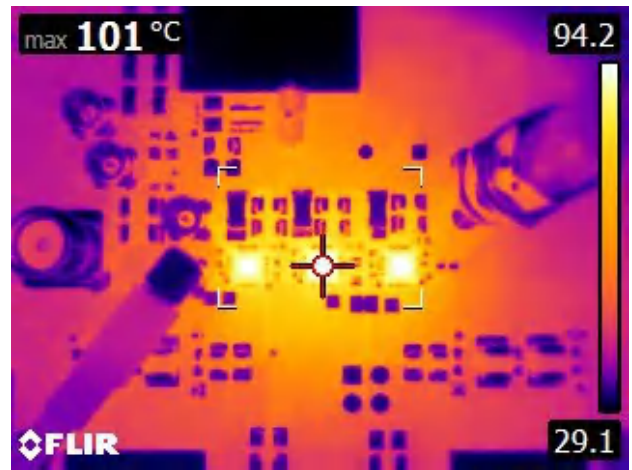


図 49. 6.75W を 30 分間消費している 3 パラレル TPS7A57 LDO の熱画像。

図 50 に、パラレル LDO とシングル LDO のノイズ特性の比較を示します。3 並列の LDO の理論的減率 (3 の平方根分の 1) に近いノイズ結果が得られています。

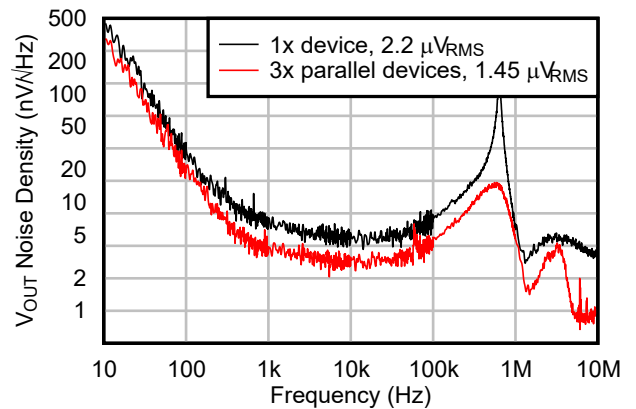


図 50. パラレル LDO の出力電圧ノイズ密度と周波数との関係

図 51 に、シングル LDO とパラレル LDO の PSRR 曲線の比較を示します。この図は、負荷に 4.5A を供給しているシングル LDO の PSRR を示しています。図 51 には、各 LDO がほぼ同じ電流 (合計 13.5A) を負荷に供給している 3 パラレル LDO も示します。予想どおり、これらの PSRR 曲線は同じです。

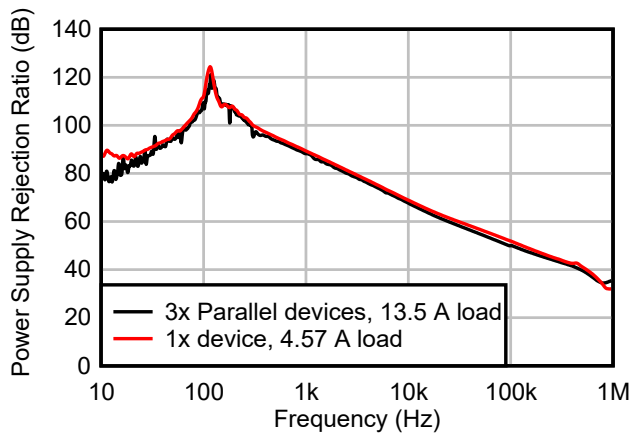


図 51. 3 平行 TPS7A57 LDO とシングル TPS7A57 LDO の PSRR と周波数および  $I_{OUT}$  との関係。

図 52 に、シングル LDO ソリューションと平行 LDO ソリューションの負荷過渡の比較を示します。低ヘッドルームで動作する場合、シングル LDO の過渡応答は大きな電圧偏差と定常状態への復帰の遅延に見舞われます。3 つの並列接続された LDO の間で負荷を共有することで、ヘッドルーム要件が緩和され、出力電圧の偏差と復帰が大幅に向上します。

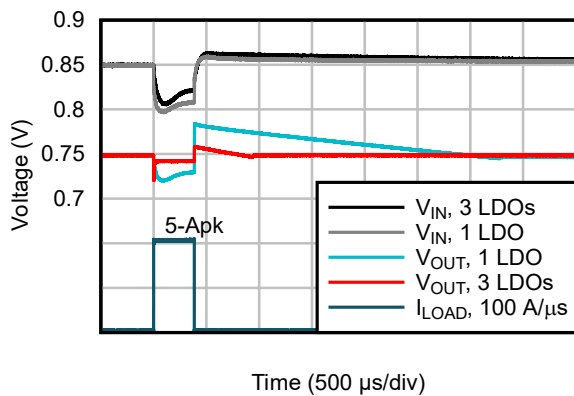


図 52. 平行 LDO とシングル LDO の過渡性能。

### 定電流レギュレーション

すでに説明したいずれかの理由で、ノイズに敏感な電子機器を駆動するための電流源として LDO (シングルまたは平行) を構成できます (図 53 を参照)。

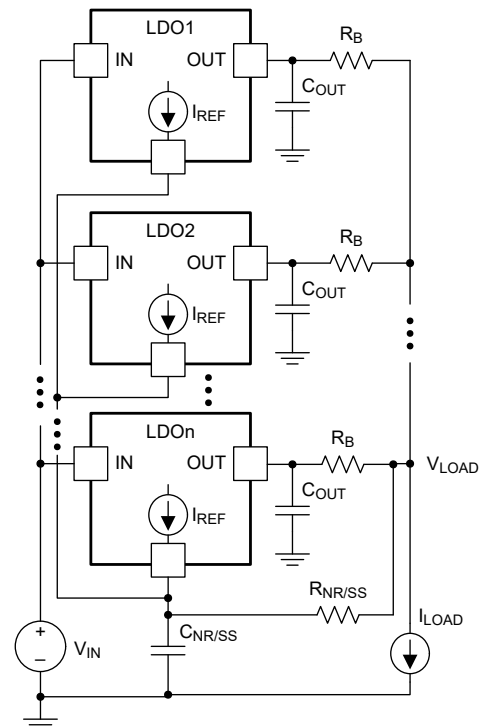
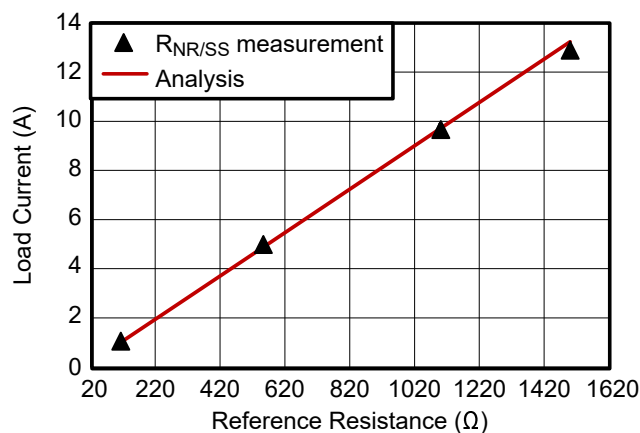


図 53. 定電流源を生成するため、高精度の電流リファレンスを使ってシングルまたは平行 LDO を構成する方法。

図 53 の LDO はユニティゲイン帰還で動作し、高精度の電流源を生成します。従来の方法では、 $V_{REF}$  (および  $V_{OUT}$ ) は、 $C_{NR/SS}$  の両端に接続された抵抗 ( $R_{NR/SS}$ ) に流れ込む高精度電流リファレンスによって生成されます。電流源として動作するように LDO を構成するには、単に  $R_{NR/SS}$  をグランドから切り離して回転させ、 $V_{LOAD}$  に接続します。LDO を 1 つのみ使用する場合でも、小さな  $R_B$  が必要になります。 $R_{NR/SS}$  の両端の電圧降下は、 $R_B$  の両端の電圧降下と等しい必要があります。式 12 を使うと、目的のシステムに必要な  $R_{NR/SS}$  を計算できます。

$$R_{NR/SS} = \frac{I_{OUT} \times R_B}{N \times I_{REF}} = \frac{I_{LOAD} \times R_B}{N^2 \times I_{REF}} \quad (12)$$

定電流源として構成された 3 つの並列接続された TPS7A57 LDO の間のテストデータの比較は、このトピックで導出された式を使った解析との優れた相関関係を示しています (図 54 を参照)。



3つのTPS7A57デバイス  $R_B = 50\text{m}\Omega$

図 54. 負荷電流と  $R_{NR/SS}$  との関係の解析と測定値。

## MISO LDO

従来型の単一入力単一出力 (SISO) コンバータは、 $V_{IN}$  で十分な電力が利用できない場合、重い負荷には電力を供給できません。理想的には、複数の入力電源からの電力を合成して、負荷電力要件を満たすことが望まれます。このような電源を MISO 電源と呼びます (図 55 を参照)。

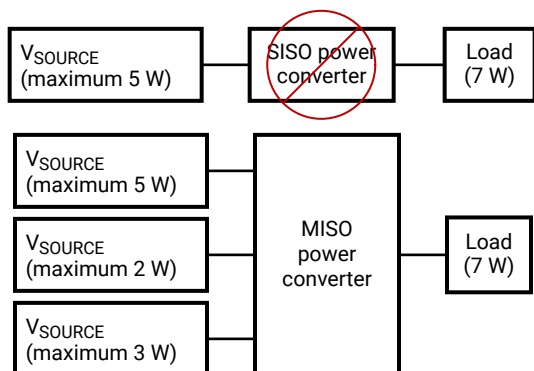


図 55. 負荷要件を満たすため、入力電力を合成する MISO 電源を使った電源システム。

複数の入力電源の間で電力を均等に共有する必要がある場合、MISO パラレル LDO の設計は簡単です。パラレル LDO に関する前述の説明を思い出して、カリキュレータと式を使って  $R_B$  を求め、複数の入力電源を各 LDO の  $V_{IN}$  に接続します。各入力から供給する電流の大きさを調整する必要がある場合、パラレル LDO の設計プロセスを再検討します。

複数の入力電源の間で異なる電流を共有する必要がある場合、バラスト抵抗を変更することで、各 LDO の電流を制御で

きます。MISO LDO の設計は、もはや閉ループの式が存在しないため、やや反復的です (図 56 を参照)。基本的に、この反復過程は次のように単純です。

1. 目的の要件を確認します。
2.  $V_{LOAD}$  として何らかの値を仮定します。
3.  $V_E$  として何らかの値を仮定します。
4.  $R_B$  を計算します。
5. 統計的シミュレーションを実行します。
6. 目的の要件と照らし合わせて設計結果を確認します。
7. その設計を製作します。

ほとんどの設計は数回の反復過程を必要とするのみであり、その過程は通常 10 分未満で完了します。各段階について個別に説明します。

手順 1 では、並列接続する LDO の数を求めることができるように、これまでに説明した手法を使って、ノイズと PSRR の基本的な要件を求めます。電力を取り出す入力電源の数と、各電源から供給できる最大電力を評価する必要もあります。

手順 2 では、 $V_{OUT}$  および負荷レギュレーション要件から、許容される  $V_{LOAD}$  を割り当てる必要があります。たとえば、各 LDO の  $V_{OUT}$  が 1V であり、バラスト抵抗の両端で最大 10mV の負荷レギュレーション降下を割り当てることができる場合、 $V_{LOAD}$  は 0.99V になります。

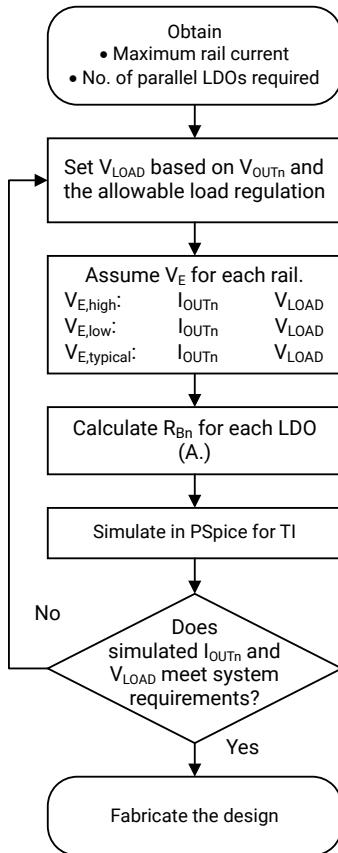
手順 3 では、各 LDO の  $V_E$  を仮定する必要があります。初回は、各 LDO の  $V_E$  をその公称値に設定するのが最も簡単です。LDO の  $V_E$  を大きく設定すると、その LDO の出力電流は自然に増加し、 $V_{LOAD}$  はわずかに減少します。 $V_{LOAD}$  を大きくするには、LDO の  $V_E$  の仮定値を小さくする必要があります。しかし、この場合、LDO の出力電流 (標準値) も小さくなります。

手順 4 では、手順 1~3 の結果を使って、各 LDO の  $R_B$  を計算します。

これはワーストケース解析ではないため、手順 5 を実行し、PSpice for TI を使って目的のシステムをシミュレーションすることを推奨します。各設計パラメータ ( $V_{LOAD}$ 、各 LDO の出力電流など、図 57 を参照) の統計的分布を求めるだけでなく、感度解析を行うこともできます (図 58 を参照)。この感度解析

は、 $V_{LOAD}$  または出力電流を改善するために注目する必要がある部品を特定するのに役立ちます。

シミュレーション結果が目的のシステム要件を満たさない場合、 $V_{LOAD}$  仕様と  $V_E$  の仮定値を調整することで手順 6 を実行し、手順 2~5 を繰り返すことができます。バラスト抵抗を再計算し、システムを再度シミュレーションします。通常は、数回の反復で十分です。手順 1~6 が完了すると、最後の手順 7 に進み、ハードウェアを製作できます。



A. 
$$R_{Bn} = \frac{V_{OUTn} - V_{LOAD}}{I_{OUTn}} + \frac{V_{En}}{I_{OUTn}} \quad (13)$$

図 56. MISO LDO の設計プロセス

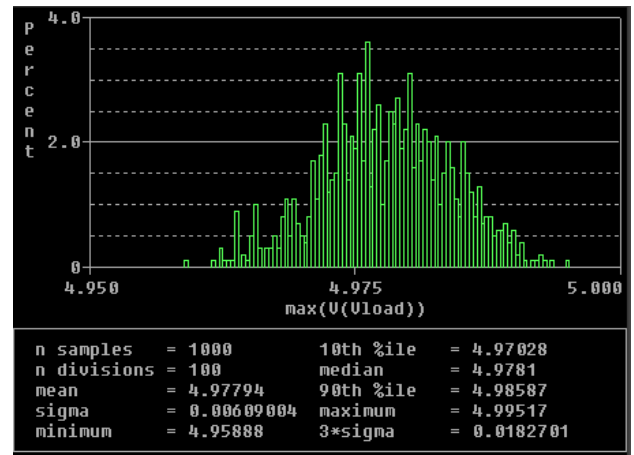


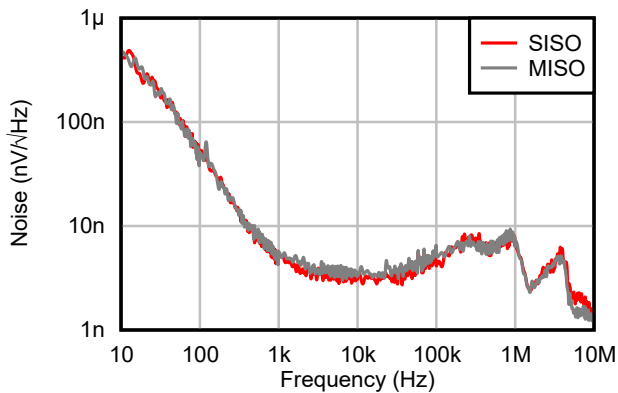
図 57. PSpice for TI のモンテカルロ解析結果。

Sensitivity Component Filter = [ * ]						
Component	Parameter	Original	@Min	@Max	Rel ...	Linear
Rb1	VALUE	22m	44m	0	-6.3830m	100
Rb3	VALUE	5.5000m	0	11m	4.8780m	76
Rb2	VALUE	11m	0	22m	2.2222m	34
R24	VALUE	0.0020	0	4m	779.2208u	12
R30	VALUE	0.0020	4m	0	-519.4805u	8
R25	VALUE	0.0020	4m	0	-259.7403u	4
R26	VALUE	5	0	10	0.9992f	< MIN >
Rb11	VALUE	4m	4m	4m	0	0
Rb21	VALUE	4m	4m	4m	0	0
R27	VALUE	2.2000	2.2000	2.2000	0	0
R31	VALUE	1	1	1	0	0

図 58. PSpice for TI の感度解析結果。

2 種類の平行 LDO を比較するテスト データを収集しました。SISO 平行 LDO の場合、各  $R_B$  を同じ値にしました。各 LDO はほぼ同じ電流を負荷に供給しています。MISO 平行 LDO は、反復過程を使ってさまざまな値の電流を供給するように設計されています。ここでは、約 1.6A、3.1A、4.6A を供給できるようにバラスト抵抗を選択し、複数の入力電源を各 LDO に接続しました。各 LDO で同じ  $P_D$  が維持されるように、 $V_{IN}$  を選択しました。

図 59 に、ノイズ測定値を示します。2 つの構成は同じ結果を示しています。



$I_{LOAD} = 9.3A$

図 59. SISO 平行 LDO と MISO 平行 LDO のノイズ スペクトル密度の測定値。

5 分間電力を印加した後の熱測定も同じです (図 60 と図 61 を比較してください)。唯一の違いは、各 LDO に印加された  $V_{IN}$  の小さな誤差です。

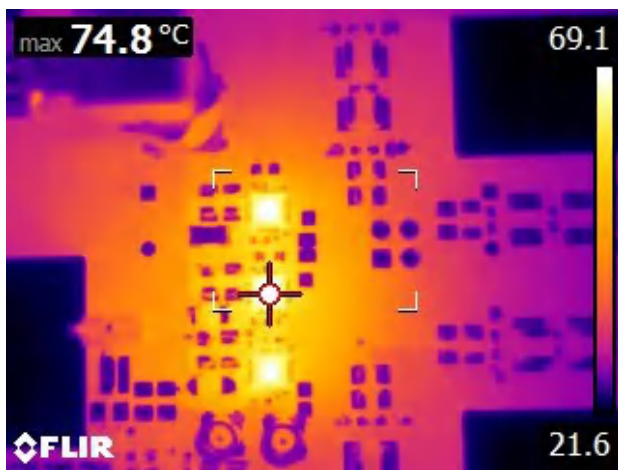


図 60. 4.65W の電力を消費している MISO 平行 TPS7A57 LDO の熱画像 (5 分間負荷をかけた場合)。

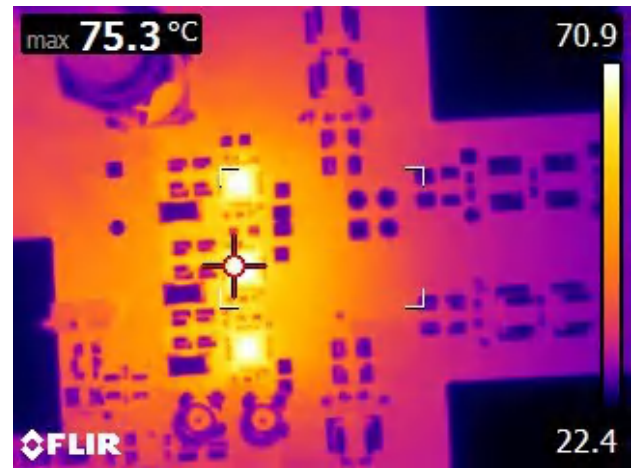


図 61. 4.65W の電力を消費している SISO 平行 TPS7A57 LDO の熱画像 (5 分間負荷をかけた場合)。

2 つのシステムの過渡応答は、SISO 平行 LDO に対するわずかな優位性を示しています (図 62 を参照)。実際の過渡応答はほぼ同じですが、DC 負荷レギュレーションが異なります。MISO LDO では、各種入力電流値を設定するため、バラスト抵抗を SISO LDO の出発点から増やしました。その結果、MISO LDO の過渡応答において、負荷レギュレーションがわずかに悪化しています。

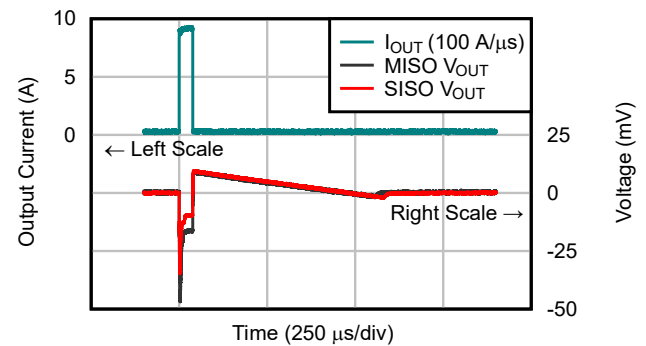


図 62. MISO 平行 LDO と SISO の平行 LDO の過渡応答の比較。

注

AC 結合、 $V_{OUT} = 748.5mV$

## 結論

本書では、MISO パラレル LDO のフローチャートを含む MISO パラレル LDO の構成を初めて文書化することで、パラレル LDO を使って複数の入力電源からの電力を合成し、合成された電力を 1 つの負荷に供給することを可能にしました。

また、次の 2 つの話題についても説明しました。

- ヘッドルーム電圧 (または  $V_{IN} - V_{OUT}$ ) が負荷過渡応答と効率に及ぼす影響。これにより、DC と過渡の両方の動作条件を満たすために必要な  $V_{IN}$  の大きさを把握できます。ヘッドルーム電圧が大きいほど過渡性能は向上しますが、効率は低下します。したがって、両方の仕様を満たすように LDO を最適化する際に、設計者は過渡要件と効率要件を理解する必要があります。
- シングル LDO とパラレル LDO の両方を定電流源として構成する方法。超低ノイズの大電流レーザードライバなどのアプリケーションにおいて、このような低ノイズ電流源は重要です。

## 参考資料

1. Glaser, Chris. 『**超低  $I_Q$  デバイスの効率を正確に測定する方法**』テキサス・インスツルメンツ Analog Applications Journal、文献番号 SLYT558、2014 年第 1 四半期。
2. Kunz, Keith, Stefan Reithmaier. 『**低消費電力アプリケーションで低静止電流 ( $I_Q$ ) の課題を克服する方法**』テキサス・インスツルメンツ ホワイト ペーパー、文献番号 SLYY203B、2023 年
3. Simpson, Chester. 『**リニア レギュレータのフィードフォワード補償の最適化**』テキサス・インスツルメンツ アプリケーション レポート、文献番号 SNVA246、2007 年
4. Stevens, John. 『**安定性チェックの簡素化**』テキサス・インスツルメンツ アプリケーション レポート、文献番号 SLVA381B、2013 年
5. Zhang, Penn, Jason Song. 『**LDO 起動時のオーバーシュートの防止**』テキサス・インスツルメンツ アプリケーション レポート、文献番号 SBVA060、2020 年
6. Pavlakos, Krista. 『**LDO による、起動時のストレスの緩和**』テキサス・インスツルメンツ アプリケーション レポート、文献番号 SNVA333A、2013 年
7. Falin, Jeff. 『**LDO リニア レギュレータ向けのソフトスタート回路**』テキサス・インスツルメンツ Analog Applications Journal、文献番号 SLYT096、2003 年第 3 四半期。
8. Fwu, Wilson, Aaron Paxton, Jose Gonzalez Torres, Mark Sellers. 『**LDO の基礎**』テキサス・インスツルメンツ e-book、文献番号 SLYY151A、2019 年
9. Van Renterghem, Kyle. 『**LDO ノイズの測定方法**』テキサス・インスツルメンツ ホワイト ペーパー、文献番号 SLYY076、2015 年
10. 『**低ドロップアウト レギュレータでフィードフォワードコンデンサを使用することの長所と短所**』テキサス・インスツルメンツ アプリケーション レポート、文献番号 SBVA042、2014 年
11. Pithadia, Sanjay, Scot Lester, Ankur Verma. 『**LDO PSRR の簡易測定**』テキサス・インスツルメンツ アプリケーション レポート、文献番号 SLAA414A、2017 年
12. Teel, John. 『**リニア レギュレータの電源リップル除去の理解**』テキサス・インスツルメンツ Analog Applications Journal、文献番号 SLYT202、2005 年第 2 四半期。
13. Copeland, Gerard. 『**基板レイアウトが LDO の熱性能に及ぼす影響に関する実証的分析**』テキサス・インスツルメンツ アプリケーション レポート、文献番号 SLVAE85、2019 年
14. Robertson, Maxwell. 『**LDO の熱インピーダンスの in-situ 測定方法**』テキサス・インスツルメンツ アプリケーション レポート、文献番号 SLVA422、2010 年
15. Edwards, Darwin, Hiep Nguyen. 『**半導体および IC パッケージの熱評価基準**』テキサス・インスツルメンツ アプリケーション レポート、文献番号 SPRA953C、2016 年
16. Ziel, Stephen. 『**複数のバラスト抵抗を使用した並列の LDO アーキテクチャ設計**』テキサス・インスツルメンツ ホワイト ペーパー、文献番号 SBVA100、2022 年

17. テキサス・インスツルメンツ (発行年記載なし)『[スケーラブル、大電流、低ノイズの平行 LDO \(低ドロップアウト\) のリファレンス デザイン](#)』テキサス・インスツルメンツのリファレンス デザイン No. TIDA-050061。2023 年 12 月 9 日アクセス。
18. Sheehan, Robert, Louis Diana。『[スイッチモード パワーコンバータのやさしいループ補償](#)』テキサス・インスツルメンツ パワー サプライ デザイン セミナー SEM2200、文献番号 SLUP340、2016 年。
19. Ziel, Stephen。『[バラスト抵抗を使った平行 LDO の包括的解析と一般方程式](#)』テキサス・インスツルメンツ ホワイト ペーパー、文献番号 SBVA093、2022 年
20. テキサス・インスツルメンツ (発行年記載なし)『[PARALLEL-LDO-CALC](#)』2023 年 12 月 9 日アクセス。

**重要なお知らせ:**ここに記載されているテキサス・インスツルメンツ社および子会社の製品およびサービスの購入には、TI の販売に関する標準の使用許諾契約への同意が必要です。お客様には、ご注文の前に、TI 製品とサービスに関する完全な最新情報のご入手をお勧め致します。TI は、アプリケーションに対する援助、お客様のアプリケーションまたは製品の設計、ソフトウェアのパフォーマンス、または特許の侵害に対して一切責任を負いません。ここに記載されている他の会社の製品またはサービスに関する情報は、TI による同意、保証、または承認を意図するものではありません。

すべての商標は、それぞれの所有者に帰属します。

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス・デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](#) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2024, Texas Instruments Incorporated