

Power Supply Design Seminar

トランスインダクタ電圧レギュレータ (TLVR) の概要



Reproduced from
2024 Texas Instruments Power Supply Design Seminar
SEM2600
Topic 3
Matthew Schurmann and Mohamed Ahmed
Literature Number: JAJ101

Power Supply Design Seminar resources
are available at:
www.ti.com/psds

2019年に導入されたトランスインダクタ電圧レギュレータ(TLVR)トポロジは、従来のマルチフェーズ降圧型電圧レギュレータトポロジに比べて、過渡応答、電力密度、ソリューションコストの改善を実現しています(本セッションで取り扱う設計例は40%を上回るコンデンサ削減を達成)。本トピックでは、TLVRトポロジの動作原理と、従来の電圧レギュレータに対する性能とコストの改善、設計に関する計算式、及びガイドラインをご説明します。

概要

マイクロプロセッサ、グラフィックスプロセッサ、特定用途向けIC、FPGA(フィールドプログラマブルゲートアレイ)などの最新のコンピューティングデバイス向け電圧レギュレータの設計において、負荷過渡レギュレーションの性能は引き続き重要な課題となっています。急速に増す複雑さ、シリコンプロセスノードの進化、トランジスタスケージングの物理的限界、チップレットアーキテクチャなど、これらのコンピューティングデバイスの開発における技術トレンドは、コンピューティングデバイスに電力を供給する電圧レギュレータに対する要求を加速し続けています。ハイエンドのコアレール電圧レギュレータでは、熱設計電流が1,000A以上、ピーク電流が2,000A以上、ナノ秒単位の立ち上がり時間、レギュレートされた出力電圧が0.7V, $\pm 3\%$ となるものもあります。

TLVRトポロジは、多相のハーフブリッジ降圧コンバータトポロジから派生したものです。図1および図2に示すように、各相の単一巻線インダクタを2巻線結合型インダクタで置き換えています。多相降圧コンバータと同様に、各結合インダクタの1次側は、各相のスイッチノードとコンバータの出力電圧の間に接続されています。追加された2次巻線は、補償インダクタ(L_C)と呼ばれる追加のインダクタを使って直列ループに接続されています。以下のセクションでは、負荷過渡応答、TLVRトポロジの基本的な動作原理、トレードオフ、実践的な検討事項の観点で、マルチフェーズ降圧コンバータの制限について説明します。

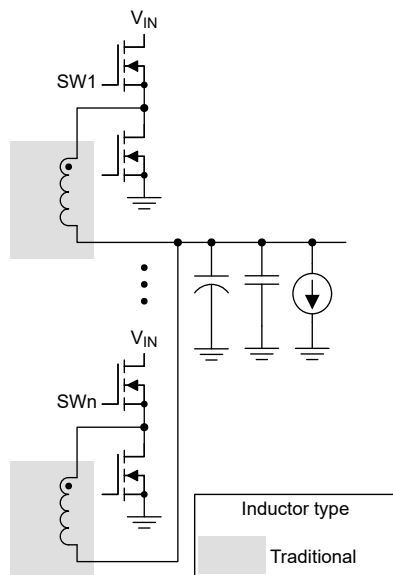


図1. マルチフェーズ降圧トポロジ

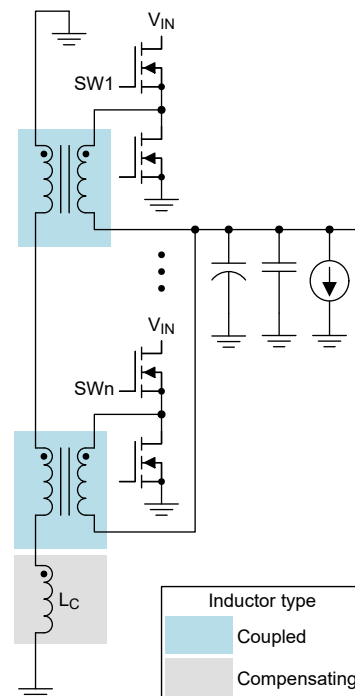


図2. TLVRトポロジ

コンバータの過渡応答

図3に、負荷過渡状態になる電圧レギュレータシステムの簡単なブロック図を示します。 I_{SUM} は、コンバータの各相からの個々のインダクタ電流の合計を表します。 I_{LOAD} は、負荷デバイスが消費する実際の負荷電流を表します。 I_{LOAD} が変化すると必ず、電圧レギュレータは各相で順番にスイッチングの実効デューティサイクルを変更することで応答し、 I_{SUM} が上昇または下降して新しい I_{LOAD} 値に追従します。

コンバータの出力フィルタ、特にフィルタのインダクタンスは、 I_{SUM} が新しい I_{LOAD} 値まで上昇するレートを制限します。 I_{SUM} が上昇または下降する間に、フィルタコンデンサが時間の経過に応じてこれらの差を供給する必要があり、これを充電 ΔQ と呼びます。この間にコンバータの出力電圧がアンダーシュートまたはオーバーシュートを発生し、電圧偏差 (ΔV) を制限する方法は、 I_{SUM} が上昇できるレートを増やす (たとえば、フィルタのインダクタンスを減らす) か、フィルタの合計出力容量 (C_{OUT}) を増やすことだけです。

従来型マルチフェーズ降圧コンバータの代表的な I_{SUM} と出力電圧波形を、図4に示します。

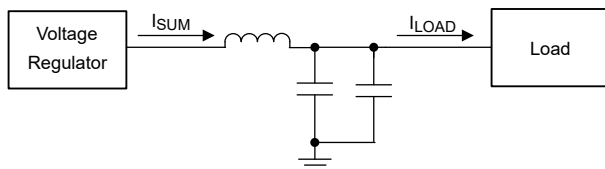


図3. コンバータの負荷過渡ブロック図

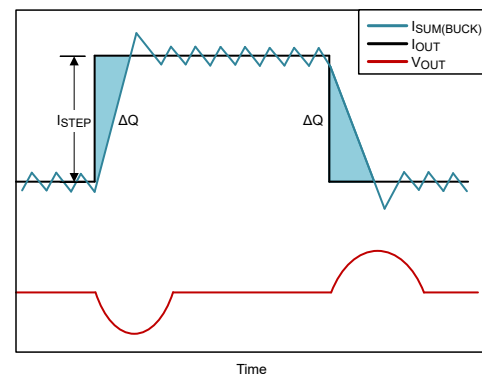


図4. 降圧コンバータの負荷過渡応答

式1に、合計出力偏差 ΔV 、 C_{OUT} 、コンバータがその電流を増減できるレート (勾配) の関係を示します。

$$\Delta V = \frac{\Delta Q}{C_{out}} = \frac{\frac{1}{2} \times t_{resp} \times I_{step}}{C_{out}} = \frac{\frac{1}{2} \times \frac{I_{step}^2}{Slope}}{C_{out}} \quad (1)$$

従来のマルチフェーズ降圧コンバータでは、この勾配は各相に使用される出力フィルタのインダクタンスと直接関係します。インダクタンス値を小さくすると、実際にコンバータの過渡応答が向上します。

ただし、単に各相の出カインダクタンスを低減するだけでは、コンバータの電力損失とその定常状態のリプルに予期しない結果が生じます。インダクタンス値を減らすと、インダクタ電流リップルが大きくなるため、コンバータの出力電圧リップルが大きくなります。また、これには通常厳しい要件もあります。さらに、インダクタンス値を減らすと各相で2乗平均平方根 (RMS) 電流も大きくなるため、コンバータ全体の効率が低下します。

マルチフェーズ降圧コンバータトポロジでは、定常状態と過渡事象時の両方でインダクタンスの値は一定です。したがって、インダクタンス値の選択は、過渡応答、電力損失、電圧リップルおよび電流リップル間のバランスのとれたトレードオフとなります。インダクタンスを非常に小さくするのは実用的ではないため、 ΔV を制限して仕様に適合させるために、大きな C_{OUT} が必要になる場合があります。

TLVR トポロジは、さまざまな条件で異なる実効フィルタ インダクタンスを許容することでこの問題に対処します。定常状態動作時のフィルタ インダクタンスの実効値が大きいと、コンバータのリプルと RMS 電力損失が制限されます。過渡条件での実効インダクタンス値が低いため、与えられた過渡レギュレーション仕様を満たすために必要な C_{OUT} の容量値が大幅に減少します。図 5 に、TLVR コンバータの標準的な負荷過渡応答を示します。ここでは、コンバータの応答中の I_{SUM} 勾配がはるかに大きくなっています。

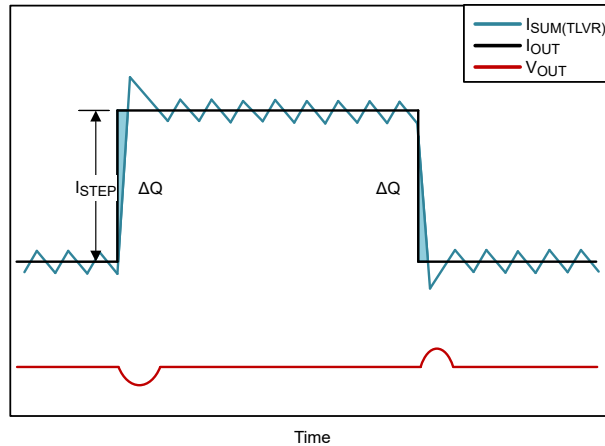


図 5. TLVR 負荷過渡応答

アダプティブ電圧ポジショニングとも呼ばれる、マルチフェーズ降圧または DC 負荷ライン (DCLL) を使用した TLVR トポロジにより容量をさらに削減できます。概念を 図 6 に示します。この技法はマルチフェーズ降圧コンバータまたは TLVR トポロジに適用され、根本的な変更はありません。

負荷ステップサイズと、許容される最小および最大出力電圧に関して仕様が与えられた場合、コンバータは通常、負荷電流に関係なく出力電圧を一定の値にレギュレートします。これはゼロ負荷ライン、 $R_{LL} = 0m\Omega$ と呼ばれます。すると、許容される出力電圧オーバーシュート ($\Delta V_{overshoot}$) とアンダーシュート ($\Delta V_{undershoot}$) はそれぞれ、合計電圧仕様ウィンドウの 50% に等しくなります。

ゼロでない負荷ライン設計では、検出された負荷電流の関数として出力電圧を設定するようにコンバータを構成します。ゼロ負荷時の電圧 (V_0) は、最大許容出力電圧に近い値に構成されます。式 2 に、負荷ラインを使用するときの出力電圧を示します。

$$V_{OUT}(I_{OUT}) = V_0 - R_{LL} \times I_{OUT} \quad (2)$$

式 3 は、許容される電圧変化 ΔV_{DROOP} に関して R_{LL} の値を定義します。

$$R_{LL} = \frac{\Delta V_{DROOP}}{\Delta I_{STEP}} \quad (3)$$

式 4 と 式 5 は、コンバータに必要な C_{OUT} に対する R_{LL} の影響を表します。

$$C_{OUT}(\text{min, step up}) = \frac{\Delta Q_{\text{under}}}{\Delta V_{\text{under}}} = \frac{\frac{1}{2} \times \frac{I_{STEP}^2}{\text{Slope}}}{\Delta V_{ac} + R_{LL} \times I_{step}} \quad (4)$$

$$C_{OUT}(\text{min, step down}) = \frac{\Delta Q_{\text{over}}}{\Delta V_{\text{over}}} = \frac{\frac{1}{2} \times \frac{I_{step}^2}{\text{Slope}}}{\Delta V_{ac} + R_{LL} \times I_{step}} \quad (5)$$

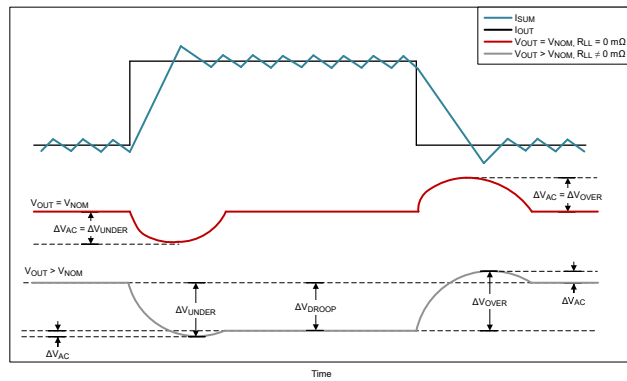


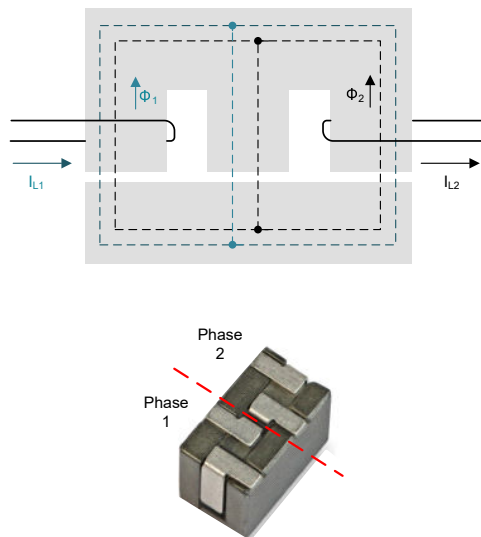
図6. DC 負荷ラインまたはアダプティブ電圧ポジショニング

磁気

TLVR トポロジは、定常状態および過渡条件で異なる実効インダクタンス値を許容することで、その過渡的な利点を得ることができると、この回路で使用されている結合インダクタ構造の動作を調べるのが参考になります。このコンセプトは TLVR トポロジに完全に固有ではありません。

図7に、コンバータ内の各相の巻線が共通の磁気コアを共有する、従来型の2相結合型インダクタ構造を示します。コアの磁束が追加されるため、一方の巻線の電流は、もう一方の巻線に電流を直接誘導します。負荷過渡時、1つの相(1つの巻線)の電流の変化によって、他の相でも同じ方向に変化が生じます。この動作により、コンバータの合計 I_{SUM} は、相が結合されていない場合よりもすばやく、負荷電流要求を満たすために上昇または下降できます。

この構造の異なる巻線間の結合係数 (K) は、通常 0.4~0.7 です。このカップリングは、コア設計によって適切に制御されています(図7では、中間脚のエアギャップによる)。非常に大きい結合係数 ($K \geq 1.0$) は、定常状態でコンバータの電流リップルが大きくなるため、有益ではありません。カップリングが非常に小さいと、実現可能な過渡に関する利点を低減させるだけです。

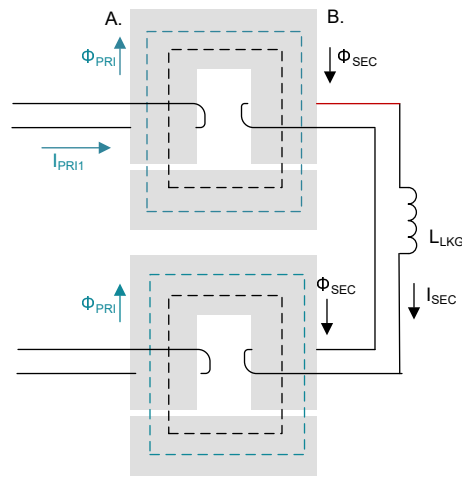


出典: イートン

図7. 従来型の2相逆結合型インダクタ

相数が多い設計 (5 相を超える) での従来の結合型インダクタの採用はいくつかの理由から限られていました。相数を増加させるには、結合対称性を維持するために複雑なコア ジオメトリが必要です。また、この構造では設計ごとにインダクタのカスタマイズも必要で、拡張性に制約がでできます。たとえば、2 相と 3 相の設計で異なるインダクタが必要になります。さらに最近まで、積極的な特許保護により、マルチソース オプションが制限されていましたが、TLVR トポロジにはそのような制限はありません。

TLVR トポロジは、同様の原理に依存しますが、**図 8** に示すように、磁気構造が異なり、間接結合インダクタと呼ばれます。各相のインダクタは 2 つの巻線を持つ独自の物理コアを備えているため、この構造はコアを追加するだけで簡単に相数を増やすことができます。各結合型インダクタの磁化インダクタンス (L_M) によって、エネルギーの蓄積とフィルタリングが実現します。1 つのコア上の 2 つの巻線の間は K は非常に高くなる可能性があります。同じ 2 次側電流をすべての相に渡すと、コアがループで接続されているため、複数のコア間 (相間) の結合が実現します。



- A. 1 次側 (電力段に接続)
- B. 2 次側 (結合を実現)

図 8. 間接結合型 2 相インダクタ

従来の結合型インダクタと同様に、相間の結合係数 (α) が 0.4~0.7 の範囲にあるのが有利です。2 次側ループがこのカップリングを制御します。2 次側ループのインダクタンスは非常に低くなる場合があるため、結合が強くなる (そのため、定常状態の電流リップルが大きくなる) か、単純に適切に制御されないことになります。これは、相互接続および物理的な構造の許容誤差が原因です。

相間の結合を制御するため、TLVR トポロジでは多くの場合、2 次側に別の物理インダクタ L_C を使用します (**図 9** を参照)。2 次側ループ内の漏れインダクタンスが、個別の結合インダクタの磁化インダクタンスよりも十分大きく、製造時に適切に制御できる場合、特に相ごとに 1MHz を上回るスイッチングを行う高周波設計では、別の物理 L_C は不要です。

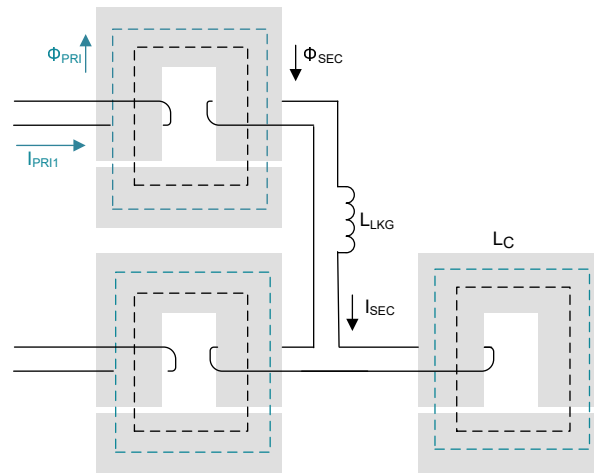
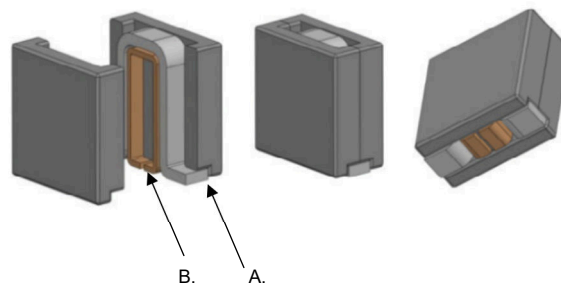


図9. 物理的補償インダクタを使用した間接結合型2相インダクタ

図10に、TLVR インダクタの代表的な構造を示します。インダクタのサイズと形状は、マルチフェーズ降圧コンバータでは従来の大電流フェライトコアインダクタと似ており、2次巻線が1次巻線の内部にあります。パッケージ底面のランドパターンにより、同じ物理的なプリント基板(PCB)上で、TLVR デザインと非 TLVR デザインの両方との共通レイアウトが可能になります。



- A. 1次巻線
- B. 2次巻線

出典: イートン

図10. 代表的な TLVR インダクタの構造

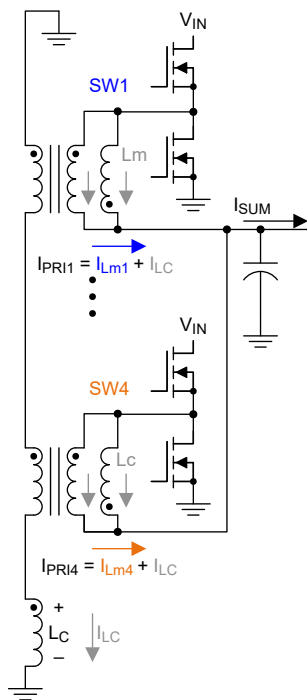
TLVR トポロジの動作原理

定常状態での動作

重要なノード、ラベルを付けた電圧と電流を記載した、TLVR コンバータの代表的な回路図を **図 11** に示します。TLVR コンバータの定常状態の動作波形の 4 つの位相を **図 12** に示します。この例では、隣接する相からのパルスは時間内にオーバーラップしません。TLVR トポロジには、最大デューティ サイクル要件はありません。同じ原理が、パルスが時間的にオーバーラップする高デューティサイクルのアプリケーションにも当てはまります。

図 12 に、2 次側ループの L_C 、4 相すべてのスイッチ ノード、位相 4 の 1 次側電流 (I_{PRI4}) の電圧と電流の波形を示します。わかりやすくするため、この図には 3 つの異なる動作状態のラベルが含まれています。

最も重要な関係は、 L_C ループとその I_{PRI} および I_{SUM} への影響です。



4 相の例で、パルスのオーバーラップがありません

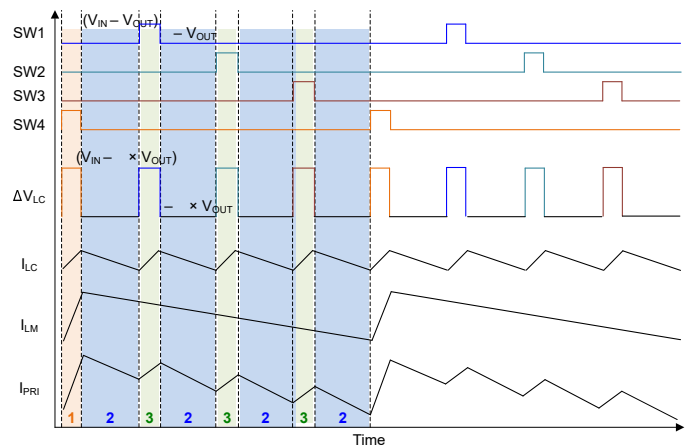
図 11. 定常状態トポロジ

各相の磁化インダクタンスは降圧コンバータの磁化電圧に似ています。**式 6** は相オンに適用され、**式 7** は位相オフに適用されます。磁化インダクタンスは、**式 8** に示す基本的なインダクタの関係に常に従います。

$$\Delta V_{Lm,i} = V_{IN} - V_{OUT} \quad (6)$$

$$\Delta V_{Lm,i} = -V_{OUT} \quad (7)$$

$$I_{LM} = \frac{\Delta V_{Lm}}{L_m} \quad (8)$$



4 相、パルスのオーバーラップなし

図 12. 定常状態波形

L_C の両端の電圧は、**式 9** に示すように、常にすべての相にわたる磁化インダクタンスの合計に等しくなります。 L_C それ自体は常に、**式 10** で表される基本インダクタの関係に追従します。

$$\Delta V_{LC} = V_{Lm1} + V_{Lm2} + \dots \quad (9)$$

$$I_{LC} = \frac{\Delta V_{LC}}{L_C} \quad (10)$$

各相の I_{PRI} は、**式 11** で表される磁化電流と I_{LC} の和に等しくなります。 I_{SUM} は、すべての相の 1 次側電流の合計で、**式 12** で表されます。

$$I_{PRI,i} = I_{Lm,i} + I_{LC} \quad (11)$$

$$I_{SUM} = I_{PRI1} + I_{PRI2} + \dots \quad (12)$$

表 1 は、プロットに示した I_{PRI4} の導出に関する、**図 12** に示されている関連する各電圧と電流の状態の概要です。

パラメータ	状態 1 相 4 がオン、相 1、2、3 がオフ	状態 2 すべての位相がオフ	状態 3 相 4 と他 2 つがオフ、他の相の 1 つがオン
V_{SW1}	0V	0V	一方の相は V_{IN} と等しく、他の 2 つは 0V に等しい。
V_{SW2}	0V	0V	
V_{SW3}	0V	0V	
V_{SW4}	V_{IN}	0V	0V
ΔV_{LM1}	$-V_{OUT}$	$-V_{OUT}$	1 つの相は $V_{IN} - V_{OUT}$ と等しく、他の 2 つの相は $-V_{OUT}$ に等しい
ΔV_{LM2}	$-V_{OUT}$	$-V_{OUT}$	
ΔV_{LM3}	$-V_{OUT}$	$-V_{OUT}$	
ΔV_{Lm4}	$V_{IN} - V_{OUT}$	$-V_{OUT}$	$-V_{OUT}$
I_{Lm4}	増加	減少	減少
ΔV_{LC}	ΔV_{LM1-4} の合計	ΔV_{LM1-4} の合計	ΔV_{LM1-4} の合計
I_{LC}	増加	減少	増加
I_{PRI4}	増加	より速く減少中	よりゆっくり減少中

表 1.4 相の例、定常状態の電圧と電流

負荷トランジェント昇圧

図 13 と **図 14** に、出力電流が増加した同じ条件での多相降圧コンバータと TLVR デザインのシミュレーション比較を示します。**表 2** に、シミュレーション パラメータを示します。これらは、テキサス・インスツルメンツの TPS536C9T DCAP+™ コンスタント オンタイム コントローラを使用した閉ループ シミュレーションです。

図 13 および **図 14** に関するいくつかの所見。

- TLVR デザインは、 I_{SUM} がより速いレートで上昇するため、過渡現象により迅速に応答します (I_{SUM} は I_{LOAD} に追従)。その結果、出力電圧の偏差は大幅に小さくなります。

- マルチフェーズ降圧コンバータの設計では、過渡応答時に TLVR デザインよりも多くのパルスが必要でした。これは TLVR デザインが過渡事象発生時に、より多くのエネルギーをパルスあたりに供給することを意味します。
- コンスタント オンタイム制御の性質を考慮すると、過渡応答中にパルスが重なります。L_C 電圧は、パルス オーバーラップ動作中に入力電圧よりも大幅に高いレベルまで上昇した後、定常状態で通常動作に戻りました。

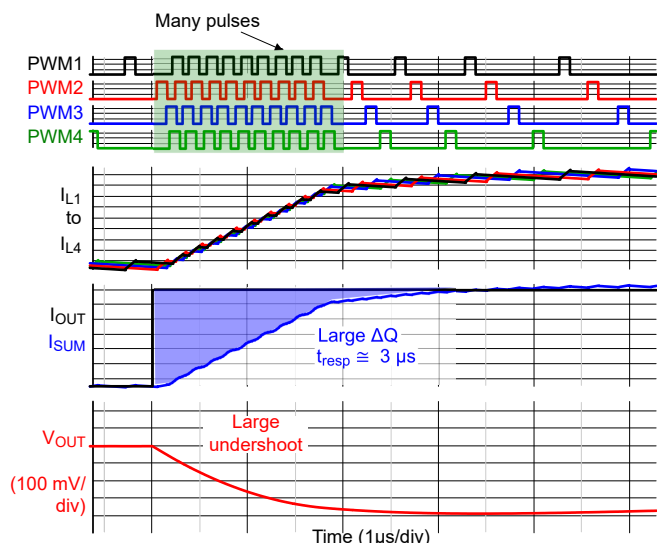


図 13. マルチフェーズ降圧コンバータ

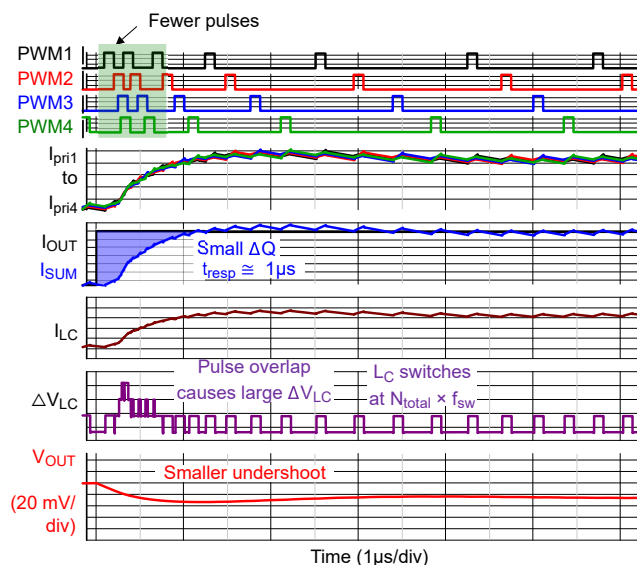


図 14. TLVR

パラメータ	説明	値
V _{IN}	入力電圧	12V
V _{OUT}	出力電圧	0.8V
N _{TOTAL}	総動作相数	4 相
f _{SW}	相ごとのスイッチング周波数	600kHz
I _{STEP}	負荷ステップ サイズ	瞬間的に 25A から 325A
L _M /L _{BUCK}	TLVR の磁化インダクタンス L _M 、降圧用フィルタ インダクタ L _{BUCK}	150nH/150nH
L _C	TLVR の L _C 値	180nH
C _{OUT}	出力容量	5.0mF、理想性

表 2. 過渡負荷の昇圧 / 降圧サンプルのシミュレーション パラメータ

定常状態での動作 セクションに記載した関係に従うと、TLVR が降圧コンバータよりも高速に I_{SUM} を増幅できる理由と、その過渡応答が優れている理由は明らかです。

式 13 に示すように、降圧コンバータの I_{SUM} は、単純に個々のインダクタ電流の合計です。TLVR デザインでは、式 14 に示すように、各磁化電流 (I_{LM}) に加えて、各相について L_C が 1 回追加されます。

$$I_{SUM(buck)} = I_{L1} + I_{L2} + \dots \tag{13}$$

$$I_{SUM(TLVR)} = I_{PRI1} + I_{PRI2} + \dots = (I_{LM1} + I_{LC}) + (I_{LM2} + I_{LC}) + \dots \tag{14}$$

システム内のすべてのインダクタは、基本的なインダクタの関係に従います。負荷の昇圧に対する過渡応答中、コンバータは N_{ON} 相を同時にオンにします。さまざまな理由から、すべての相を一度にオンにすることはできない場合があるため、N_{OFF} 相はいつ

もオフのままであることも考慮してください。式 15 と 式 16 に、多相降圧コンバータの立ち上がり I_{SUM} スロープを示します。これらの式は、コントローラの応答時間を考慮しておらず、コンバータのトポロジによる制限のみを示しています。

$$\uparrow \text{Slope}_{(\text{buck})} = \frac{\Delta V_{L1}}{L} + \frac{\Delta V_{L2}}{L} + \dots \quad (15)$$

$$\uparrow \text{Slope}_{(\text{buck})} \cong N_{ON} \left(\frac{V_{IN} - V_{OUT}}{L} \right) - N_{OFF} \left(\frac{V_{OUT}}{L} \right) \quad (16)$$

式 17 と 式 18 に、TLVR デザインの I_{SUM} の立ち上がりスロープを示します。ここでは、比較のため TLVR の磁化インダクタンス L_M が降圧フィルタのインダクタンス L と等しいと仮定しました。

$$\uparrow \text{Slope}_{(\text{TLVR})} = \left(\frac{\Delta V_{L1}}{L_M} + \frac{\Delta V_{LC}}{L_C} \right) + \left(\frac{\Delta V_{L2}}{L_M} + \frac{\Delta V_{LC}}{L_C} \right) + \dots \quad (17)$$

$$\uparrow \text{Slope}_{(\text{TLVR})} \cong \uparrow \text{Slope}_{(\text{buck})} + N_{TOTAL} \times \left(\frac{N_{ON} \times V_{IN} - N_{TOTAL} \times V_{OUT}}{L_C} \right) \quad (18)$$

この方法で書かれた追加の項は、従来のマルチフェーズ降圧設計に比べて、TLVR デザインが過渡応答より迅速に反応できるようにするという I_{LC} の影響を明確に示しています。

負荷トランジェント降圧

図 15 と 図 16 に、同じ負荷降圧条件下でのマルチフェーズ降圧コンバータと TLVR デザインのシミュレーション比較を示します。このシミュレーションは、表 2 に示すパラメータと同じパラメータを使用しています。

図 15 および 図 16 に関するいくつかの所見。

- TLVR デザインでは、 I_{SUM} がより高いレートで低下するため、過渡に対して非常に迅速に反応します (I_{SUM} は I_{LOAD} に追従します)。その結果、出力電圧の偏差は大幅に小さくなります。
- この場合、両方の設計で同じ数の位相がオフになっていましたが、TLVR 設計では I_{SUM} がより高速に減少します。

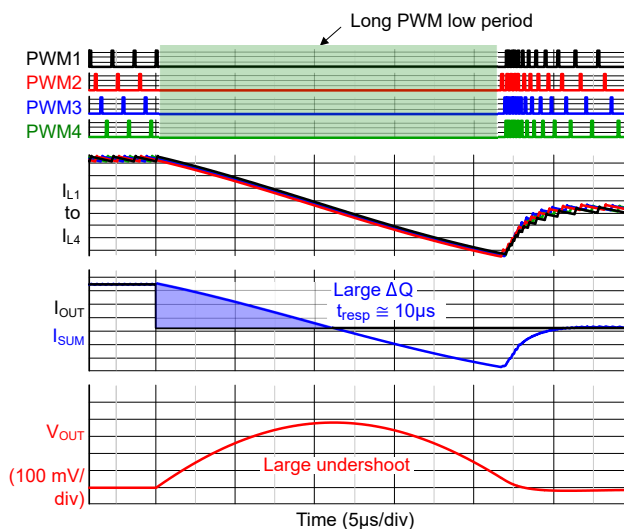


図 15. マルチフェーズ降圧コンバータ

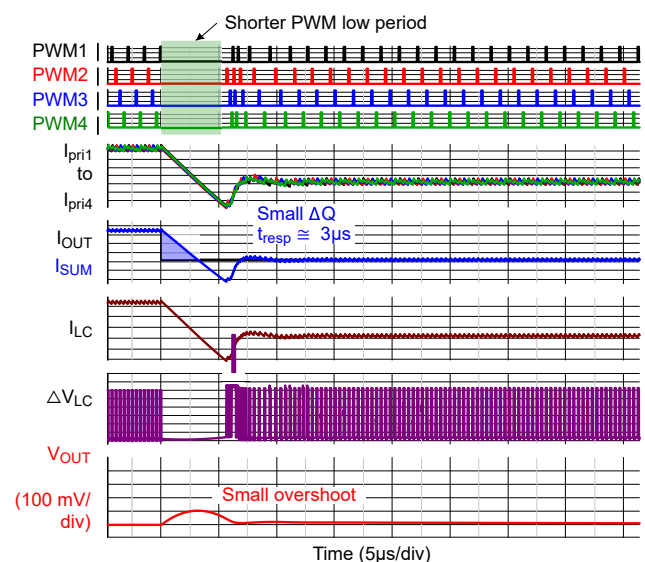


図 16. TLVR

ここでも、 L_C と I_{SUM} の関係から、TLVR デザインの過渡応答が優れている理由が分かります。また、システム内のすべてのインダクタは基本的なインダクタの関係に従います。負荷降圧に対する過渡応答において、コンバータはすべての相 (N_{TOTAL}) を同時にオフにします。**式 19** に、マルチフェーズ降圧コンバータの立ち下がり I_{SUM} スロープを示します。

$$\downarrow \text{Slope}_{(\text{buck})} = -N_{TOTAL} \left(\frac{V_{OUT}}{L} \right) \quad (19)$$

同様の分析を使用して、**式 20** に TLVR デザインの立ち下がり I_{SUM} スロープを示します。ここでは TLVR の磁化インダクタンス L_M が比較のため降圧フィルタ インダクタ L に等しいと仮定しています。TLVR デザインは、 L_C ループの係数を考慮すると、 I_{SUM} をより高速に低減します。この値は、相数 N_{TOTAL} の 2 乗に比例して減少します。

$$\downarrow \text{Slope}_{(\text{TLVR})} \cong \downarrow \text{Slope}_{(\text{buck})} - N_{TOTAL} \times \left(\frac{N_{TOTAL} \times V_{OUT}}{L_C} \right) \quad (20)$$

L_C インダクタの選択

L_C には、標準的な DC/DC 設計の他のインダクタと比較してある程度独自の要件があります。 L_C のインダクタンスは、電流リップルと過渡応答の利点の間のトレードオフです。通常、 $L_C = L_M$ から始めます。これは、バランスの取れたトレードオフです。 L_M の 0.8~1.5 倍が、ディスクリット設計では一般的です。より小さな値はパワー モジュールなどの高集積設計でより一般的です。

定常状態では、 L_C に DC 電流は流れず、小さな AC 電流リップルのみが流れます。これは、高周波でスイッチングするためです (パルスのオーバーラップがない場合、 $N_{TOTAL} \times f_{SW}$ 以上)。**式 21** に示すように、定常状態では、その電流リップルが RMS 電流を支配します。 f_{SW} が高いため、フェライト コアなどコア損失の小さい材質を検討してください。ソフト飽和コアが、過渡応答をさらに改善するための別の方法として考えられます。

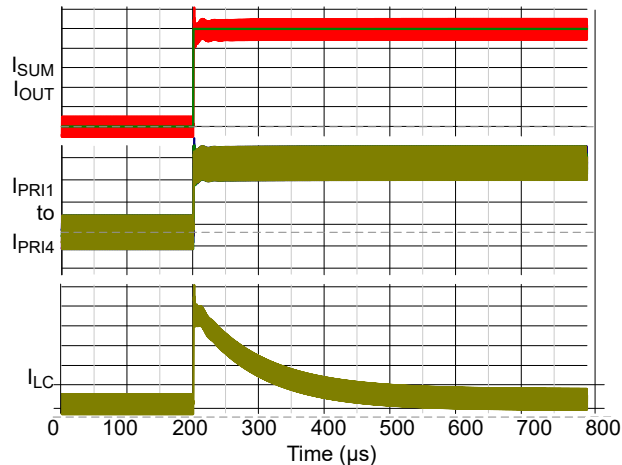
$$I_{\text{rms}}(L_C) \approx \frac{\Delta I_{L_C}}{\sqrt{12}} \quad (21)$$

しかし、**式 22** に示すように L_C は過渡イベント中にも大量の電流を流し続けることがあります。ここで、 t_{RESP} はコントローラの応答時間です (**図 15** と **図 16** 参照)。したがって、各相で使用される結合型インダクタと同様に、 L_C のサイズを大きな飽和電流に合わせます。

$$I_{SAT}(L_C) \gg t_{RESP} \times \left(\frac{N_{ON(\text{step})} \times V_{IN} - N_{TOTAL} \times V_{OUT}}{L_C} \right) \quad (22)$$

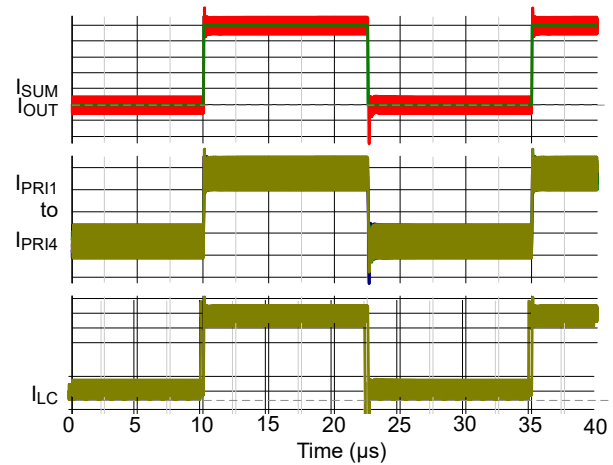
大電流が形成されると、 L_C 電流は 式 23 で説明されているように、 L_C と L_C ループの抵抗によって決まる比較的高い時定数 τ_{LC} で自然にゼロまで減衰します。高周波の反復過渡が発生する間、 I_{LC} は完全には安定しないかもしれませんが飽和もしません。これは、負荷の上昇と下降に伴い I_{LC} が異なる方向に進むからです。図 17 と 図 18 に、この挙動のシミュレーションを示します。

$$\tau_{LC} = \frac{L_C}{R_{DCR, L_C} + N_{total} \times R_{DCR, secondary} + R_{routing}} \quad (23)$$



$f_{SW} < 1\text{kHz}$

図 17. 低周波過渡イベント



$f_{SW} = 65\text{kHz}$

図 18. 高周波過渡イベント

L_C の両端の電圧 ΔV_{LC} は、負荷ステップ応答の際に入力電圧 V_{IN} を上回ることがあります。負荷ステップにตอบสนองしてコントローラが N_{ON} 相をオンにすると仮定すると、式 24 で ΔV_{LC} が計算されます。

$$\Delta V_{LC(max)} = N_{ON(step)} \times V_{IN} - N_{TOTAL} \times V_{OUT} \quad (24)$$

高電圧は長時間持続しないため、側面距離に関する懸念は通常ありません。ただし、いくつかの事例でのアプリケーションの安全性と部品の信頼性には、 L_C の両端の高い過渡電圧を把握することが重要になる場合があります。

定常状態リップル

TLVR ベースの設計では、対応するマルチフェーズ降圧コンバータの設計よりも出力電圧リップルが大きくなる傾向があります。通常マルチフェーズ コンバータは、インターリーブとリップルの打ち消しによって、電圧リップルが小さくなります。各インダクタ電流の位相オフセットが、互いに $360^\circ/N_{TOTAL}$ になると、コンバータは最適なリップル キャンセルを実現します。ただし、TLVR デザインでは、各位相オフセットに対して I_{LC} が I_{SUM} に 1 回追加されます。そのため、各磁化インダクタンス I_{LM} からの I_{SUM} への寄与は、インターリーブによって相殺されますが、式 25 に示すように I_{LC} の寄与は相殺されません。

$$I_{SUM(TLVR)} = (I_{Lm1} + I_{LC}) + (I_{Lm2} + I_{LC}) + \dots \quad (25)$$

図 19 に、 I_{SUM} のリップルと、コンバータの出力電圧のリップルとの関係を示します。通常、コンバータと負荷は、電力分配ネットワーク (PDN) によって分離されます。 I_{SUM} は、一か所のコンバータによって生成され、ある距離だけ離れた PDN に供給されます。PDN のインピーダンス (出力コンデンサを含む) によって出力電圧リップルが決まります。このため、TLVR デザインに追加する I_{SUM} リップルは、出力電圧リップルの増大に直接つながります。

図 20 の例は、コンバータのデューティ サイクルの影響を示します。位相が完全に重なると、特定のデューティサイクルでは、 I_{LC} リップルが、まだ非常に小さくなる場合があります ($N_{TOTAL} \times D = 1, 2, \dots$)。ただし、代表的なアプリケーション (図 20 に示す標準的な出力電圧 1.0V、1.2V、1.8V の場合) では、TLVR デザインは一般に I_{SUM} リップルが 25%~50% 大きくなるため、出力電圧リップルも 25%~50% 大きくなります。多くの場合、過渡要件を満たすために必要な C_{OUT} は、設計のリップル要件を満たすために必要な容量よりもはるかに大きいため、これは問題になりません。

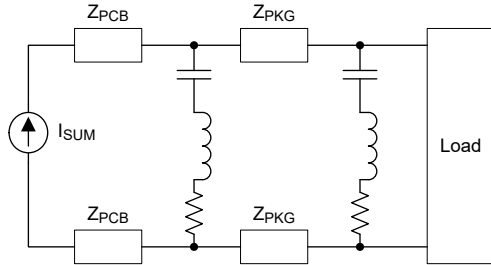


図 19. 出力電圧リップルのモデル

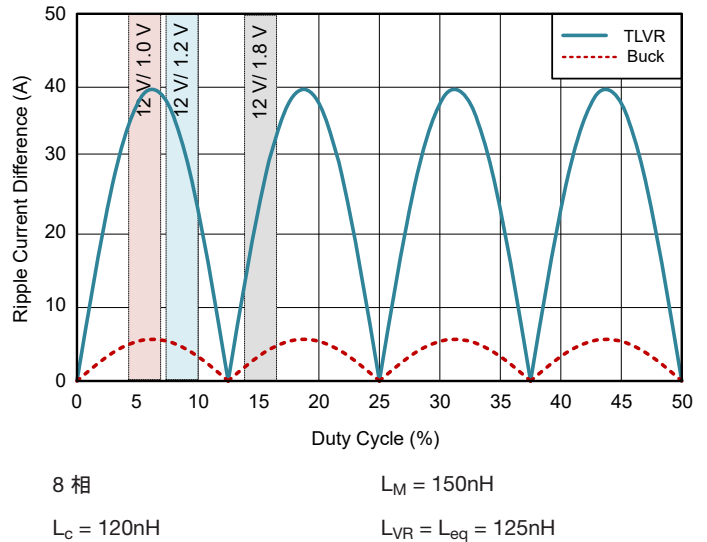


図 20. 出力電圧リップル

TLVR デザインの電圧リップルを低減する一般的な手法は、複数の L_C ループを使用することです。図 21 に、2 つの L_C ループを使った例を示します。各位相の位相起動順序により、 I_{LC1} と I_{LC2} 電流は 180° 位相がずれているため、 I_{LC1} と I_{LC2} の電流リップルが相殺されます。

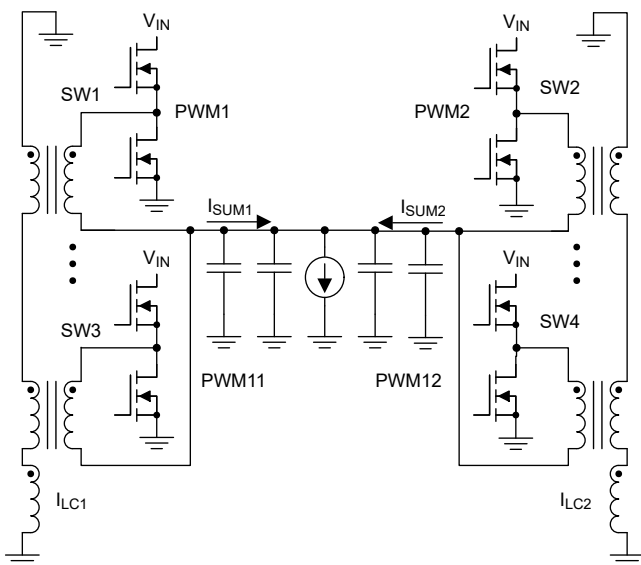


図 21. インターリーブ TLVR デザイン

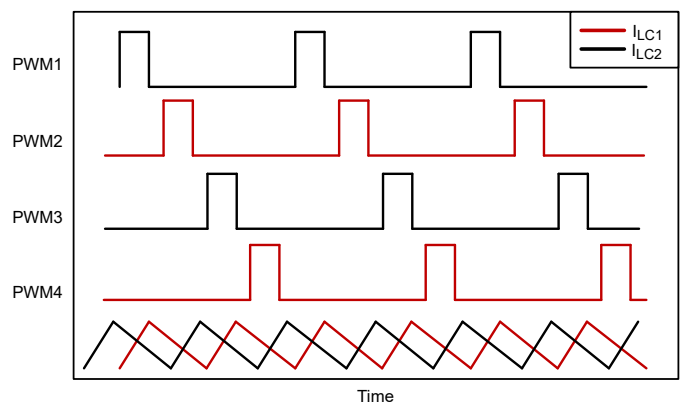


図 22. 2 ループのインターリーブ TLVR 波形

基板レイアウトのスペースに制約があるため相が互いに近くに配置されない場合でも、インターリーブは一般的です。各 L_C ループの相は互いに同じように配置されていますが、 L_C ループをある程度の距離で分離することができ、場合によっては負荷デバイスの両側になることもあります。出力電圧リップルに関しては有益ではありませんが、各 L_C ループに非対称な相番号を持つ TLVR デザインも可能です。

電力損失と効率

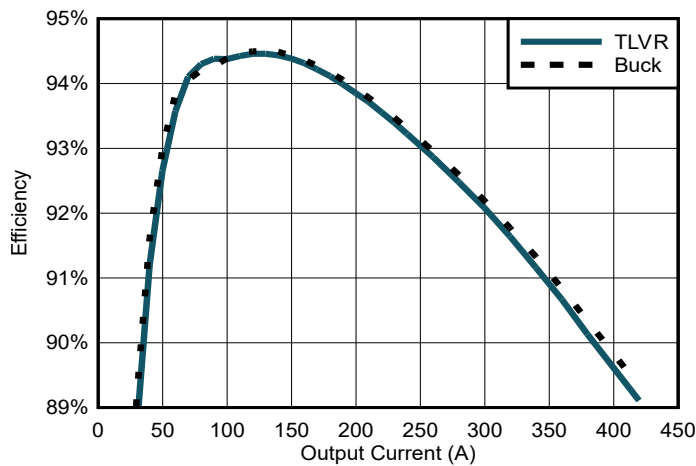
部品の値をそろえて設計した、マルチフェーズ降圧コンバータと TLVR の電力効率の比較を **図 23** に示します。曲線は非常に類似していますが、効率は TLVR デザインの方がわずかに (0.1%) 低くなっています。

このプロットはデモには役立ちますが、通常、マルチフェーズ降圧コンバータと TLVR デザインのインダクタンス値は同じではありません。降圧コンバータは、同じ過渡仕様を満たすためにより小さいインダクタンス値を必要とするので、電力効率はさらに低下します。実際には、2 個のコンバータを同じ仕様で設計する場合、マルチフェーズ降圧コンバータと TLVR コンバータの効率はほぼ等しいです。場合によっては、TLVR デザインの効率が多少高くなる場合があります。

2 つの損失メカニズムによって、TLVR デザインがマルチフェーズ降圧コンバータに対して差別化されています。最も明らかなのは、 L_C ループ損失は TLVR デザインにのみ存在することです。前に **(式 21)**、電流リップルの結果としての、 L_C ループの RMS 電流を示しました。したがって、 L_C ループ内の損失には RMS 導通損失およびコア損失が含まれ、 L_C のスイッチング周波数が高いことを考えると、これが重要になる可能性があります。式 25 で L_C ループの電力損失を推定します。

$$P_{Lc} \cong I_{rms(Lc)}^2 \times (R_{DCR,Lc} + N_{TOTAL} \times R_{DCR,secondary} + R_{routing}) + P_{core(Lc)} \quad (26)$$

また、 I_{Lc} から追加されるリップルによって各出力段での RMS 電流が増加し、導通損失が増加することを考慮してください。**図 24** は、 I_{Lc} を追加することで、各相のローサイドスイッチにおいてピークツーピークの電流リップル ΔI_{pp} がどのように増加するかを示しています。小さな相数で I_{Lc} 電流リップルが大きくなると、この追加成分が重要になる可能性があります。これが、TLVR デザインが一般に大電力で相数が多い (7 相以上) 設計用に用意されている理由の 1 つです。



$V_{IN} = 12V$ $V_{OUT} = 1.80V$
 $f_{SW} = 600kHz$ $R_{LL} = 0.5m\Omega$
 $L_M = L_{BUCK} = 120nH$ $L_C = 120nH$
 PDN の導通損失は含まれません

図 23. 効率対出力電流

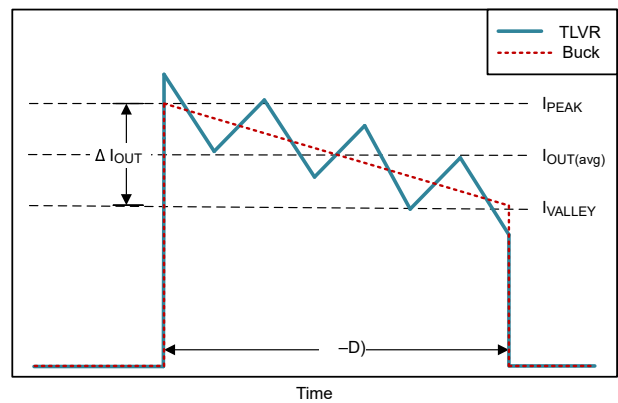


図 24. ローサイド金属酸化膜半導体電界効果トランジスタ (MOSFET) 電流への I_{LC} の追加

この損失メカニズムを理解するため、式 27 に、代表的な降圧コンバータ設計における電流リップルとローサイド MOSFET RMS 電流の関係を示します。TLVR デザインの正確な式はより複雑ですが、降圧コンバータの式は ΔI_{PP} の影響を示しています。

$$I_{RMS(LSFET)} = I_{OUT} \times \sqrt{1-D} \times \sqrt{1 + \frac{1}{3} \times \left(\frac{\Delta I_{PP}}{2 \times I_{OUT}} \right)^2} \quad (27)$$

また、軽負荷時の効率を向上させるための相数の多い設計では、ダイナミック フェーズ シェディング (DPS) を使用するのが一般的です。すべての相を有効にせずサポートできるよう、全出力電流が十分に低い時、より少ない数の相をスイッチングするとスイッチング損失が低減されます。相は、ハイサイド MOSFET オン / ローサイド MOSFET オフ、ハイサイド MOSFET オフ / ローサイド MOSFET オン、両方の MOSFET オフの 3 つの状態のいずれかになります。通常、非線形制御手法は、負荷過渡発生時に相を迅速に追加または降下させるので、負荷過渡応答への影響は最小限です。図 25 に、各状態の電流フローを示します。

TLVR の設計では、 L_C ループはスイッチングしない第 3 の状態 (両方の MOSFET がオフ) のボディダイオードフェーズを通して電流を流し続けます。ボディダイオード V_{diode} の電圧降下により、非スイッチング相からさらに電力損失が発生します。したがって、フェーズシェディングが適切に機能するには、相をスイッチングしないことにより節約されるスイッチング損失が、ボディダイオード損失によって生じる損失よりも大きくなる必要があります。式 28 は、非スイッチング相での電力損失を示します。

$$P_{cond, HiZ} = I_{LC(rms)} \times V_{diode} \quad (28)$$

図 26 に、フェーズシェディングのオンとオフを使用して同じ設計で測定されたプロットを示します。これは軽負荷時の TLVR デザインの効率向上を示しています。

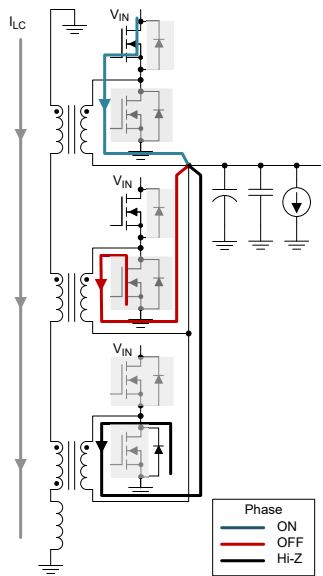
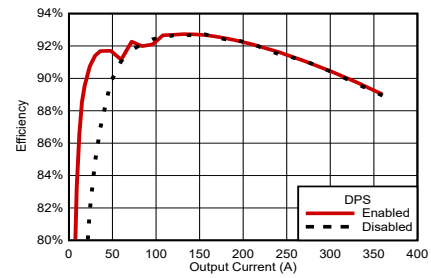


図 25. ダイナミック フェーズ シェディング



$V_{IN} = 12V$
 $f_{SW} = 90kHz$
 8 相
 TLVR
 $V_{OUT} = 1.80V$
 $L_M = L_C = 100nH$
 デュアルサイド レイアウト
 CSD08860 (90-A SPS)

図 26. 効率対出力電流

位相乗算

電力要件が急速に増大し続ける中、多くの場合、各位相を個別に制御するのに十分な独立したパルス幅変調 (PWM) 出力を備えていないコントローラ デバイスを使用して、非常に多い位相数 (17 位相以上) の設計を行う必要があります。位相の 2 倍または位相乗算、つまり、同じコントローラの PWM 出力を使用して複数の電力段を駆動することが一般的になりました。この手法により、降圧コンバータまたは TLVR などのマルチフェーズ設計をハイパワー レベルに簡単に拡張できます。

図 27 に、インターリーブ方式位相 2 倍 TLVR デザインの L_C ループの接続を示します。このような設計では、例えば、別のコントローラ デバイスを必要とせずに、12 位相の設計を 24 位相または 36 位相に拡張できます。同じ L_C ループ内のすべての位相について (2 倍にするかどうかは関係なく)、2 次側を直列に接続します。各位相の電流帰還ライン (図 27 には示されていません) は、電圧源出力電流センシングを備えた電力段に対して抵抗で平均化することも、電流源出力電流センシングを備えた電力段に単純に追加することもできます。電力段がどの L_C ループにあるかに関係なく、各電力段からの温度センス出力 (やはり 図 27 には示されていません) を一緒に接続できます。

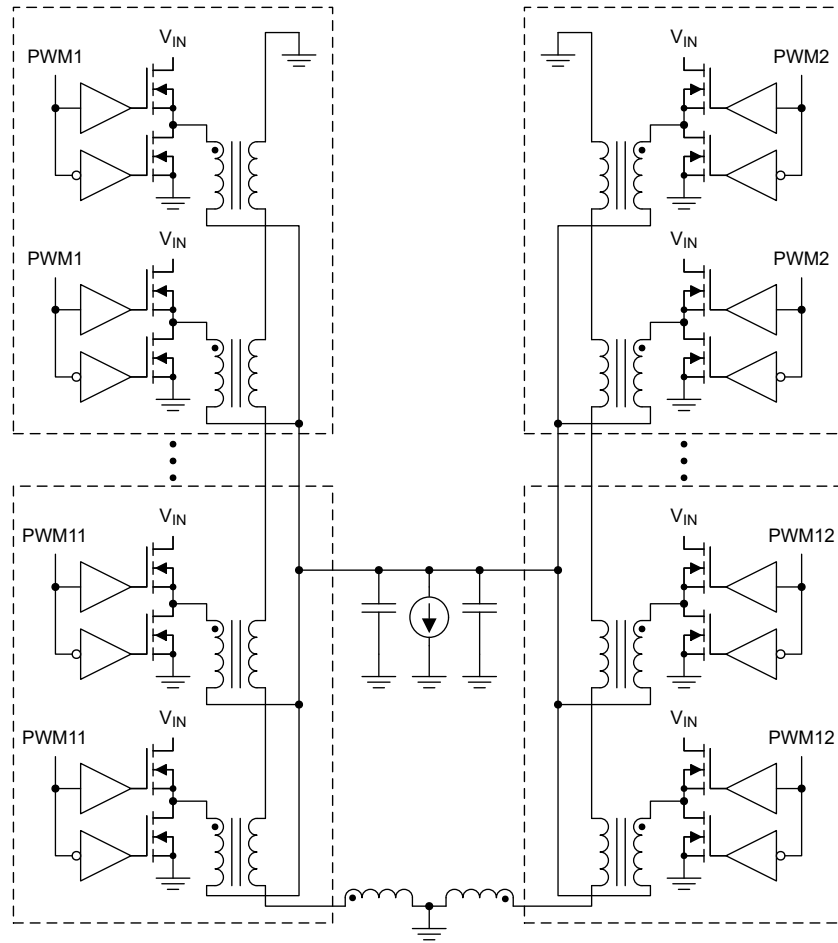


図 27. インターリーブ方式位相 2 倍 TLVR トポロジ

PCB レイアウト

図 28 に、TLVR デザインのパワートレインに関する回路基板レイアウトと部品配置の例を示します。このデザインは 4mm x 6mm の電力段デバイスと共通レイアウト互換性のある TLVR インダクタを使用しており、標準的なマルチフェーズ降圧設計と同様の配置が可能です。

L_C ループは、1 次側パッドの中央を通して配線されています。TLVR インダクタの 2 次巻線パッドにより、このループを最上層に配置することができ、多くのビアや広いトレースが不要になります。 L_C ループは過渡イベント時に大電流を流す可能性があるため、トレースはクリアランスルールで許容される限り広くしますが、多層プレーンは不要です。内部のグランドプレーンは、パワートレインの片側から別の側にある L_C ループを閉じます。ノイズの結合や干渉を防止するため、敏感な回路は L_C および L_C ループのトレースに対して広いクリアランスを確保する必要があります。

L_C インダクタは電力段の側に配置します。 L_C は V_{IN} より高い電圧にさらされる可能性があり、高周波でスイッチングするため、高い過渡電圧と電磁干渉も問題になる可能性があります。この問題 (図 28 には示されていません) を緩和する可能性がある方法の 1 つは、 L_C をそれぞれが L_C の半分のインダクタンスを持つ 2 つの物理インダクタに分割し、電力段の両側に対称的に配置することです。これにより、過渡現象発生時の各 L_C 両端の最大電圧が低下します。

相をできるだけ近くにすると、スペースを節約できます。ただし、位相起動順序は連続していません。位相起動順序を変更すると、時間ドメイン内でスイッチングノードを互いに拡散する方法で、複数の相間でのクロストークの問題を低減できます。

図 29 は、2 つの L_C ループを使用した相数が多いレイアウト設計の拡大図の例で、2 倍の相を互いに隣接して同じ L_C ループ内に配置しています。各ループの相と L_C は、図 28 の例に従います。ループは、各インダクタの出力と負荷デバイスのピンとの間の PDN 配線を最小限に抑えるため、負荷の両側 (東西とも呼ばれる) に配置されています。設計が必要に応じて高周波信号の配線が可能なように、負荷デバイスの両側は上面でオープンに保持されます。

デカップリングコンデンサ (図 29 には示されていません) は下にあり、可能な場合は負荷デバイスのフットプリント内にあります。ポリマーバルクコンデンサ用のプレースホルダがありますが、設計によってはそれらを必要としない場合もあります。コントローラデバイスをパワートレインから離れた場所に配置すると、長いトレースを使用して各 L_C ループ内の電力段にこのデバイスを接続することによりノイズの問題を回避できます。他の大電力設計と同様に、コントローラの PWM 出力、電流センス入力、電圧センスラインでも良好なシグナルインテグリティを維持することが重要です。

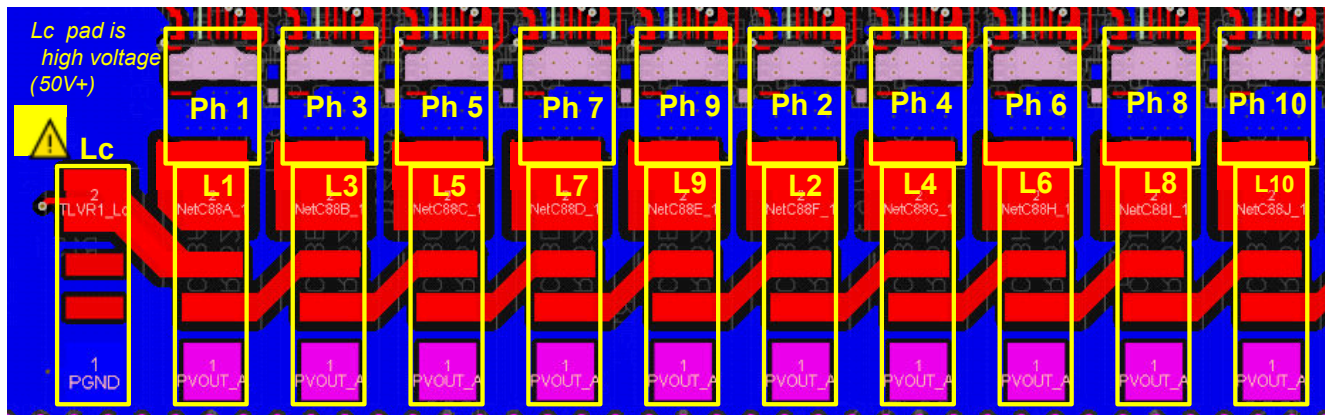


図 28. TLVR パワートレインのレイアウト例

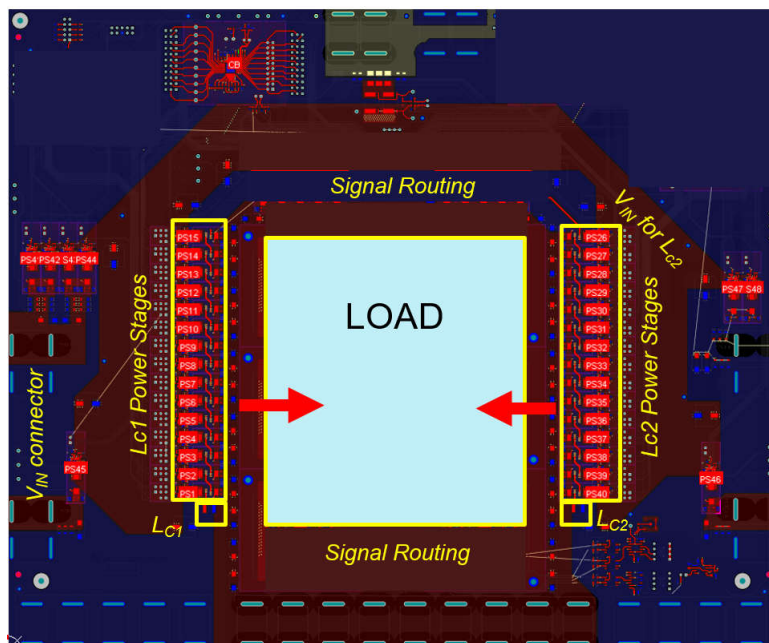


図 29. 相を倍増したインターリーブ TLVR レイアウトの例

TLVR 向けに最適化された部品

最近、テキサス・インスツルメンツのような半導体ベンダは、TLVR 設計向けに最適化したマルチフェーズ コントローラと電力段の提供を始めています。

TLVR の設計用に最適化されたスマート電力段には、TLVR トポロジが高速であるため、より高帯域幅の電流センシング アーキテクチャが必要です。たとえば、テキサス・インスツルメンツのスマート電力段の IOUT ピンの波形は、TLVR デザインにおいて、 L_C ループから誘導される電流リップルに追従します。このため、相ごとに、設計の f_{sw} より 1 桁以上大きい電流センシング帯域幅が必要になります。また、TLVR トポロジにより、高速過電流保護の帯域幅要件も大きくなります。

TLVR 設計用に最適化されたスマート電力段も、ますます大きくなる RMS 電流に対する定格が必要であり、また、短時間の間、熱的、電氣的に RMS 定格のほぼ 2 倍のピーク電流パルスに対応できなくてはなりません。

一般に、コントローラを再設計する必要はありません。TLVR の設計は、マルチフェーズ降圧コンバータ設計と同じ制御方式を使用します。テキサス・インスツルメンツのコントローラは引き続き DCAP + 制御アーキテクチャを使用しています。これは、コンスタントオンタイム バレー電流モード制御の一形態です。ただし、TLVR パワートレインに適した新しいゲインおよび補償パラメータなど、2 次最適化が必要な場合があります。多くの場合、良好なシグナル インテグリティを維持しながら、長い複数の L_C ループ間距離をサポートするため、より強度の高い PWM 出力ドライバが必要とされます。 L_C ループの開路または短絡に対して、新しい保護メカニズムを実装することで、製造性に関する懸念を減らすことができます。

表 3 および 表 4 に、本書の作成時点でテキサス・インスツルメンツから提供されている TLVR 向けに最適化されたコンポーネントをまとめますが、現在さらに開発が続いています。

部品番号	電流定格	パッケージ サイズ (mm)	I _{MON}
CSD95440	80A ピーク、40A RMS	5 × 6	電圧
CSD95510	90A ピーク、50A RMS	4 × 6	電圧
CSD95560	90A ピーク、50A RMS	4 × 6	電流
CSD95520	60A ピーク、30A RMS	4 × 5	電圧
CSD95570	60A ピーク、30A RMS	4 × 5	電流

表 3. TLVR 向けに最適化されたスマート電力段。

部品番号	相	パッケージ サイズ (mm)	インターフェイス
TPS53685	8	5 × 5	AMD
TPS536C5	12	6 × 6	AMD
TPS53689T	8	5 × 5	Intel
TPS536C9T	12	6 × 6	Intel

表 4. TLVR 向けに最適化されたコントローラ。

設計例の比較対照

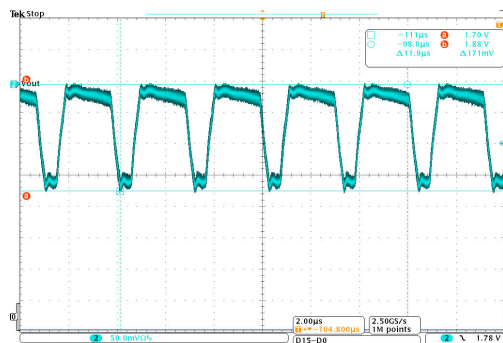
前のセクションの例は、同じ外付け部品を使用する TLVR デザインと、マルチフェーズ降圧設計の違いを示しています。しかし、この比較は多くの場合、現実的ではありません。これは、変化するのは負荷の要件ではなく、負荷の要件を満たすために設計の変更が必要だからです。すでに説明したように、TLVR インダクタは、標準的な単一巻線インダクタとフットプリント互換性があるので、物理的に同じ PCB レイアウトを使用して両方の設計をテストすることができます。

表 5 に、この例の 1 つをまとめます。TLVR デザインはマルチフェーズ降圧コンバータの設計と同じ仕様を満たしており、全体の電力損失にほとんど影響を及ぼさず、必要な C_{OUT} を 40% 以上低減できます。

パラメータ	マルチフェーズ降圧	TLVR
コントローラ / スタンバイ電源	TPS53689、CSD95440	
入力電圧 (V_{IN})	12V	
出力電圧 (V_{OUT})	1.8V	
最低出力電圧 (V_{MIN})	1.59V	
最大出力電圧 (V_{MAX})	1.85V	
相数	8	
スイッチング周波数	900kHz	
負荷ステップ	60A~430A、1,000A/μs、1kHz~1MHz	
負荷ライン	0.5mΩ	
L_M/L_{BUCK}	70nH	120nH
L_C	該当なし	100nH
C_{bulk} (ポリマ)	5 × 470μF	
マルチレイヤ セラミック コンデンサ (MLCC)	80 × 22μF、0402	80 × 22μF、0402
	45 × 47μF、0805	56 × 47μF、0603
	15 × 100μF、0805	0 × 100μF、0805
	8 × 0.1μF、0402	8 × 0.1μF、0402
ピーク電力効率 (η_{PEAK})	94.0%	93.9%
全負荷時効率 (η_{FULL})	88.1%	88.1%
V_{MIN} 測定値 (ワースト ケース)	1.600V (+10mV のマージン)、 R_{LL} が支配的	
V_{MAX} 測定値 (ワースト ケース)	1.846V (+4mV のマージン)	
全出力キャパシタンス (C_{OUT})	7.7mF	4.4mF

表 5. 設計パラメータ。

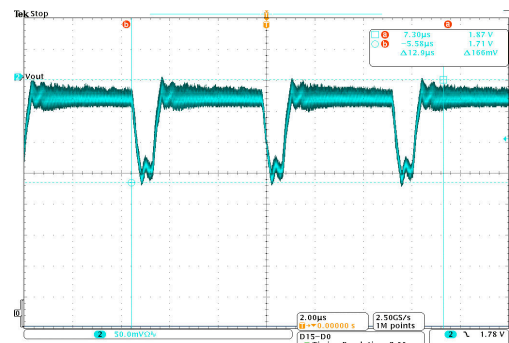
図 30 および 図 31 に、この設計のワーストケースのオーバーシュート波形を示します。



$V_{MAX} = 1.846 \text{ V}$

$D = 20\%$

$f_{SW} = 330 \text{ kHz}$



$V_{MAX} = 1.839 \text{ V}$

$D = 10\%$

$f_{SW} = 190 \text{ kHz}$

図 30. ワースト ケース オーバーシュート (マルチフェーズ降圧コンバータ) 図 31. ワースト ケース オーバーシュート (TLVR)

まとめ

TLVR トポロジは、相数が多い低電圧の非絶縁型設計向けの、従来のマルチフェーズ降圧コンバータ設計の進化形です。この方法では、出力コンデンサを大幅に節約できるため採用が広がっています。このホワイトペーパーでは、概念、動作原理、トレードオフ、設計例の結果、TLVR 設計者向けの実践的な考慮事項を紹介しました。

その他資料

- 技術開示コモンズ。『[高速マルチフェーズトランスインダクタ電圧レギュレータ](#)』Technical Disclosure Commons Defensive Publications Series、2019 年 5 月 9 日。
- 『マイクロプロセッサ電力分配の課題』Radhakrishnan, Kaladhar, Jonathan DouglasAPEC 2022、2022 年 3 月 22 日。
- Parisi, Carmen。『[マルチフェーズ降圧設計の全て \(パート 1\)](#)』テキサス インストルメンツ アプリケーション レポート、文献番号 SLVA882B、2021 年 4 月
- Dong, Yan。2009。『[POL アプリケーションでのマルチフェーズ結合インダクタ降圧コンバータの研究](#)』博士論文、バージニア工科大学。
- Qiu, Yang。2007。『[電源用結合インダクタ: 利点と妥協点](#)』EETimes、2007 年 6 月。
- Lu, Zengyi, Wei Chen。『VRM アプリケーションにおけるバランス巻線付きマルチフェーズ インダクタ 結合スキーム』Proceedings of the 22nd Annual IEEE Applied Power Electronics Conference and Exposition、2007 年 2 月 25 日～3 月 1 日、pp. 680～684 で公開。
- Zhu, Feiyang。『マルチフェーズ電圧レギュレータ用マルチフェーズ結合インダクタの分析』Center for Power Electronics Systems PMC Review、2021 年 6 月。
- Jiang, Shuai, Xin Li, Mobashar Yazdani, Chee Chung。『48V テクノロジーの改革を進める - ハイブリッド コンバータとトランスインダクタ 電圧レギュレータ (TLVR)』34th Annual IEEE Applied Power Electronics Conference and Exposition、2020 年 3 月 15～19 日で公開。
- Erickson, Robert W., Dragan Maksimovic。2020。『パワー エレクトロニクスの基礎、第 3 版』New York: Springer AG。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月