参考資料

TPS54680EVM-228 6-Amp, TPS54880EVM-228 8-Amp,

SWIFT™レギュレータ評価モジュール

ユーザーズ・ガイド

PMP EVMs

SLVU077 翻訳版

JAJU015 WAS SLVU128

まえがき

はじめにお読みください

このマニュアルについて

このユーザーズ・ガイドでは、TPS54x80EVM-228 SWIFT™レギュレータ評価モジュール(EVM)について説明し、EVM回路図、部品表、アセンブリ図、基板レイアウトを記載しています。

このマニュアルの使い方

このマニュアルは、以下の章で構成されています。

- ❏ 第1章 — はじめに
- ❏ 第2章 — テストの設定および結果
- ❏ 第3章 — 基板レイアウト
- ❏ 第4章 — 回路図および部品表
- ❏ 付録A — I/Oおよびコアレギュレータ間の逆相同期動作

FCC警告

本機器は、ラボでのテスト環境においてのみ使用されることを意図しています。本機器は、無線周波数エネルギーを発生、使用、および放射しますが、FCC規則15条J項に基づいて計算機器に課せられる制限については、適合性がテストされていません。FCC規則は、無線周波数干渉に対して適切な保護を提供するために策定されたものです。本機器を上記以外の環境で使用した場合、無線通信との干渉を引き起こす可能性があり、その場合、使用者は自らの費用負担において、干渉を避けるために必要な何らかの手段を講じる必要があります。

商標

SWIFTおよびPowerPADは、Texas Instrumentsの登録商標です。

目次

1　はじめに 1-1
1.1　背景 1-2
1.2　性能仕様の概要 1-3
1.3　トラッキング・レギュレータと電源シーケンシング 1-5
1.4　変更 1-6
1.4.1　出力電圧 1-6
1.4.2　スイッチング周波数 1-6

2　テストの設定および結果 2-1
2.1　入力/出力接続 2-2
2.2　電源シーケンシング・テスト 2-4
2.3　効率 2-8
2.4　消費電力 2-9
2.5　出力電圧レギュレーション 2-10
2.6　負荷過渡応答 2-11
2.7　ループ特性 2-12
2.8　出力/入力電圧リップルおよびメイン・スイッチング波形 2-13

3　基板レイアウト 3-1
3.1　レイアウト 3-2

4　回路図および部品表 4-1
4.1　回路図 4-2
4.2　部品表 4-3

付録 A A-1

この資料は、Texas Instruments Incorporated（TI）が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ（日本TI）が英文から和文へ翻訳して作成したものです。
資料によっては正規英語版資料の更新に対応していないものがあります。
日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。
製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。
TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。

図

1-1 異なる電源シーケンシング手法の選択 1-5
1-2 周波数トリミング抵抗の選択グラフ 1-7
2-1 接続図 2-3
2-2 トラッキングありのパワーアップ 2-4
2-3 トラッキングありのパワーダウン 2-5
2-4 レシオメトリック・シーケンス制御によるパワーアップ 2-6
2-5 レシオメトリック・シーケンス制御によるパワーダウン 2-6
2-6 コア電圧が先に立ち上がるパワーアップ 2-7
2-7 コア電圧が後から立ち下がるパワーダウン 2-7
2-8 効率の測定値 2-8
2-9 基板損失の測定値 2-9
2-10 ロードレギュレーション 2-10
2-11 ライン・レギュレーション 2-10
2-12 入力電圧3.3Vでの負荷過渡応答(TPS54680) 2-11
2-13 入力電圧5Vでの負荷過渡応答(TPS54680/TPS54880) 2-11
2-14 ループ応答の測定値、TPS54680、V_I = 3.3V、V_O = 1.8V 2-12
2-15 ループ応答の測定値、TPS54680およびTPS54880、V_I = 5V、V_O = 1.8V 2-12
2-16 V_I = 3.3Vでの入力/出力電圧リップルおよびメイン・スイッチング波形 2-13
2-17 V_I = 5Vでの入力/出力電圧リップルおよびメイン・スイッチング波形 2-14
3-1 上側アセンブリ 3-2
3-2 上側レイアウト 3-3
3-3 内部第2層レイアウト 3-3
3-4 内部第3層レイアウト 3-4
3-5 下側レイアウト(上側から見た図) 3-4
4-1 TPS54x80EVM-228回路図 4-2
A-1 15%離れた周波数でスイッチングする2つのレギュレータの入力電圧リップル およびメイン・スイッチング波形(V_I = 5V) A-1
A-2 入力電圧リップル(Ch.2)、同期信号(Ch.3)、およびコア・レギュレータ(Ch.4)と I/Oレギュレータ(Ch.1)のスイッチング波形 A-2
A-3 入力電圧リップル(Ch.2)、および逆相同期したコア・レギュレータ(Ch.4)と I/Oレギュレータ(Ch.1)のスイッチング波形 A-3
A-4 入力電圧リップル(Ch.2)、および非同期のコア・レギュレータ(Ch.4)と I/Oレギュレータ(Ch.1)のスイッチング波形 A-3

表

1-1　入力電圧および出力電流一覧.....1-3
1-2　TPS54680EVM-228性能仕様概要.....1-3
1-3　TPS54880EVM-228性能仕様概要.....1-4
1-4　出力電圧のプログラミング.....1-6
4-1　TPS54x80EVM-228部品表.....4-3

第 1 章

はじめに

この章では、TPS54680およびTPS54880の背景情報と、TPS54680EVM-228およびTPS54880EVM-228評価モジュール(SLVP228)の性能仕様およびサポート文献について説明します。TPS54x80トラッキング･レギュレータを使用した各種の電源シーケンシングについて記載しています。

表題 ページ

1.1 背景 1-2
1.2 性能仕様の概要 1-3
1.3 トラッキング･レギュレータと電源シーケンシング 1-5
1.4 変更 1-6

1.1 背景

SWIFT™ファミリーのTPS54680およびTPS54880トラッキングDC/DCコンバータは、負荷に対して2種類以上の電圧を必要とするアプリケーションにおいて、正確な電源シーケンシングを提供します。そのようなアプリケーションの例としては、マイクロプロセッサ、DSP、およびFPGA用のコアおよびI/O電源があります。一般に、パワーアップおよびパワーダウン・シーケンス中には、コア電源電圧とI/O電源電圧との間に特定の関係が成り立つ必要があります。TPS54x80ファミリーのトラッキングDC/DCコンバータは、第2の電源に対する直接トラッキング、レシオメトリック・トラッキング、および電圧シーケンス制御が可能です。TPS54680EVM-228評価モジュールは、TPS54680トラッキングDC/DCコンバータをTPS54610 DC/DCコンバータと組み合わせて使用し、チャネルあたり6Aの2出力電源を提供します。TPS54880EVM-228は、TPS54880をTPS54810と組み合わせて、チャネルあたり8Aを提供します。TPS54x80EVM-228は、公称5V入力でI/Oに対して3.3V、コアに対して1.8Vの出力電圧を提供します。TPS54x10 DC/DCコンバータは、このEVMでは単なる例として使用されています。他の任意のスイッチング・レギュレータまたはリニア・レギュレータをこのアプリケーションに対して使用できます。これらの2チャネルEVMは、コア電圧およびI/O電圧のトラッキングおよびシーケンス制御においてTPS54x80の設計が固有の柔軟性を持つことを示しています。

TPS54680およびTPS54880デバイスは、TRACKINピンを使用してトラッキングおよびシーケンス制御機能にアクセスします。内部のマルチプレクサ回路により、このピンの電圧が内部基準電圧と比較され、低い方の電圧が出力電圧レギュレーションの基準として使用されます。TPS54x80のTRACKINピンに別の電源またはパワー・ディストリビューション・スイッチの出力が接続されている場合、パワーアップまたはパワーダウン中に、TRACKINピンの電圧が内部基準電圧より高くなるまで、TPS54x80の出力はこのもう一方のチャネルの出力をトラッキングします。適切な抵抗デバイダ・ネットワークを使用して、もう一方の電源出力をTRACKINピンに印加することにより、レギュレータの2つの出力電圧間でパワーアップおよびパワーダウン時に満たす必要のある関係を、デバイダ・ネットワークの比を変えることで設定できます。

アプリケーションによっては、I/O電源電圧用に3.3Vバスが用意され、追加の電圧レギュレータが必要ない場合もあります。その場合は、TPS54x80トラッキング・レギュレータの入力電圧として3.3Vバスを使用できます。I/O電圧は、適切な立ち上がり時間で、大きな突入電流が発生しないように、パワー・ディストリビューション・スイッチを通して供給することができます。適切な電源シーケンシングを行うために、TPS54x80のTRACKINピンをパワー・ディストリビューション・スイッチの出力に接続する必要があります。

TPS54x80EVM-228評価モジュールの2つのチャネルは、数個の安価な外部部品を使用することにより、逆位相状態で同期させることができます。この同期は、不要なビート周波数の低減、および入力キャパシタにおけるリップル電流の低減に役立ちます。同期が特に効果的なのは、両方のチャネルの負荷電流が大きく違わない場合です。同期回路はオプションであり、多くのアプリケーションでは必要ありませんが、評価モジュールにはこの回路が含まれています。表1-1に、このEVMの定格入力電圧および出力電流範囲を示します。

これらの評価モジュールは、SWIFT™ファミリーのレギュレータがPCB上の省スペース化に貢献することを示すように設計されています。

スイッチング周波数は公称700kHzに設定され、フットプリントの小さい0.65µH出力インダクタを使用できます。SWIFT™レギュレータのMOSFETは、パッケージに内蔵されています。これにより、外部MOSFETおよび関連ドライバが不要になります。SWIFT™レギュレータはドレイン・ソース間オン抵抗が低いため高効率であり、高出力電流時にも接合温度を低く保つことができます。SWIFT™ファミリーのFET内蔵DC/DCコンバータは、回路全体に対して真の過熱保護を提供します。外部FETを使用した回路では、コントローラ自体が保護されるだけで、FETは保護されません。TPS54x80レギュレータの補償部品はICの外部にあり、出力電圧を調整でき、ループ応答をカスタマイズできます。

表1-1. 入力電圧および出力電流一覧

EVM	Input Voltage Range	Output Current Range
TPS54680EVM-228	4.3V to 6V†	0A to 6A
TPS54880EVM-228	4.5V to 6V	0A to 8A

† このEVMの最小入力電圧は、TPS54X10レギュレータの3.3V出力によって制限されます。パワー段での電圧降下および最大デューティ・サイクルの制限により、入力電圧は常に、出力電圧に追加のマージンを加えた値よりも高くする必要があります。データシートでは、TPS54680レギュレータの最小入力電圧として3Vが指定されています。TPS54880レギュレータの最小入力電圧は4Vです。

1.2 性能仕様の概要

表1-2および表1-3に、TPS54x80EVM-228の性能仕様を示します。これらのデータは、TPS54680およびTPS54880のコア電圧出力にのみ関係します。TPS54610およびTPS54810の性能仕様については、ユーザーズ・ガイド(TI文献番号SLVU071)を参照してください。特に指定がない限り、すべての仕様は周囲温度25℃で規定されています。

1.3 トラッキング・レギュレータと電源シーケンシング

表1-2. TPS54680EVM-228性能仕様概要

Specification	Test Conditions	Min	Typ	Max	Units
Input voltage range		4.3†	5.0	6.0	V
Output voltage set point range		0.9	1.8	3.3	V
Output current range		0		6	A
Line regulation	I_O = 0A and 6A	–0.2%		0.2%	
Load regulation	V_{IN} = 5V	–0.2%		0.2%	
Load transient response	I_O = 1.5A to 4.5A, t(rise) = 1µs, V_{IN} = 5V		–60		mV_{PK}
			20		µs
	I_O = 4.5A to 1.5A, t(fall) = 1µs, V_{IN} = 5V		80		mV_{PK}
			20		µs
Loop bandwidth	V_{IN} = 5V		100		kHz
Phase margin	V_{IN} = 5V		50		°
Input ripple voltage with synchronized channels	V_{IN} = 5V, I_O = 6A		110		mV_{PP}
Input ripple voltage with nonsynchronized channels	V_{IN} = 5V, I_O = 6A		160		mV_{PP}
Output ripple voltage			10		mV_{PP}
Tracking delay			10		µs
Operating frequency			700		kHz
Maximum efficiency	V_{IN} = 5.0V, I_O = 2.5A, Vout = 1.8V		89%		
Efficiency at I_O = 6A	V_{IN} = 5.0V, Vout = 1.8V		85%		

† このEVMの最小入力電圧は、TPS54610レギュレータの3.3V出力によって制限されます。TPS54680およびTPS54610レギュレータの最小入力電圧は3Vです。

表1-3. TPS54880EVM-228性能仕様概要

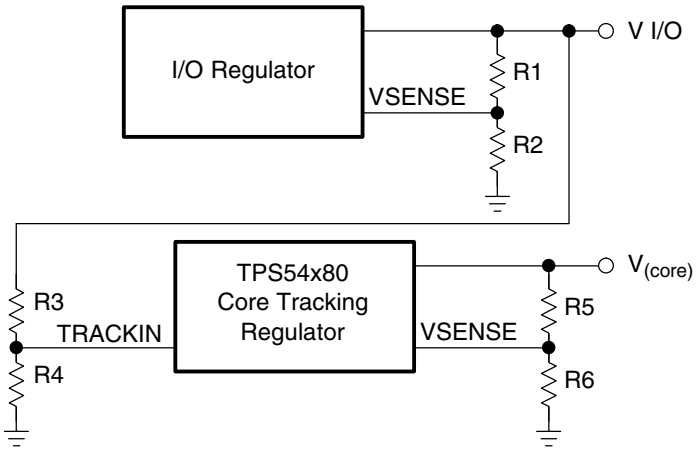
Specification	Test Conditions	Min	Typ	Max	Units
Input voltage range		4.5†	5.0	6.0	V
Output voltage set point range		0.9	1.8	3.3	V
Output current range		0		8	A
Line regulation	I_O = 0A – 8A	–0.2%		0.2%	
Load regulation	V_{IN} = 5V	–0.2%		0.2%	
Load transient response	I_O = 1.5A to 4.5A, t(rise) = 1µs, V_{IN} = 5V		–60		mV_{PK}
			20		µs
	I_O = 4.5A to 1.5A, t(fall) = 1µs, V_{IN} = 5V		80		mV_{PK}
			20		µs
Loop bandwidth	V_{IN} = 5V		100		kHz
Phase margin	V_{IN} = 5V		50		°
Input ripple voltage with synchronized channels	V_{IN} = 5V, I_O = 8A		110		mV_{PP}
Input ripple voltage with nonsynchronized channels	V_{IN} = 5V, I_O = 8A		160		mV_{PP}
Output ripple voltage			10		mV_{PP}
Tracking delay			10		µs
Operating frequency			700		kHz
Maximum efficiency	V_{IN} = 5.0V, I_O = 2.5A, Vout = 1.8V		89%		
Efficiency at I_O = 8A	V_{IN} = 5.0V, Vout = 1.8V		82%		

† このEVMの最小入力電圧は、TPS54810レギュレータの3.3V出力によって制限されます。TPS54880およびTPS54810レギュレータの最小入力電圧は4Vです。

プロセッサやシステムICに関する潜在的な問題を防止するために、設計者はシーケンシャル、レシオメトリック、同時という3つの一般的な電源シーケンシング手法を適用できます。シーケンシャル･パワーアップは、その名が示すとおり、2つの電源レールを順番にオンにします。一般には、最初のレールがレギュレーションに到達してから、2番目のレールのランプアップを開始します。または、最初のレールの開始から一定の遅延時間後に2番目のレールのランプアップを開始することもできます。どちらの場合も、一方の電源を供給しない最小時間および最大時間、または一方の電源が他方を上回っている時間の長さやその差に関して、プロセッサ製造元による制限に従う必要があります。レシオメトリック手法では、2つのレールが同時にオンになり、レギュレーションに到達します。そのためには、レールのスルー･レートが高く、最終電圧が高い必要があり、レギュレーション到達時に電圧の差が最大になります。ただし、プロセッサによっては、レギュレーションに到達する前の瞬間的な電圧差を許容できない場合や、この期間中に一方の電源から高い電流が引き込まれる場合があります。第3のアプローチでは、瞬間的な電圧差がなくなり、ストレスの大きさおよび時間が最小になります。この手法を実装する一般的な方法は、同時にパワーアップすることであり、電圧レールはともに同じレートで上昇し、高い方のレール(I/O電圧レール)は、低い方のレール(コア電圧レール)が最終値に到達した後も上昇を続けます。
TPS54x80EVM-228評価モジュールは、上記の各電源シーケンシング手法を実現できるように設計されています。基本的な考え方を図1-1に示します。

各電源シーケンシング手法の実装は、適切な抵抗デバイダ比の選択に基づいて行われます。

図1-1. 異なる電源シーケンシング手法の選択



式1、2、3に、各電源シーケンシング手法に関連するデバイダ比を示します。

$$\frac{R3}{R4} = \frac{R5}{R6}$$ — コア電圧がI/O電圧をトラッキング(同時パワーアップ) (1)

$$\frac{R3}{R4} = \frac{R1}{R2}$$ — コア電圧とI/O電圧間にレシオメトリックな関係が成立 (2)

$$\frac{R3}{R4} < \frac{R5}{R6}$$ — パワーアップ時はコア電圧が先に立ち上がり、パワーダウン時は後で立ち下がる (3)

1.4 変更

TPS54x80EVM-228評価モジュールは、TPS54x80でセラミック・キャパシタを使用して小さなサイズを実現できるように設計されています。その一方で、ソリューションはこれら特定の出力電圧およびスイッチング周波数に限定されてはいません。ここでは、さまざまなアプリケーション要件を満足するためにどのような変更が可能かを説明します。

1.4.1 出力電圧

このEVMに対しては、1.8Vのコア出力電圧と3.3VのI/O出力電圧が選択されています。TPS54x80およびTPS54X10レギュレータの出力電圧は、抵抗R20(TPS54x80の場合)またはR19(TPS54x10の場合)を変更することにより、最小0.9Vまでの任意の値に調整できます。回路図におけるこれらの抵抗の位置は、図4-1に示されています。特定の出力電圧を得るためのこれらの抵抗値は、式を用いて計算できます。表1-4に、いくつかの一般的なバス電圧に対する抵抗R19(またはR20)の値を示します。

$$R_{19,\,20} = 10k\Omega \times \frac{0.891V}{V_O - 0.891V} \quad (4)$$

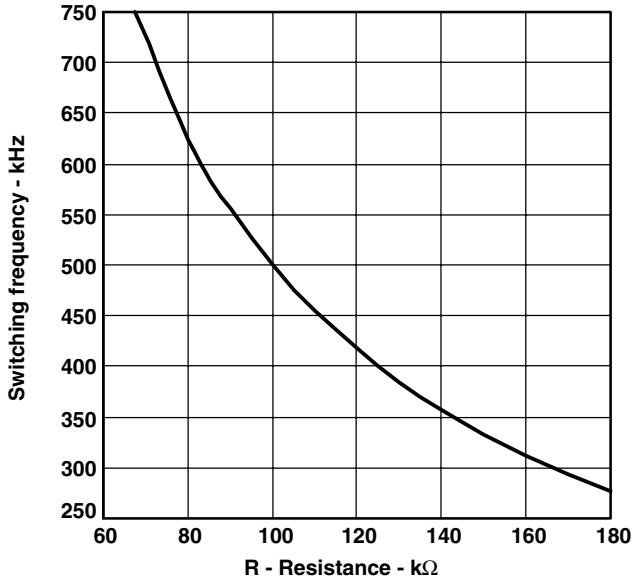
表1-4. 出力電圧のプログラミング

Output Voltage, (V)	R19 or R20, (kΩ)
0.9	1000
1.2	28.7
1.5	14.7
1.8	9.76
2.5	5.49
3.3	3.74

1.4.2 スイッチング周波数

TPS54x80およびTPS54x10レギュレータのスイッチング周波数は、抵抗R9(TPS54x80の場合)またはR8(TPS54x10の場合)を変更することにより、280kHzから700kHzまでの任意の値にトリミングできます。回路図におけるこれらの抵抗の位置は、図4-1に示されています。スイッチング周波数を高くすると、出力リップルが小さくなります。このEVMで選択した出力フィルタのスイッチング周波数を600kHzより低くすることは推奨しません。SLVP228 EVMの各チャネルの公称スイッチング周波数は約20%離れた値に設定し、I/Oレギュレータをコア・レギュレータの高いスイッチング周波数に同期させています。チャネルを同期させる必要がなく、同期回路部品をオープンにする場合は、R8とR9の両方に71.5kΩの抵抗を使用することを推奨します。図1-2に、抵抗R8(またはR9)の値とスイッチング周波数の関係を示します。

図1-2. 周波数トリミング抵抗の選択グラフ



第 2 章

テストの設定および結果

この章では、TPS54x80EVM-228評価モジュールの適切な接続、設定、および使用方法について説明します。また、TPS54x80EVM-228に対する標準的なテスト結果を示し、効率、全体の消費電力、出力電圧レギュレーション、負荷過渡応答、ループ応答、出力リップル、入力リップル、およびパワーアップ、パワーダウン中の電源シーケンシングおよびトラッキングの各種方法についても説明します。

表題 ページ

2.1 入力/出力接続 2-2
2.2 電源シーケンシング・テスト 2-4
2.3 効率 2-8
2.4 消費電力 2-9
2.5 出力電圧レギュレーション 2-10
2.6 負荷過渡応答 2-11
2.7 ループ特性 2-12
2.8 出力/入力電圧リップルおよびメイン・スイッチング波形 2-13

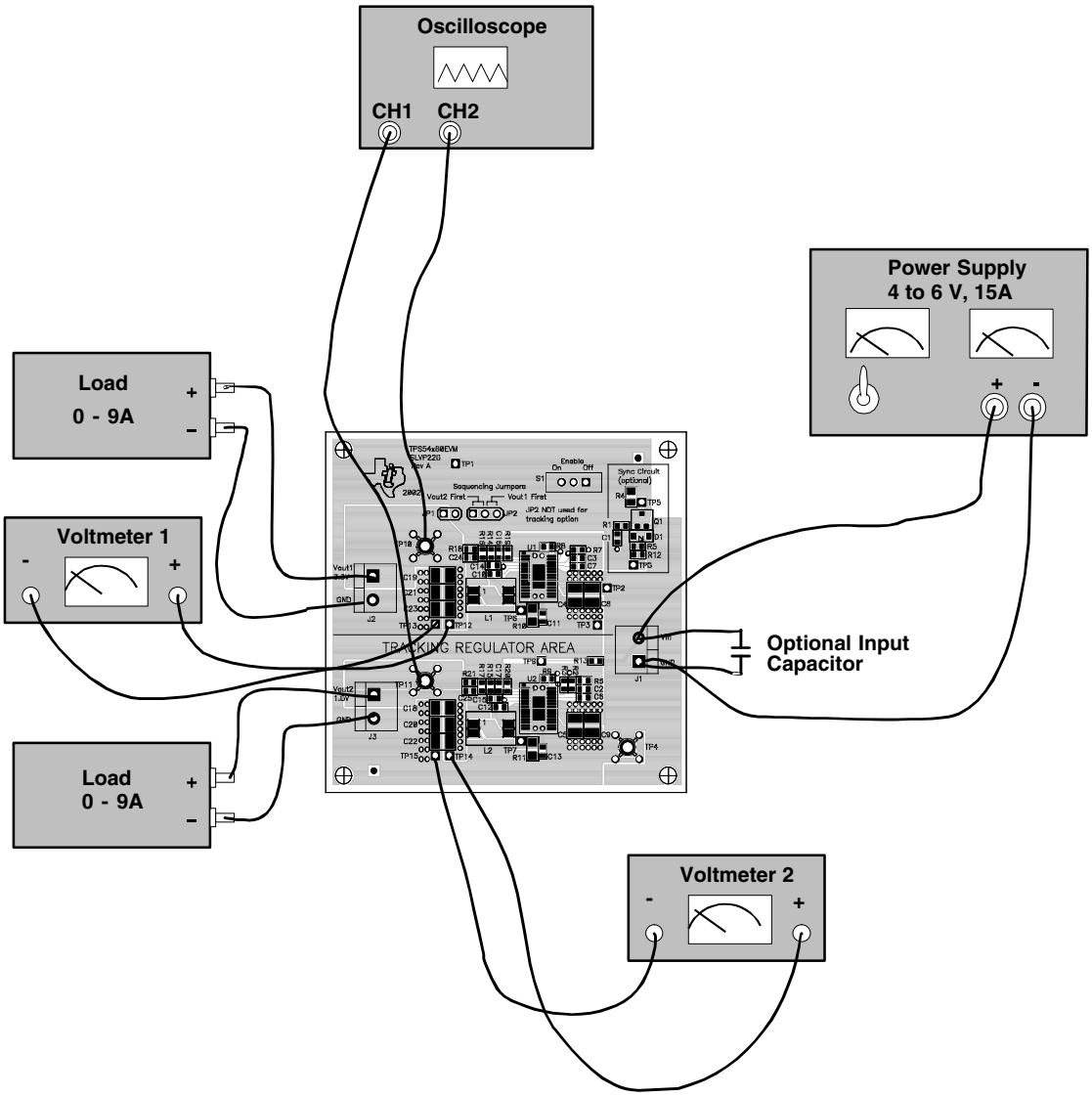
2.1 入力/出力接続

TPS54x80EVM-228には、5V入力、5V入力リターン、3.3V出力、3.3V出力リターン、1.8V出力、1.8V出力リターンという6つの入出力接続があります。図2-1に、接続箇所を示しています。15Aを供給できる電源を1対の16AWGワイヤを通してJ1に接続します。J2およびJ3には、それぞれ3.3Vおよび1.8Vの負荷を16AWGワイヤを通して接続します。6AのTPS54x80EVM-228をTPS54680/TPS54610レギュレータとともに使用すると、最大負荷電流を8Aから6Aに下げることができます。ワイヤ内での損失を低減するため、ワイヤ長はできるだけ短くします。テスト・ポイントTP10およびTP11には、出力電圧のモニタ用にオシロスコープの電圧プローブを簡単に接続できます。TP4は、入力電圧のモニタ用テスト・ポイントです。TPS54x80デバイスは、一般に入力電圧ソースに近づけて配置するPOL(point-of-load)レギュレータとして使用されることを意図しています。TPS54x80EVM-228でVinのソースとして外部ラボ電源を使用する場合は、ソースの出力インピーダンスおよびフックアップ・ワイヤの長さに応じて、追加のバルク・キャパシタが必要になる場合があります。ここで示すテスト結果は、470µF、16Vの追加入力キャパシタを使用して得られたものです。

重要

2チャネルのTPS54x80EVM-228 EVMでは、TPS54610/TPS54810レギュレータからI/O電圧として3.3V出力を供給するために4.5V～6Vの入力電圧が必要です。3.3V入力で動作するTPS54680レギュレータ単体の計測値も参考として示しています。TPS54680の定格入力電圧範囲は3.0～6.0Vであり、アプリケーションによっては3.3Vバスから電源を供給することも可能です。

図2-1. 接続図


Oscilloscope
CH1
CH2
Power Supply
4 to 6 V, 15A
+
-
Load
0 - 9A
+
–
Voltmeter 1
-
+
TRACKING REGULATOR AREA
Optional Input
Capacitor
Load
0 - 9A
+
–
Voltmeter 2
-
+

2.2 電源シーケンシング･テスト

TPS54x80レギュレータでは、コアおよびI/O電圧のパワーアップおよびパワーダウン･シーケンシングに対して異なる複数のモードを提供します。抵抗デバイダR3/R6(図4-1)に対して異なる比を選択することにより、パワーアップおよびパワーダウン中のコア電圧の傾きを、I/O電圧の傾きと同じ、それより高い、それより低いのいずれかに設定できます。抵抗R6 = R20およびR3 = R21の場合、コア電圧はI/O電圧をトラッキングします。この条件でのTPS54x80EVM-228のスタートアップ電圧波形を図2-2に示します。この波形では、コア電圧レギュレータが、公称1.8Vレベルに達するまでの間、I/Oレギュレータの出力をトラッキングします。その後、コア･レギュレータはその出力を、プリセットされている1.8Vレベルに制御します。I/Oレギュレータは引き続き、公称3.3Vレベルに達するまで上昇を続けます。パワーアップ中の出力電圧波形は、負荷電流に依存しません。これらの出力電圧波形は、2つの異なるパワーアップ方法(両方のチャネルのENABLE信号がアサートされた状態で入力電圧を印加、または入力電圧が既に印加された状態でENABLE信号をアサート)のどちらについても同じです。データは次のとおりです。

Ch.2： TPS54x80の出力電圧(1.8 V)： 1V/div.
Ch.3： TPS54x10の出力電圧(3.3 V)： 1V/div.
Ch.1： TPS54x80のパワー･グッド信号： 5V/div.
Ch.4： TPS54x10のパワー･グッド信号： 5V/div.
時間： 500µs/div.

図2-2. トラッキングありのパワーアップ

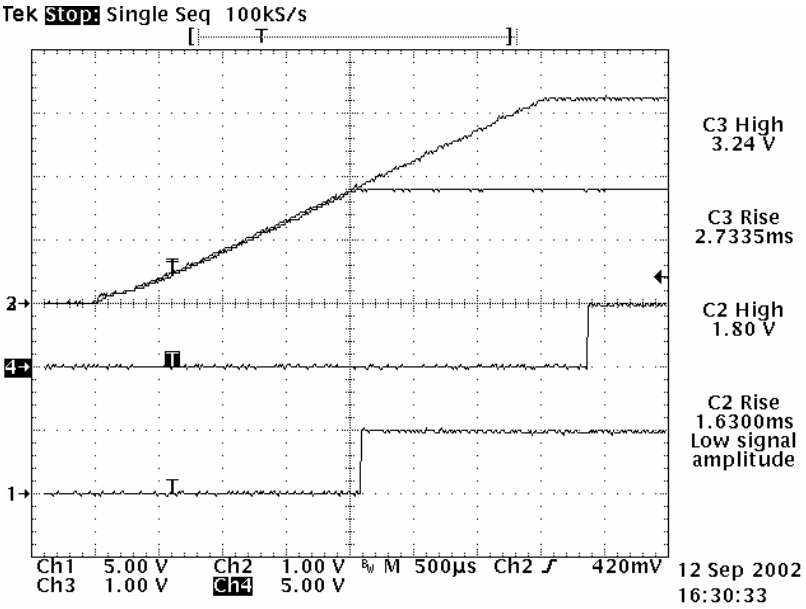
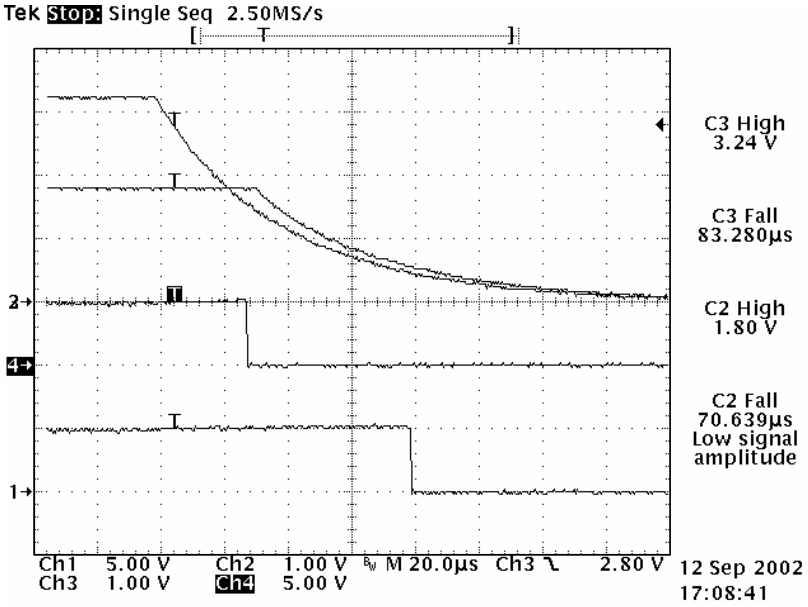


図2-3に、ENABLE信号使用時のパワーダウン波形を示します。パワーダウン中の出力電圧立ち下がり時間は、出力容量および負荷抵抗によって決定されます。ここでは、TPS54x80の動的性能を示すために、非常に低抵抗(0.5Ω)のI/O出力負荷が選択されています。I/O出力電圧が約75V/msのスルーレートで立ち下がる場合、コア電圧とI/O電圧の差は0.3V未満です。この差および少しの遅延時間は、トラッキング･レギュレータのフィードバック･ループの応答時間によって生じます。ほとんどのアプリケーションでは、I/O電圧の立ち下がりは、より一層遅いので、コアとI/Oの電圧差は無視できます。入力電圧を除去することによるパワーダウンでは、両方の内蔵スイッチがオフになる低電圧ロックアウト制限値以下で適切な電源シーケンシングが得られない場合があります。そのため、電源シーケンシングに対しては、ENABLE信号を使用したパワーダウンを推奨します。

図2-3. トラッキングありのパワーダウン



TPS54x80EVM-228 EVMでは、ジャンパJP2(図4-1の回路図を参照)を使用して、コア･レギュレータの出力電圧のスルーレートを変えることができます。R2がR6と並列に接続されるようにジャンパJP2を設定すると、レシオメトリックな電源シーケンス制御が実現されます。レシオメトリック･シーケンシングについては、R3 = R18およびR2∥R6 = R19という条件を満足する必要があります。この場合、I/O電圧とコア電圧は同時にそれぞれの公称値に到達します。レシオメトリックなパワーアップおよびパワーダウンの波形を図2-4および図2-5に示します。

図2-4. レシオメトリック・シーケンス制御によるパワーアップ

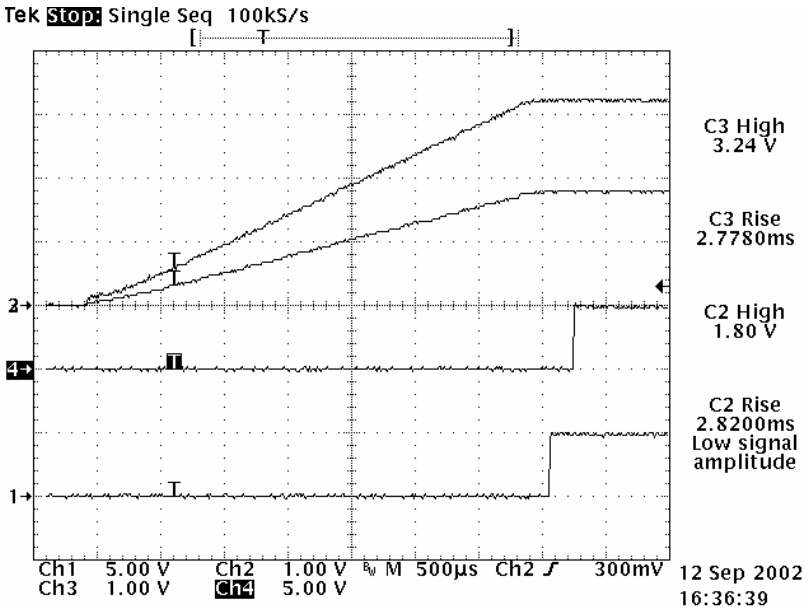
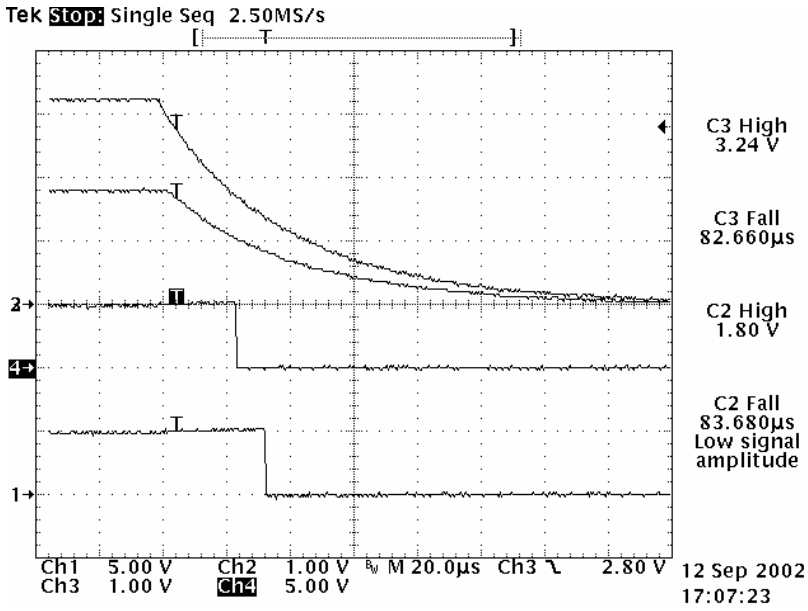


図2-5. レシオメトリック・シーケンス制御によるパワーダウン



R2がR3と並列に接続されるようにジャンパJP2を設定すると、コア電圧はパワーアップ時には先に(I/O電圧が立ち上がる前に)立ち上がり、パワーダウン時には後から立ち下がります。このタイプのシーケンス制御の波形を図2-6および図2-7に示します。

図2-6. コア電圧が先に立ち上がるパワーアップ

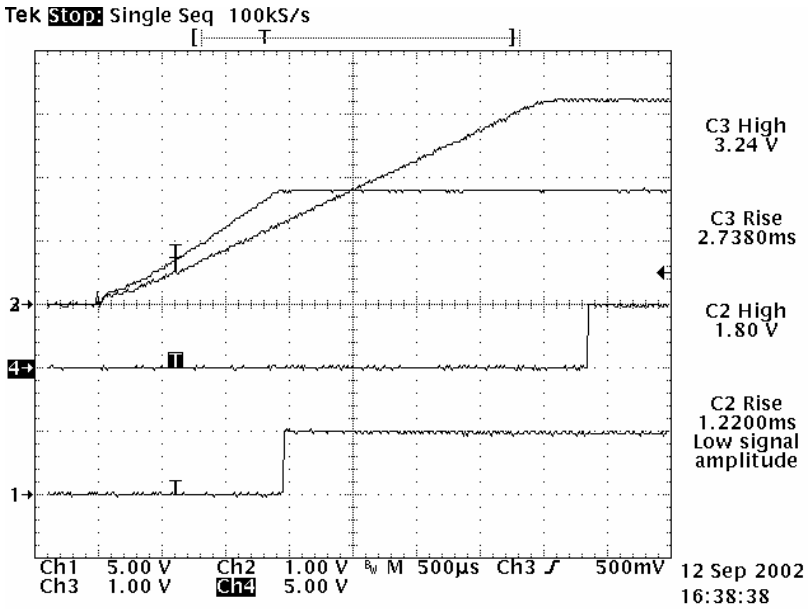
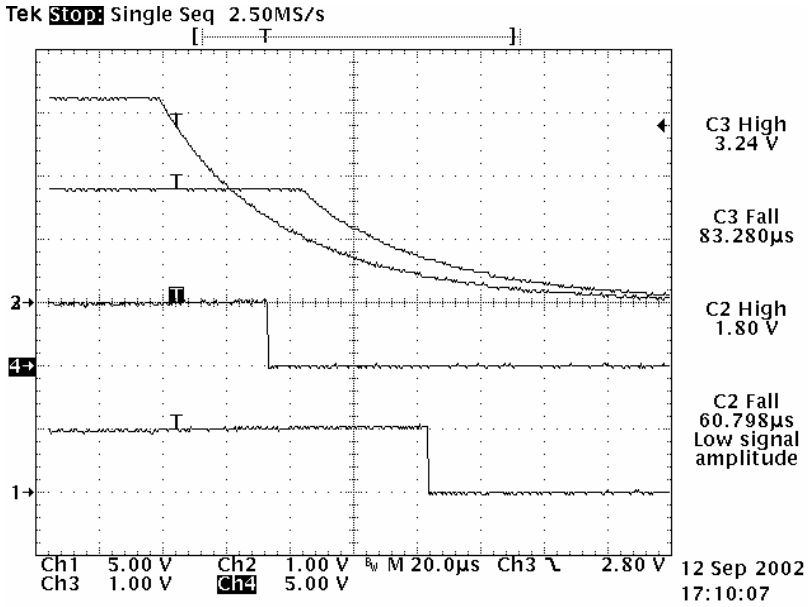


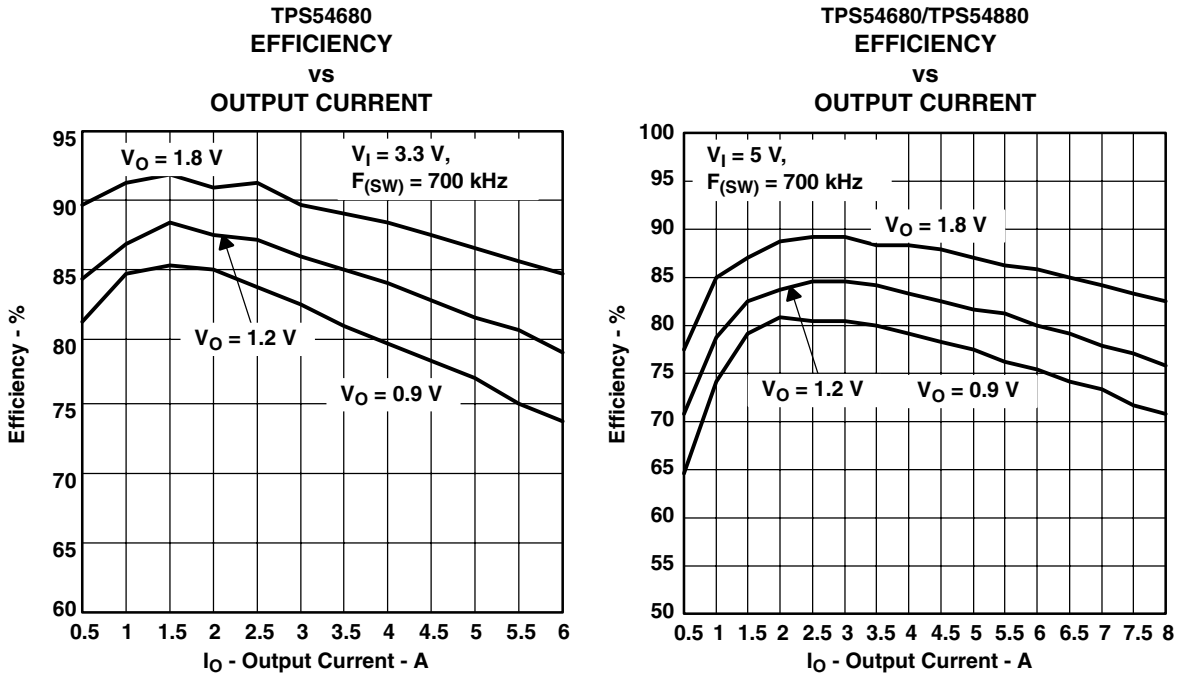
図2-7. コア電圧が後から立ち下がるパワーダウン



2.3 効率

電力損失は出力電圧に関わらずほぼ同じですが、TPS54x80EVM-228の効率は出力電圧に依存します。また、効率は入力電圧にも依存します。出力電流が3A以下の場合は、スイッチング損失が低いため、入力電圧が3.3Vの時に効率が高くなります。出力電流が3A以上の場合は、高いゲート電圧で駆動される内蔵FETのドレイン･ソース間抵抗が低いため、入力電圧が5Vの時に効率が高くなります。図2-8に示す効率は、周囲温度25℃で、5V入力(TPS54680、TPS54880)および3.3V入力(TPS54680)の場合です。

図2-8. 効率の測定値



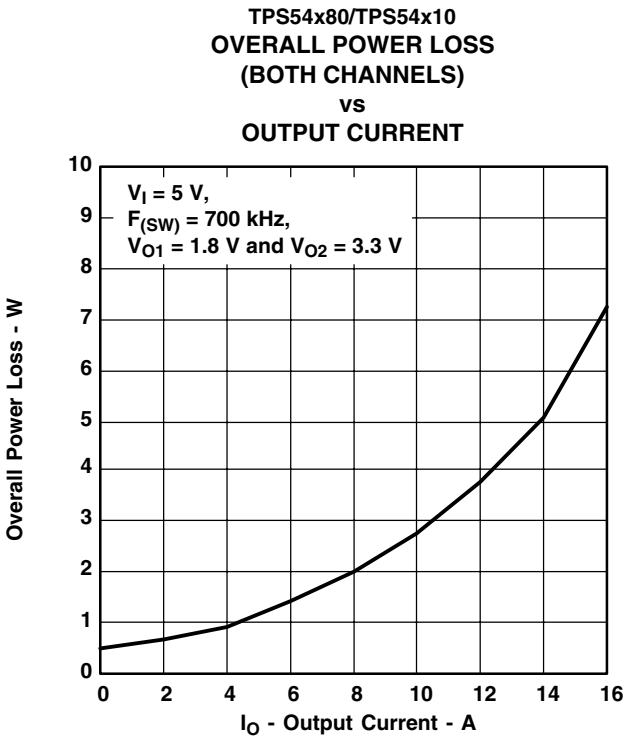
3.3V出力レギュレータTPS54x10によって消費される入力電流は、これらのデータから除外されています。測定値は、トラッキング･レギュレータTPS54680およびTPS54880によって提供されるコア電圧チャネルにのみ関係します。MOSFETのドレイン･ソース間抵抗の温度変動により、周囲温度が高いと効率は低下します。また、MOSFETのスイッチング損失により、スイッチング周波数が700kHzでの効率は、700kHzより低いスイッチング周波数での効率よりわずかに低くなります。

2.4 消費電力

PowerPad™を用いたPWPパッケージの接合部･ケース間の熱抵抗が低いことと、適切な基板レイアウトにより、TPS54x80EVM-228では安全な接合温度を保ちながら全定格負荷電流を供給することができます。図2-9に、25℃での合計の基板損失を示します。入力電圧は5Vです。図2-3に示す負荷電流は、コア･レギュレータとI/Oレギュレータの両方の電流の和です。

PowerPad™の温度上昇(接合部温度以下わずか数度)は、6A(TPS54680/TPS54610)および8A(TPS54880/TPS54810)負荷で測定されています。各チャネルから6Aの負荷電流の場合、温度上昇は33℃以下であり、8Aで測定された温度上昇は54.2℃です。この2つの条件での全体消費電力は、それぞれ3.8Wおよび7.2Wです。これらのテスト･データは、室温22℃、エアフローなしで測定したものです。デバイスの消費電力定格の詳細については、個別の製品データシートを参照してください。

図2-9. 基板損失の測定値



2.5 出力電圧レギュレーション

図2-10に、TPS54x80EVM-228の出力電圧ロードレギュレーションを示します。図2-11には、出力電圧ライン・レギュレーションを示します。周囲温度25℃での測定値です。

図2-10. ロードレギュレーション

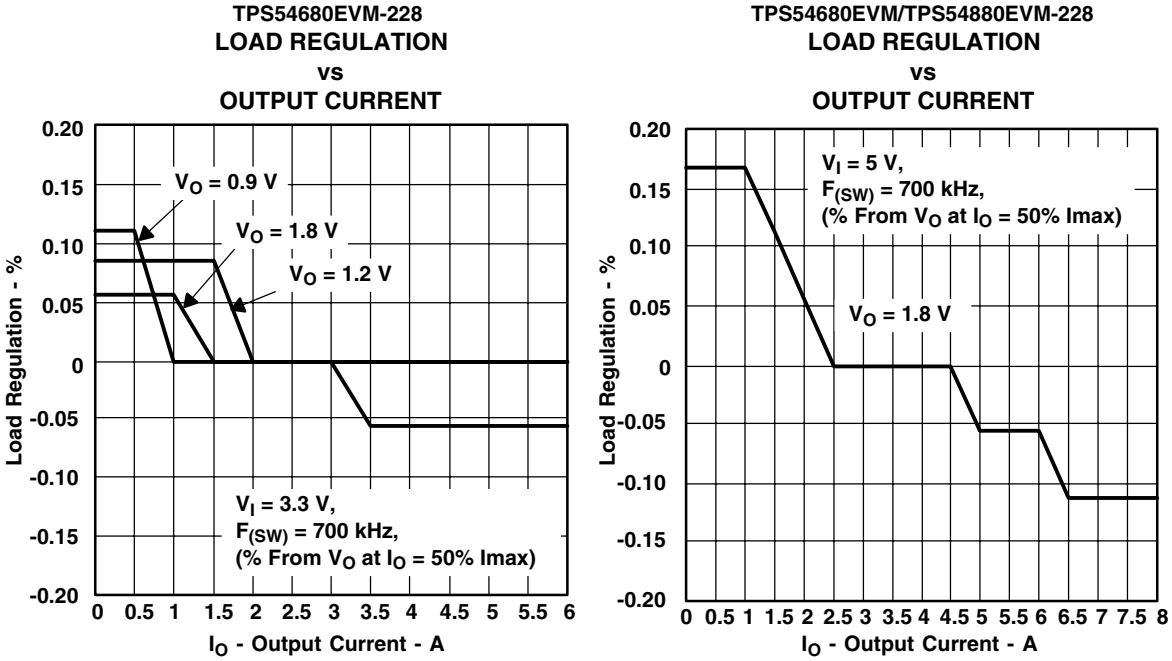
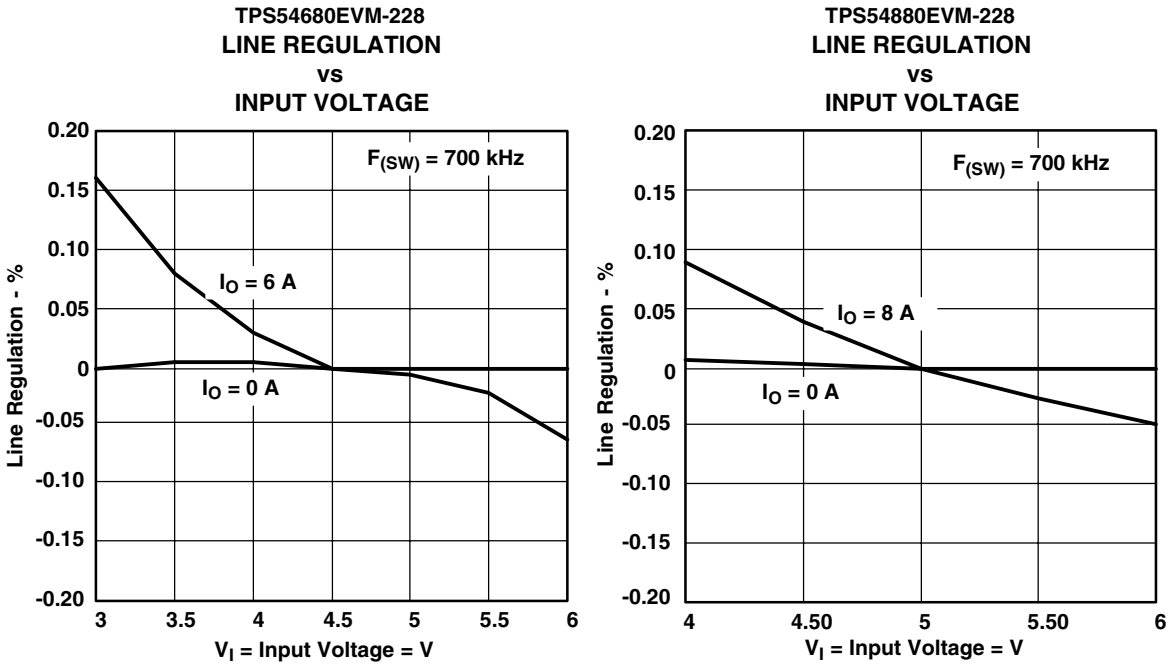


図2-11. ライン・レギュレーション



2.6 負荷過渡応答

図2-12および図2-13に、TPS54x80EVM-228の負荷過渡応答を示します。電流ステップは1.5Aから4.5A、スルーレートは5A/µsです。データは次のとおりです。

Ch.2： 出力電圧： 100mV/div.
Ch.4： 負荷電流： 2A/div.
時間： 20µs/div.

図2-12. 入力電圧3.3Vでの負荷過渡応答(TPS54680)

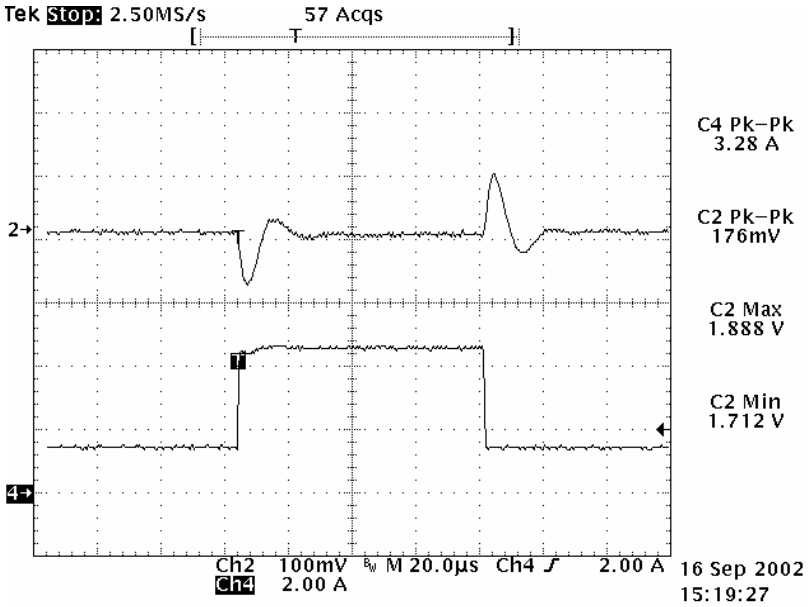
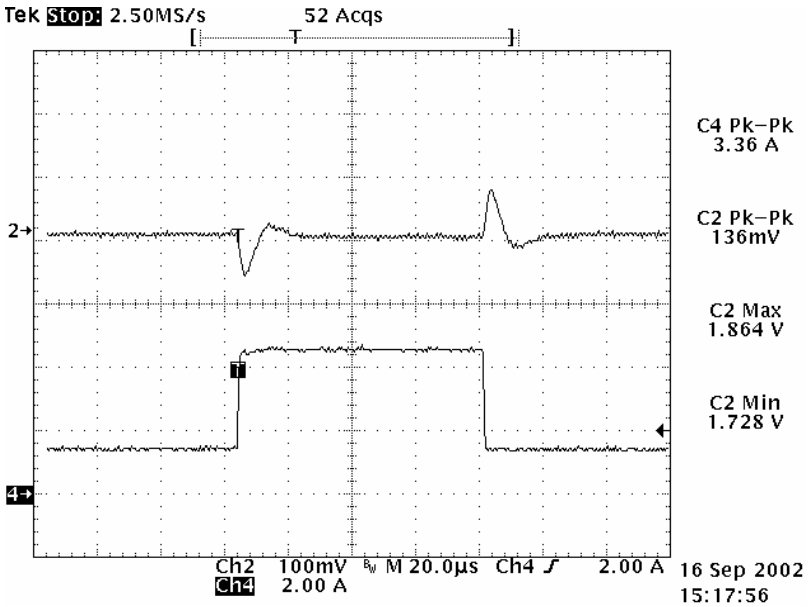


図2-13. 入力電圧5Vでの負荷過渡応答(TPS54680/TPS54880)



2.7 ループ特性

TPS54x80EVM-228のループ応答特性を図2-14および図2-15に示します。TPS54680では3.3V、TPS54680およびTPS54880では5Vでのゲインおよび位相のプロットが示されています。

図2-14. ループ応答の測定値、TPS54680、V_I = 3.3V、V_O = 1.8V

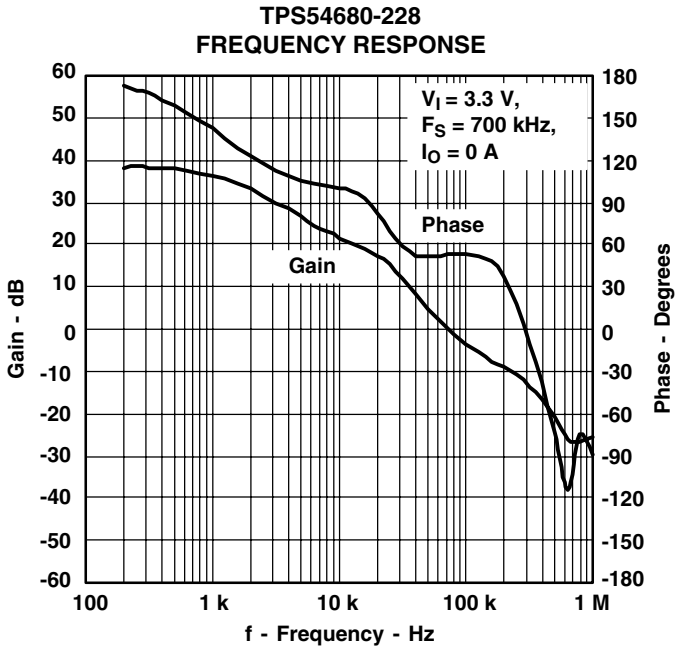
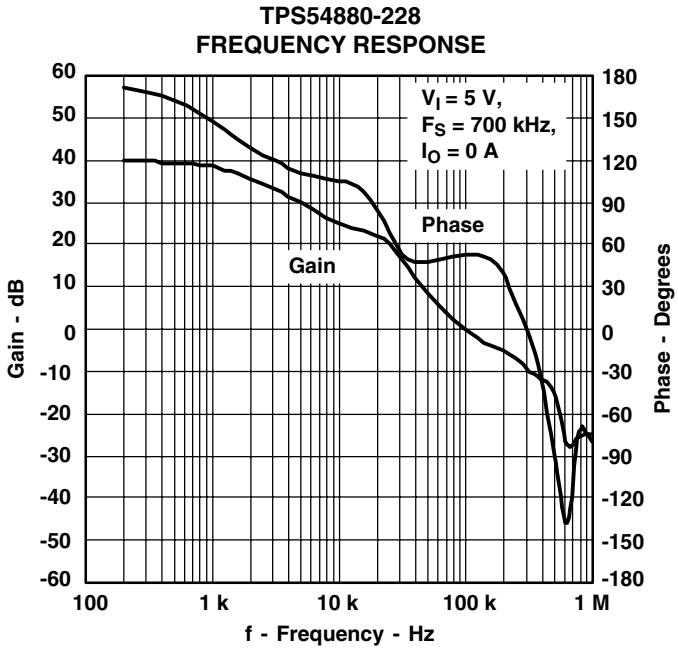


図2-15. ループ応答の測定値、TPS54680およびTPS54880、V_I = 5V、V_O = 1.8V

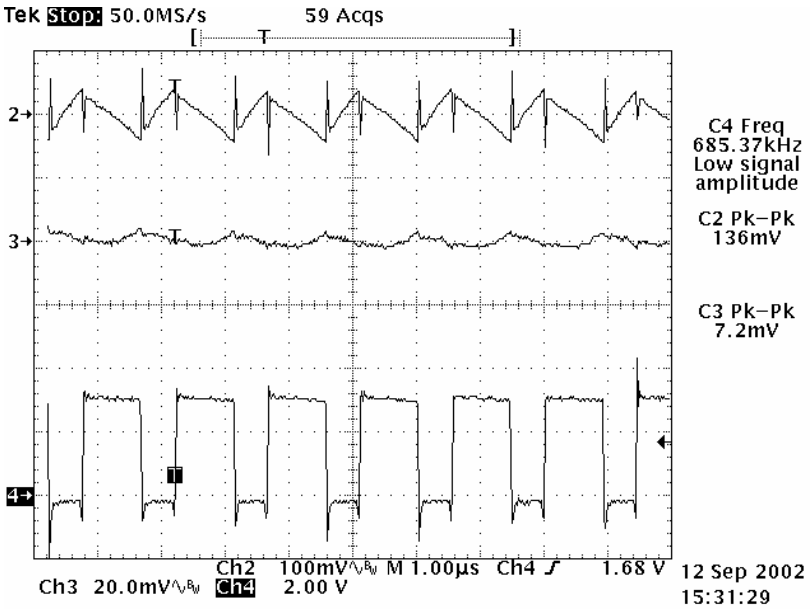


2.8 出力/入力電圧リップルおよびメイン・スイッチング波形

図2-16に、V_I = 3.3V、V_O = 1.8V、I_O = 6A、Fs = 700kHzでの、TPS54x80EVM-228評価モジュールの出力/入力電圧リップルおよびメイン・スイッチング波形を示します。データは次のとおりです。

Ch.2： 入力リップル： 100mV/div.
Ch.3： 出力リップル： 20mV/div.
Ch.4：PHピン： 2V/div.

図2-16. V_I = 3.3Vでの入力/出力電圧リップルおよびメイン・スイッチング波形

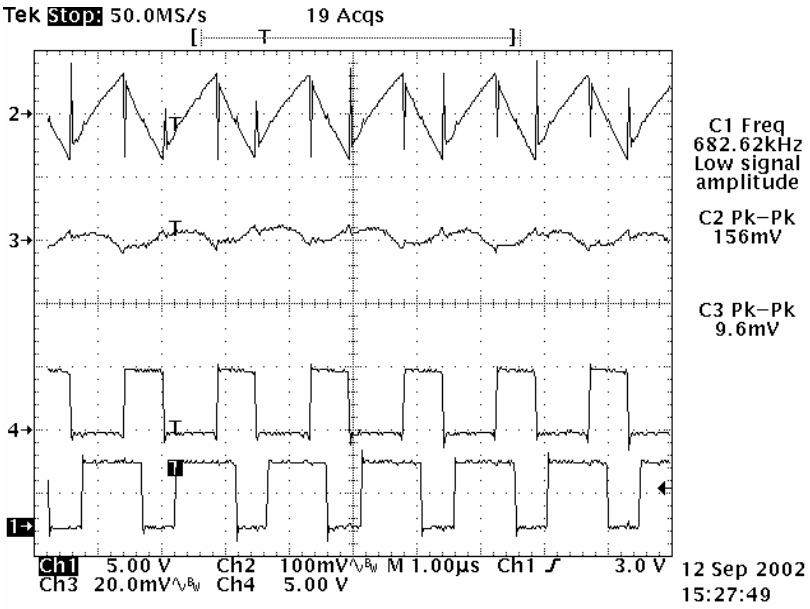


時間： 1µs/div.

図2-17に、コア・レギュレータTPS54680/TPS54880およびI/OレギュレータTPS54610/TPS54810の出力/入力電圧リップルおよびメイン・スイッチング波形を示します。測定条件は、両方のチャネルについてV_I = 5V、V_O = 1.8V(コア)、I_O = 6A(コア)、V_O = 3.3V(I/O)、I_O = 0A(I/O)、Fs = 700kHzです。データは次のとおりです。

Ch.2： 入力リップル： 100mV/div.
Ch.3： 出力リップル： 20mV/div.
Ch.4： TPS54680(コア)のPHピン： 5V/div.
Ch.1： TPS54610(I/O)のPHピン： 5V/div.

図2-17. V_I = 5Vでの入力/出力電圧リップルおよびメイン・スイッチング波形



第 3 章

基板レイアウト

この章では、TPS54x80EVM-228の基板レイアウトについて説明し、層構造図を示します。

表題 ページ

3.1 レイアウト 3-2

3.1 レイアウト

TPS54x80EVM-228の基板レイアウトを図3-1から図3-4に示します。TPS54x80EVM-228の上層は、ユーザ・アプリケーションで一般的な方法によりレイアウトされています。上層および下層は1.5オンス銅、内部の2層は0.5オンス銅です。

上層には、V_I、V_O、および$V_{(phase)}$のメイン電源トレースが含まれています。また、上層には、残りのピンの接続と、グランドで占められる大きな領域とがあります。U1付近のR8、R19、C3、C7およびU2付近のR6、R9、R20、C2、C6は雑音に敏感な部品であり、高電流パスから分離されたそれぞれ専用の低雑音グランド領域が用意されています。第2層は、専用グランド・プレーンです。第3層は、グランド、VI、およびVO用の大きな領域を含んでいます。下層は、信号トレースで占められるいくつかの場所を除き、グランドで占められています。上層と下層のグランド・トレースは、基板に設けられた多数のビアによって内部のグランド・プレーンに接続されています。これには、PowerPAD™のランドからグランドまでの熱伝導パスを提供する、TPS54x80およびTPS54X10デバイス直下の12個のビアも含まれています。

入力セラミック・キャパシタ(C4、C5、C8、C9)、バイアス・デカップリング・キャパシタ(C6、C7)、およびブートストラップ・キャパシタ(C10、C12)はすべて、ICにできるだけ近づけて配置されています。さらに、補償部品もICに近接して配置されています。

図3-1. 上側アセンブリ

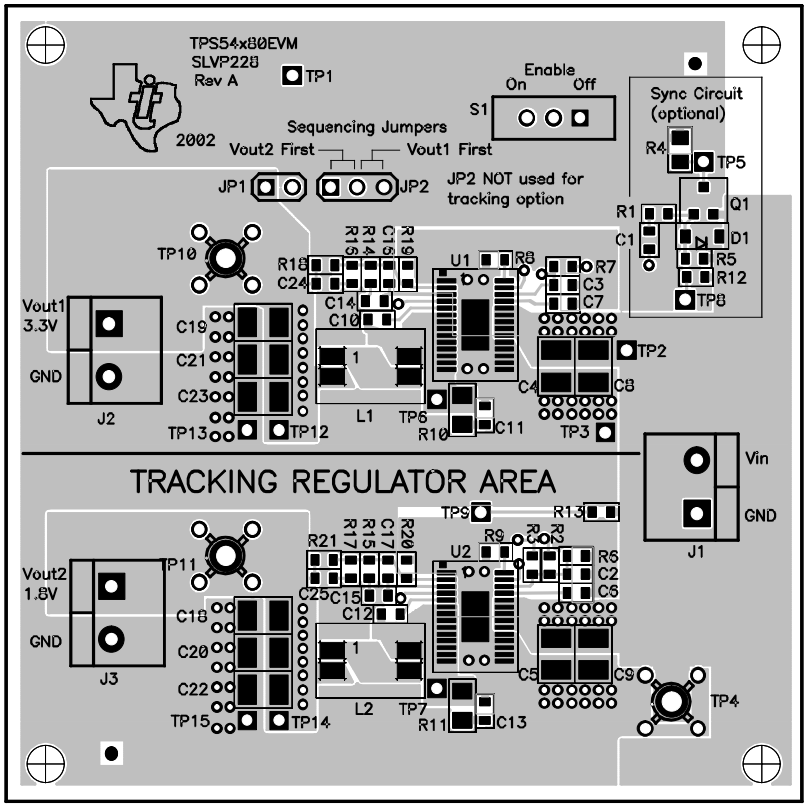


図3-2. 上側レイアウト

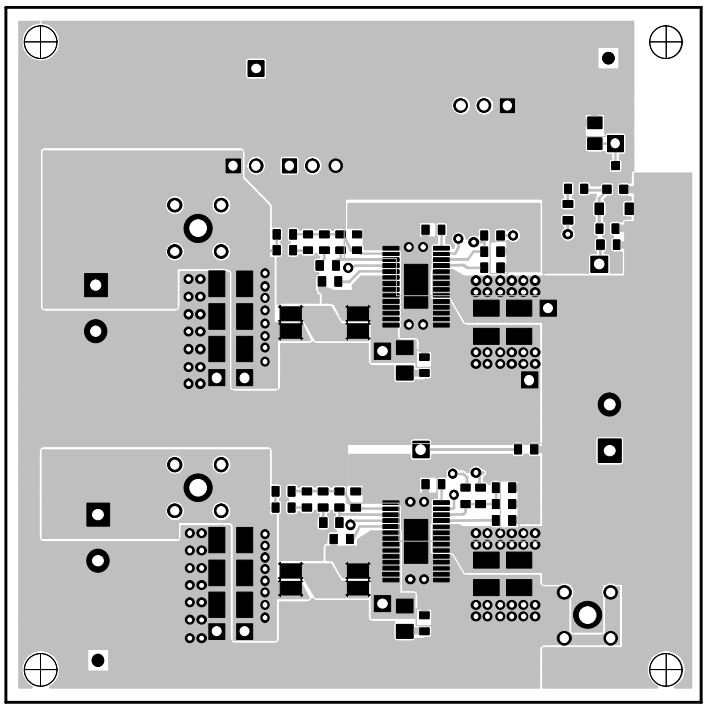


図3-3. 内部第2層レイアウト

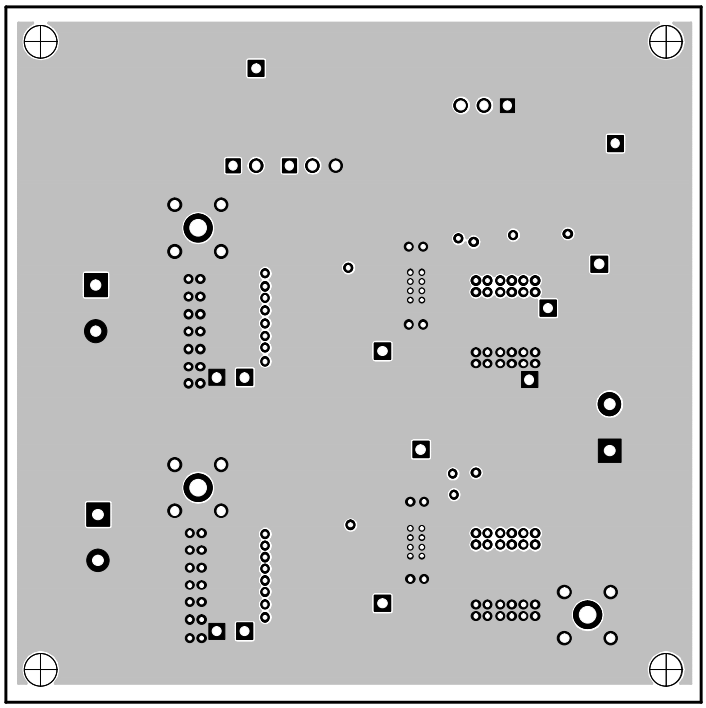


図3-4. 内部第3層レイアウト

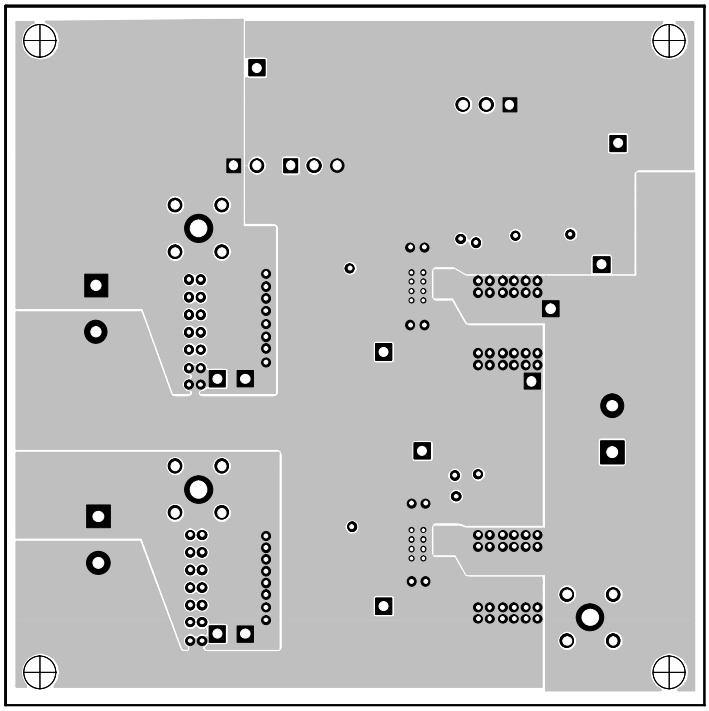
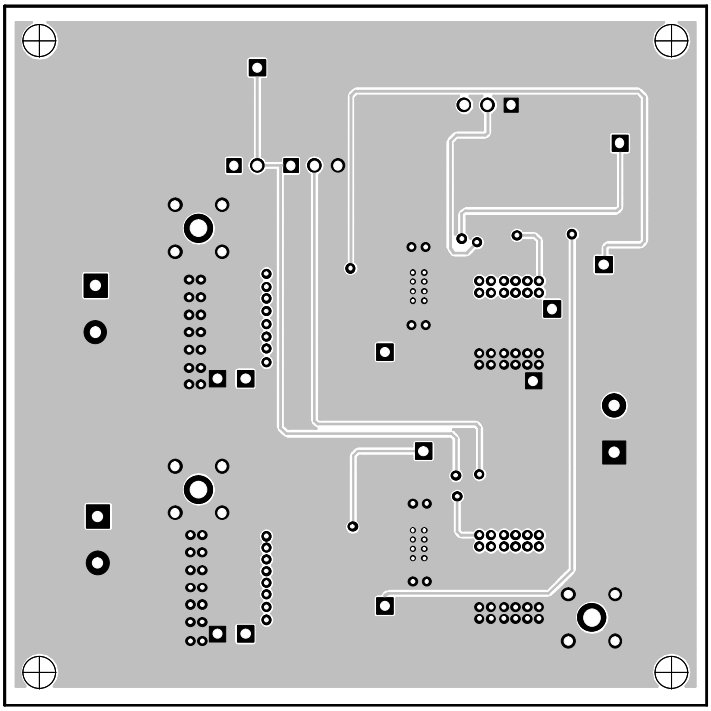


図3-5. 下側レイアウト(上側から見た図)



第 4 章

回路図および部品表

この章では、TPS54x80EVM-228の回路図および部品表を示します。

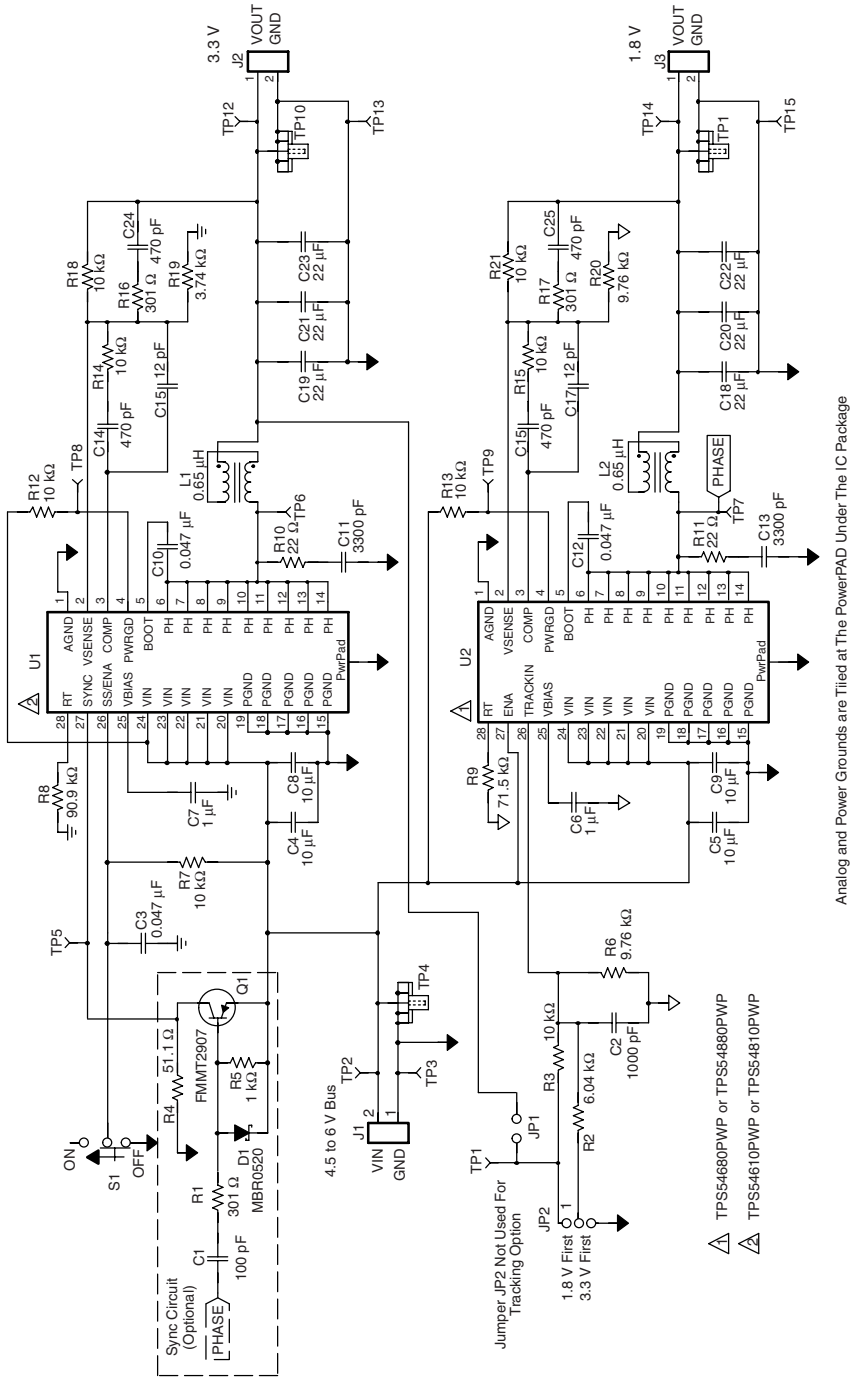
表題 ページ

4.1 回路図....4-2
4.2 部品表....4-3

4.1 回路図

図4-1に、TPS54x80EVM-228の回路図を示します。

図4-1. TPS54x80EVM-228回路図



4.2 部品表

表4-1に、TPS54x80EVM-228の部品表を示します。

表4-1. TPS54x80EVM-228部品表

Count						
-1	-2	Ref Des	Description	SIze	MFR	Part Number
1	1	C1	Capacitor, ceramic, 100pF, 50V, C0G, 5%	603	Murata	GRM1885C1H101JA01
2	2	C11, C13	Capacitor, ceramic, 3300pF, 50V, X7R, 10%	603	Panasonic	ECJ-1VB1H332K
4	4	C14, C15, C24, C25	Capacitor, ceramic, 470pF, 50V, X7R, 10%	603	Murata	GRM188R71H471KA01
2	2	C16, C17	Capacitor, ceramic, 12pF, 50V, NPO, 10%	603	Panasonic	EUC-V1H120KBV
6	6	C18, C19, C20, C21, C22, C23	Capacitor, ceramic, 22µF, 6.3V, X5R, 20%	1210	Taiyo Yu-den	JMK325BJ226MN
1	1	C2	Capacitor, ceramic, 1000pF, 25V, X7R, 10%	603	Murata	GRM188R71E102KA01
3	3	C3, C10, C12	Capacitor, ceramic, 0.047µF, 25V, X7R, 10%	603	Murata	GRM188R71E473KA01
4	4	C4, C5, C8, C9	Capacitor, ceramic, 10µF, 16V, X5R, 10%	1210	Taiyo Yu-den	LMK325BJ106KN
2	2	C6, C7	Capacitor, ceramic, 1.0µF, 6.3V, X5R, 10%	603	Murata	GRM188R60J105KA01
1	1	D1	Diode, Schottky, 500mA, 20V	SOD123	ON Semi	MBR0520LT1
3	3	J1, J2, J3	Terminal block, 2 pin, 15A, 5, 1mm	148830	OST	ED1609
1	1	JP1	Header, 2 pin, 100mil spacing, (36-pin strip)	0.100 × 2"	Sullins	PTC35SAAN
1	1	JP2	Header, 3 pin, 100mil spacing, (36-pin strip)	0.100 × 3"	Sullins	PTC36SAAn
2	2	L1, L2	Inductor, 0.65µH, 12A	0.340 × 0.250	Pulse	PA0277
1	1	Q1	Bipolar, PNP, 60V, 600mA, 0.25W	SOT23	Zetex, Inc.	FMMT2907ATA
3	3	R1, R16, R17	Resistor, chip, 301Ω, 1/16W, 1%	603	Std	Std
2	2	R10, R11	Resistor, chip, 2.2Ω, 1/4W, 1%	1206	Panasonic	ERJ-8RQF2R2
1	1	R19	Resistor, chip, 3.74kΩ, 1/16W, 1%	603	Std	Std
1	1	R2	Resistor, chip, 6.04kΩ, 1/16W, 1%	603	Std	Std
8	8	R3, R7, R12, R13, R14, R15, R18, R21	Resistor, chip, 10kΩ, 1/16W, 1%	603	Std	Std
1	1	R4	Resistor, chip, 51.1Ω, 1/10W, 1%	805	Std	Std
1	1	R5	Resistor, chip, 1.0kΩ, 1/16W, 1%	603	Std	Std
2	2	R6, R20	Resistor, chip, 9.76kΩ, 1/16W, 1%	603	Std	Std
1	1	R8	Resistor, chip, 90.9kΩ, 1/16W, 1%	603	Std	Std
1	1	R9	Resistor, chip, 71.5kΩ, 1/16W, 1%	603	Std	Std
1	1	S1	Switch, 1P2T, slide, PC-mount, 200mA	0.46 × 0.16	E_Switch	EG1218

Count						
-1	-2	Ref Des	Description	SIze	MFR	Part Number
9	9	TP1, TP2, TP5, TP6, TP7, TP8, TP9, TP12, TP14	Test point, red, 1 mm	0.038"	Farnell	240-345
3	3	TP3, TP13, TP15	Test point, black, 1 mm	0.038"	Farnell	240-333
3	3	TP4, TP10, TP11	Adaptor, 3,5 mm probe clip (or 131-5031-00)	72900	Tektronix	131-4244-00
1		U1	IC< IFET power controller, adj V, 6A	PWP28	TI	TPS54610PWP
	1		IC, IFET power controller, adj V, 8A	PWP28	TI	TPS54810PWP
1		U2	IC, tracking synchronous PWM switcher, 6A	PWP28	TI	TPS54680PWP
	1		IC, tracking synchronous PWM switcher, 8A	PWP28	TI	TPS54880PWP
1	1	—	PCB, 3 in × 3 in 0.62 in		Any	SLVP228
2	2	—	Shunt, 100 mil, black	0.100	3M	929950-00

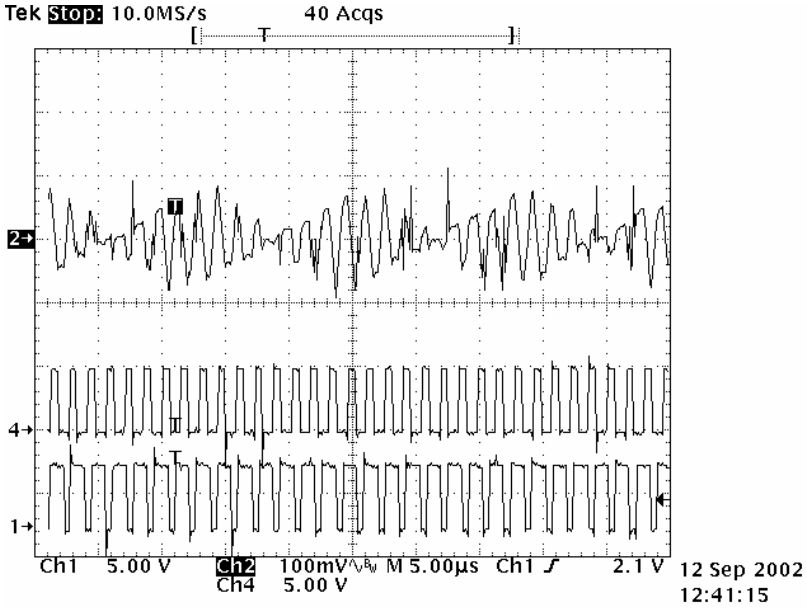
注: 1) これらのアセンブリは静電気放電に敏感です。静電気放電に関する注意事項を遵守してください。
2) これらのアセンブリには、フラックスやその他の汚れが付着しないようにしてください。汚れたフラックスの使用は許可されません。
3) これらのアセンブリは、仕上がり基準IPC-A-610クラス2に適合している必要があります。
4) アスタリスク(**)で示した基準指定を置き換えることはできません。他のすべての部品は、等価な部品で置き換えることができます。

付録 A

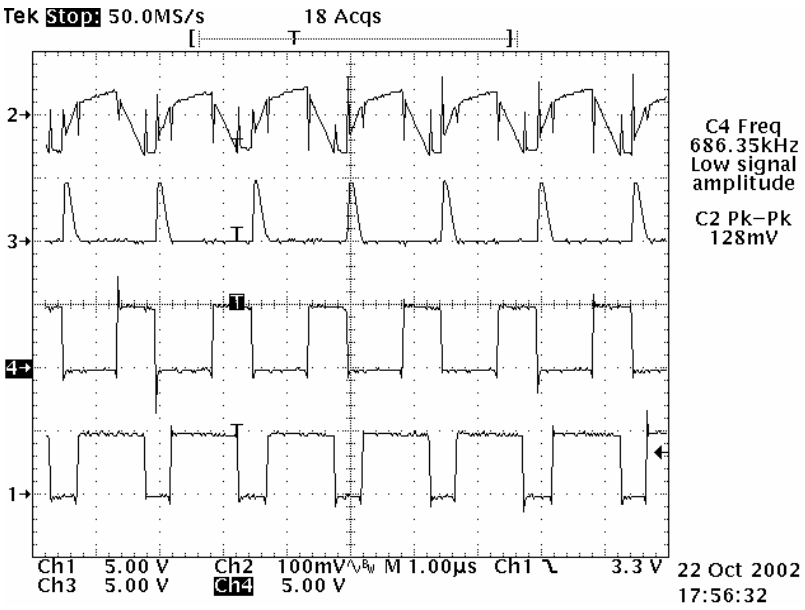
I/OおよびコアのSWIFT™ファミリー・レギュレータ間の逆相同期動作

この章では、TPS54x80EVM-228に関する追加情報を提供します。
コア電圧とI/O電圧が、同じ入力電源でわずかに異なる周波数で動作する2つのDC/DCレギュレータによって供給される場合、それぞれの入力電圧リップルには常に低い周波数の高調波が含まれます。通常、この効果はビート周波数と呼ばれます。図A-1に、約15%離れた周波数で動作する2つの同期していないレギュレータの入力電圧リップル(Ch.2)を示します。

図A-1. 15%離れた周波数でスイッチングする2つのレギュレータの入力電圧リップルおよびメイン・スイッチング波形(V_I = 5V)



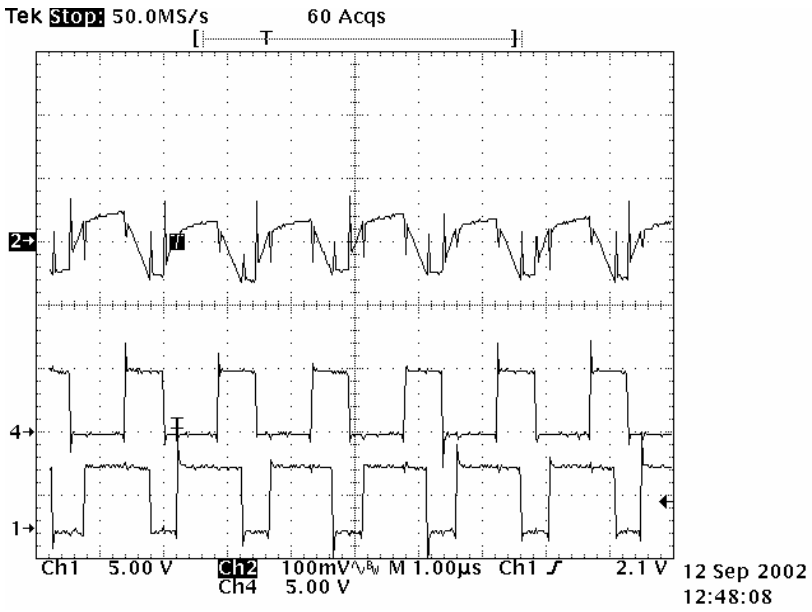
図A-2. 入力電圧リップル(Ch.2)、同期信号(Ch.3)、およびコア・レギュレータ(Ch.4)とI/Oレギュレータ(Ch.1)のスイッチング波形



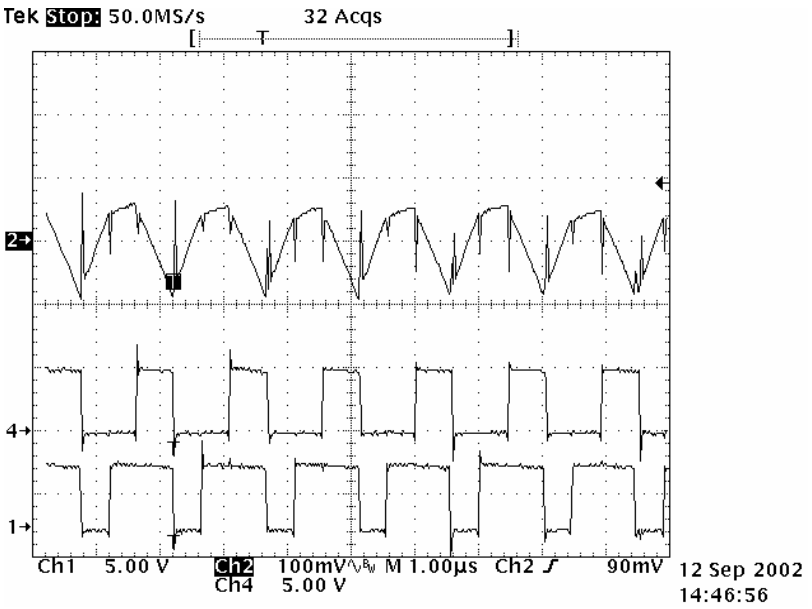
多くの場合、この低い周波数の高調波がシステム全体の性能に影響を与えることはありません。ただし、2つのスイッチング・レギュレータを位相反転した状態で同期させることにより、ビート効果を防止し、リップル・キャンセル効果により入力キャパシタをいくつか省略することができます。このオプションの同期回路はTPS54x80EVM-228に実装されています。これには、図4-1で別個に示されているC1、R1、R4、R5、D1、Q1の各部品が含まれます。この回路はコア・レギュレータU2の位相信号を入力とし、それを反転して、I/OレギュレータU1をレギュレータU2と位相反転させた状態で同期させます。図A-2に、関連波形を示しています。

同期および非同期のレギュレータにおける入力電圧リップルの比較をそれぞれ図A-3と図A-4に示します。

図A-3. 入力電圧リップル(Ch.2)、および逆相同期したコア・レギュレータ(Ch.4)とI/Oレギュレータ(Ch.1)のスイッチング波形



図A-4. 入力電圧リップル(Ch.2)、および非同期のコア・レギュレータ(Ch.4)とI/Oレギュレータ(Ch.1)のスイッチング波形



同期したレギュレータの入力電圧リップルは100mV(ピーク・ツー・ピーク)ですが、非同期のレギュレータの入力電圧リップルは150mV(ピーク・ツー・ピーク)です。リップルのキャンセル効果が最も顕著なのは、両方のレギュレータの出力電流がほぼ等しく、ディーティ・サイクルが互いに補完関係にある場合です。

ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといいます）及びTexas Instruments Incorporated（TIJの親会社、以下TIJおよびTexas Instruments Incorporatedを総称してTIといいます）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかご確認下さい。全ての製品は、お客様とTIとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIの標準契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定されうる危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合せ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、且つその情報と結び付られた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不公正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、且つ不公正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

なお、日本テキサス・インスツルメンツ株式会社半導体集積回路製品販売用標準契約約款もご覧下さい。
http://www.tij.co.jp/jsc/docs/stdterms.htm

Copyright © 2005, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。
弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. **静電気**
   - **素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。**
   - **弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。**
   - **マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。**
   - **前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。**
2. **温・湿度環境**
   - **温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）**
   - **直射日光があたる状態で保管・輸送しないこと。**
3. **防湿梱包**
   - **防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。**
4. **機械的衝撃**
   - **梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。**
5. **熱衝撃**
   - **はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）**
6. **汚染**
   - **はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。**
   - **はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）**

以上

2001.11