

TMS320C645x DSP

エンハンスド DMA (EDMA3) コントローラ

ユーザーズ・ガイド

TMS320C645x DSP

エンハンスド DMA (EDMA3) コントローラ

ユーザーズ・ガイド

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本 TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本 TI による和文資料は、あくまでも TI 正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。

TI および日本 TI は、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



ご注意

日本テキサス・インスツルメンツ株式会社（以下TIJといたします）及びTexas Instruments Incorporated（TIJの親会社、以下TIJないしTexas Instruments Incorporatedを総称してTIといたします）は、その製品及びサービスを任意に修正し、改善、改良、その他の変更をし、もしくは製品の製造中止またはサービスの提供を中止する権利を留保します。従いまして、お客様は、発注される前に、関連する最新の情報を取得して頂き、その情報が現在有効かつ完全なものであるかどうかをご確認下さい。全ての製品は、お客様とTIJとの間に取引契約が締結されている場合は、当該契約条件に基づき、また当該取引契約が締結されていない場合は、ご注文の受諾の際に提示されるTIJの標準販売契約約款に従って販売されます。

TIは、そのハードウェア製品が、TIの標準保証条件に従い販売時の仕様に対応した性能を有していること、またはお客様とTIJとの間で合意された保証条件に従い合意された仕様に対応した性能を有していることを保証します。検査およびその他の品質管理技法は、TIが当該保証を支援するのに必要とみなす範囲で行なわれております。各デバイスの全てのパラメーターに関する固有の検査は、政府がそれ等の実行を義務づけている場合を除き、必ずしも行なわれておりません。

TIは、製品のアプリケーションに関する支援もしくはお客様の製品の設計について責任を負うことはありません。TI製部品を使用しているお客様の製品及びそのアプリケーションについての責任はお客様にあります。TI製部品を使用したお客様の製品及びアプリケーションについて想定される危険を最小のものとするため、適切な設計上および操作上の安全対策は、必ずお客様にてお取り下さい。

TIは、TIの製品もしくはサービスが使用されている組み合わせ、機械装置、もしくは方法に関連しているTIの特許権、著作権、回路配置利用権、その他のTIの知的財産権に基づいて何らかのライセンスを許諾するということは明示的にも黙示的にも保証も表明もしておりません。TIが第三者の製品もしくはサービスについて情報を提供することは、TIが当該製品もしくはサービスを使用することについてライセンスを与えるとか、保証もしくは是認するということを意味しません。そのような情報を使用するには第三者の特許その他の知的財産権に基づき当該第三者からライセンスを得なければならない場合もあり、またTIの特許その他の知的財産権に基づきTIからライセンスを得て頂かなければならない場合もあります。

TIのデータ・ブックもしくはデータ・シートの中にある情報を複製することは、その情報に一切の変更を加えること無く、かつその情報と結び付けられた全ての保証、条件、制限及び通知と共に複製がなされる限りにおいて許されるものとします。当該情報に変更を加えて複製することは不正で誤認を生じさせる行為です。TIは、そのような変更された情報や複製については何の義務も責任も負いません。

TIの製品もしくはサービスについてTIにより示された数値、特性、条件その他のパラメーターと異なる、あるいは、それを超えてなされた説明で当該TI製品もしくはサービスを再販売することは、当該TI製品もしくはサービスに対する全ての明示的保証、及び何らかの黙示的保証を無効にし、かつ不正で誤認を生じさせる行為です。TIは、そのような説明については何の義務も責任もありません。

TIは、TIの製品が、安全でないことが致命的となる用途ないしアプリケーション（例えば、生命維持装置のように、TI製品に不良があった場合に、その不良により相当な確率で死傷等の重篤な事故が発生するようなもの）に使用されることを認めておりません。但し、お客様とTIの双方の権限有る役員が書面でそのような使用について明確に合意した場合は除きます。たとえTIがアプリケーションに関連した情報やサポートを提供したとしても、お客様は、そのようなアプリケーションの安全面及び規制面から見た諸問題を解決するために必要とされる専門的知識及び技術を持ち、かつ、お客様の製品について、またTI製品をそのような安全でないことが致命的となる用途に使用することについて、お客様が全ての法的責任、規制を遵守する責任、及び安全に関する要求事項を満足させる責任を負っていることを認め、かつそのことに同意します。さらに、もし万一、TIの製品がそのような安全でないことが致命的となる用途に使用されたことによって損害が発生し、TIないしその代表者がその損害を賠償した場合は、お客様がTIないしその代表者にその全額の補償をするものとします。

TI製品は、軍事的用途もしくは宇宙航空アプリケーションないし軍事的環境、航空宇宙環境にて使用されるようには設計もされていませんし、使用されることを意図されておられません。但し、当該TI製品が、軍需対応グレード品、若しくは「強化プラスチック」製品としてTIが特別に指定した製品である場合は除きます。TIが軍需対応グレード品として指定した製品のみが軍需品の仕様書に合致いたします。お客様は、TIが軍需対応グレード品として指定していない製品を、軍事的用途もしくは軍事的環境下で使用することは、もっぱらお客様の危険負担においてなされるということ、及び、お客様がもっぱら責任をもって、そのような使用に関して必要とされる全ての法的要求事項及び規制上の要求事項を満足させなければならないことを認め、かつ同意します。

TI製品は、自動車用アプリケーションないし自動車の環境において使用されるようには設計されていませんし、また使用されることを意図されておられません。但し、TIがISO/TS 16949の要求事項を満たしていると特別に指定したTI製品は除きます。お客様は、お客様が当該TI指定品以外のTI製品を自動車用アプリケーションに使用しても、TIは当該要求事項を満たしていなかったことについて、いかなる責任も負わないことを認め、かつ同意します。

Copyright © 2007, Texas Instruments Incorporated
日本語版 日本テキサス・インスツルメンツ株式会社

弊社半導体製品の取り扱い・保管について

半導体製品は、取り扱い、保管・輸送環境、基板実装条件によっては、お客様での実装前後に破壊/劣化、または故障を起こすことがあります。

弊社半導体製品のお取り扱い、ご使用にあたっては下記の点を遵守して下さい。

1. 静電気

- 素手で半導体製品単体を触らないこと。どうしても触る必要がある場合は、リストストラップ等で人体からアースをとり、導電性手袋等をして取り扱うこと。
- 弊社出荷梱包単位（外装から取り出された内装及び個装）又は製品単品で取り扱いを行う場合は、接地された導電性のテーブル上で（導電性マットにアースをとったもの等）、アースをした作業者が行うこと。また、コンテナ等も、導電性のものを使うこと。
- マウンタやはんだ付け設備等、半導体の実装に関わる全ての装置類は、静電気の帯電を防止する措置を施すこと。
- 前記のリストストラップ・導電性手袋・テーブル表面及び実装装置類の接地等の静電気帯電防止措置は、常に管理されその機能が確認されていること。

2. 温・湿度環境

- 温度：0～40℃、相対湿度：40～85%で保管・輸送及び取り扱いを行うこと。（但し、結露しないこと。）

- 直射日光があたる状態で保管・輸送しないこと。
3. 防湿梱包
 - 防湿梱包品は、開封後は個別推奨保管環境及び期間に従い基板実装すること。
 4. 機械的衝撃
 - 梱包品（外装、内装、個装）及び製品単品を落下させたり、衝撃を与えないこと。
 5. 熱衝撃
 - はんだ付け時は、最低限260℃以上の高温状態に、10秒以上さらさないこと。（個別推奨条件がある時はそれに従うこと。）
 6. 汚染
 - はんだ付け性を損なう、又はアルミ配線腐食の原因となるような汚染物質（硫黄、塩素等ハロゲン）のある環境で保管・輸送しないこと。
 - はんだ付け後は十分にフラックスの洗浄を行うこと。（不純物含有率が一定以下に保証された無洗浄タイプのフラックスは除く。）

以上

目次

最初にお読みください.....	13
1 はじめに	15
1.1 概要.....	16
1.2 機能.....	16
1.3 本書で使用されている用語.....	17
2 EDMA3 アーキテクチャ	21
2.1 機能の概要.....	22
2.1.1 EDMA3 コントローラのブロック図.....	22
2.1.2 EDMA3 チャンネル・コントローラ (EDMA3CC).....	22
2.1.3 EDMA3 転送コントローラ (EDMA3TC).....	25
2.2 EDMA3 転送タイプ.....	26
2.2.1 A 同期転送.....	27
2.2.2 AB 同期転送.....	28
2.3 パラメータ RAM (PaRAM).....	29
2.3.1 PaRAM.....	30
2.3.2 EDMA3 チャンネル PaRAM セット・エントリ・フィールド.....	32
2.3.3 ヌル PaRAM セット.....	36
2.3.4 ダミー PaRAM セット.....	36
2.3.5 ダミー転送とヌル転送の比較.....	36
2.3.6 パラメータ・セットの更新.....	36
2.3.7 転送のリンク.....	38
2.3.8 固定モード転送 / アライメントの問題.....	38
2.3.9 エレメント・サイズ.....	38
2.4 DMA 転送の開始.....	40
2.4.1 DMA チャンネル.....	40
2.4.2 QDMA チャンネル.....	43
2.4.3 DMA チャンネルと QDMA チャンネルの比較.....	43
2.5 DMA 転送の完了.....	44
2.5.1 通常完了.....	45
2.5.2 早期完了.....	45
2.5.3 ダミーまたはヌル完了.....	45
2.6 イベント、チャンネル、および PaRAM のマッピング.....	45
2.6.1 DMA チャンネルの PaRAM へのマッピング.....	45
2.6.2 QDMA チャンネルの PaRAM へのマッピング.....	46
2.7 EDMA3 チャンネル・コントローラ領域.....	47
2.7.1 領域の概要.....	47
2.7.2 チャンネル・コントローラ領域.....	49
2.7.3 領域割り込み.....	49
2.8 EDMA3 チャンネルのチェーン.....	50
2.9 EDMA3 割り込み.....	51
2.9.1 転送完了割り込み.....	51
2.9.2 EDMA3 割り込みの処理.....	54
2.9.3 割り込み評価操作.....	55
2.9.4 エラー割り込み.....	56

2.10	メモリ保護.....	57
2.10.1	アクティブ・メモリ保護.....	57
2.10.2	プロキシ・メモリ保護.....	58
2.11	イベント・キュー.....	60
2.11.1	DMA/QDMA チャンネルからイベント・キューへのマッピング.....	60
2.11.2	キュー RAM デバッグの可視性.....	60
2.11.3	キュー・リソース追跡.....	61
2.11.4	パフォーマンスに関する考慮事項.....	61
2.12	EDMA3 転送コントローラ (EDMA3TC).....	61
2.12.1	アーキテクチャの詳細.....	61
2.12.2	メモリ保護.....	63
2.12.3	エラー生成.....	63
2.12.4	デバッグ機能.....	64
2.12.5	EDMA3TC 設定.....	64
2.13	イベント・データフロー.....	65
2.14	EDMA3 によるプライオリティの設定.....	65
2.14.1	チャンネル・プライオリティ.....	65
2.14.2	トリガ・ソース・プライオリティ.....	66
2.14.3	デキュー・プライオリティ.....	66
2.14.4	転送コントローラのプライオリティ.....	67
2.15	リセット時の考慮事項.....	67
2.16	エミュレーション時の考慮事項.....	67
3	EDMA3 転送例.....	69
3.1	ブロック移動例.....	70
3.2	サブフレームの抽出例.....	72
3.3	データ・ソート例.....	74
3.4	ペリフェラル処理例.....	76
3.4.1	非バースト・ペリフェラル.....	76
3.4.2	バースト・ペリフェラル.....	78
3.4.3	継続動作.....	80
3.4.4	ピンポン・バッファ.....	83
3.4.5	転送チェーン例.....	87
4	レジスタ.....	91
4.1	レジスタ・メモリ・マップ.....	91
4.2	EDMA3 チャンネル・コントローラ・コントロール・レジスタ.....	91
4.2.1	グローバル・レジスタ.....	95
4.2.2	エラー・レジスタ.....	101
4.2.3	リージョン・アクセス・イネーブル・レジスタ.....	109
4.2.4	ステータス / デバッグ・ビジビリティ・レジスタ.....	111
4.2.5	メモリ保護アドレス空間.....	115
4.2.6	DMA チャンネル・レジスタ.....	119
4.2.7	インタラプト・レジスタ.....	130
4.2.8	QDMA レジスタ.....	136
4.3	EDMA3 転送コントローラ・コントロール・レジスタ.....	142
4.3.1	ペリフェラル・アイデンティフィケーション・レジスタ (PID).....	143
4.3.2	EDMA3TC コンフィギュレーション・レジスタ (TCCFG).....	144
4.3.3	EDMA3TC チャンネル・ステータス・レジスタ (TCSTAT).....	145
4.3.4	エラー・レジスタ.....	147
4.3.5	リード・レート・レジスタ (RDRATE).....	152

4.3.6	EDMA3TC チャンネル・レジスタ	153
A	ヒント	167
A.1	デバッグ・チェックリスト	167
A.2	その他のプログラミング / デバッグ上のヒント	168
B	転送のセットアップ	169
C	改訂履歴	171

図一覧

図 2-1	EDMA3 コントローラのブロック図	22
図 2-2	EDMA3 チャンネル・コントローラ (EDMA3CC) のブロック図	23
図 2-3	EDMA3 転送コントローラ (EDMA3TC) のブロック図	25
図 2-4	ACNT、BCNT、および CCNT の定義	27
図 2-5	A 同期転送 (ACNT = n、BCNT = 4、CCNT = 3)	27
図 2-6	AB 同期転送 (ACNT = n、BCNT = 4、CCNT = 3)	28
図 2-7	PaRAM セット	30
図 2-8	チャンネル・オプション・パラメータ (OPT)	32
図 2-9	リンク転送	39
図 2-10	DMA チャンネルと QDMA チャンネルの PaRAM へのマッピング	46
図 2-11	シャドウ・リージョン・レジスタ	48
図 2-12	割り込み図	53
図 2-13	エラー割り込み動作	56
図 2-14	EESR へのユーザ・ライト・アクセス - MPPA によるユーザ・ライト・アクセスの許可	58
図 2-15	プロキシ・メモリ保護の PaRAM セット内容の例	59
図 2-16	プロキシ・メモリ保護の例	59
図 2-17	EDMA3 によるプライオリティの設定	66
図 3-1	ブロック移動例	70
図 3-2	PaRAM 設定のブロック移動例	71
図 3-3	サブフレームの抽出例	72
図 3-4	PaRAM 設定のサブフレーム抽出例	73
図 3-5	データソート例	74
図 3-6	PaRAM 設定のデータ・ソート例	75
図 3-7	受信 McBSP データ処理例	76
図 3-8	PaRAM 設定の受信 McBSP データ処理例	77
図 3-9	ペリフェラル・バースト処理例	78
図 3-10	PaRAM 設定のペリフェラル・バースト処理例	79
図 3-11	継続 McBSP データ処理例	80
図 3-12	PaRAM 設定の継続 McBSP データ処理例	81
図 3-13	リロード PaRAM 設定の継続 McBSP データ処理例	82
図 3-14	McBSP データのピンポン・バッファ例	83
図 3-15	PaRAM 設定の McBSP データのピンポン・バッファ例	84
図 3-16	ボン PaRAM 設定の McBSP データのピンポン・バッファ例	85
図 3-17	ピン PaRAM 設定の McBSP データのピンポン・バッファ例	86
図 3-18	チェーン転送中間完了例	88
図 3-19	単一の大規模ブロック転送例	88
図 3-20	より小さなパケット・データ転送例	89
図 4-1	ペリフェラル・アイデンティフィケーション・レジスタ (PID)	95
図 4-2	EDMA3CC コンフィギュレーション・レジスタ (CCCFG)	96
図 4-3	DMA チャンネル・マップ n レジスタ (DCHMAP n)	97
図 4-4	QDMA チャンネル・マップ n レジスタ (QCHMAP n)	98
図 4-5	DMA チャンネル・キュー n ナンバー・レジスタ (DMAQNUM n)	99
図 4-6	QDMA チャンネル・キュー・ナンバー・レジスタ (QDMAQNUM)	100
図 4-7	キュー・プライオリティ・レジスタ (QUEPRI)	101
図 4-8	イベント・ミスド・レジスタ (EMR)	102
図 4-9	イベント・ミスド・ハイ・レジスタ (EMRH)	102
図 4-10	イベント・ミスド・クリア・レジスタ (EMCR)	103
図 4-11	イベント・ミスド・クリア・ハイ・レジスタ (EMCRH)	103
図 4-12	QDMA イベント・ミスド・レジスタ (QEMR)	104
図 4-13	QDMA イベント・ミスド・クリア・レジスタ (QEMCR)	105
図 4-14	EDMA3CC エラー・レジスタ (CCERR)	106
図 4-15	EDMA3CC エラー・クリア・レジスタ (CCERRCLR)	107

☒ 4-16	エラー・エバリュエーション・レジスタ (EEVAL).....	108
☒ 4-17	DMA リージョン・アクセス・イネーブル・リージョン <i>m</i> レジスタ (DRAEm).....	109
☒ 4-18	DMA リージョン・アクセス・イネーブル・リージョン <i>m</i> ハイ・レジスタ (DRAEHm).....	109
☒ 4-19	QDMA リージョン・アクセス・イネーブル・リージョン <i>m</i> レジスタ (QRAEm).....	110
☒ 4-20	イベント・キュー・エントリ・レジスタ (QxEy).....	111
☒ 4-21	キュー・ステータス・レジスタ <i>n</i> (QSTATn).....	112
☒ 4-22	キュー・ウォーターマーク・スレッショールド A レジスタ (QWMTHRA).....	113
☒ 4-23	EDMA3CC ステータス・レジスタ (CCSTAT).....	114
☒ 4-24	メモリ・プロテクション・フォールト・アドレス・レジスタ (MPFAR).....	115
☒ 4-25	メモリ・プロテクション・フォールト・ステータス・レジスタ (MPFSR).....	116
☒ 4-26	メモリ・プロテクション・フォールト・コマンド・レジスタ (MPFCR).....	117
☒ 4-27	メモリ・プロテクション・ページ・アトリビュート・レジスタ (MPPAn).....	118
☒ 4-28	イベント・レジスタ (ER).....	120
☒ 4-29	イベント・ハイ・レジスタ (ERH).....	120
☒ 4-30	イベント・クリア・レジスタ (ECR).....	121
☒ 4-31	イベント・クリア・ハイ・レジスタ (ECRH).....	121
☒ 4-32	イベント・セット・レジスタ (ESR).....	122
☒ 4-33	イベント・セット・ハイ・レジスタ (ESRH).....	123
☒ 4-34	チェーン・イベント・レジスタ (CER).....	124
☒ 4-35	チェーン・イベント・ハイ・レジスタ (CERH).....	124
☒ 4-36	イベント・イネーブル・レジスタ (EER).....	125
☒ 4-37	イベント・イネーブル・ハイ・レジスタ (EERH).....	125
☒ 4-38	イベント・イネーブル・クリア・レジスタ (EECR).....	126
☒ 4-39	イベント・イネーブル・クリア・ハイ・レジスタ (EECRH).....	126
☒ 4-40	イベント・イネーブル・セット・レジスタ (EESR).....	127
☒ 4-41	イベント・イネーブル・セット・ハイ・レジスタ (EESRH).....	127
☒ 4-42	セカンダリ・イベント・レジスタ (SER).....	128
☒ 4-43	セカンダリ・イベント・ハイ・レジスタ (SERH).....	128
☒ 4-44	セカンダリ・イベント・クリア・レジスタ (SECR).....	129
☒ 4-45	セカンダリ・イベント・クリア・ハイ・レジスタ (SECRH).....	129
☒ 4-46	インタラプト・イネーブル・レジスタ (IER).....	130
☒ 4-47	インタラプト・イネーブル・ハイ・レジスタ (IERH).....	130
☒ 4-48	インタラプト・イネーブル・クリア・レジスタ (IECR).....	131
☒ 4-49	インタラプト・イネーブル・クリア・ハイ・レジスタ (IECRH).....	131
☒ 4-50	インタラプト・イネーブル・セット・レジスタ (IESR).....	132
☒ 4-51	インタラプト・イネーブル・セット・ハイ・レジスタ (IESRH).....	132
☒ 4-52	インタラプト・ペンディング・レジスタ (IPR).....	133
☒ 4-53	インタラプト・ペンディング・ハイ・レジスタ (IPRH).....	133
☒ 4-54	インタラプト・クリア・レジスタ (ICR).....	134
☒ 4-55	インタラプト・クリア・ハイ・レジスタ (ICRH).....	134
☒ 4-56	インタラプト・エバリュエイト・レジスタ (IEVAL).....	135
☒ 4-57	QDMA イベント・レジスタ (QER).....	136
☒ 4-58	QDMA イベント・イネーブル・レジスタ (QEER).....	137
☒ 4-59	QDMA イベント・イネーブル・クリア・レジスタ (QEECR).....	138
☒ 4-60	QDMA イベント・イネーブル・セット・レジスタ (QEESR).....	139
☒ 4-61	QDMA セカンダリ・イベント・レジスタ (QSER).....	140
☒ 4-62	QDMA セカンダリ・イベント・クリア・レジスタ (QSECR).....	141
☒ 4-63	ペリフェラル・アイデンティフィケーション・レジスタ (PID).....	143
☒ 4-64	EDMA3TC コンフィギュレーション・レジスタ (TCCFG).....	144
☒ 4-65	EDMA3TC チャンネル・ステータス・レジスタ (TCSTAT).....	145
☒ 4-66	エラー・レジスタ (ERRSTAT).....	147
☒ 4-67	エラー・イネーブル・レジスタ (ERREN).....	148
☒ 4-68	エラー・クリア・レジスタ (ERRCLR).....	149
☒ 4-69	エラー・ディテール・レジスタ (ERRDET).....	150

☒ 4-70	エラー・インタラプト・コマンド・レジスタ (ERRCMD).....	151
☒ 4-71	リード・レート・レジスタ (RDRATE).....	152
☒ 4-72	ソース・アクティブ・オプション・レジスタ (SAOPT).....	153
☒ 4-73	ソース・アクティブ・ソース・アドレス・レジスタ (SASRC).....	155
☒ 4-74	ソース・アクティブ・カウント・レジスタ (SACNT).....	155
☒ 4-75	ソース・アクティブ・デスティネーション・アドレス・レジスタ (SADST).....	156
☒ 4-76	ソース・アクティブ・ソース B ディメンジョン・インデックス・レジスタ (SABIDX).....	156
☒ 4-77	ソース・アクティブ・メモリ・プロテクション・プロキシ・レジスタ (SAMPPRXY).....	157
☒ 4-78	ソース・アクティブ・カウント・リロード・レジスタ (SACNTRLD).....	158
☒ 4-79	ソース・アクティブ・ソース・アドレス B リファレンス・レジスタ (SASRCBREF).....	158
☒ 4-80	ソース・アクティブ・デスティネーション・アドレス B リファレンス・レジスタ (SADSTBREF).....	159
☒ 4-81	デスティネーション FIFO オプション・レジスタ (DFOPT _n).....	159
☒ 4-82	デスティネーション FIFO ソース・アドレス・レジスタ (DFSRC _n).....	161
☒ 4-83	デスティネーション FIFO カウント・レジスタ (DFCNT _n).....	162
☒ 4-84	デスティネーション FIFO デスティネーション・アドレス・レジスタ (DFDST _n).....	163
☒ 4-85	デスティネーション FIFO B インデックス・レジスタ (DFBIDX _n).....	163
☒ 4-86	デスティネーション FIFO メモリ・プロテクション・プロキシ・レジスタ (DFMPPRXY _n).....	164
☒ 4-87	デスティネーション FIFO カウント・リロード・レジスタ (DFCNTRLD _n).....	165
☒ 4-88	デスティネーション FIFO ソース・アドレス B リファレンス・レジスタ (DFSRCBREF _n).....	166
☒ 4-89	デスティネーション FIFO デスティネーション・アドレス B リファレンス・レジスタ (DFDSTBREF _n).....	166

表一覧

表 2-1	EDMA3 パラメータ RAM の内容	29
表 2-2	EDMA3 チャンネル・パラメータの説明	30
表 2-3	チャンネル・オプション・パラメータ (OPT) フィールドの説明	32
表 2-4	ダミー転送とヌル転送のリクエスト	36
表 2-5	EDMA3CC でのパラメータ更新 (非ヌル、非ダミー PaRAM セットの場合)	37
表 2-6	EDMA3 チャンネル同期イベント	40
表 2-7	非ヌル転送の想定される転送数	44
表 2-8	シャドウ・リージョン・レジスタ	48
表 2-9	チェーン・イベント・トリガ	50
表 2-10	EDMA3 転送完了割り込み	51
表 2-11	EDMA3 エラー割り込み	51
表 2-12	割り込みの数	52
表 2-13	許可されるアクセス	57
表 2-14	MPPA レジスタの領域への割り当て	57
表 2-15	リード/ライト・コマンドの最適化ルール	62
表 2-16	EDMA3 転送コントローラの設定内容	64
表 4-1	EDMACC レジスタ	91
表 4-2	ペリフェラル・アイデンティフィケーション・レジスタ (PID) フィールドの説明	95
表 4-3	EDMA3CC コンフィギュレーション・レジスタ (CCCFG) フィールドの説明	96
表 4-4	DMA チャンネル・マップ n レジスタ (DCHMAP n) フィールドの説明	97
表 4-5	QDMA チャンネル・マップ n レジスタ (QCHMAP n) フィールドの説明	98
表 4-6	DMA チャンネル・キュー n ナンバー・レジスタ (DMAQNUM n) フィールドの説明	99
表 4-7	DMAQNUM n のビット	99
表 4-8	QDMA チャンネル・キュー・ナンバー・レジスタ (QDMAQNUM) フィールドの説明	100
表 4-9	キュー・プライオリティ・レジスタ (QUEPRI) フィールドの説明	101
表 4-10	イベント・ミスド・レジスタ (EMR) フィールドの説明	102
表 4-11	イベント・ミスド・ハイ・レジスタ (EMRH) フィールドの説明	102
表 4-12	イベント・ミスド・クリア・レジスタ (EMCR) フィールドの説明	103
表 4-13	イベント・ミスド・クリア・ハイ・レジスタ (EMCRH) フィールドの説明	103
表 4-14	QDMA イベント・ミスド・レジスタ (QEMR) フィールドの説明	104
表 4-15	QDMA イベント・ミスド・クリア・レジスタ (QEMCR) フィールドの説明	105
表 4-16	EDMA3CC エラー・レジスタ (CCERR) フィールドの説明	106
表 4-17	EDMA3CC エラー・クリア・レジスタ (CCERRCLR) フィールドの説明	107
表 4-18	エラー・エバリュエーション・レジスタ (EEVAL) フィールドの説明	108
表 4-19	DMA リージョン・アクセス・イネーブル・リージョン m レジスタ (DRAEm/DRAEH m) フィールドの説明	109
表 4-20	QDMA リージョン・アクセス・イネーブル・リージョン m レジスタ (QRAEm) フィールドの説明	110
表 4-21	イベント・キュー・エントリ・レジスタ (QxExy) フィールドの説明	111
表 4-22	キュー・ステータス・レジスタ n (QSTAT n) フィールドの説明	112
表 4-23	キュー・ウォーターマーク・スレッシュホールド A レジスタ (QWMTHRA) フィールドの説明	113
表 4-24	EDMA3CC ステータス・レジスタ (CCSTAT) フィールドの説明	114
表 4-25	メモリ・プロテクション・フォールト・アドレス・レジスタ (MPFAR) フィールドの説明	115
表 4-26	メモリ・プロテクション・フォールト・ステータス・レジスタ (MPFSR) フィールドの説明	116
表 4-27	メモリ・プロテクション・フォールト・コマンド・レジスタ (MPFCR) フィールドの説明	117
表 4-28	メモリ・プロテクション・ページ・アトリビュート・レジスタ (MPPAn) フィールドの説明	118
表 4-29	イベント・レジスタ (ER) フィールドの説明	120
表 4-30	イベント・ハイ・レジスタ (ERH) フィールドの説明	120
表 4-31	イベント・クリア・レジスタ (ECR) フィールドの説明	121
表 4-32	イベント・クリア・ハイ・レジスタ (ECRH) フィールドの説明	121
表 4-33	イベント・セット・レジスタ (ESR) フィールドの説明	122
表 4-34	イベント・セット・ハイ・レジスタ (ESRH) フィールドの説明	123
表 4-35	チェーン・イベント・レジスタ (CER) フィールドの説明	124

表 4-36	チェーン・イベント・ハイ・レジスタ (CERH) フィールドの説明	124
表 4-37	イベント・イネーブル・レジスタ (EER) フィールドの説明	125
表 4-38	イベント・イネーブル・ハイ・レジスタ (EERH) フィールドの説明	125
表 4-39	イベント・イネーブル・クリア・レジスタ (EECR) フィールドの説明	126
表 4-40	イベント・イネーブル・クリア・ハイ・レジスタ (EMCRH) フィールドの説明	126
表 4-41	イベント・イネーブル・セット・レジスタ (EESR) フィールドの説明	127
表 4-42	イベント・イネーブル・セット・ハイ・レジスタ (EESRH) フィールドの説明	127
表 4-43	セカンダリ・イベント・レジスタ (SER) フィールドの説明	128
表 4-44	セカンダリ・イベント・ハイ・レジスタ (SERH) フィールドの説明	128
表 4-45	セカンダリ・イベント・クリア・レジスタ (SECR) フィールドの説明	129
表 4-46	セカンダリ・イベント・クリア・ハイ・レジスタ (SECRH) フィールドの説明	129
表 4-47	インタラプト・イネーブル・レジスタ (IER) フィールドの説明	130
表 4-48	インタラプトト・イネーブル・ハイ・レジスタ (IERH) フィールドの説明	130
表 4-49	インタラプト・イネーブル・クリア・レジスタ (IECR) フィールドの説明	131
表 4-50	インタラプト・イネーブル・クリア・ハイ・レジスタ (IECRH) フィールドの説明	131
表 4-51	インタラプト・イネーブル・セット・レジスタ (IESR) フィールドの説明	132
表 4-52	インタラプト・イネーブル・セット・ハイ・レジスタ (IESRH) フィールドの説明	132
表 4-53	インタラプト・ペンディング・レジスタ (IPR) フィールドの説明	133
表 4-54	インタラプトト・ペンディング・ハイ・レジスタ (IPRH) フィールドの説明	133
表 4-55	インタラプト・クリア・レジスタ (ICR) フィールドの説明	134
表 4-56	インタラプトト・クリア・ハイ・レジスタ (ICRH) フィールドの説明	134
表 4-57	インタラプト・エバリュエイト・レジスタ (IEVAL) フィールドの説明	135
表 4-58	QDMA イベント・レジスタ (QER) フィールドの説明	136
表 4-59	QDMA イベント・イネーブル・レジスタ (QEER) フィールドの説明	137
表 4-60	QDMA イベント・イネーブル・クリア・レジスタ (QEECR) フィールドの説明	138
表 4-61	QDMA イベント・イネーブル・セット・レジスタ (QEESR) フィールドの説明	139
表 4-62	QDMA セカンダリ・イベント・レジスタ (QSER) フィールドの説明	140
表 4-63	QDMA セカンダリ・イベント・クリア・レジスタ (QSECR) フィールドの説明	141
表 4-64	EDMA3 転送コントローラ・コントロール・レジスタ	142
表 4-65	ペリフェラル・アイデンティフィケーション・レジスタ (PID) フィールドの説明	143
表 4-66	EDMA3TC コンフィギュレーション・レジスタ (TCCFG) フィールドの説明	144
表 4-67	EDMA3TC チャンネル・ステータス・レジスタ (TCSTAT) フィールドの説明	145
表 4-68	エラー・レジスタ (ERRSTAT) フィールドの説明	147
表 4-69	エラー・イネーブル・レジスタ (ERREN) フィールドの説明	148
表 4-70	エラー・クリア・レジスタ (ERRCLR) フィールドの説明	149
表 4-71	エラー・ディテール・レジスタ (ERRDET) フィールドの説明	150
表 4-72	エラー・インタラプト・コマンド・レジスタ (ERRCMD) フィールドの説明	151
表 4-73	リード・レート・レジスタ (RDRATE) フィールドの説明	152
表 4-74	ソース・アクティブ・オプション・レジスタ (SAOPT) フィールドの説明	153
表 4-75	ソース・アクティブ・ソース・アドレス・レジスタ (SASRC) フィールドの説明	155
表 4-76	ソース・アクティブ・カウント・レジスタ (SACNT) フィールドの説明	155
表 4-77	ソース・アクティブ・デスティネーション・アドレス・レジスタ (SADST) フィールドの説明	156
表 4-78	ソース・アクティブ・ソース B ディメンジョン・インデックス・レジスタ (SABIDX) フィールドの説明	156
表 4-79	ソース・アクティブ・メモリ・プロテクション・プロキシ・レジスタ (SAMPPRXY) フィールドの説明	157
表 4-80	ソース・アクティブ・カウント・リロード・レジスタ (SACNTRLD) フィールドの説明	158
表 4-81	ソース・アクティブ・ソース・アドレス B リファレンス・レジスタ (SASRCBREF) フィールドの説明	158
表 4-82	ソース・アクティブ・デスティネーション・アドレス B リファレンス・レジスタ (SADSTBREF) フィールドの説明	159
表 4-83	デスティネーション FIFO オプション・レジスタ (DFOPT _n) フィールドの説明	159
表 4-84	デスティネーション FIFO ソース・アドレス・レジスタ (DFSRC _n) フィールドの説明	161
表 4-85	デスティネーション FIFO カウント・レジスタ (DFCNT _n) フィールドの説明	162
表 4-86	デスティネーション FIFO デスティネーション・アドレス・レジスタ (DFDST _n) フィールドの説明	163
表 4-87	デスティネーション FIFO B インデックス・レジスタ (DFBIDX _n) フィールドの説明	163
表 4-88	デスティネーション FIFO メモリ・プロテクション・プロキシ・レジスタ (DFMPPRXY _n) フィールドの説明	164

表 4-89	デスティネーション FIFO カウント・リロード・レジスタ (DFCNTRLD n) フィールドの説明.....	165
表 4-90	デスティネーション FIFO ソース・アドレス B リファレンス・レジスタ (DFSRCBREF n) フィールドの説明.....	166
表 4-91	デスティネーション FIFO デスティネーション・アドレス B リファレンス・レジスタ (DFDSTBREF n) フィールドの説明.....	166
表 A-1	デバッグ・リスト.....	167
表 C-1	資料改訂履歴.....	171

最初にお読みください

本書について

本書では、エンハンスド DMA (EDMA) コントローラについて説明します。

『TMS320C645x DSP Enhanced DMA (EDMA3) Controller User's Guide』(資料番号 SPRU966A) を翻訳しています。

表記規則

本書では、次の表記規則を使用しています。

- 16 進数は末尾に h を付けて表されています。たとえば、16 進数の 40 (10 進数 64) は、40h と表されています。
- 本書では、レジスタは図で表され、表形式で説明されます。
 - レジスタの図は、複数のフィールドで構成される長方形で示されます。各フィールドには、ビット名が付けられています。フィールドの始まりと終わりを示すビットがその上に、またリード/ライト属性がその下に書かれています。凡例は、その属性を表すために使用される表記を示しています。
 - レジスタの図に示されている予約ビットは、将来的なデバイスの拡張を考慮しているビットを表しています。

Texas Instruments 社からの関連文献

C6000™ デバイスおよびそのサポート・ツールを解説した関連文献は、次のとおりです。関連文献は、www.ti.com から入手可能です。www.ti.com にアクセスして、検索ボックスに資料番号を入力してください。

TMS320C6000 CPU 及びインストラクション・セットリファレンス・ガイド (資料番号 [SPRU813](#)) では、TMS320C62x™ および TMS320C67x™ DSP の概要、開発ツール、およびサードパーティのサポートについて説明しています。

TMS320C6455 Technical Reference (資料番号 [SPRU965](#)) では、TMS320C6455™ DSP の概要について説明しています。また、TMS320C6455 により強化されるアプリケーション分野についても説明しています。

TMS320C6000 Programmer's Guide (資料番号 [SPRU198](#)) では、TMS320C6000™ DSP 用に C およびアセンブラ・コードを最適化する方法について説明しています。また、アプリケーション・プログラム例を記述しています。

TMS320C6000 Code Composer Studio Tutorial (資料番号 [SPRU301](#)) では、Code Composer Studio™ の統合開発環境とソフトウェア・ツールの概要について説明しています。

Code Composer Studio Application Programming Interface Reference Guide (資料番号 [SPRU321](#)) では、Code Composer Studio™ アプリケーション・プログラミング・インターフェイス (API) について説明しています。この API を使用して、Code Composer 用のカスタム・プラグインを開発することができます。

TMS320C64x+ Megamodule Reference Guide (資料番号 [SPRU871](#)) では、TMS320C64x+ デジタル・シグナル・プロセッサ (DSP) のメガモジュールについて説明しています。具体的には、内部ダイレクト・メモリ・アクセス (IDMA) コントローラ、割り込みコントローラ、パワーダウン・コントローラ、メモリ保護、帯域幅管理、およびメモリとキャッシュについて説明しています。

TMS320C645x DSP Peripherals Overview Reference Guide (資料番号 [SPRUE52](#)) では、TMS320C645x デジタル・シグナル・プロセッサ (DSP) で使用できるペリフェラルについて簡単に説明しています。

TMS320C6455 Chip Support Libraries (CSL) (資料番号 [SPRC234](#)) は、最新のチップ・サポート・ライブラリを含むダウンロード・ファイルです。

商標

商標

C6000、TMS320C62x、TMS320C67x、TMS320C6455、TMS320C6000、Code Composer Studio は、Texas Instruments の商標です。

はじめに

本書では、TMS320C645x デジタル・シグナル・プロセッサ (DSP) のエンハンスド・ダイレクト・メモリ・アクセス (EDMA3) コントローラの機能および動作について説明します。

EDMA3 は、さまざまな転送ジオメトリおよび転送シーケンスをプログラムできる高性能、マルチチャネル、マルチスレッド化された DMA コントローラです。

第 1 章では、EDMA3 の機能と用語についてその概要を説明します。第 2 章では、EDMA3 チャネル・コントローラ (EDMA3CC) および EDMA3 転送コントローラ (EDMA3TC) のアーキテクチャ詳細と一般的な動作についてその概要を説明します。第 3 章では、EDMA3 の例および一般的な使い方のシナリオを説明します。第 4 章では、EDMA3 コントローラに関連付けられているメモリマップド・レジスタについて説明します。

項目	ページ
1.1 概要.....	16
1.2 機能.....	16
1.3 本書で使用されている用語	17

1.1 概要

エンハンスド・ダイレクト・メモリ・アクセス (EDMA3) コントローラの主な目的は、デバイス上の 2 つのメモリマップド・スレーブ・エンドポイントとの間でユーザがプログラムしたデータ転送を行うことです。一般的な使い方が可能ですが、それのみではありません。

- ソフトウェア駆動ページング転送を処理 (SDRAM などの外部メモリから DSP L2 SRAM などの内部デバイス・メモリへ)
- シリアルポートまたは UTOPIA ペリフェラルなど、イベント駆動ペリフェラルの処理
- 各種データ構造のソートまたはサブフレームの展開
- メイン・デバイス CPU または DSP からのデータ転送の解放
- EDMA3 コントローラを介してアクセスできる固有のペリフェラルについては、各デバイスのデータシートを参照してください。

EDMA3 コントローラには、TMS320C621x/C671x DSP や TMS320C64x DSP 上に搭載されていた、以前の EDMA2 コントローラとは異なるアーキテクチャが備えられています (新しい機能および拡張機能の詳細は、『EDMA v3.0 (EDMA3) Migration Guide for TMS320C645x DSP』(資料番号 [SPRAAB9](#)) を参照)。

EDMA3 コントローラは、次の 2 つの主なブロックから構成されています。

- EDMA3 チャンネル・コントローラ (EDMA3CC)
- EDMA3 転送コントローラ (EDMA3TC)

EDMA3 チャンネル・コントローラは、EDMA3 コントローラのユーザ・インターフェイスとして処理します。EDMA3CC には、パラメータ RAM (PaRAM)、チャンネル・コントロール・レジスタ、およびインターラプト・コントロール・レジスタが含まれています。EDMA3CC は、送られてくるソフトウェア・リクエストまたはペリフェラルからのイベントに優先順位を付けて処理し、転送リクエスト (TR) を転送コントローラに発行します。

EDMA3 転送コントローラは、データ転送機能を備えた EDMA3 チャンネル・コントローラに対するスレーブです。転送コントローラは、リード/ライトを行うコマンドを、特定の転送用にプログラムされた転送元アドレスおよび転送先アドレスに発行します。この動作はユーザには意識されずに自動的に行われます。

1.2 機能

EDMA3 チャンネル・コントローラの機能は、次のとおりです。

- 完全に直交型の転送内容
 - 3 つの転送次元
 - A 同期転送：イベントごとに 1 つの次元が処理される
 - AB 同期転送：イベントごとに 2 つの次元が処理される
 - 転送元と転送先にある独立したインデックス
 - チェーン機能により、単一イベントに基づき 3D (3 次元) 転送が可能となる
- 柔軟な転送定義
 - インクリメントまたは FIFO 転送アドレッシング・モード
 - リンキング・メカニズムにより、PaRAM セットを自動的にアップデート可能
 - チェーン機能により、複数の転送が 1 回のイベントで実行可能
- 割り込み生成タイミング
 - 転送完了
 - エラー条件
- デバッグの可視性
 - キュー・ウォーターマーク / スレッシュホールド
 - デバッグを可能にするエラーおよびステータス記録

- 64 個の DMA チャンネル
 - イベント同期
 - 手動同期（イベント・セット・レジスタへの CPU ライト）
 - チェーン同期（次々と転送トリガが完了）
- 4 個の QDMA チャンネル
 - QDMA チャンネルは、PaRAM セット・エントリにライトすると自動的にトリガされる
 - PaRAM マッピングへのプログラム可能な QDMA チャンネルのサポート
- 256 個の PaRAM セット
 - それぞれの PaRAM セットは、DMA チャンネル、QDMA チャンネル、またはリンク・セットのために使われる
- 4 個の転送コントローラ / イベント・キュー。これらのキューのシステムレベルのプライオリティはユーザがプログラム可能（取り得るシステムのプライオリティについては、各デバイスのデータシートを参照）
- イベント・キューごとに 16 個のイベント・エントリ
- メモリ保護機能のサポート
 - TR 発行のための代理メモリ保護機能
 - PaRAM およびレジスタへアクセスするためのアクティブなメモリ保護機能

EDMA3 転送コントローラの機能は、次のとおりです。

- 4 個の転送コントローラ（TC）
- TC ごとに 128 ビット幅のリード / ライト・ポート
- 最大で 4 個のインフライト転送リクエスト（TR）
- プログラム可能なプライオリティ・レベル
- 転送元と転送先で独立したインデックスを使った 2 次元転送をサポート（EDMA3CC は 3 次元転送を管理）
- インクリメントまたは FIFO モード転送のサポート
- 割り込みとエラーのサポート
- リトルエンディアンまたはビッグエンディアン動作
- エンディアンネスと無関係に、MMR ビット・フィールドは、32 ビット MMR 内で固定

1.3 本書で使用されている用語

以下に、本書で使用している用語の一部について簡単に説明します。

用語	意味
A 同期転送	同期イベントごとに 1 つの次元を処理する転送タイプ。
AB 同期転送	同期イベントごとに 2 つの次元を処理する転送タイプ。
チェーン機能	別の転送またはサブ転送が完了した時点で転送を開始するトリガ・メカニズム。
CPU	デバイス上の重要なプロセッシング・エンジン。通常、DSP または汎用プロセッサ（システムに搭載されている CPU の詳細は、各デバイスのデータシートを参照）。
デバイス	TMS320C645x DSP。
DMA チャンネル	外部、手動、チェーンの各イベントによってトリガされる 64 個のチャンネルの 1 つ。すべての DMA チャンネルが、EDMA3CC に存在します。
ダミー・セットまたは ダミー PaRAM セット	カウント・フィールドの少なくとも 1 つがゼロと等しく、かつカウント・フィールドの少なくとも 1 つがゼロではない、PaRAM セット。ヌル PaRAM セットのカウント・フィールドはすべて消去されています。

用語	意味
ダミー転送	ダミー・セットは、ダミー転送を行う EDMA3CC で行われます。これはエラー条件ではありません。ヌル・セットは、エラー条件となります。
EDMA3 チャンネル・コントローラ (EDMA3CC)	EDMA3 中のユーザがプログラム可能な部分。EDMA3CC には、パラメータ RAM (PaRAM)、イベント処理ロジック、DMA/QDMA チャンネル、イベント・キューなどが含まれています。EDMA3CC はイベント (外部、手動、チェーン、QDMA) を処理し、転送リクエストを転送コントローラ (EDMA3TC) に発行する機能があります。実際の転送は、この転送コントローラが行います。
EDMA3 プログラム	EDMA3 レジスタヘリド/ライト・アクセスを行い、EDMA3 転送をプログラムできるチップ上のエンティティ。
EDMA3 転送コントローラ (EDMA3TC)	転送コントローラは、EDMA3 コントローラの転送エンジンです。このコントローラは、EDMA3CC が発行した転送リクエストで指定されたようにリード/ライトを行います。
エンハンスド・ダイレクト・メモリ・アクセス (EDMA3) コントローラ	EDMA3 チャンネル・コントローラ (EDMA3CC) および EDMA3 転送コントローラ (EDMA3TC) から構成されています。本書ではこれを EDMA3 と呼んでいます。
リンク・パラメータ・セット	リンクのために使われる PaRAM セット。
リンク	現在の転送完了時に、PaRAM セットを新しい転送設定としてリロードするメカニズム。
メモリマップド・スレーブ	すべてのオンチップ・メモリ、オフチップ・メモリ、およびスレーブ・ペリフェラル。通常、これらはお互いに転送を行うために EDMA3 (またはこれ以外のマスター・ペリフェラル) を利用しています。
マスター・ペリフェラル	リードやライトを開始できるすべてのペリフェラルは、システムにデータを転送するときに、その転送のために EDMA3 だけを利用するわけではありません。
ヌル・セットまたはヌル PaRAM セット	PaRAM セットのカウンタ・フィールドはすべてクリアされています (ただしリンク・フィールドを除く)。ダミー PaRAM セットには、ゼロではないカウンタ・フィールドが少なくとも 1 つ含まれています。
ヌル転送	ヌル PaRAM セットのトリガ・イベント。ヌル転送を行う EDMA3CC で行われます。これはエラー条件です。ダミー転送はエラーにはなりません。
パラメータ RAM (PaRAM)	DMA チャンネル、QDMA チャンネル、およびリンクで使われる PaRAM セットを格納するプログラム可能な RAM。
パラメータ RAM (PaRAM) セット	32 バイトの EDMA3 チャンネル転送の定義。それぞれのパラメータ・セットは、DMA/QDMA/リンク転送のためのコンテキストを格納する 8 ワード (4 バイトごと) で構成されています。PaRAM セットには、転送元アドレス、転送先アドレス、カウンタ、インデックス、オプションなどが組み込まれています。
パラメータ RAM (PaRAM) セット・エントリ	パラメータ・セットの 8 個の 4 バイト長コンポーネントの 1 つ。
QDMA チャンネル	PaRAM セットのトリガ・ワード (TRWORD) にライトしたときにトリガされる 4 チャンネルの 1 つ。すべての QDMA チャンネルが、EDMA3CC に存在します。
スレーブ・エンドポイント	すべてのオンチップ・メモリ、オフチップ・メモリ、およびスレーブ・ペリフェラル。これらはお互いに転送を行うために EDMA3 を利用することがあります。

用語	意味
転送リクエスト (TR)	EDMA3CC から EDMA3TC に発行されるデータ転送のためのコマンド。TR には、転送元アドレス、転送先アドレス、カウント、インデックス、オプションなどが組み込まれています。
トリガ・イベント	EDMA3CC にチャンネルを処理させ、転送リクエストを EDMA3TC に発行させる動作。DMA チャンネルのトリガ・イベントには、手動トリガ (CPU トリガ)、外部イベント・トリガ、およびチェーン・トリガが含まれます。QDMA チャンネルのトリガ・イベントには、自動トリガおよびリンク・トリガが含まれます。
トリガ・ワード	QDMA チャンネルの場合、トリガ・ワードはライトが行われた場合に QDMA トリガ・イベントとなる PaRAM セット・エントリを指定します。トリガ・ワードは、QDMA チャンネル・マップ・レジスタ (QCHMAP) を介してプログラムされ、任意の PaRAM セット・エントリを指定できます。
TR 同期イベント	トリガ・イベントを参照してください。

EDMA3 アーキテクチャ

本章では、EDMA3 コントローラのアーキテクチャについて説明します。

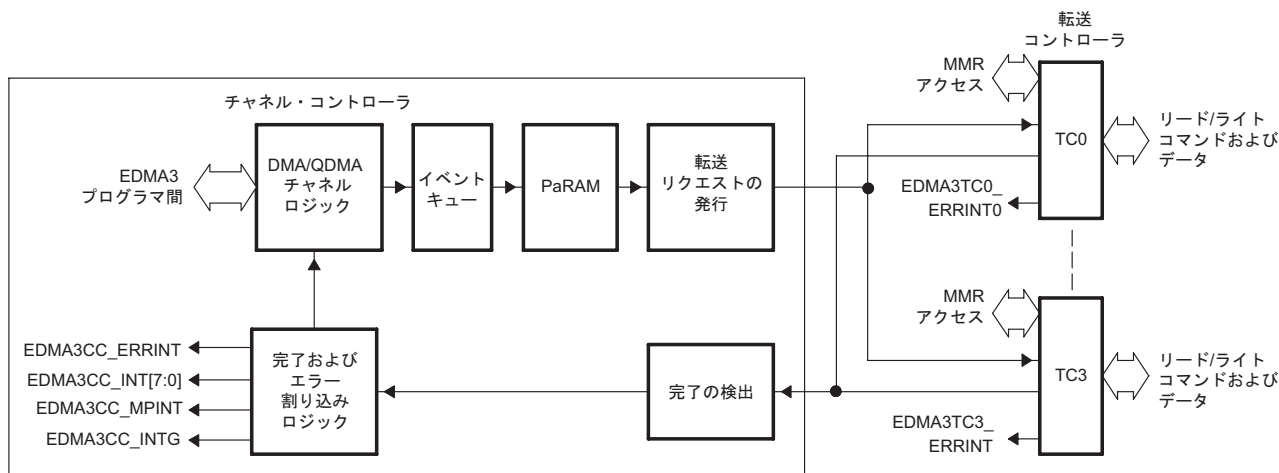
項目	ページ
2.1 機能の概要.....	22
2.2 EDMA3 転送タイプ	26
2.3 パラメータ RAM (PaRAM).....	29
2.4 DMA 転送の開始.....	40
2.5 DMA 転送の完了.....	44
2.6 イベント、チャンネル、および PaRAM のマッピング.....	45
2.7 EDMA3 チャンネル・コントローラ領域	47
2.8 EDMA3 チャンネルのチェーン	50
2.9 EDMA3 割り込み.....	51
2.10 メモリ保護.....	57
2.11 イベント・キュー	60
2.12 EDMA3 転送コントローラ (EDMA3TC).....	61
2.13 イベント・データフロー	65
2.14 EDMA3 によるプライオリティの設定	65
2.15 リセット時の考慮事項.....	67
2.16 エミュレーション時の考慮事項	67

2.1 機能の概要

2.1.1 EDMA3 コントローラのブロック図

図 2-1 に、EDMA3 コントローラのブロック図を示します。

図 2-1. EDMA3 コントローラのブロック図



2.1.2 EDMA3 チャンネル・コントローラ (EDMA3CC)

図 2-2 に、EDMA3 チャンネル・コントローラ (EDMA3CC) の機能ブロック図を示します。

EDMA3CC の主なブロックは次のとおりです。

- **パラメータ RAM (PaRAM) :** チャンネルおよびリロード・パラメータ・セット用のパラメータ・セットを保持します。PaRAM は、目的のチャンネル・パラメータ・セットとリンク・パラメータ・セットに対する転送コンテキストでライトされます。EDMA3CC は、トリガ・イベントに基づきセットを処理し、転送リクエスト (TR) を転送コントローラに発行します。
- **EDMA3 イベント・インタラプト・プロセッシング・レジスタ :** パラメータ・セット、イネーブル/ディスエーブル・イベント、イネーブル/ディスエーブル割り込み条件、およびクリア割り込みへのイベントのマッピングを可能にします。
- **完了の検出 :** 完了検出ブロックは、EDMA3TC とスレーブ・ペリフェラルの両方またはいずれかによる転送の完了を検出します。転送の完了は、オプションで新規転送のチェーン・トリガまたは割り込みのアサートのために使用できます。
- **イベント・キュー :** これらのキューは、イベント検出ロジックと転送リクエスト発行ロジック間のインターフェイスを形成します。
- **メモリ・プロテクション・レジスタ :** これらのレジスタは、DMA チャンネル・シャドウ領域ビューと PaRAM の領域にアクセスするためのアクセス権 (特権レベルとリクエスター) を定義します。

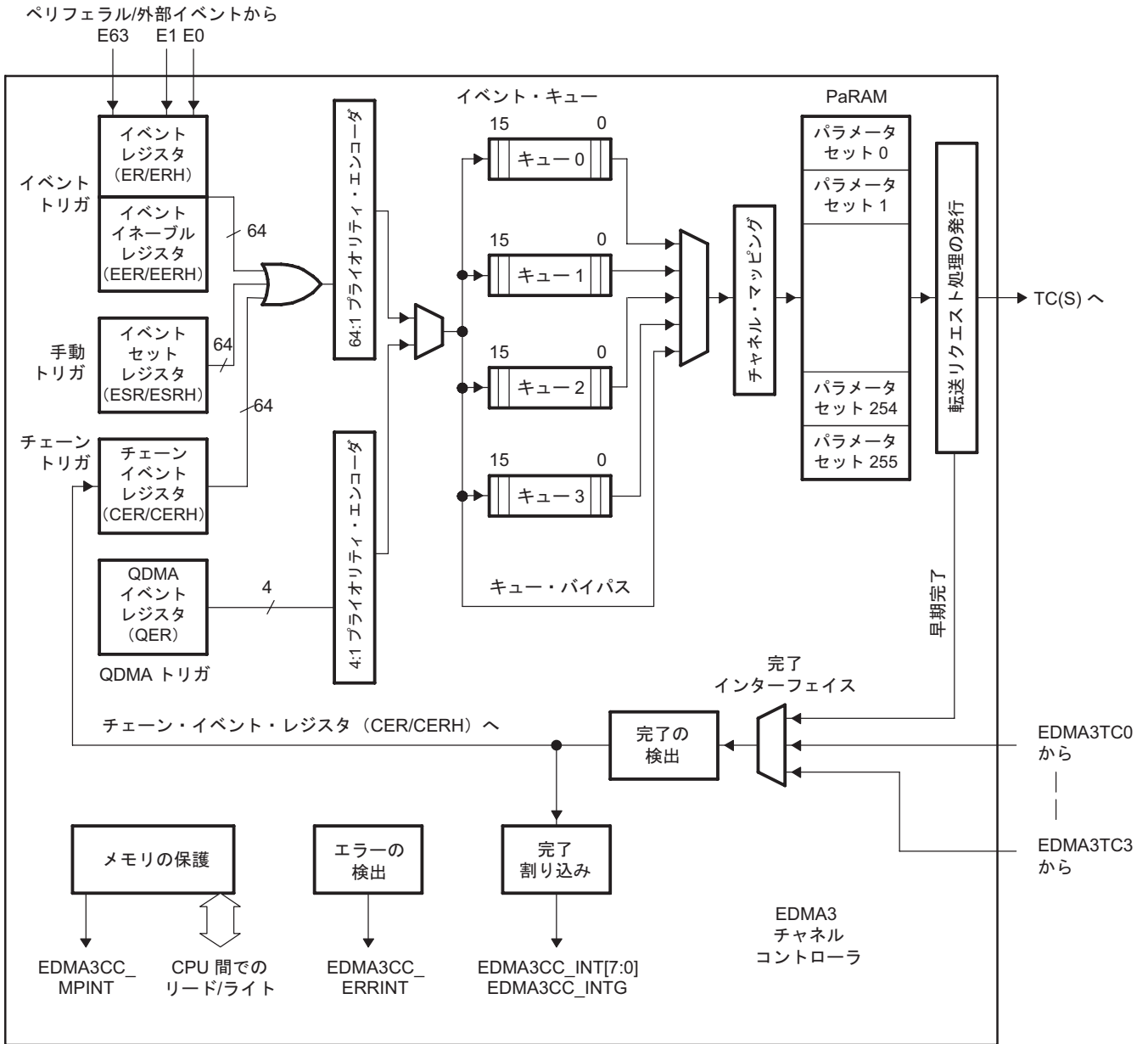
その他の機能は次のとおりです。

- **リージョン・レジスタ :** DMA リソース (DMA チャンネルと割り込み) が、異なる EDMA3 プログラム (ARM や DSP など) がもつ固有の領域に割り当てられます。
- **デバッグ・レジスタ :** キュー・ステータス、コントローラ・ステータス、およびミス・イベント・ステータスをリードするためにレジスタを供給することでデバッグの可視性を可能にします。

EDMA3CC には、DMA チャンネル (64 チャンネル) と QDMA チャンネル (4 チャンネル) の 2 つのチャンネル・タイプがあります。

それぞれのチャンネルは、指定のイベント・キュー / 転送コントローラと指定の PaRAM セットに関連付けられます。DMA チャンネルと QDMA チャンネルの主な違いは、システムが転送をトリガする方法です。2.4 節を参照してください。

図 2-2. EDMA3 チャンネル・コントローラ (EDMA3CC) のブロック図



トリガ・イベントにより転送を開始する必要があります。DMA チャンネルの場合、トリガ・イベントは外部イベント、イベント・セット・レジスタへの手動ライト、またはチェーン・イベントにより発生することがあります。QDMA チャンネルは、関連付けられた PaRAM セットのユーザがプログラムしたトリガ・ワードに対してライトが行われたときに自動的にトリガされます。このようなトリガ・イベントは、認識されると適切なレジスタに記録されます。4.2.1.3 項を参照してください。

トリガ・イベントが認識されると、そのイベント・タイプ / チャンネルが適切な EDMA3CC イベント・キューに積まれます。各 DMA/QDMA チャンネルのイベント・キューへの割り当てはプログラム可能です。各キューの項目数は 16 です。このため、一度に最大で 16 個のイベントが EDMA3CC のキュー（単一キュー）に積まれます。満杯のキューにマップされる追加のペンディング・イベントは、イベント・キューのスペースが使用可能になったときにキューに積まれます。2.11 節を参照してください。

異なるチャンネル上のイベントが同時に検出されると、それらのイベントは固定プライオリティ・アービトラージョン方式に基づいて、QDMA チャンネルよりプライオリティが高い DMA チャンネルとともにキューに積まれます。2 つのグループのチャンネルでは、番号が最も小さいチャンネルのプライオリティが最も高くなります。

イベント・キュー内の各イベントは、キューに積まれた順に処理されます。キューの先頭に達すると、そのチャンネルに関連付けられた PaRAM が転送の詳細を判別するためにリードされます。TR 発行ロジックは TR の有効性を評価し、有効転送リクエスト (TR) を適切な EDMA3TC に発行します (EDMA3TC 関連に対するイベント・キューに基づいて、Q0 は TC0、Q1 は TC1、Q2 は TC2、および Q3 は TC3 に送信されます)。詳細は、2.3 節を参照してください。

EDMA3TC は要求を受信し、転送リクエストパケット (TRP) に指定されているとおりにデータ転送を行い、バッファリングなどのその他の必要なタスクを実行し、転送が可能な限り最適な方法で実行されるようにします。EDMA3TC の詳細については、2.1.3 項を参照してください。

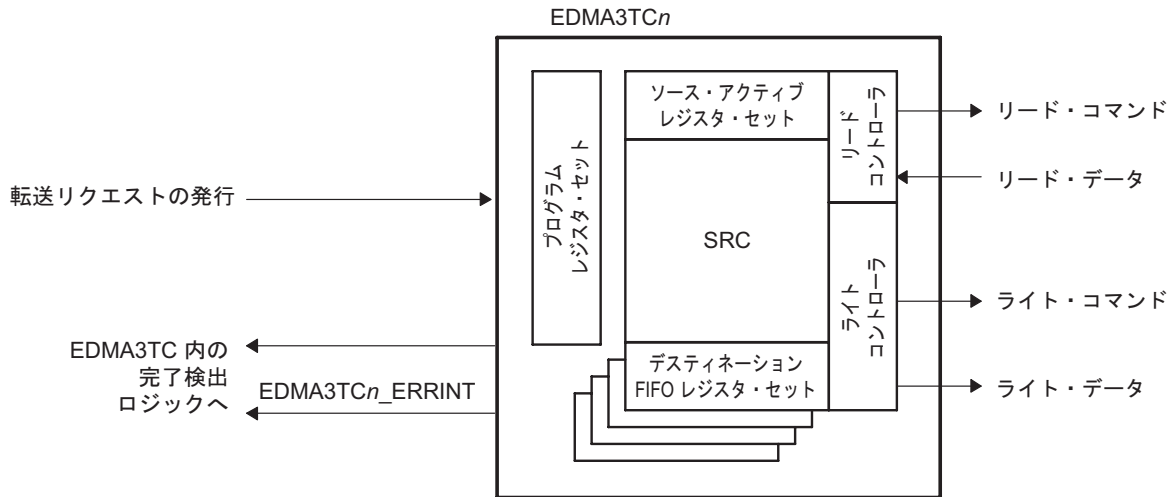
現行の転送が完了したときに割り込みを受信するか、別のチャンネルにチェーンするように決定している場合、EDMA3TC は転送の完了時に EDMA3CC 完了検出ロジックに対して完了の信号を送ります。別の方法として、TR が EDMA3CC 境界から出たときに、すべてのデータ転送の完了を待機するのではなく、完了をトリガすることもできます。EDMA3CC インタラプト・レジスタの設定に基づいて、完了割り込み生成ロジックは CPU に対する EDMA3CC 完了割り込みを生成します。詳細は、2.5 節を参照してください。

また、EDMA3CC にはエラー検出ロジックもあります。このロジックは、さまざまなエラー条件 (ミス・イベントやイベント・キュー・スレッシュホールドを超えたなど) に基づいてエラー割り込みを生成します。エラー割り込みの詳細については、2.9.4 項を参照してください。

2.1.3 EDMA3 転送コントローラ (EDMA3TC)

図 2-3 に、EDMA3 転送コントローラ (EDMA3TC) の機能ブロック図を示します。

図 2-3. EDMA3 転送コントローラ (EDMA3TC) のブロック図



EDMA3 転送タイプ

EDMA3TC の主なブロックは次のとおりです。

- DMA プログラム・レジスタ・セット：EDMA3 チャンネル・コントローラ (EDMA3CC) から受信した転送リクエストを格納します。
- DMA ソース・アクティブ・レジスタ・セット：リード・コントローラで現在処理中の DMA 転送リクエストのコンテキストを格納します。
- リード・コントローラ：ソース・アドレスに対してリード・コマンドを発行します。
- デスティネーション FIFO レジスタ・セット：ライト・コントローラで現在処理中の DMA 転送リクエストのコンテキストを格納します。
- ライト・コントローラ：デスティネーション・スレーブに対してライト・コマンド/ライト・データを発行します。
- データ FIFO：処理中の一時的なデータを保持します。
- 完了インターフェイス：転送が完了すると完了コードを EDMA3CC に送信し、割り込みとチェーン・イベントを生成します (転送完了レポートの詳細については、2.1.2 項も参照)。

EDMA3TC がアイドル状態のときにその最初の TR を受信した場合、その TR は DMA プログラム・レジスタ・セットに受信され、ここで DMA ソース・アクティブ・セットとデスティネーション FIFO レジスタ・セットにただちに遷移します。2 番目の TR (EDMA3CC からペンディングの場合) は DMA プログラム・セットにロードされ、アクティブの転送が完了したらただちに開始できるようになります。現行のアクティブ・セットを使い切るとただちに、TR は DMA プログラム・レジスタ・セットから DMA ソース・アクティブ・レジスタ・セットとデスティネーション FIFO レジスタ・セット内の適切なエントリにロードされます。

リード・コントローラは、コマンドのフラグメント化と最適化のルールに準拠するリード・コマンドを発行します。これらのコマンドは、データ FIFO にデータ・リードが可能なスペースがある場合にのみ発行されます。データ FIFO に十分なデータがある場合は、ライト・コントローラがコマンドのフラグメント化と最適化のルールに従って、ライト・コマンドの発行を再度開始します。コマンドのフラグメント化と最適化の詳細については、2.12.1.1 項を参照してください。

エントリ数に応じて、リード・コントローラは、空のデータ FIFO 量を条件として、デスティネーションより前に最大 2 つまたは 4 つの転送リクエストを処理できます。

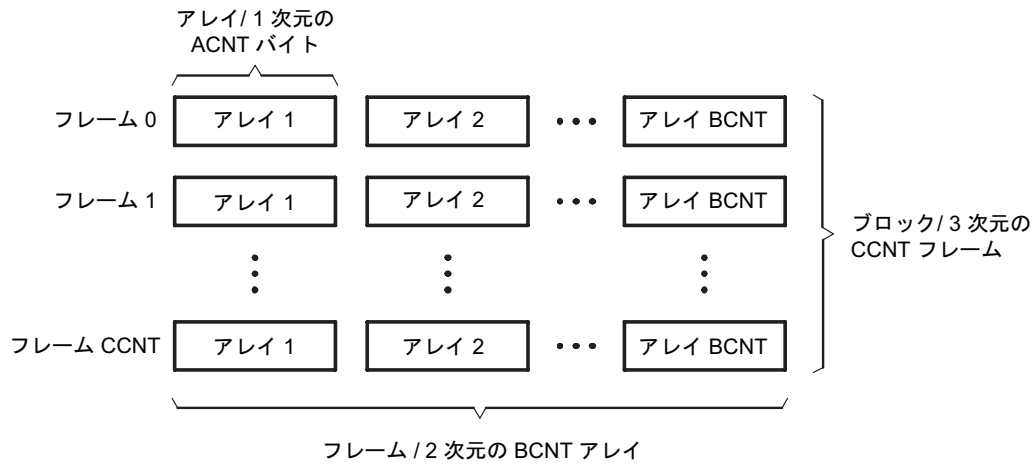
2.2 EDMA3 転送タイプ

EDMA3 転送は、3 つの次元から定義されます。図 2-4 に、EDMA3 転送が使用する 3 つの次元を示します。これらの 3 つの次元は、次のように定義されます。

- 1 次元またはアレイ (A)：転送の 1 次元は、ACNT 連続バイトから構成されます。
- 2 次元またはフレーム (B)：転送の 2 次元は、ACNT バイトの BCNT アレイから構成されます。2 次元の各アレイ転送は、SRCBIDX または DSTBIDX を使用してプログラムされたインデックスによってそれぞれ区切られます。
- 3 次元またはブロック (C)：転送の 3 次元は、ACNT バイトの BCNT アレイの CCNT フレームから構成されます。第 3 次元の各転送は、SRCCIDX または DSTCIDX を使用してプログラムされたインデックスによって前の転送から区切られます。

インデックスの参照点は、同期タイプに依存します。トリガ/同期イベントの受信時に転送されるデータ量は、同期タイプ (OPT の SYNCDIM ビット) により制御されます。3 つの次元のうち、A 同期転送と AB 同期転送の 2 つの同期タイプのみがサポートされます。

図 2-4. ACNT、BCNT、および CCNT の定義



2.2.1 A 同期転送

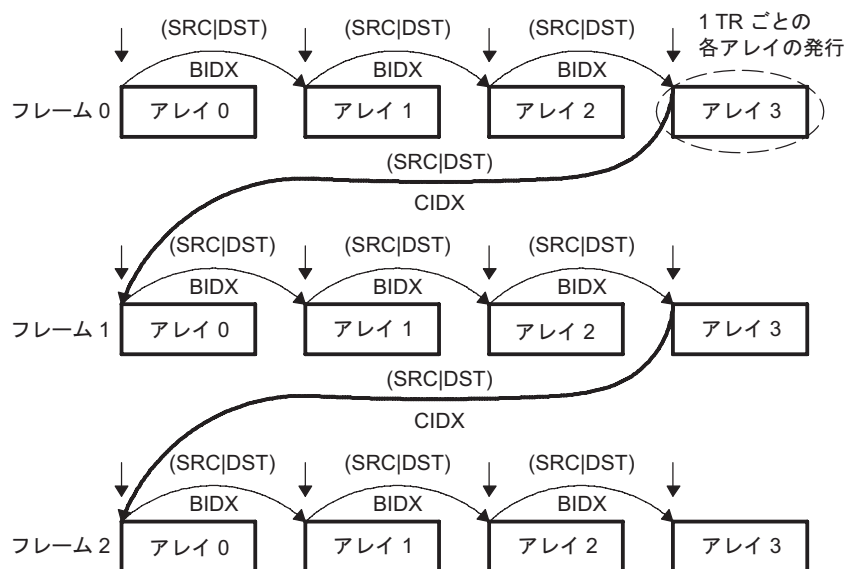
A 同期転送では、各 EDMA3 同期イベントは ACNT バイトの 1 次元（すなわち ACNT バイトの 1 アレイ）の転送を開始します。つまり、各イベント/TR パケットは 1 アレイのみの転送情報を伝えます。このため、PaRAM セットを完全に処理するために BCNT x CCNT 個のイベントが必要になります。

アレイは常に SRCBIDX と DSTBIDX によって区切られます（図 2-5 を参照）。ここで、アレイ N の先頭アドレスは、アレイ N-1 の先頭アドレスにソース (S) またはデスティネーション (D) BIDX を加算したものと等しくなります。

フレームは常に SRCCIDX と DSTCIDX によって区切られます。A 同期転送の場合、フレームを使い切ると、(S/D) CIDX をフレーム内の最終アレイの先頭アドレスに加算することでアドレスを更新します。図 2-5 に示すように、SRCCIDX/DSTCIDX がフレーム 0 アレイ 3 の先頭からフレーム 1 アレイ 0 の先頭の差分です。

図 2-5 に、n (ACNT) バイトの 4 (BCNT) アレイ 3 (CCNT) フレームの A 同期転送を示します。この例では、合計 12 同期イベント (BCNT x CCNT) で PaRAM セットを使い切ります。パラメータ・セットの更新の詳細については、2.3.6 項を参照してください。

図 2-5. A 同期転送 (ACNT = n、BCNT = 4、CCNT = 3)



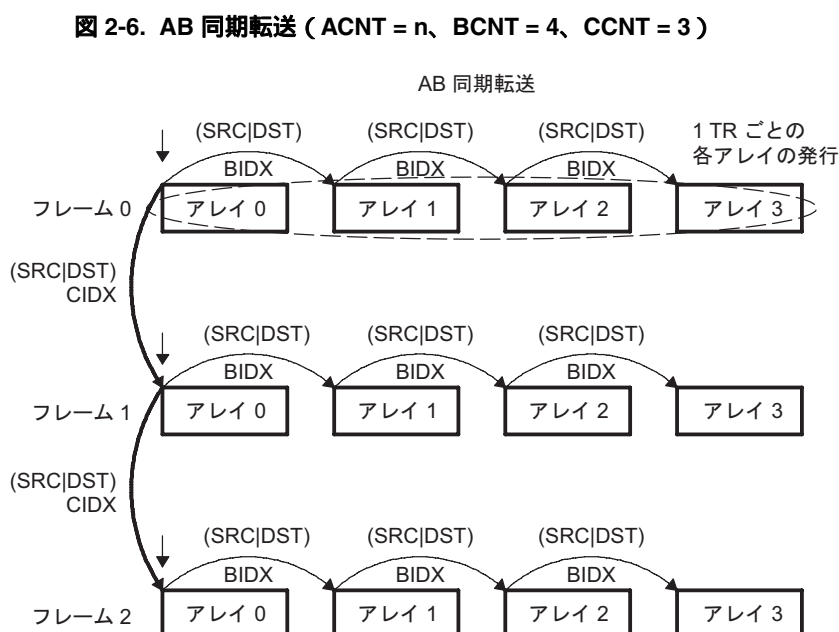
2.2.2 AB 同期転送

AB 同期転送では、各 EDMA3 同期イベントは 2 つの次元（すなわち 1 フレーム）の転送を開始します。つまり、各イベント/TR パケットは ACNT バイトの BCNT アレイの 1 フレーム全体の情報を伝えます。このため、PaRAM セットを完全に処理するために CCNT 個のイベントが必要になります。

アレイは常に SRCBIDX と DSTBIDX によって区切られます（図 2-6 を参照）。また、フレームは常に SRCCIDX と DSTCIDX によって区切られます。

AB 同期転送の場合、フレームの TR が発行された後、(S/D) CIDX をフレーム内の先頭アレイの先頭アドレスに加算することでアドレスを更新します。この点が、(S/D) CIDX をフレーム内の最終アレイの先頭アドレスに加算することでアドレスを更新する A 同期転送と異なります。パラメータ・セットの更新の詳細については、2.3.6 項を参照してください。

図 2-6 に、 n (ACNT) バイトの 4 (BCNT) アレイ 3 (CCNT) フレームの AB 同期転送を示します。この例では、合計 3 同期イベント (CCNT) で PaRAM セットを使い切ります。これは 4 アレイの合計 3 転送でそれぞれ転送を完了するのに相当します。



注： ABC 同期転送は、直接はサポートされません。ただし、論理的に、複数の AB 同期転送間をチェーンすることで実現できます。

2.3 パラメータ RAM (PaRAM)

EDMA3 コントローラは、RAM ベースのアーキテクチャです。DMA または QDMA チャンネルの転送コンテキスト（ソース/デスティネーション・アドレス、カウント、インデックスなど）は、EDMA3CC 内のパラメータ RAM テーブルでプログラムされます。パラメータ RAM は PaRAM と呼ばれます。PaRAM テーブルは、複数の PaRAM セットにセグメント化されています。各 PaRAM セットには、8 つの 4 バイト PaRAM セット・エントリが含まれます（PaRAM セットごとに合計 32 バイト）。この中には、ソース・アドレス、デスティネーション・アドレス、転送カウント、インデックス、オプションなど標準的な DMA 転送パラメータがあります。

PaRAM 構成では、フレキシブルなピンポン、サーキュラー・バッファ、チャンネル・チェーン、および自動リロード（リンク）をサポートします。PaRAM の内容は、次のとおりです。

- 256 個の PaRAM セット
- PaRAM エントリは、DMA、QDMA、またはリンク・セットのために使用できる
- デフォルトでは、すべてのチャンネルが PaRAM セット 0 にマップされます。これらのチャンネルは、使用する前に再マップする必要があります。詳細は、4.2.1.3 項（DCHMAP レジスタ）および 4.2.1.4 項（QCHMAP レジスタ）を参照してください。

表 2-1. EDMA3 パラメータ RAM の内容

PaRAM セット番号	アドレス	パラメータ
0	02A0 4000h ~ 02A0 401Fh	PaRAM セット 0
1	02A0 4020h ~ 02A0 403Fh	PaRAM セット 1
2	02A0 4040h ~ 02A0 405Fh	PaRAM セット 2
3	02A0 4060h ~ 02A0 407Fh	PaRAM セット 3
4	02A0 4080h ~ 02A0 409Fh	PaRAM セット 4
5	02A0 40A0h ~ 02A0 40BFh	PaRAM セット 5
6	02A0 40C0h ~ 02A0 40DFh	PaRAM セット 6
7	02A0 40E0h ~ 02A0 40FFh	PaRAM セット 7
8	02A0 4100h ~ 02A0 411Fh	PaRAM セット 8
9	02A0 40D8h ~ 02A0 40EFh	PaRAM セット 9
...
63	02A0 47E0h ~ 02A0 47FFh	PaRAM セット 63
64	02A0 4800h ~ 02A0 481Fh	PaRAM セット 64
65	02A0 4820h ~ 02A0 483Fh	PaRAM セット 65
...
254	02A0 5FC0h ~ 02A0 4FDFh	PaRAM セット 254
255	02A0 5FE0h ~ 02A0 4FFFh	PaRAM セット 255

2.3.1 PaRAM

PaRAM の各パラメータ・セットは、8 つの 32 ビット・ワードまたは 32 バイトに分かれています。その内容と説明をそれぞれ図 2-7 および表 2-2 に示します。各 PaRAM セットは、16 ビット・パラメータと 32 ビット・パラメータから構成されます。

図 2-7. PaRAM セット

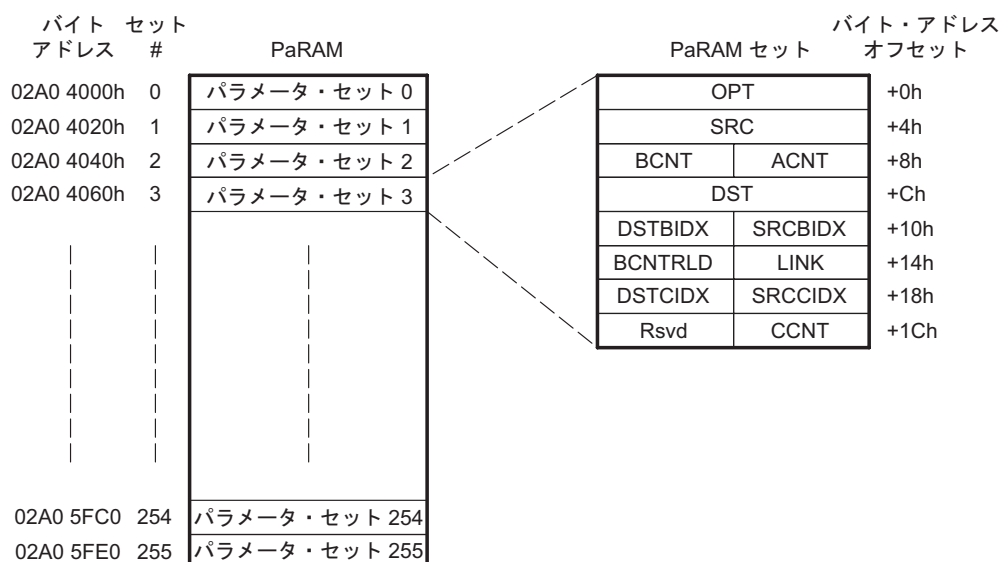


表 2-2. EDMA3 チャンネル・パラメータの説明

オフセット・アドレス (バイト)	略称	パラメータ	説明
0h	OPT	チャンネル・オプション	転送コンフィギュレーション・オプション。
4h	SRC	チャンネル・ソース・アドレス	データ転送元のバイト・アドレス。
8h ⁽¹⁾	ACNT	1 次元のカウンタ	アレイ (転送の 1 次元) 内の連続バイト数を指定する符号なし値。有効な値の範囲は 1 ~ 65 535 です。
	BCNT	2 次元のカウンタ	アレイが ACNT バイトのフレーム内のアレイ数を指定する符号なし値。有効な値の範囲は 1 ~ 65 535 です。
Ch	DST	チャンネル・デスティネーション・アドレス	データ転送先のバイト・アドレス。
10h ⁽¹⁾	SRCBIDX	ソース BCNT インデックス	フレーム内のソース・アレイ (2 次元) 間のバイト・アドレス・オフセットを指定する符号付き値。有効な値の範囲は -32 768 ~ 32 767 です。
	DSTBIDX	デスティネーション BCNT インデックス	デスティネーションに対するフレーム内のアレイ (2 次元) のバイト・アドレス・オフセット。
14h ⁽¹⁾	LINK	リンク・アドレス	現行の PaRAM セットを使い切ったときにリンクされる (コピー元) PaRAM セットを含む PaRAM アドレス。値 FFFFh はヌル・リンクを指定します。
	BCNTRLD	BCNT リロード	BCNT が 0 にデクリメントしたときに BCNT をリロードするために使用するカウンタ値 (TR は第 2 次元の最終アレイに対して発行されます)。A 同期転送にのみ関係します。

(1) 可能な限り 32 ビット・ワードとしてパラメータ・セットにアクセスすることをお勧めします。

表 2-2. EDMA3 チャンネル・パラメータの説明 (続き)

オフセット・アドレス (バイト)	略称	パラメータ	説明
18h ⁽¹⁾	SRCCIDX	ソース CCNT インデックス	<p>ブロック内のフレーム (3 次元) 間のバイト・アドレス・オフセットを指定する符号付き値。有効な値の範囲は -32 768 ~ 32 767 です。</p> <p>A 同期転送: インデックスはフレーム内の最終ソース・アレイの先頭アドレスと次のフレーム内の先頭ソース・アレイの先頭アドレスとの間になります。</p> <p>AB 同期転送: インデックスはフレーム内の先頭ソース・アレイの先頭アドレスと次のフレーム内の先頭ソース・アレイの先頭アドレスとの間になります。</p>
	DSTCIDX	デスティネーション CCNT インデックス	<p>ブロック内のフレーム (3 次元) 間のバイト・アドレス・オフセットを指定する符号付き値。有効な値の範囲は -32 768 ~ 32 767 です。</p> <p>A 同期転送: フレーム内の最終デスティネーション・アレイの先頭から次のフレーム内の先頭デスティネーション・アレイの先頭までのバイト・アドレス・オフセット。</p> <p>AB 同期転送: フレーム内の先頭デスティネーション・アレイの先頭から次のフレーム内の先頭デスティネーション・アレイの先頭までのバイト・アドレス・オフセット。</p>
1Ch	CCNT	3 次元のカウント	<p>フレームが ACNT バイトの BCNT アレイであるブロック内のフレーム数を指定する符号なし値。有効な値の範囲は 1 ~ 65 535 です。</p>
	RSVD	予約	予約。

⁽¹⁾ 可能な限り 32 ビット・ワードとしてパラメータ・セットにアクセスすることをお勧めします。

2.3.2 EDMA3 チャンネル PaRAM セット・エントリ・フィールド

2.3.2.1 チャンネル・オプション・パラメータ (OPT)

チャンネル・オプション・パラメータ (OPT) の内容と説明をそれぞれ図 2-8 および表 2-3 に示します。

図 2-8. チャンネル・オプション・パラメータ (OPT)

31	30	28	27	24	23	22	21	20	19	18	17	16	
PRIV	Reserved	PRIVID		ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved		TCC			
R-0	R-0	R-0		R/W-0	R/W-0	R/W-0	R/W-0	R/W-0		R/W-0			
15			12	11	10	8	7	4		3	2	1	0
TCC		TCCMOD	FWID	Reserved				STATIC	SYNCDIM	DAM	SAM		
R/W-0		R/W-0	R/W-0	R/W-0				R/W-0	R/W-0	R/W-0	R/W-0		

表 2-3. チャンネル・オプション・パラメータ (OPT) フィールドの説明

ビット	フィールド	値	説明
31	PRIV		この PaRAM セットをプログラムしたホスト /CPU/DMA の特権レベル(スーパーバイザまたはユーザ)。この値は、PaRAM のいずれかの部分がライトされると EDMA3 マスターの特権値とともにセットされます。
		0	ユーザ・レベル特権。
		1	スーパーバイザ・レベル特権。
30-28	Reserved	0	予約。
27-24	PRIVID	0-Fh	この PaRAM セットをプログラムした外部ホスト /CPU/DMA の特権 ID。この値は、PaRAM のいずれかの部分がライトされると EDMA3 マスターの特権 ID とともにセットされます。
23	ITCCHEN	0	チェーン転送中間完了のイネーブル。
		1	チェーン転送中間完了はイネーブルです。
			イネーブルの場合、チェーン・イベント・レジスタ (CER/CERH) ビットがすべてのチェーン転送中間完了でセットされます (PaRAM セット内の最後の TR を除き、PaRAM セット内のすべての中間 TR の完了時)。CER または CERH でセットされるビット (位置) は、指定されている TCC 値です。
22	TCCHEN	0	チェーン転送完了のイネーブル。
		1	チェーン転送完了はイネーブルです。
			イネーブルの場合、チェーン・イベント・レジスタ (CER/CERH) ビットが最後のチェーン転送完了でセットされます (PaRAM セット内の最後の TR の完了時)。CER または CERH でセットされるビット (位置) は、指定されている TCC 値です。
21	ITCINTEN	0	中間転送完了割り込みのイネーブル。
		1	中間転送完了割り込みはイネーブルです。
			イネーブルの場合、インタラプト・ペンディング・レジスタ (IPR/IPRH) ビットがすべての中間転送完了でセットされます (PaRAM セット内の最後の TR を除き、PaRAM セット内のすべての中間 TR の完了時)。IPR または IPRH でセットされるビット (位置) は、指定されている TCC 値です。CPU に対する完了割り込みを生成するには、対応する IER[TCC]/IERH[TCC] ビットをセットする必要があります。

表 2-3. チャネル・オプション・パラメータ (OPT) フィールドの説明 (続き)

ビット	フィールド	値	説明
20	TCINTEN	0 1	転送完了割り込みのイネーブル。 0 転送完了割り込みはディスエーブルです。 1 転送完了割り込みはイネーブルです。 イネーブルの場合、インタラプト・ペンディング・レジスタ (IPR/IPRH) ビットが転送完了でセットされます (PaRAM セット内の最後の TR の完了時)。IPR または IPRH でセットされるビット (位置) は、指定されている TCC 値です。CPU に対する完了割り込みを生成するには、対応する IER[TCC]/IERH[TCC] ビットをセットする必要があります。
19	Reserved	0	予約。このフィールドには常に 0 をライトします。
18	Reserved	0	予約。
17-12	TCC	0-3Fh	転送完了コード。この 6 ビット・コードは、チェーンの場合はチェーン・イネーブル・レジスタ (CER[TCC]/CERH[TCC]) の関連ビット、割り込みの場合はインタラプト・ペンディング・レジスタ (IPR[TCC]/IPRH[TCC]) の関連ビットをセットします。
11	TCCMODE	0 1	転送完了コードのモード。チェーンおよび割り込みの生成のための転送が完了したと見なす時点を示します。 0 通常の完了：データが転送された後に、転送は完了したと見なされます。 1 早期の完了：EDMA3CC が TR を EDMA3TC に発行した後に、転送は完了したと見なされます。割り込み / チェーンがトリガされたときに、TC はデータを転送中である可能性があります。
10-8	FWID	0-7h 0 1h 2h 3h 4h 5h 6h-7h	FIFO 幅。SAM または DAM が FIFO モードにセットされている場合に適用されます。 0 FIFO 幅は 8 ビットです。 1h FIFO 幅は 16 ビットです。 2h FIFO 幅は 32 ビットです。 3h FIFO 幅は 64 ビットです。 4h FIFO 幅は 128 ビットです。 5h FIFO 幅は 256 ビットです。 6h-7h 予約。
7-4	Reserved	0	予約。
3	STATIC	0 1	静的セット。 0 セットは静的ではありません。TR が発行された後に、PaRAM セットは更新またはリンクされます。値 0 は、DMA チャンネルおよび QDMA 転送のリンク・リストで最後以外の転送に対して使用します。 1 セットは静的です。TR が発行された後に、PaRAM セットは更新またはリンクされません。値 1 は、分離された QDMA 転送または QDMA 転送のリンク・リストで最後の転送に対して使用します。
2	SYNCDIM	0 1	転送同期次元。 0 A 同期。各イベントは ACNT バイトの単一アレイの転送をトリガします。 1 AB 同期。各イベントは ACNT バイトの BCNT アレイの転送をトリガします。
1	DAM	0 1	デスティネーション・アドレス・モード。 0 インクリメント (INCR) モード。アレイ内のデスティネーション・アドレッシングはインクリメントします。デスティネーションは FIFO ではありません。 1 FIFO モード。アレイ内のデスティネーション・アドレッシングは、FIFO 幅に達するとラップアラウンドします。
0	SAM	0 1	ソース・アドレス・モード。 0 インクリメント (INCR) モード。アレイ内のソース・アドレッシングはインクリメントします。ソースは FIFO ではありません。 1 FIFO モード。アレイ内のソース・アドレッシングは、FIFO 幅に達するとラップアラウンドします。

2.3.2.2 チャンネル・ソース・アドレス (SRC)

32 ビット・ソース・アドレス・パラメータは、ソースの先頭バイト・アドレスを指定します。SAM がインクリメント・モードの場合、EDMA3 によるアライメントの制限はありません。SAM が FIFO モードの場合、ソース・アドレスを 256 ビットにアラインされたアドレスにアラインするようにプログラムする必要があります (アドレスの 5 個の LSB は 0 でなければなりません)。このルールに違反すると、EDMA3TC はエラー信号を送ります。詳細は、2.12.3 項を参照してください。

2.3.2.3 チャンネル・デスティネーション・アドレス (DST)

32 ビット・デスティネーション・アドレス・パラメータは、デスティネーションの先頭バイト・アドレスを指定します。DAM がインクリメント・モードの場合、EDMA3 によるアライメントの制限はありません。DAM が FIFO モードの場合、デスティネーション・アドレスを 256 ビットにアラインされたアドレスにアラインするようにプログラムする必要があります (アドレスの 5 個の LSB は 0 でなければなりません)。このルールに違反すると、EDMA3TC はエラー信号を送ります。詳細は、2.12.3 項を参照してください。

2.3.2.4 1 次元のカウント (ACNT)

ACNT は、転送の 1 次元内のバイト数を表します。ACNT は、0 ~ 65 535 の有効な値をもつ 16 ビットの符号なし値です。このため、アレイ内の最大バイト数は 65 535 バイト (64K - 1 バイト) です。ACNT は、EDMA3TC に発行される TR に対して 1 以上でなければなりません。0 と等しい ACNT は、ヌルまたはダミー転送と見なされます。ダミーまたはヌルの転送は、OPT の完了ビット・フィールドの設定に応じて完了コードを生成します。

ダミー / ヌルの完了条件の詳細については、2.3.5 項および 2.5.3 項を参照してください。

2.3.2.5 2 次元のカウント (BCNT)

BCNT は、長さ ACNT のアレイ数を指定する 16 ビット符号なし値です。通常の操作の場合、BCNT の有効値は 1 ~ 65 535 です。このため、フレーム内の最大アレイ数は 65 535 (64K - 1 アレイ) です。0 と等しい BCNT は、ヌルまたはダミー転送と見なされます。ダミーまたはヌル転送は、OPT の完了ビット・フィールドの設定に応じて完了コードを生成します。

ダミー / ヌルの完了条件の詳細については、2.3.5 項および 2.5.3 項を参照してください。

2.3.2.6 3 次元のカウント (CCNT)

CCNT は、ブロック内のフレーム数を指定する 16 ビット符号なし値です。CCNT の有効値は 1 ~ 65 535 です。このため、ブロック内の最大フレーム数は 65 535 (64K - 1 フレーム) です。0 と等しい CCNT は、ヌルまたはダミー転送と見なされます。ダミーまたはヌルの転送は、OPT の完了ビット・フィールドの設定に応じて完了コードを生成します。

CCNT 値 0 は、ヌルまたはダミー転送と見なされます。ダミー / ヌルの完了条件の詳細については、2.3.5 項および 2.5.3 項を参照してください。

2.3.2.7 BCNT リロード (BCNTRLD)

BCNTRLD は、2 次元目の最後のアレイが転送された後に、BCNT フィールドをリロードするために使用される 16 ビット符号なし値です。このフィールドは A 同期転送の場合にのみ使用されます。この場合、EDMA3CC は TR の発行ごとに BCNT 値を 1 デクリメントします。BCNT が (概念的に) 0 に達すると、EDMA3CC は CCNT をデクリメントし、BCNTRLD 値を使用して BCNT 値を再初期化します。

AB 同期転送の場合、EDMA3CC は TR で BCNT を発行し、EDMA3TC は BCNT を適切にデクリメントします。AB 同期転送では、BCNTRLD は使用されません。

2.3.2.8 ソース B インデックス (SRCBIDX)

SRCBIDX は、2 次元で各アレイ間のソース・アドレス変更に使用される 16 ビット符号付き値 (2 の補数) です。SRCBIDX の有効値は -32 768 ~ 32 767 です。これはソース・アレイの先頭から次のソース・アレイの先頭までのバイト・アドレス・オフセットを提供します。SRCBIDX は A 同期転送と AB 同期転送の両方に適用されます。次に一部の例を示します。

- SRCBIDX = 0000h (0) : アレイの先頭から次のアレイの先頭までのアドレス・オフセットはありません。すべてのアレイは同じ先頭アドレスに固定されます。
- SRCBIDX = 0003h (+3) : フレーム内のアレイの先頭から次のアレイの先頭までのアドレス・オフセットは 3 バイトです。たとえば、現行のアレイがアドレス 1000h から始まる場合、次のアレイは 1003h で始まります。
- SRCBIDX = FFFFh (-1) : フレーム内のアレイの先頭から次のアレイの先頭までのアドレス・オフセットは -1 バイトです。たとえば、現行のアレイがアドレス 5054h から始まる場合、次のアレイは 5053h で始まります。

2.3.2.9 デスティネーション B インデックス (DSTBIDX)

DSTBIDX は、2 次元で各アレイ間のデスティネーション・アドレス変更に使用される 16 ビット符号付き値 (2 の補数) です。DSTBIDX の有効値は -32 768 ~ 32 767 です。これは現行フレーム内のデスティネーション・アレイの先頭から次のデスティネーション・アレイの先頭までのバイト・アドレス・オフセットを提供します。DSTBIDX は A 同期転送と AB 同期転送の両方に適用されます。例については、SRCBIDX を参照してください。

2.3.2.10 ソース C インデックス (SRCCIDX)

SRCCIDX は、3 次元でソース・アドレス変更に使用される 16 ビット符号付き値 (2 の補数) です。SRCCIDX の有効値は -32 768 ~ 32 767 です。これは次のフレーム内の (SRC アドレスが示す) 現行アレイの先頭から最初のソース・アレイの先頭までのバイト・アドレス・オフセットを提供します。SRCCIDX は A 同期転送と AB 同期転送の両方に適用されます。SRCCIDX を適用する場合、A 同期転送の現行アレイはフレーム内の最後のアレイとなり (図 2-5)、AB 同期転送の現行アレイはフレーム内の最初のアレイとなります (図 2-6)。

2.3.2.11 デスティネーション C インデックス (DSTCIDX)

DSTCIDX は、3 次元でデスティネーション・アドレス変更に使用される 16 ビット符号付き値 (2 の補数) です。有効値は -32 768 ~ 32 767 です。これは次のフレーム内の (DST アドレスが示す) 現行アレイの先頭から最初のデスティネーション・アレイ TR の先頭までのバイト・アドレス・オフセットを提供します。DSTCIDX は A 同期転送と AB 同期転送の両方に適用されます。DSTCIDX を適用する場合、A 同期転送の現行アレイはフレーム内の最後のアレイとなり (図 2-5)、AB 同期転送の現行アレイはフレーム内の最初のアレイとなります (図 2-6)。

2.3.2.12 リンク・アドレス (LINK)

EDMA3CC は、通常の終了時 (カウント・フィールドが 0 にデクリメントした後) に、現行の PaRAM セットを新しい PaRAM セットにリロードするリンクと呼ばれるメカニズムを提供します。16 ビット・パラメータ LINK は、EDMA3CC がリンク時に次の PaRAM セットをロード / リロードする PaRAM 内のバイト・アドレス・オフセットを指定します。

リンク・アドレスは、アラインされた有効な 32 バイト PaRAM セットを示すようにプログラムする必要があります。LINK フィールドの 5 個の LSB は 0 にクリアされます。

EDMA3CC は LINK エントリの上位 2 ビットを無視し、プログラマは絶対またはリテラル・バイト・アドレスとしてのリンク・アドレスをプログラムするフレキシビリティを得るか、あるいは PaRAM ベース相対オフセット・アドレスを使用することができます。このため、4000h ~ 7FFFh の範囲のリテラル・アドレスを使用する場合、これは 0000h ~ 3FFFh の PaRAM ベース相対値として扱われます。

LINK フィールドは、デバイスで使用可能な PaRAM アドレスの範囲内に入る PaRAM アドレスからリンク更新が要求されるように正しくプログラムしてください。

FFFFh の LINK 値はヌル・リンクと呼ばれ、これにより EDMA3CC は現行 PaRAM セットのすべてのエントリに対して 0 を内部的にライトします。ただし、FFFFh にセットされている LINK フィールドは除きます。

転送の終了の詳細については、2.5 節を参照してください。

2.3.3 ヌル PaRAM セット

ヌル PaRAM セットは、すべてのカウント・フィールド (ACNT、BCNT、CCNT) が 0 にクリアされる PaRAM セットとして規定されています。チャンネルに関連付けられた PaRAM セットが NULL セットである場合に EDMA3CC によって処理されると、チャンネルに対応するビットが関連付けられたイベント・ミスド・レジスタ (EMR、EMRH、または QEMR) にセットされます。このビットは、関連付けられたセカンダリ・イベント・レジスタ (SER、SERH、または QSER) でセットされたままとなります。これは同じチャンネルにおける、以後のイベントはすべて EDMA3CC では無視されることを意味し、ユーザはチャンネルに対して SER、SERH、または QSER 内のビットをクリアする必要があります。これはヌル転送として設定されたチャンネルではイベントが想定されていないため、エラー条件と見なされます。SER および EMR レジスタの詳細については、それぞれ 4.2.6.8 項と 4.2.2.1 項を参照してください。

2.3.4 ダミー PaRAM セット

ダミー PaRAM セットは、カウント・フィールド (ACNT、BCNT、または CCNT) の少なくとも 1 つが 0 にクリアされ、かつカウント・フィールドの少なくとも 1 つがゼロではない PaRAM セットとして想定されています。

チャンネルに関連付けられた PaRAM セットがダミー・セットである場合に EDMA3CC によって処理されると、チャンネル (DMA/QDMA) に対応するビットがイベント・ミスド・レジスタ (EMR、EMRH、QEMR のいずれか) にセットされず、セカンダリ・イベント・レジスタ (SER、SERH、QSER のいずれか) のビットは通常の転送と同様にクリアされます。そのチャンネルにおける、以後のイベントは処理されます。ダミー転送は 0 バイトの有効な転送です。SER レジスタと EMR レジスタの詳細については、それぞれ 4.2.6.8 項と 4.2.2.1 項を参照してください。

2.3.5 ダミー転送とヌル転送の比較

EDMA3CC ロジックがダミー転送とヌル転送のリクエストを処理する方法には、いくつかの点で違いがあります。ヌル転送リクエストはエラー条件ですが、ダミー転送は 0 バイトの有効な転送です。ヌル転送により EMR のエラー・ビット (E_n) がセットされ、SER の E_n ビットがセットされたままになり、基本的にそのチャンネルにおける、以後の転送が行われずに、関連付けられたエラー・レジスタがクリアされません。

表 2-4 に、ヌル転送とダミー転送のリクエストの条件と影響について要約しています。

表 2-4. ダミー転送とヌル転送のリクエスト

機能	ヌル TR	ダミー TR
EMR/EMRH/QEMR がセットされる	はい	いいえ
SER/SERH/QSER がセットされたままになる	はい	いいえ
リンクの更新 (OPT の STATIC = 0)	はい	はい
QER がセットされる	はい	はい
IPR/IPRH CER/CERH が早期完了を使用してセットされる	はい	はい

2.3.6 パラメータ・セットの更新

TR が特定の DMA/QDMA チャンネルとその対応する PaRAM セットに対して発行されると、EDMA3CC は次のトリガ・イベントに備えて PaRAM セットを更新します。最後以外のイベントの場合はこれにアドレスとカウント更新が含まれ、最後のイベントの場合はこれにリンク更新が含まれます。

更新される固有の PaRAM セット・エントリは、チャンネルの同期タイプ (A 同期または B 同期) と PaRAM セットの現行状態によって決まります。B 更新は、連続 TR の発行後に A 同期転送が行われる場合、BCNT のデクリメントを参照します。C 更新は、ACNT バイト転送に対する BCNT の TR 発行後に A 同期転送が行われる場合、CCNT のデクリメントを参照します。AB 同期転送の場合、C 更新はすべての転送リクエストの発行後に CCNT のデクリメントを参照します。

パラメータ更新の詳細と条件については、表 2-5 を参照してください。リンク更新は、PaRAM セットを使い切ったときに行われます (2.3.7 項を参照)。

TR が PaRAM からリードされた後 (かつ EDMA3TC に対して発行中)、必要に応じて次のフィールドが更新されます。

- A 同期 : BCNT、CCNT、SRC、DST
- AB 同期 : CCNT、SRC、DST

次のフィールドは更新されません (ただし、すべてのフィールドがリンク PaRAM セットで書き換えられるリンク時を除きます)。

- A 同期 : ACNT、BCNTRLD、SRCBIDX、DSTBIDX、SRCCIDX、DSTCIDX、OPT、LINK
- AB 同期 : ACNT、BCNT、BCNTRLD、SRCBIDX、DSTBIDX、SRCCIDX、DSTCIDX、OPT、LINK

PaRAM 更新は、EDMA3TC に対する次の転送リクエストを適切に発行するために必要な情報にのみ関係することに注意してください。転送リクエスト内でデータが転送される間に行われる更新は、転送コントローラ内で追跡されます。詳細は、2.12 節を参照してください。A 同期転送の場合、EDMA3CC は ACNT バイト (BCNT = 1 および CCNT = 1) に対する TRP を常に発行します。AB 同期転送の場合、EDMA3CC は BCNT アレイの ACNT バイト (CCNT = 1) に対する TRP を常に発行します。EDMA3TC は、(OPT 内の) ACNT と FWID に基づきアレイ内のソース・アドレスとデスティネーション・アドレスを更新します。AB 同期転送では、EDMA3TC は SRCBIDX と DSTBIDX に基づきアレイ間のソース・アドレスとデスティネーション・アドレスも更新します。

表 2-5 に、A 同期転送と AB 同期転送に対して EDMA3CC 内で行われるパラメータ更新の詳細を示します。

表 2-5. EDMA3CC でのパラメータ更新 (非ヌル、非ダミー PaRAM セットの場合)

	A 同期転送			AB 同期転送		
	B 更新	C 更新	リンク更新	B 更新	C 更新	リンク更新
条件 :	BCNT > 1	BCNT == 1 && CCNT > 1	BCNT == 1 && CCNT == 1	N/A	CCNT > 1	CCNT == 1
SRC	+= SRCBIDX	+= SRCCIDX	= Link.SRC	EDMA3TC 内	+= SRCCIDX	= Link.SRC
DST	+= DSTBIDX	+= DSTCIDX	= Link.DST	EDMA3TC 内	+= DSTCIDX	= Link.DST
ACNT	なし	なし	= Link.ACNT	なし	なし	= Link.ACNT
BCNT	-- = 1	= BCNTRLD	= Link.BCNT	EDMA3TC 内	N/A	= Link.BCNT
CCNT	なし	-- = 1	= Link.CCNT	EDMA3TC 内	-- = 1	= Link.CCNT
SRCBIDX	なし	なし	= Link.SRCBIDX	EDMA3TC 内	なし	= Link.SRCBIDX
DSTBIDX	なし	なし	= Link.DSTBIDX	なし	なし	= Link.DSTBIDX
SRCCIDX	なし	なし	= Link.SRCBIDX	EDMA3TC 内	なし	= Link.SRCBIDX
DSTCIDX	なし	なし	= Link.DSTBIDX	なし	なし	= Link.DSTBIDX
LINK	なし	なし	= Link.LINK	なし	なし	= Link.LINK
BCNTRLD	なし	なし	= Link.BCNTRLD	なし	なし	= Link.BCNTRLD
OPT ⁽¹⁾	なし	なし	= LINK.OPT	なし	なし	= LINK.OPT

(1) いずれにしても、現行の PaRAM セットで OPT.STATIC == 1 のときは更新は行われません。

注 : EDMA3CC には、インデックス付きアドレス更新の計算がオーバーフローまたはアンダーフローしたときに検出する特別なハードウェアは含まれません。アドレス更新は、ユーザがプログラムしたとおりに境界間をラップします。必ず転送がペリフェラル間の内部ポート境界を越えないようにしてください。単一の TR は、単一のソース / デスティネーション・スレーブ・エンドポイントを対象としなければなりません。

2.3.7 転送のリンク

EDMA3CC は、リンクと呼ばれるメカニズムを備えています。これにより、(DMA と QDMA の両方のチャンネルに対して) PaRAM メモリ・マップ内のロケーションから PaRAM セット全体がリロードされます。リンクは、特に CPU の介在しないピンポン・バッファ、サーキュラー・バッファ、および繰り返し/連続転送を保持する場合に便利です。転送の完了時、現行の転送パラメータは、現行のパラメータ・セットの 16 ビット・リンク・アドレス・フィールドが示すパラメータ・セットにリロードされます。リンクが行われるのは、OPT 内の STATIC ビットがクリアされる場合のみです。

注： 転送 (EDMA3 または QDMA) は、必ず別の有効な転送にリンクされなければなりません。転送が終了すると、その転送は必ず NULL パラメータ・セットにリンクされます。2.3.3 項を参照してください。

リンク更新は、現行の PaRAM セットのイベント・パラメータをすべて使い切った後に行われます。イベントのパラメータを使い切るのは、EDMA3 チャンネル・コントローラが PaRAM セットに関連付けられた転送をすべて発行したときです。

リンク更新は、OPT 内の STATIC ビットと LINK フィールドの状態に応じて、ヌル転送とダミー転送に対して行われます。いずれの場合も (ヌルでもダミーでも) LINK の値が FFFFh の場合に、(すべてがゼロの) ヌル PaRAM セット (および FFFFh にセットされた LINK) は現行の PaRAM セットにライトされます。同様に、LINK が FFFFh 以外の値にセットされると、LINK が示す適切な PaRAM ロケーションが現行の PaRAM セットにコピーされます。

イベントに対応するチャンネル完了条件が満たされると、リンク・アドレスにある転送パラメータが現行の DMA または QDMA チャンネルの関連付けられたパラメータ・セットにロードされます。これは EDMA3CC が LINK で指定された PaRAM セットからセット全体 (8 ワード) をリードし、8 ワードすべてを現行チャンネルに関連付けられた PaRAM セットにライトすることを表します。図 2-9 に、リンクされた EDMA3CC 転送の例を示します。

PaRAM 内の任意の PaRAM セットをリンク / リロード・パラメータ・セットとして使用できます。

PaRAM セット・ロケーションが QDMA チャンネル PaRAM セットとして (QCHMAP_n によって) 定義されている場合、現行の QDMA チャンネル PaRAM セットへのリンク PaRAM セットのコピーはトリガ・イベントとして認識されます。これは、トリガ・ワードへのライトが実行されたため、QER 内でラッチされます。この機能を使用すると、単一の QDMA チャンネルと複数の PaRAM セットを使用した転送のリンク・リストを作成することができます。2.4.2 項を参照してください。

PaRAM セット自体にリンクすると、サーキュラー・バッファと繰り返し転送の使用を容易にする自動初期化の動作を繰り返します。EDMA3 チャンネルはその現行の PaRAM セットを使い切ると、パラメータ・セットをリロードし、転送を再度開始します。

注： OPT 内の STATIC ビットが PaRAM セットに対してセットされている場合は、リンク更新は実行されません。

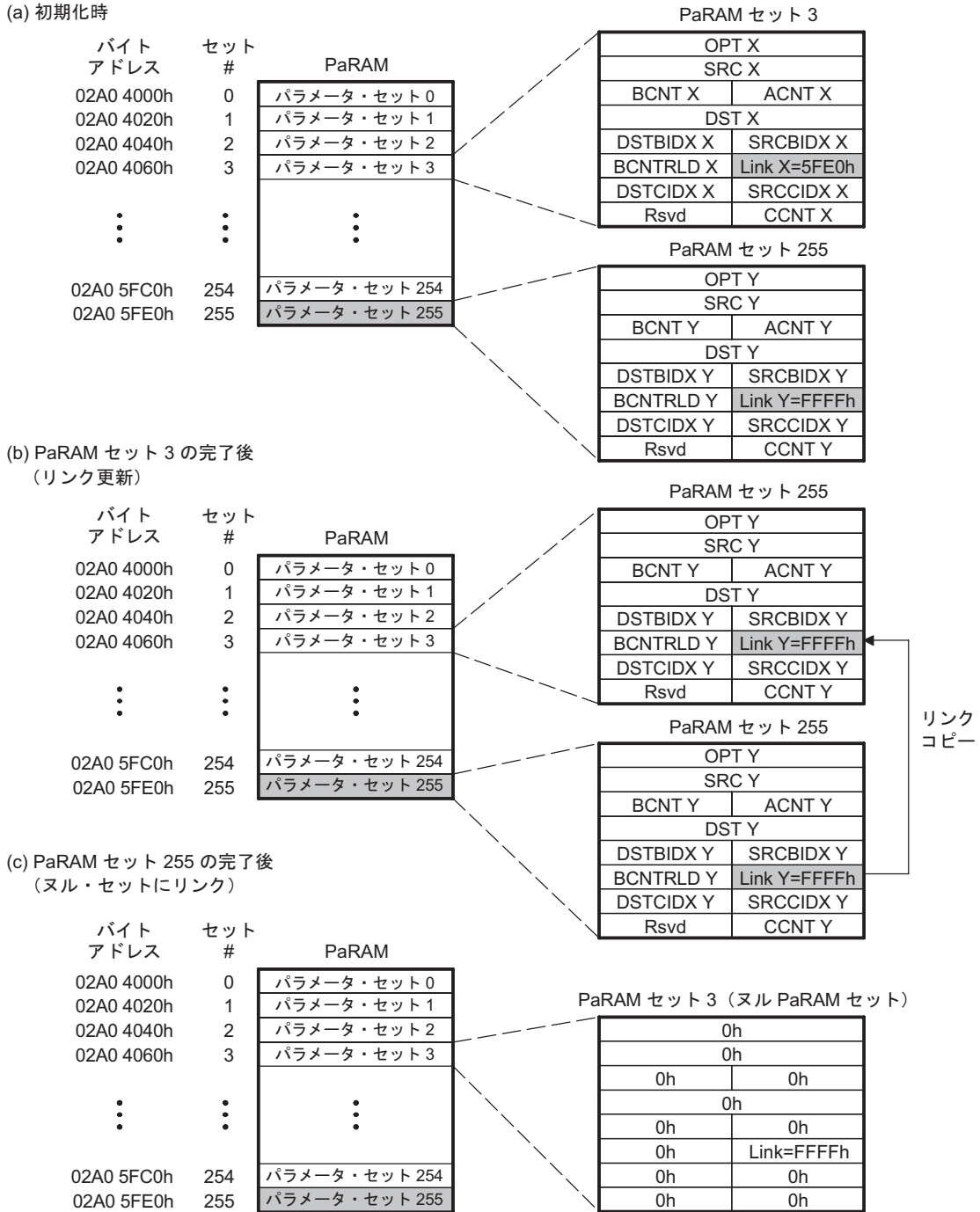
2.3.8 固定モード転送 / アライメントの問題

SAM または DAM のいずれかがセットされている場合 (FIFO モード) ソース・アドレスまたはデスティネーション・アドレスはそれぞれ 256 ビットにアラインされたアドレスにアラインされる必要があり、かつ対応する BIDX は 32 バイト (256 ビット) の偶数倍でなければなりません。ここで EDMA3CC はエラーを認識しませんが、EDMA3TC はこれが真でない場合にエラーをアサートします。2.12.3 項を参照してください。

2.3.9 エレメント・サイズ

EDMA3 コントローラは、エレメント・サイズとエレメント・インデックスを使用しません。その代わりに、すべての転送が 3 つのすべての次元 (ACNT、BCNT、CCNT) から定義されます。エレメント・インデックス転送は、ACNT を転送する必要があるエレメントのサイズに、BCNT をエレメントの数にそれぞれプログラムすることで論理的に行われます。たとえば、16 ビットのオーディオ・データと 256 個のオーディオ・サンプルをシリアル・ポートに転送する必要がある場合は、ACNT = 2 (2 バイト) かつ BCNT = 256 とプログラムすることで実行できます。

図 2-9. リンク転送



2.4 DMA 転送の開始

EDMA3 チャンネル・コントローラを使用して、プログラムされたデータ転送を開始するには、いくつかの方法があります。DMA チャンネルでの転送は、次の 3 つのソースにより開始されます。

- **イベント・トリガ転送リクエスト** (この方法は EDMA3 の典型的な使い方です): ペリフェラル、システム、または外部生成イベントが転送リクエストをトリガします。
- **手動トリガ転送リクエスト**: CPU がイベント・セット・レジスタ (ESR/ESRH) 内の対応するビットに 1 をライトすることで転送を手動でトリガします。
- **チェーン・トリガ転送リクエスト**: 他の転送またはサブ転送が完了したときに転送がトリガされます。

QDMA チャンネルでの転送は、次の 2 つのソースにより開始されます。

- **自動トリガ転送リクエスト**: プログラムされたトリガ・ワードがライトされると転送がトリガされます。
- **リンク・トリガ転送リクエスト**: リンクが行われる際、トリガ・ワードがライトされるとただちに転送がトリガされます。

2.4.1 DMA チャンネル

2.4.1.1 イベント・トリガ転送リクエスト

イベントがペリフェラルまたはデバイス・ピンからアサートされると、そのイベントはイベント・レジスタの対応するビット内 ($ER.En = 1$) にラッチされます。DMA イベント・マッピングに対するペリフェラル・イベントについては、表 2-6 を参照してください。イベント・イネーブル・レジスタ (EER) 内の対応するイベントがイネーブルの場合 ($EER.En = 1$)、EDMA3CC はそのイベントにプライオリティを設定し、適切なイベント・キューに積みます。イベントがキューの先頭に達すると、そのイベントを転送リクエストとして転送コントローラに発行するために評価されます。

PaRAM セットが有効な場合は (NULL セットではない)、転送リクエスト・パケット (TRP) が EDMA3TC に発行され、ER 内の En ビットがクリアされます。この時点で、EDMA3CC は新しいイベントを問題なく受け取ることができます。

チャンネルに関連付けられた PaRAM セットが NULL セット (2.3.3 項を参照) の場合は、転送リクエスト (TR) が発行されず、ER 内の対応する En ビットがクリアされ、同時に対応するチャンネル・ビットがイベント・ミスド・レジスタにセットされます ($EMR.En = 1$)。これはヌル TR の処理により、イベントが廃棄されたことを意味します。望ましいプログラミング方法として、DMA チャンネルを再トリガする場合は、事前にイベント・ミスド・エラーをクリアしてください。

イベントを受け取ると、イベント・レジスタ内の対応するイベント・ビットがセットされます ($ER.En = 1$)。これは $EER.En$ の状態とは関係ありません。外部イベントを受け取ったときにイベントがディスエーブルの場合は ($ER.En = 1$ かつ $EER.En = 0$)、 $ER.En$ ビットがセットされたままとなります。イベントがこれ以降でイネーブルされると ($EER.En = 1$)、ペンディングされていたイベントが EDMA3CC によって処理され、TR が処理 / 発行されます。その後、 $ER.En$ ビットがクリアされます。

イベントの処理中 (プライオリティが設定されているか、イベント・キューに入っている) このイベントがクリアされる ($ER.En \neq 0$) 前に同じチャンネルに対して別の同期イベントが受信されると、2 番目のイベントがイベント・ミスド・レジスタの対応するビットにミス・イベントとして登録されます ($EMR.En = 1$)。

表 2-6. EDMA3 チャンネル同期イベント

EDMA3 チャンネル	イベント名	イベントの説明
0	HPI/PCI:DSPINT	HPI/PCI イベント
1	TINT0L	Timer0 下位イベント
2	TINT0H	Timer0 上位イベント
3	REVT	McBSP 受信イベント
4-11	-	未使用
12	XEVT0	MCBSP0 送信イベント

表 2-6. EDMA3 チャンネル同期イベント (続き)

EDMA3 チャンネル	イベント名	イベントの説明
13	REVT0	MCBSP0 受信イベント
14	XEVT1	MCBSP1 送信イベント
15	REVT1	MCBSP1 受信イベント
16	TINT1L	Timer1 下位イベント
17	TINT1H	Timer1 上位イベント
18-19	-	未使用
20	RIOINT1	高速入出力 (I/O) イベント
21-27	-	未使用
28	VCP2REVT0	VCP2 受信イベント
29	VCP2XEVT0	VCP2 送信イベント
30	TCP2REVT0	TCP2 受信イベント
31	TCP2XEVT0	TCP2 送信イベント
32	UREVT	UTOPIA 受信イベント
33-39	-	未使用
40	UXEVT	UTOPIA 送信イベント
41-43	-	未使用
44	ICREVT	I2C 受信イベント
45	ICXEVT	I2C 送信イベント
46-47	-	未使用
48	GPINT0	GPIO イベント 0
49	GPINT1	GPIO イベント 1
50	GPINT2	GPIO イベント 2
51	GPINT3	GPIO イベント 3
52	GPINT4	GPIO イベント 4
53	GPINT5	GPIO イベント 5
54	GPINT6	GPIO イベント 6
55	GPINT7	GPIO イベント 7
56	GPINT8	GPIO イベント 8
57	GPINT9	GPIO イベント 9
58	GPINT10	GPIO イベント 10
59	GPINT11	GPIO イベント 11
60	GPINT12	GPIO イベント 12
61	GPINT13	GPIO イベント 13
62	GPINT14	GPIO イベント 14
63	GPINT15	GPIO イベント 15

2.4.1.2 手動トリガ転送リクエスト

DMA 転送は、CPU (または EDMA プログラム) がイベント・セット・レジスタ (ESR) にライトすることで開始されます。ESR 内のイベント・ビットに 1 をライトすると、そのイベントにはプライオリティが設定されるか、適切なイベント・キューに積まれます。これは EER.En ビットの状態とは関係ありません。イベントがキューの先頭に達すると、そのイベントを転送リクエストとして転送コントローラに発行するために評価されます。

イベント・トリガ転送と同様に、チャンネルに関連付けられた PaRAM セットが有効な場合は (ヌル・セットではない)、TR が関連付けられた EDMA3TC に発行され、チャンネルを再度トリガすることができます。

チャンネルに関連付けられた PaRAM セットが NULL セット (2.3.3 項を参照) の場合は、転送リクエスト (TR) が発行されず、ER 内の対応する En ビットがクリアされ、同時に対応するチャンネル・ビットがイベント・ミスド・レジスタにセットされます (EMR.En = 1)。これはヌル TR の処理により、イベントが廃棄されたことを意味します。望ましいプログラミング方法として、DMA チャンネルを再トリガする場合は、事前にイベント・ミスド・エラーをクリアしてください。

イベントの処理中 (プライオリティが設定されているか、イベント・キューに入っている) このイベントがクリアされる (ESR.En = 0) 前に同じチャンネルがイベント・セット・レジスタの対応するチャンネル・ビットにライトすることで (ESR.En = 1) 手動でセットされると、2 番目のイベントがイベント・ミスド・レジスタの対応するビットにミス・イベントとして登録されます (EMR.En = 1)。

2.4.1.3 チェーン・トリガ転送リクエスト

チェーンとは、1 つの転送が完了すると、自動的に他のチャンネルに対してイベントをセットするメカニズムです。チェーン完了コード (転送完了コード (チャンネルに関連付けられた PaRAM セットの OPT 内の TCC[5:0]) によって決まる値) が検出されると、チェーン・イベント・レジスタ (CER) の対応するビットがセットされます (CER.E[TCC] = 1)。

CER 内のビットがセットされると、EDMA3CC はそのイベントにプライオリティを設定し、適切なイベント・キューに積みます。イベントがキューの先頭に達すると、そのイベントを転送リクエストとして転送コントローラに発行するために評価されます。

イベント・トリガ転送と同様に、チャンネルに関連付けられた PaRAM セットが有効な場合は (ヌル・セットではない)、TR が関連付けられた EDMA3TC に発行され、チャンネルを再度トリガすることができます。

チャンネルに関連付けられた PaRAM セットが NULL セット (2.3.3 項を参照) の場合は、転送リクエスト (TR) が発行されず、CER 内の対応する En ビットがクリアされ、同時に対応するチャンネル・ビットがイベント・ミスド・レジスタにセットされます (EMR.En = 1)。これはヌル TR の処理により、イベントが廃棄されたことを意味します。この場合、DMA チャンネルを再トリガするには、ユーザが事前にエラー状態をクリアしておく必要があります。望ましいプログラミング方法として、DMA チャンネルを再トリガする場合は、事前にイベント・ミスド・エラーをクリアしてください。

チェーン・イベントの処理中 (プライオリティが設定されているか、イベント・キューに入っている) このイベントがクリアされる (CER.En != 0) 前に同じチャンネルに対して別のチェーン・イベントを受け取ると、2 番目のチェーン・イベントがイベント・ミスド・レジスタの対応するチャンネル・ビットにミス・イベントとして登録されます (EMR.En = 1)。

注: チェーン・イベント・レジスタ、イベント・レジスタ、およびイベント・セット・レジスタは、独立して動作します。イベント (En) は、いずれのトリガ・ソース (イベント・トリガ、手動トリガ、チェーン・トリガ) でもトリガできます。

2.4.2 QDMA チャンネル

2.4.2.1 自動トリガおよびリンク・トリガ転送リクエスト

QDMA ベースの転送リクエストは、QDMA イベントが QDMA イベント・レジスタでラッチされる ($QER.En = 1$) ときに発行されます。次の状況が発生すると、QDMA イベント・レジスタ (QER) 内の QDMA チャンネルに対応するビットがセットされます。

- CPU (または EDMA3 プログラム) が QDMA イベント・イネーブル・レジスタによりイネーブルされている ($QEER.En = 1$)、特定の QDMA チャンネルの QDMA チャンネル・トリガ・ワード (QDMA チャンネル・マッピング・レジスタにプログラムされている ($QCHMAP_n$)) として定義された PaRAM アドレスに対してライトした時。
- EDMA3CC が、QDMA チャンネルとして設定された ($QCHMAP_n$ 設定と一致する) PaRAM セット・アドレスでリンク更新を行い、対応するチャンネルが QDMA イベント・イネーブル・レジスタを介してイネーブルされている時 ($QEER.En = 1$)。

QER 内のビットがセットされると、EDMA3CC はそのイベントにプライオリティを設定し、適切なイベント・キューに積みます。イベントがキューの先頭に達すると、そのイベントを転送リクエストとして転送コントローラに発行するために評価されます。

イベント・トリガ転送と同様に、チャンネルに関連付けられた PaRAM セットが有効な場合は (ヌル・セットではない)、TR が関連付けられた EDMA3TC に発行され、チャンネルを再度トリガすることができます。

QER 内のビットがすでにセットされていて ($QER.En = 1$)、これがクリアされる前に同じ QDMA チャンネルに対して別の QDMA イベントが発生すると、2 番目の QDMA イベントが QDMA イベント・ミスド・レジスタに取り込まれます ($QEMR.En = 1$)。

2.4.3 DMA チャンネルと QDMA チャンネルの比較

DMA チャンネルと QDMA チャンネルの主な違いは、イベント / チャンネルの同期です。QDMA イベントは、自動トリガされるか、リンク・トリガされます。自動トリガを使用すると、QDMA チャンネルは PaRAM に対する最小限のリニア・ライト数で CPU によりトリガされます。リンク・トリガを使用すると、1 つの QDMA の PaRAM セットと複数のリンク PaRAM セットを使用して転送のリンク・リストを実行できます。

QDMA 転送は、CPU (または他の EDMA3 プログラム) が QDMA チャンネル・パラメータ・セットのトリガ・ワードにライトしたとき (自動トリガ)、または EDMA3CC が QDMA チャンネルにマップされている PaRAM セットでリンク更新を実行したとき (リンク・トリガ) にトリガされます。CPU がトリガする (手動トリガ) DMA チャンネルの場合は、PaRAM セットに対するライトに加えて、イベント・セット・レジスタ (ESR) に対してもライトして転送を行う必要があります。

QDMA チャンネルでは、通常、単一イベントが 1 つの転送を完了させます。これは、CPU (または EDMA3 プログラム) がチャンネルを再トリガするために QDMA の PaRAM セットを部分的に再プログラムする必要があるためです。つまり、QDMA 転送は、A 同期転送の場合は $BCNT = CCNT = 1$ 、AB 同期転送の場合は $CCNT = 1$ でプログラムされます。

また、QDMA 転送ではリンクもサポートされているため (OPT 内で $STATIC = 0$ の場合) ユーザは QDMA のリンク・リストを開始することができます。したがって、EDMA3CC がリンク PaRAM セットをコピーすると (トリガ・ワードへのライトを含む)、QDMA チャンネルにマップされている現行の PaRAM セットが有効な QDMA イベントとして自動的に認識され、リンク・セットで指定されたとおりに別の一連の転送を開始します。

2.5 DMA 転送の完了

CPU およびチェーン・トリガの別のチャンネルに対する割り込みを生成するには、TCC を使用します。この機能のバリエーションの詳細については、これ以降で説明します。

割り込みの詳細については 2.9 節、チェーンの詳細については 2.8 節を参照してください。

(同期イベントの数の受信に基づき) 必要な数の転送リクエストが発行されると、特定のチャンネルのパラメータ・セットが完了します。2 つの同期タイプに関して、非ヌル / 非ダミー転送の想定される TR の数、および最後の TR が発行される前の PaRAM セットの状態を表 2-7 に示します。カウント (BCNT および CCNT) がこの値である場合は、次の TR の結果は以下のようになります。

- 転送コントローラで送信される最後のチェーンまたは割り込みコード (中間ではない)。
- リンク更新 (ヌルまたは別の有効リンク・セットへのリンク)。

表 2-7. 非ヌル転送の想定される転送数

同期モード	ゼロ時のカウント	合計 # 転送	最後の TR 前のカウント
A 同期	ACNT BCNT CCNT	それぞれ ACNT バイトの (BCNT × CCNT) TR	BCNT == 1 && CCNT == 1
AB 同期	ACNT BCNT CCNT	それぞれ ACNT × BCNT バイトの CCNT TR	CCNT == 1

PaRAM の OPT フィールドを特定の転送完了コード (TCC) でその他の OPT フィールドと一緒にプログラムして、転送の完了時にチェーン・イベントの生成と割り込みの生成の両方またはいずれかに対して完了コードを使用するかどうかを指定する必要があります (OPT 内の TCCHEN、TCINTEN、ITCCHEN、および ITCINTEN の各ビット)。

プログラムされた特定の TCC 値 (6 ビット・バイナリ値) は、チェーン・イベント・レジスタ (CER[TCC]) とインタラプト・ペンディング・レジスタ (IPR[TCC]) の 64 ビットのいずれをセットするか指定します。

また、パラメータ・セット (TCCHEN または TCINTEN) の最後の転送リクエスト (TR) の完了時に、転送コントローラが完了コードを、パラメータ・セット (ITCCHEN または ITCINTEN) の最後の転送リクエスト (TR) 以外のすべての TR、またはパラメータ・セット (両方) のすべての TR に対して送り返すかどうかプログラムすることもできます。チェーン (中間 / 最後のチェーン) の詳細については 2.8 節を、中間 / 最後の割り込み完了の詳細については 2.9 節をそれぞれ参照してください。

EDMA3 チャンネル・コントローラと転送コントローラ間には、完了検出インターフェイスがあります。このインターフェイスは、転送コントローラからチャンネル・コントローラに情報を送り返して、特定の転送が完了したことを示します。転送の完了は、チェーン・イベントの生成と CPU への割り込みの生成の両方またはいずれかに対して使用されます。

DMA/QDMA の PaRAM セットはすべてリンク・アドレス値も指定してください。ピンポン・パuffaなどの繰り返し転送の場合、リンク・アドレス値は別の事前定義 PaRAM セットを示します。また、転送を繰り返す必要がない場合はリンク・アドレス値をヌル・リンク値にセットします。ヌル・リンク値は、FFFFh として規定されています。詳細は、2.3.7 項を参照してください。

注: ヌル PaRAM セットにマップされている受信イベントは、エラー条件になります。対応するチャンネルを再度使用するには、事前にエラー条件をクリアする必要があります。2.3.5 項を参照してください。

EDMA3CC が更新されるか、転送完了を通知するには、通常完了、早期完了、およびダミー / ヌル完了の 3 つの方法があります。これはチェーン・イベントと完了割り込みの生成の両方に適用されます。

2.5.1 通常完了

通常完了モード (OPT 内の TCCMODE = 0) では、EDMA3 チャンネル・コントローラが EDMA3 転送コントローラから完了コードを受信したときに転送またはサブ転送は完了したと見なされます。このモードでは、チャンネル・コントローラへの完了コードは、転送コントローラによりデスティネーションのペリフェラルからアクノレッジを受信した後にポストされます。通常完了は、割り込みを生成してデータのセットが処理可能であることを CPU に伝えるために通常使用します。

2.5.2 早期完了

早期完了モード (OPT 内の TCCMODE = 1) では、EDMA3 チャンネル・コントローラが転送リクエスト (TR) を EDMA3 転送コントローラに発行したときに転送は完了したと見なされます。このモードでは、チャンネル・コントローラは完了コードを内部で生成します。早期完了は、チェーンの場合に役立ちます。転送コントローラ内で前の転送がまだ処理中のときに、以降の転送がチェーン・トリガされ、転送のセットのスループット全体が最大になります。

2.5.3 ダミーまたはヌル完了

これは早期完了のバリエーションの 1 つです。ダミーまたはヌル完了は、ダミー・セット (2.3.4 項) またはヌル・セット (2.3.3 項) に関連付けられます。いずれの場合も、EDMA3 チャンネル・コントローラは、EDMA3 転送コントローラに対して関連付けられた転送リクエストを発行しません。ただし、完了コード (中間/最後の割り込み/チェーン完了) を返すようにプログラムされた OPT フィールドがセット (ダミー/ヌル) にある場合は、インタラプト・ベンディング・レジスタ (IPR/IPRH) またはチェーン・イベント・レジスタ (CER/CERH) の適切なビットをセットします。チャンネル・コントローラは内部早期完了パスを使用して、完了コードを内部に戻します (つまり、EDMA3CC は完了コードを生成しません)。

2.6 イベント、チャンネル、および PaRAM のマッピング

64 個の DMA チャンネルのいくつかは特定のハードウェア・イベントに接続されるため、転送をデバイス・ペリフェラルまたは外部ハードウェアからのイベントでトリガできます。DMA チャンネルは、通常、手動トリガ、チェーン・トリガ、およびその他の転送とは別に、そのイベントを受信するときにデータ転送を要求します。同期イベントごとのデータ転送量は、チャンネルの設定 (ACNT、BCNT、CCNT など) と同期タイプ (A 同期または AB 同期) によって異なります。

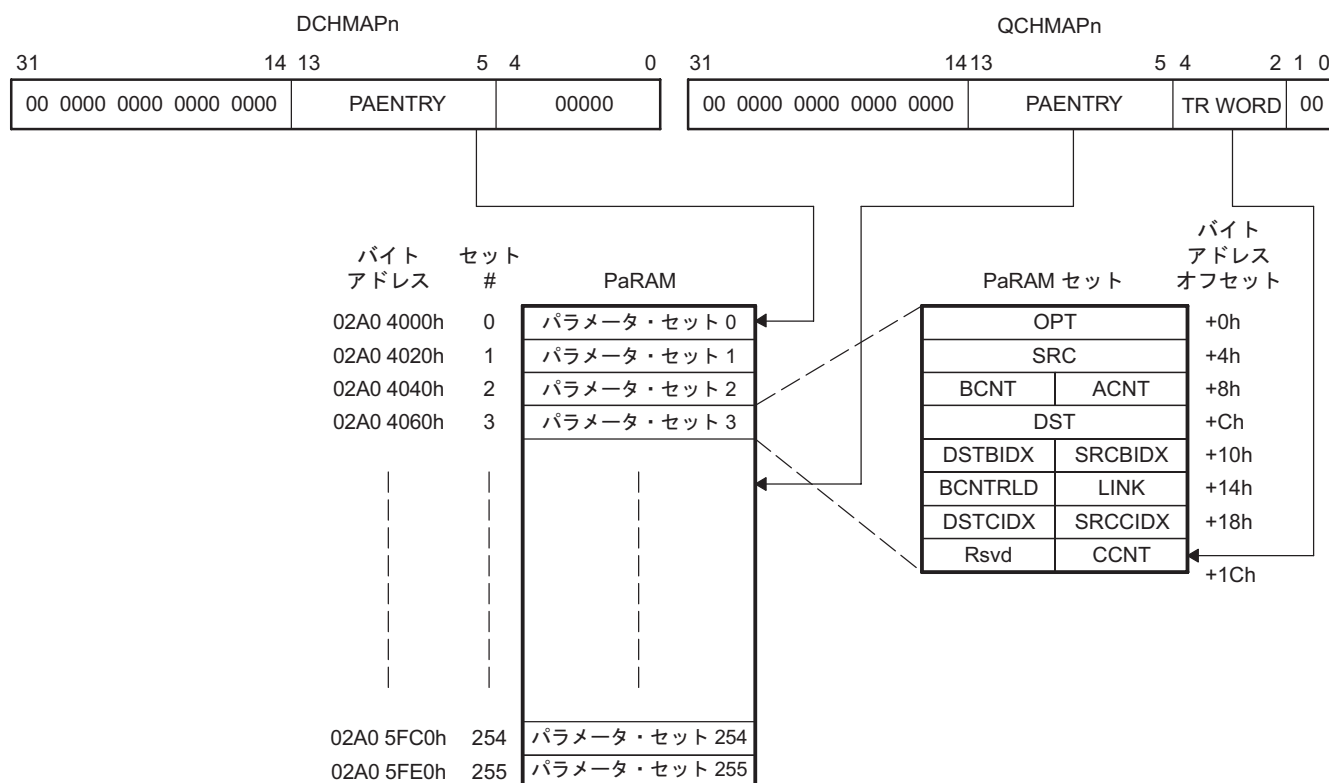
チャンネルへのイベントの関連付けは固定され、各 DMA チャンネルには 1 つの特定のイベントが関連付けられます。表 2-6 に、プログラマブルな各 DMA チャンネルに関連付けられる同期イベントを示します。

アプリケーションでは、チャンネルが関連付けられた同期イベントを使用しない場合や、関連付けられた同期イベントをもっていない場合 (未使用) そのチャンネルに関連付けられた PaRAM セットは手動トリガまたはチェーン・トリガ転送、リンク/リロード、または QDMA チャンネルとして使用されます。

2.6.1 DMA チャンネルの PaRAM へのマッピング

DMA チャンネル番号と PaRAM セット間のマッピングはプログラム可能です (表 2-1 を参照)。EDMA3CC の DMA チャンネル・マッピング・レジスタ (DCHMAP_n) により、DMA チャンネルを PaRAM メモリ・マップ内の任意の PaRAM セットにマップするようにプログラムすることができます。図 2-10 に、DCHMAP の使用状況を示します。チャンネルごとに 1 つの DCHMAP レジスタがあります。詳細は、表 2-1 を参照してください。

図 2-10. DMA チャンネルと QDMA チャンネルの PaRAM へのマッピング



2.6.2 QDMA チャンネルの PaRAM へのマッピング

QDMA チャンネルと PaRAM セット間のマッピングはプログラム可能です。EDMA3CC の QDMA チャンネル・マッピング・レジスタ (QCHMAP) により、QDMA チャンネルを PaRAM メモリ・マップ内の任意の PaRAM セットにマップすることができます。図 2-10 に、QCHMAP の使用状況を示します。

また、QCHMAP により、ユーザは QDMA チャンネルに対して PaRAM セットのトリガ・ワードをプログラムすることができます。トリガ・ワードは、PaRAM セット内の 8 ワードの 1 つです。QDMA 転送を行う場合、EDMA3CC の有効な TR 同期イベントは、特定の QDMA チャンネルに対して QCHMAP が示す PaRAM セット内のトリガ・ワードへのライトです。デフォルトでは、QDMA チャンネルは PaRAM セット 0 にマップされます。PaRAM セット 0 を使用するとき、事前に適切に再マップする必要があります。

2.7 EDMA3 チャンネル・コントローラ領域

EDMA3 チャンネル・コントローラのアドレス空間は 8 つの領域に分割されています。個々のチャンネル・リソースは特定の 1 つの領域に割り当てられ、通常、各領域は特定の 1 つの EDMA プログラマに割り当てられます。

アプリケーション・ソフトウェアでは、領域を使用するか、またはすべて無視するように設計できます。アクティブ・メモリ保護を領域と一緒に使用することで、特定の EDMA プログラマ（特権 ID など）または特権レベル（ユーザまたはスーパーバイザなど）だけが指定の領域にアクセスできるようになり、指定の DMA チャンネルまたは QDMA チャンネルにアクセスできます。これにより堅牢なシステム・レベルの DMA コードが可能になり、各 EDMA プログラマは割り当てられたリソースの状態だけを変更します。メモリ保護については、2.10 節で説明します。

2.7.1 領域の概要

EDMA3 チャンネル・コントローラのメモリマップド・レジスタは、3 つの主な領域に分けられています。

1. グローバル領域
2. グローバル・チャンネル領域
3. シャドウ領域（複数）

グローバル領域は、EDMA3CC メモリ・マップ内の単一 / 固定ロケーションにあります。グローバル領域内のレジスタは EDMA3 リソース・マッピングを制御し、デバッグの可視性とエラー追跡情報を提供します。EDMA3CC メモリ・マップについては、各デバイスのデータシートを参照してください。

チャンネル・レジスタ（DMA、QDMA、インタラプト・レジスタを含む）は、グローバル・チャンネル領域のアドレス範囲（シャドウ n チャンネル領域のアドレス範囲内）でアクセス可能です。たとえば、イベント・イネーブル・レジスタ（EER）は、グローバル・アドレス 02A0 1020h または領域アドレス 02A0 2020h（領域 0 の場合）、02A0 2220h（領域 1 の場合）... 02A0 2E20h（領域 7 の場合）でアクセスできます。

シャドウ領域アドレス空間（IEVAL n を除く）を使用してアクセス可能な基本的なコントロール・レジスタ・ビットは、DMA リージョン・アクセス・イネーブル・レジスタ（DRAEm）と QDMA リージョン・アクセス・イネーブル・レジスタ（QRAEn）によって制御されます。表 2-8 に、シャドウ領域メモリ・マップ内のレジスタを示します。すべてのグローバルとシャドウ領域メモリ・マップについては、EDMA3CC メモリ・マップ（表 4-1）を参照してください。図 2-11 に、領域の概念ビューを示します。

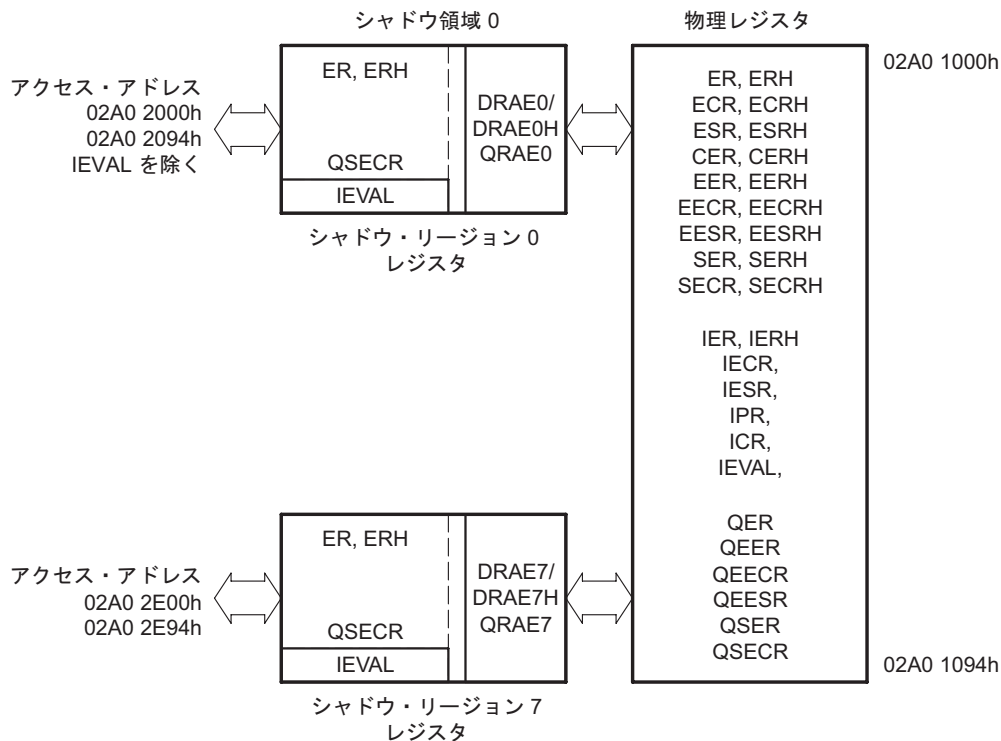
表 2-8. シャドウ・リージョン・レジスタ

DRAEm	DRAEHm	QRAEn
ER	ERH	QER
ECR	ECRH	QEER
ESR	ESRH	QEECR
CER	CERH	QEESR
EER	EERH	
EECR	EECRH	
EESR	EESRH	
SER	SERH	
SECR	SECRH	
IER	IERH	
IECR	IECRH	
IESR	IESRH	
IPR	IPRH	
ICR	ICRH	

DRAE/DRAEH の影響を受けないレジスタ

IEVAL

図 2-11. シャドウ・リージョン・レジスタ



2.7.2 チャンネル・コントローラ領域

EDMA3 シャドウ領域（および関連付けられたメモリ・マップ）は 8 つあります。各シャドウ領域には、どのチャンネルと割り込み完了コードがその領域に属するかを定義するレジスタのセットが関連付けられています。これらのレジスタは、DMA/QDMA チャンネルの所有権を領域に割り当てるようにユーザが領域ごとにプログラムします。

- **DRAEm** および **DRAEHm**：シャドウ領域ごとに一組のレジスタがあります。各レジスタのビット数は、DMA チャンネルの数（64 個の DMA チャンネル）と一致します。これらのレジスタは、DMA チャンネルと割り込みチャンネル（または TCC コード）の所有権をそれぞれの領域に割り当てるようにプログラムする必要があります。シャドウ領域アドレス・ビューを介した DMA とインタラプト・レジスタへのアクセスは、DRAE/DRAEH の組を通してフィルタリングされます。対応する DRAE(H) ビットの値 1 は対応する DMA/ 割り込みチャンネルがアクセス可能であることを示し、対応する DRAE(H) ビットの値 0 は強制的にライトを廃棄し、リードのために値 0 を返します。
- **QRAEn**：すべての領域に 1 つのレジスタがあります。各レジスタのビット数は、QDMA チャンネルの数（4 個の QDMA チャンネル）と一致します。これらのレジスタは、QDMA チャンネルの所有権をそれぞれの領域に割り当てるようにプログラムする必要があります。シャドウ領域 0 の QEER を使用してシャドウ領域内のチャンネルをイネーブルするには、QRAE 内の各ビットをセットする必要があります。これを行わないと、QEESR にライトしても目的の結果は得られません。
- **MPPAn** および **MPPAG**：領域ごとに 1 つのレジスタがあります。このレジスタは、領域のメモリマップド・レジスタに許可されているアクセスの特権レベル、リクエスター、およびタイプを定義します。

通常、アプリケーションには特定の領域に対する固有の QDMA/DMA チャンネル（その結果の特定のビット位置）の割り当てが含まれています。

このため、シャドウ領域を使用すると、相互排他的な方法でシステムのタスクにより EDMA3 リソース（DMA チャンネル、QDMA チャンネル、TCC、割り込み）にアクセスできます。この相互排他性は、EDMA3 ハードウェアでは保証されていないため、ソフトウェアで実装する必要があります。

例 2-1. 2 つの領域間のリソース・プール分割

この例では、2 つの領域における適切なリソース・プール分割を示します。ここでは、領域 0 には、16 個の DMA チャンネル（0-15）、1 個の QDMA チャンネル（0）、および 32 個の TCC コード（0-15 と 48-63）を割り当てると仮定します。領域 1 には、16 個の DMA チャンネル（16-32）、残りの 3 個の QDMA チャンネル（1-3）、および TCC コード（16-47）を割り当てる必要があります。DRAE は、DMA チャンネルと TCC コードに必要なビットを OR 演算した結果と等しくなります。

領域 0：

```
DRAEH, DRAE = 0xFFFF0000, 0x0000FFFF
QRAE = 0x0000001
```

領域 1：

```
DRAEH, DRAE = 0x0000FFFF, 0xFFFF0000
QRAE = 0x000000E
```

2.7.3 領域割り込み

EDMA3CC グローバル完了割り込み以外にも、すべてのシャドウ領域に関連付けられる別の完了割り込みラインがあります。インタラプト・イネーブル・レジスタ（IER）と同様に、DRAE はそれぞれのシャドウ領域割り込みに対して 2 次割り込みイネーブルとして機能します。詳細は、2.9 節を参照してください。

2.8 EDMA3 チャンネルのチェーン

EDMA3 のチャンネル・チェーン機能を使用すると、EDMA3 チャンネル転送の完了が他の EDMA3 チャンネル転送をトリガします。この機能の目的は、1 回のイベントが発生したときに複数のイベントをチェーンできるようにすることです。

チェーンはリンクとは異なる機能です (2.3.7 項を参照)。EDMA3 リンク機能は、リンク・パラメータ・セットで現行のチャンネル・パラメータ・セットをリロードします。EDMA3 チェーン機能は、チェーンされたチャンネルに同期イベントを提供するだけで、どのチャンネル・パラメータ・セットの変更も更新も行いません (チェーン・トリガ転送リクエストについては、2.4.1.3 項を参照)。

チェーンが行われるのは、現行チャンネルの最後の転送完了時、または中間の転送完了時、あるいはその両方の時点です。チャンネル m (DMA/QDMA) がチャンネル n にチェーンする必要がある場合を考えます。チャンネル番号 n (0-63) は、チャンネル m のチャンネル・オプション・パラメータ (OPT) セットの TCC ビット内にプログラムする必要があります。

- 最後の転送完了チェーン (OPT 内の TCCHEN = 1) がイネーブルの場合、チェーン・トリガ・イベントは、(早期または通常の完了に応じて) チャンネル m の最後の転送リクエストが発行されるか、完了した後に発生します。
- 中間の転送完了チェーン (OPT 内の ITCCHEN = 1) がイネーブルの場合、チェーン・トリガ・イベントは、(早期または通常の完了に応じて) チャンネル m の最後の TR が発行されるか、完了した場合を除いて、すべての転送リクエストの後に発生します。
- 最後と中間の両方の転送完了チェーン (OPT 内の TCCHEN = 1 および ITCCHEN = 1) がイネーブルの場合、チェーン・トリガ・イベントは、(早期または通常の完了に応じて) すべての転送リクエストが発行されるか、完了した後に発生します。

表 2-9 に、2 つの同期でそれぞれ発生するチェーン・イベント・トリガの数を示します。チャンネル 31 が ACNT = 3、BCNT = 4、CCNT = 5、および TCC = 30 でプログラムされているとみなします。

表 2-9. チェーン・イベント・トリガ

	(チャンネル 30 でのチェーン・イベント・トリガの数)	
	A 同期	AB 同期
TCCHEN = 1, ITCCHEN = 0	1 (最後の TR による)	1 (最後の TR による)
TCCHEN = 0, ITCCHEN = 1	59 (最後の TR 以外の全部による)	4 (最後の TR 以外の全部による)
TCCHEN = 1, ITCCHEN = 1	60 (合計 60 の TR による)	5 (合計 5 つの TR による)

2.9 EDMA3 割り込み

EDMA3 割り込みは、転送完了割り込みとエラー割り込みの 2 つのカテゴリに分類されます。

9 つの領域割り込み、8 つのシャドウ領域、および 1 つのグローバル領域があります。表 2-10 に転送完了割り込みを示し、表 2-11 にエラー割り込みを示します。転送コントローラからの転送完了割り込みとエラー割り込みはすべて、DSP 割り込みコントローラに送られます。

表 2-10. EDMA3 転送完了割り込み

名前	説明	DSP 割り込み番号
EDMA3CC_INT0	EDMA3CC 転送完了割り込みシャドウ領域 0	71
EDMA3CC_INT1	EDMA3CC 転送完了割り込みシャドウ領域 1	72
EDMA3CC_INT2	EDMA3CC 転送完了割り込みシャドウ領域 2	73
EDMA3CC_INT3	EDMA3CC 転送完了割り込みシャドウ領域 3	74
EDMA3CC_INT4	EDMA3CC 転送完了割り込みシャドウ領域 4	75
EDMA3CC_INT5	EDMA3CC 転送完了割り込みシャドウ領域 5	76
EDMA3CC_INT6	EDMA3CC 転送完了割り込みシャドウ領域 6	77
EDMA3CC_INT7	EDMA3CC 転送完了割り込みシャドウ領域 7	78
EDMA3CC_INTG	EDMA3CC グローバル転送完了割り込み	24

表 2-11. EDMA3 エラー割り込み

名前	説明	DSP 割り込み番号
EDMA3CC_ERRINT	EDMA3CC エラー割り込み	79
EDMA3CC_MPINT	EDMA3CC メモリ保護割り込み	80
EDMA3TC0_ERRINT	TC0 エラー割り込み	81
EDMA3TC1_ERRINT	TC1 エラー割り込み	82
EDMA3TC2_ERRINT	TC2 エラー割り込み	83
EDMA3TC3_ERRINT	TC3 エラー割り込み	84

2.9.1 転送完了割り込み

EDMA3CC は、CPU（および他の EDMA3 マスター）に対する転送完了割り込みを生成します。EDMA3 は、シャドウ領域ごとに完了割り込みを 1 つ生成し、同時に 64 個の全チャンネルの代わりにグローバル領域に対して 1 つ生成します。各種のコントロール・レジスタとビット・フィールドにより、EDMA3 割り込みの生成が容易になります。

ソフトウェア・アーキテクチャでは、グローバル割り込みまたはシャドウ割り込みの両方ではなくいずれか一方を使用する必要があります。転送完了コード（TCC）値は、インタラプト・ペンディング・レジスタ（IPR/IPRH）のビットに直接マップされます。たとえば、TCC = 10 0001b の場合、転送完了後に IPRH[1] がセットされ、CPU 用に完了割り込みがイネーブルされると CPU に対して割り込みが生成されます。EDMA3 転送完了割り込みのイネーブルの詳細については、2.9.1.1 項を参照してください。

（早期または通常の完了の結果として）完了コードが返されると、転送完了割り込み（最後 / 中間）が転送に関連付けられた PaRAM セットのチャンネル・オプション・パラメータ（OPT）でイネーブルされている場合は、IPR/IPRH 内の対応するビットがセットされます。

転送完了コード（TCC）は、DMA/QDMA チャンネルの任意の値にプログラムすることができます。チャンネル番号と転送完了コード値には、直接的な関係は必要ありません。複数のチャンネルが同一の転送完了コード値をもつことで、CPU が異なるチャンネルに対して同一の割り込みサービス・ルーチン（ISR）を実行することができます。

チャンネルがシャドウ領域のコンテキストで使用される場合に、シャドウ領域割り込みをアサートしようとするときは、TCC コードに対応するビットが IER/IERH および対応するシャドウ領域の DMA リージョン・アクセス・レジスタ (DRAE/DRAEH) でイネーブルになることを確認してください。

割り込みの生成は、最後の転送完了時、または中間の転送完了時、あるいはその両方の時点でイネーブルされます。例としてチャンネル m を考えます。

- 最後の転送割り込み (OPT 内で TCCINT = 1) がイネーブルの場合、(早期または通常の完了に応じて) 割り込みはチャンネル m の最後の転送リクエストが発行されるか、完了した後に発生します。
- 中間の転送割り込み (OPT 内で ITCCINT = 1) がイネーブルの場合、(早期または通常の完了に応じて) 割り込みはチャンネル m の最後の TR が発行されるか、完了した場合を除いて、すべての転送リクエストの後に発生します。
- 最後と中間の両方の転送完了割り込み (OPT 内で TCCINT = 1 および ITCCINT = 1) がイネーブルの場合、(早期または通常の完了に応じて) 割り込みはすべての転送リクエストが発行されるか、完了した後に発生します。

表 2-12 に、2 つの同期で発生する割り込みの数をそれぞれ示します。チャンネル 31 が ACNT = 3、BCNT = 4、CCNT = 5、および TCC = 30 でプログラムされていると考えます。

表 2-12. 割り込みの数

オプション	A 同期	AB 同期
TCCINT = 1, ITCCINT = 0	1 (最後の TR による)	1 (最後の TR による)
TCCINT = 0, ITCCINT = 1	59 (最後の TR 以外の全部による)	4 (最後の TR 以外の全部による)
TCCINT = 1, ITCCINT = 1	60 (合計 60 の TR による)	5 (合計 5 つの TR による)

注: DMA リージョン・アクセス・レジスタ (DRAE/DRAEH) は転送完了領域割り込みをイネーブルする必要があるため、異なるシャドウ領域において(多くの場合)固有の重複しないチャンネルと割り込みの割り当てがあります。これにより、異なるシャドウ領域内のインタラプト・レジスタ (IER、IESR、IECR、IPR、ICR) は独立した重複しない方法で機能的に動作します。割り込みサービス・ルーチンの例は、この前提に基づいています。

2.9.1.1 転送完了割り込みのイネーブル

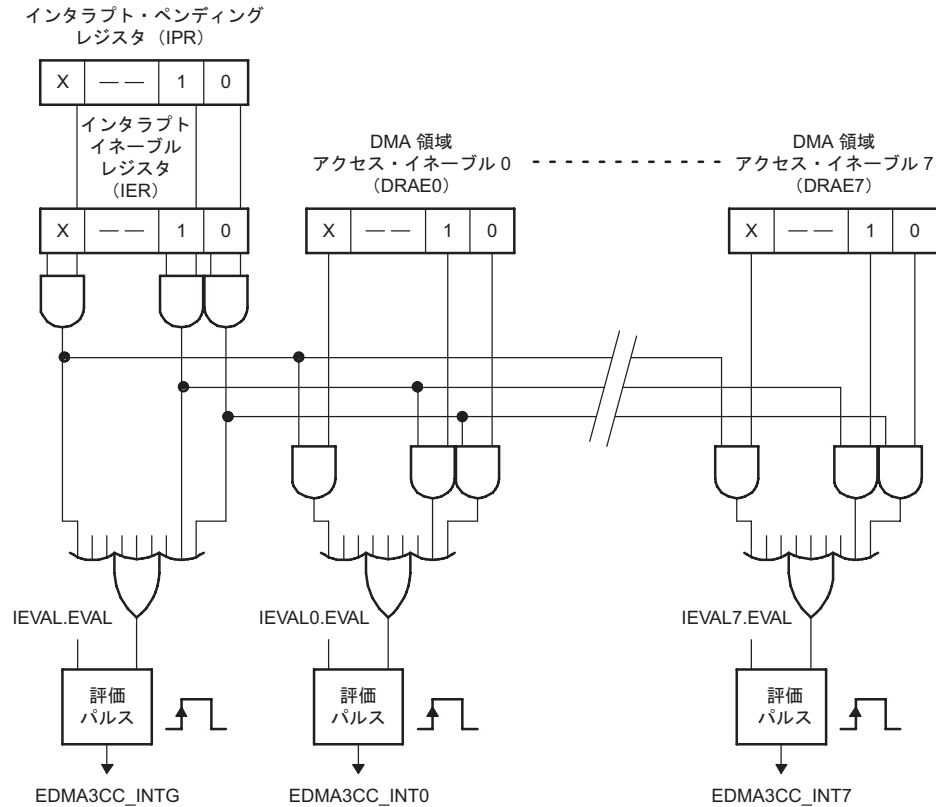
外部の環境に転送完了をアサートする EDMA3 チャンネル・コントローラの場合は、EDMA3CC で割り込みをイネーブルする必要があります。この操作は、関連付けられた PaRAM セットの OPT 内の TCINTEN ビットと ITCINTEN ビットをセットアップする際に一緒に行います。

EDMA3 チャンネル・コントローラにはインタラプト・イネーブル・レジスタ (IER/IERH) があり、IER/IERH 内の各ビット・ロケーションは、対応するインタラプト・ペンディング・レジスタ (IPR/IPRH) に対して 1 次イネーブルとして機能します。

インタラプト・レジスタ (IER、IESR、IECR、IPR) はすべて、グローバル DMA チャンネル領域または DMA チャンネル・シャドウ領域から操作されます。シャドウ領域は、グローバル領域内にある同じ一連の物理レジスタへのビューを提供します。

EDMA3 チャンネル・コントローラは階層的完了割り込み方式を備えており、これはインタラプト・ペンディング・レジスタ (IPR/IPRH) とインタラプト・イネーブル・レジスタ (IER/IERH) を 1 セットずつ使用します。第 2 レベルの割り込みマスクが、プログラマブルな DMA リージョン・アクセス・イネーブル・レジスタ (DRAE/DRAEH) によって提供されます。グローバル領域割り込みの出力は、IER が提供するイネーブル・マスクに基づいてゲートされます。領域割り込みの出力は、IER とその領域に関連付けられた特定の DRAE/DRAEH によってゲートされます。図 2-12 を参照してください。

図 2-12. 割り込み図



各シャドウ領域に関連付けられた転送完了割り込みを生成する EDMA3CC の場合は、次の条件が真でなければなりません。

- EDMA3CC_INT0 : (IPR.E0 & IER.E0 & DRAE0.E0) | (IPR.E1 & IER.E1 & DRAE0.E1) | ...|(IPRH.E63 & IERH.E63 & DRAHE0.E63)
- EDMA3CC_INT1 : (IPR.E0 & IER.E0 & DRAE1.E0) | (IPR.E1 & IER.E1 & DRAE1.E1) | ...| (IPRH.E63 & IERH.E63 & DRAHE1.E63)
- EDMA3CC_INT2 : (IPR.E0 & IER.E0 & DRAE2.E0) | (IPR.E1 & IER.E1 & DRAE2.E1) | ...|(IPRH.E63 & IERH.E63 & DRAHE2.E63)
-
- EDMA3CC_INT7 : (IPR.E0 & IER.E0 & DRAE7.E0) | (IPR.E1 & IER.E1 & DRAE7.E1) | ...|(IPRH.E63 & IERH.E63 & DRAHE7.E63)

注： すべての領域に対する DRAE/DRAEH は、システムの初期化時にセットアップされます。インタラプト・イネーブル・レジスタは、各割り込みを動的にイネーブル / ディスエーブルするために使用しなければなりません。

TCC 値と DMA/QDMA チャンネル間には関係がないため、たとえば、DMA チャンネル 0 においてその関連付けられた PaRAM セットで OPT.TCC = 63 を設定することが可能となります。これは転送完了割り込みがイネーブル(OPT.TCINTEN または OPT.ITCINTEN がセットされている) の場合に、TCC 値に基づいて、完了時に IPRH.E63 がセットされることを意味します。シャドウ領域マップを使用して適切なチャンネル操作と割り込み生成を行うためには、シャドウ領域に関連付けられた DRAE/DRAEH がビット 0 (チャンネル 0 に対応) とビット 63 (完了時にセットされる IPRH ビットに対応) の両方へのリード / ライト・アクセス権をもつようにプログラムする必要があります。

2.9.1.2 転送完了割り込みのクリア

インタラプト・ペンディング・レジスタ (IPR/IPRH) にラッチされる転送完了割り込みは、インタラプト・ペンディング・クリア・レジスタ (ICR/ICRH) の対応するビットに 1 をライトすることでクリアされます。たとえば、ICR.E0 に 1 をライトすると、IPR.E0 内のペンディング割り込みがクリアされます。

受信転送完了コード (TCC) が IPR/IPRH のビットにラッチされると、以降の転送完了によりセットされる追加ビットは EDMA3CC 完了割り込みをアサートしません。完了割り込みのパルスを発生させるには、イネーブル割り込みがセットされていない状態から、少なくとも 1 つのイネーブル割り込みがセットされている状態への遷移が必要です。

2.9.2 EDMA3 割り込みの処理

転送の完了時 (早期または通常の完了)、EDMA3 チャンネル・コントローラは転送完了コードで指定されたとおりに、インタラプト・ペンディング・レジスタ (IPR/IPRH) 内の適切なビットをセットします。完了割り込みが適切にイネーブルされていると、CPU は完了割り込みがアサートされたときに割り込みサービス・ルーチン (ISR) に入ります。

割り込みの処理後、ISR は IPR/IPRH 内の対応するビットをクリアし、その結果、以降の割り込みを認識できるようになります。IPR/IPRH ビットがすべてクリアされた場合にのみ、EDMA3CC は追加の完了割り込みをアサートします。

1 つの割り込みが処理されると、その他の多くの転送完了により追加のビットが IPR/IPRH にセットされる可能性があり、その結果、追加の割り込みが生じます。IPR/IPRH 内の各ビットは異なるタイプのサービスを必要とすることがあるため、ISR はすべてのペンディング割り込みをチェックし、ポストされる割り込みがすべて適切に処理されるまで続行する可能性があります。

以下の例 (疑似コード) に、EDMA3CC 完了割り込みの CPU 割り込みサービス・ルーチンを示します。

例 2-2 の ISR ルーチンは、より包括的であり、レイテンシが高くなります。例 2-3 はあまり厳密ではなく、セットされた割り込みビットをポーリングするソフトウェアへの負担が少なくなります。ただし、前述のように、ときどき (稀に) 競合状態が生じることがあります。

例 2-2. 割り込みの処理

疑似コード：

1. インタラプト・ペンディング・レジスタ (IPR/IPRH) をリードします。
2. 必要な操作を実行します。
3. インタラプト・ペンディング・クリア・レジスタ (ICR/ICRH) にライトして、対応する IPR/IPRH ビットをクリアします。
4. IPR/IPRH を再度リードします。
 - a. IPR/IPRH が 0 と等しくない場合は、ステップ 2 から繰り返します (ステップ 2 とステップ 4 の間での新規イベントの発生を示す)。
 - b. IPR/IPRH が 0 と等しい場合は、すべてのイネーブル割り込みがインアクティブであることが分かります。

注： IPR/IPRH ビットがリードされて 0 になり、アプリケーションがまだ割り込みサービス・ルーチン内にある間は、イベントがステップ 4 で発生する可能性があります。これが起こると、新規の割り込みがデバイス割り込みコントローラに記録され、アプリケーションが割り込みサービス・ルーチンを終了するとただちに新規の割り込みが生成されます。

例 2-3. 割り込みの処理

(プライオリティが低い可能性のある) イネーブル割り込みとペンディング割り込みをそのまましておきたい場合は、割り込みロジックで強制的に割り込みパルスを再アサートする必要があります。この場合、インタラプト・エバリュエーション・レジスタ (IEVAL) のビットをセットすることで、割り込みを再イネーブルする必要があります。

疑似コード：

1. ISR に入ります (DSP の IFR の対応するビット (EDMA3CC_INT* ビット) はクリアされます)。
2. IPR/IPRH をリードします。
3. 処理したい IPR/IPRH にセットされる状況に合わせて
 - a. アプリケーションの必要に応じて割り込みを処理します。
 - b. 処理される条件に合わせてビットをクリアします (他のビットはそのままセットされ、他の転送によりステップ 2 の後に TCC が EDMA3CC に返される可能性があります)。
4. ISR を出る前に IPR/IPRH をリードします。
 - a. IPR/IPRH が 0 と等しい場合は、ISR を出します。
 - b. IPR/IPRH が 0 と等しくない場合は、ISR を出るとき、イネーブル割り込みがまだペンディングされている場合に新規の割り込みがトリガされるように IEVAL をセットします。

4a と 4b の条件を見分けて、割り込み出力信号での余分なパルスを回避する必要があります。IPR/IPRH = 0 の場合に IEVAL ビットがセットされると、EVAL ビットへのライト前に、新規の転送完了コードが IPR/IPRH にラッチされる可能性があります。このため、EDMA3CC は、イネーブル割り込みがセットされる時 (IPR/IPRH.En = 1) および IEVAL へのライトが完了したときに完了割り込みを生成します。ソフトウェアではこれを回避しなければなりません。

2.9.3 割り込み評価操作

EDMA3CC には、グローバル領域と各シャドウ領域の両方に存在するインタラプト・エバリュエーション・レジスタ (IEVAL) があります。シャドウ領域内にあるこれらのレジスタは、DMA チャンネル・シャドウ領域メモリ・マップ内で DMA リージョン・アクセス・イネーブル・レジスタ (DRAE/DRAEH) の設定の影響を受けない唯一のレジスタです。特定のシャドウ領域に関連付けられたこれらのレジスタの EVAL ビットに 1 をライトすると、(IER/IERH を介した) イネーブル割り込みがペンディング中の場合 (IPR/IPRH) は、関連付けられた領域割り込み (グローバルまたはシャドウ) のパルスが発生します。このレジスタにより、ソフトウェア・アーキテクチャですべての割り込みを使用しない場合、CPU (またはシャドウ領域に関連付けられた EDMA3 マスター) は割り込みを取りこぼしません。EDMA3 割り込みサービス・ルーチン (ISR) での IEVAL の使用については、例 2-3 を参照してください。

同様に、グローバル領域にはエラー・エバリュエーション・レジスタ (EEVAL) があります。EEVAL の EVAL ビットに 1 をライトすると、ペンディングされているエラーが EMR/EMRH、QEMR、または CCERR 内にある場合に、エラー割り込みのパルスが発生します。エラー割り込みの詳細については、2.9.4 項を参照してください。

注： シャドウ領域完了割り込みに対して IEVAL を使用している場合は、問題の IEVAL がその特定のシャドウ領域メモリ・マップからのものであることを確認する必要があります。

2.9.4 エラー割り込み

EDMA3CC エラー・レジスタは、エラー条件（ミス・イベント、スレッシュホールドを超えたなど）を区別する機能を提供します。また、これらのレジスタにエラー・ビットがセットされる場合は、EDMA3CC エラー割り込みがアサートされます。EDMA3CC エラー割り込みがデバイス割り込みコントローラでイネーブルされると、CPU はエラー条件を処理することができます。

EDMA3CC には、すべての EDMA3CC エラー条件に対してアサートされるエラー割り込み (EDMA3CC_ERRINT) が 1 つあります。エラー割り込みのパルスが発生する条件は、次の 4 つです。

- DMA ミス・イベント：64 個のすべての DMA チャンネル用。これらはイベント・ミスド・レジスタ (EMR/EMRH) にラッチされます。
- QDMA ミス・イベント：すべての QDMA チャンネル用。これらは QDMA イベント・ミスド・レジスタ (QEMR) にラッチされます。
- スレッシュホールドを超えた場合：すべてのイベント・キュー用。これらは EDMA3CC エラー・レジスタ (CCERR) にラッチされます。
- TCC エラー：最大 63 の制限を越えた完了コード (OPT 内で TCCHEN または TCINTEN ビットが 1 にセット) を返すことになる未処理の転送リクエスト用。これも EDMA3CC エラー・レジスタ (CCERR) にラッチされます。

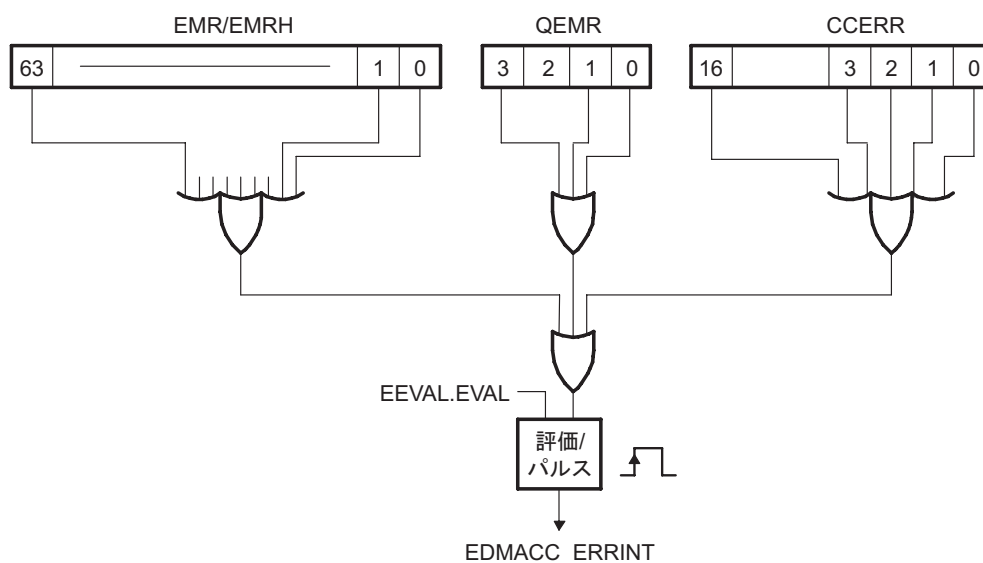
図 2-13 に、EDMA3CC エラー割り込み生成動作を示します。

何らかのエラー条件が原因でエラー・レジスタの任意のビットがセットされると、これらのエラー・イベントのマスク・イネーブル方法がないため、EDMA3CC_ERRINT が常にアサートされます。転送完了割り込み (EDMA3CC_INT*) と同様に、エラー割り込みのパルスが発生するのは、エラーがセットされていない状態から、少なくとも 1 つのエラーがセットされている状態にエラー割り込み条件が遷移する場合のみです。元のエラー・ビットがクリアされる前に追加のエラー・イベントがラッチされると、EDMA3CC は追加の割り込みパルスを生成しません。

ソフトウェアの負担を軽減するために、インタラプト・エバリュエーション・レジスタ (IEVAL) と同様、ペンディング・セット・エラー・イベント/ビットを再評価するエラー・エバリュエーション・レジスタ (EEVAL) があります。これを使用すると、CPU はどのエラー・イベントも取りこぼしません。

注： エラー割り込みをデバイス割り込みコントローラでイネーブルにし、割り込みサービス・ルーチンをそれに関連付けて、各種エラー条件を適切に処理するようにしてください。これにより、ソフトウェアへの負担（エラー状況に対するポーリング）が少なくなるだけでなく、予期しないエラー条件に対して適切なデバッグ・メカニズムが提供されます。

図 2-13. エラー割り込み動作



2.10 メモリ保護

EDMA3 チャネル・コントローラでは、アクティブとプロキシの2種類のメモリ保護がサポートされます。

2.10.1 アクティブ・メモリ保護

アクティブ・メモリ保護では、EDMA3CC レジスタへのリード/ライト・アクセス (EDMA プログラマによる) がユーザがプログラムした権限特性に基づいて受諾または拒否されます。これはメモリ・プロテクション・パーミッション・アトリビュート (MPPA) レジスタをセットすることにより実行されます。EDMA3CC レジスタ・マップは、グローバル領域と8つのシャドウ領域に分割されます。8つの領域にはすべてそれぞれの MPPA レジスタ ($MPPA_n$) があり、各レジスタは領域のメモリマップド・レジスタと領域の PaRAM セクションに対する要求の特定のリクエスターとタイプを規定しています。グローバル領域は、MPPAG で保護されます。MPPAG は、PaRAM、DMA シャドウ領域、および MPPA レジスタ自体を除く、すべての EDMA3CC レジスタに適用されます。MPPA $_n$ のビット・フィールドの説明については、4.2.5.4 項を参照してください。MPPA $_n$ には、一定のアクセス・ルールがあります。表 2-13 に、MPPAG と MPPA $_n$ に対して許可または拒否されるアクセスを示します。

表 2-13. 許可されるアクセス

アクセス	スーパーバイザ	ユーザ
リード	可能	可能
ライト	可能	不可能

表 2-14 に、シャドウ領域の MPPA レジスタ・マッピングを示します (シャドウ・リージョン・レジスタと PaRAM アドレスを含む)。

領域ベースの MPPA レジスタは、DMA シャドウ領域と関連付けられた領域 PaRAM へのアクセスを保護するために使用されます。領域が8つあるため、MPPA リージョン・レジスタも8つ (MPPA[0-7]) あります。

図 2-14 の最初の例は、MPPA7 でユーザ・ライト・アクセスが許可されている場合のシャドウ領域 7 EESR へのユーザ・ライト・アクセスを示します。図 2-14 の2番目の例は、MPPA7 でユーザ・ライト・アクセスが許可されていない場合のシャドウ領域 7 EESR へのユーザ・ライト・アクセスを示します。

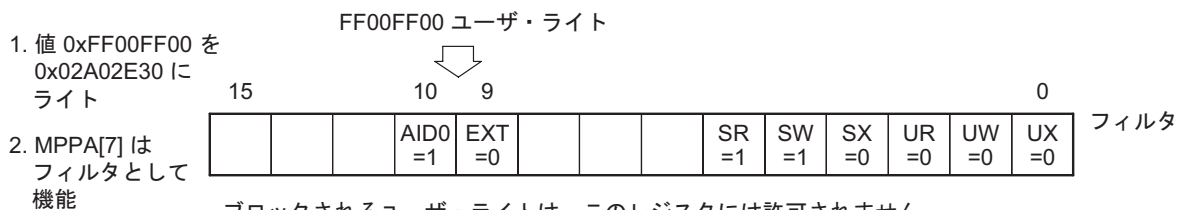
表 2-14. MPPA レジスタの領域への割り当て

レジスタ	レジスタ保護	アドレス範囲	PaRAM 保護	アドレス範囲
MPPAG	グローバル範囲	0000h-1FFCh	該当しない	
MPPA0	DMA シャドウ 0	2000h-21FCh	最初の 8 分の 1	4000h-43FCh
MPPA1	DMA シャドウ 1	2200h-23FCh	2 番目の 8 分の 1	4400h-47FCh
MPPA2	DMA シャドウ 2	2400h-25FCh	3 番目の 8 分の 1	4800h-4BFCh
MPPA3	DMA シャドウ 3	2600h-27FCh	4 番目の 8 分の 1	4C00h-4FFCh
MPPA4	DMA シャドウ 4	2800h-29FCh	5 番目の 8 分の 1	5000h-53FCh
MPPA5	DMA シャドウ 5	2A00h-2BFCh	6 番目の 8 分の 1	5400h-57FCh
MPPA6	DMA シャドウ 6	2C00h-2DFCh	7 番目の 8 分の 1	5800h-5BFCh
MPPA7	DMA シャドウ 7	2E00h-2FFCh	8 番目の 8 分の 1	5C00h-5FFCh

図 2-14. EESR へのユーザ・ライト・アクセス – MPPA によるユーザ・ライト・アクセスの許可

I) シャドウ領域 I の EESR へのライト・アクセス。

0. EER (0x02A01020) の元の値は 0x0

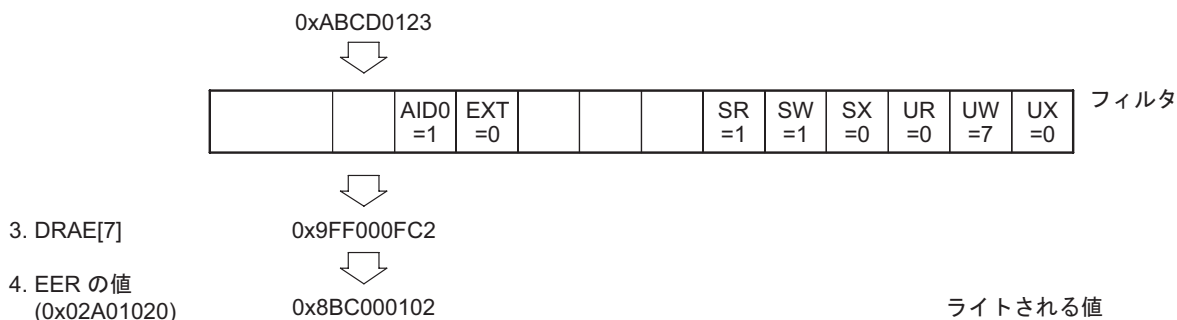


3. EER (0x02A01020) の値は 0x0 のまま

II) シャドウ領域 7 の EESR へのユーザ・ライト。

1. ESR の以上または以下の値 = 0x0

2. 値 0xABCD0123 を 0x02A02E30 にライト



2.10.2 プロキシ・メモリ保護

プロキシ・メモリ保護では、特定の CPU によってプログラムされた DMA 転送に、ソース・エンドポイントとデスティネーション・エンドポイントへのリード転送とライト転送を行うために、TR と EDMA3TC を通して転送する権限をもたせることができます。PaRAM セットのいずれかの部分がライトされると、チャンネル・オプション・パラメータ (OPT) の PRIV ビット (スーパーバイザまたはユーザ) と PRIVID ビットが、それぞれ EDMA プログラムの priv 値と privid 値とともにセットされます。使われる可能性のある EDMA プログラムに関連付けられた privid の値については、データシートを参照してください。

これらのオプションは、転送コントローラに発行される TR の一部分です。転送コントローラは前述の値をそれぞれのリード/ライト・コマンド・バスで使用して、ターゲット・エンドポイントがこれらの値に基づいてメモリ保護チェックを実行できるようにします。

ソース・バッファが L2 ページに、そしてデスティネーション・バッファが L1D ページにある単純な転送に対する、ユーザ特権レベルで CPU がプログラムするパラメータ・セットを考えます。PRIV は 0 (ユーザ・レベル) であり、CPU の privid は 0 です。図 2-15 に、PaRAM セットを示します。

図 2-15. プロキシ・メモリ保護の PaRAM セット内容の例

(a) EDMA パラメータ

パラメータ内容		パラメータ	
0010 0007h		チャンネル・オプション・パラメータ (OPT)	
009F 0000h		チャンネル・ソース・アドレス (SRC)	
0001h	0004h	2 次元のカウンタ (BCNT)	1 次元のカウンタ (ACNT)
00F0 7800h		チャンネル・デスティネーション・アドレス (DST)	
0001h	0001h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0000h	FFFFh	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0001h	1000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	0001h	予約	3 次元のカウンタ (CCNT)

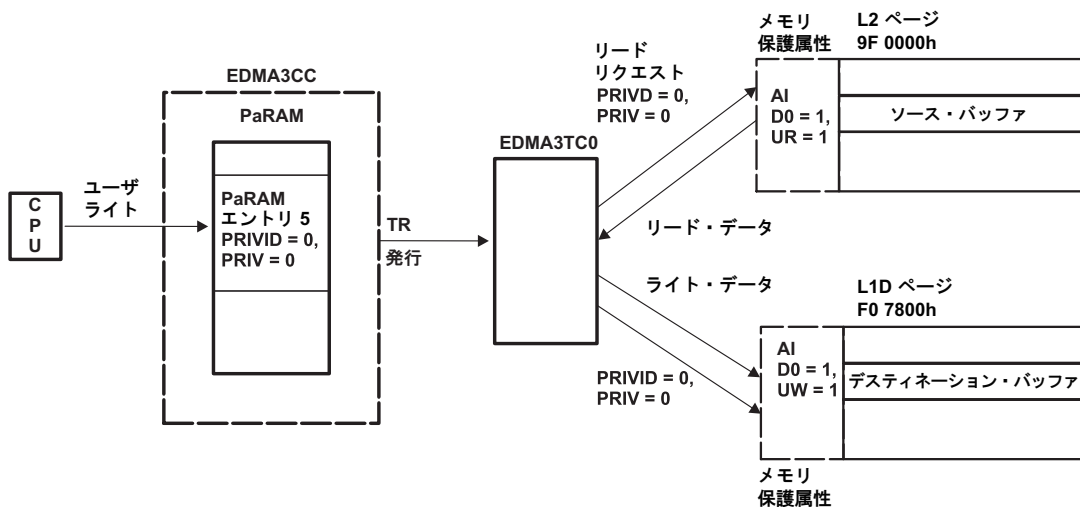
(b) チャンネル・オプション・パラメータ (OPT) 内容

31	30	29	28	27	24	23	22	21	20	19	18	17	16
0	0	00	0000		0	0	0	1	00		00		
PRIV	Rsvd	Rsvd	PRIVID		ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved		TCC		
15	12		11	10	8	7	4		3	2	1	0	
0000		0	000	0000				0	1	1	1		
TCC		TCCMOD		FWID	Reserved				STATIC	SYNCDIM	DAM	SAM	

PRIV と PRIVID の情報が、ソース・メモリとデスティネーション・メモリに発行されるリード・リクエストとライト・リクエストと一緒に伝えられます。

たとえば、ソース・バッファの L2 ページに関連付けられたアクセス属性がスーパーバイザのリードとライト・アクセス (SR、SW) しか許可していない場合は、前述のユーザ・レベルのリード要求は拒否されます。同様に、デスティネーション・バッファの L1D ページに関連付けられたアクセス属性がスーパーバイザのリードとライト・アクセス (SR、SW) しか許可していない場合は、前述のユーザ・レベルのライト・リクエストは拒否されます。転送を正常に行うには、ソース・ページとデスティネーション・ページにはそれぞれユーザ・リード権限とユーザ・ライト権限があり、PRIVID 0 からのアクセスを許可する必要があります。プログラマの特権レベルと特権 ID はリード・リクエストとライト・リクエストと一緒に伝えられるため、EDMA3 はプロキシとして機能します。図 2-16 に、相互作用するすべてのエンティティ (CPU、EDMA3CC、EDMA3TC、スレーブ・メモリ) の境界における PRIV と PRIVID の伝搬を示します。

図 2-16. プロキシ・メモリ保護の例



2.11 イベント・キュー

イベント・キューは、EDMA3 チャンネル・コントローラの一部です。イベント・キューは、EDMA3CC のイベント検出口ジックと EDMA3CC の転送リクエスト (TR) 発行ロジック間のインターフェイスを形成します。各キューのエントリの深さは 16 です。このため、最大 16 のイベントが 1 つのイベント・キューに入ります。16 以上のイベントがある場合、イベント・キューに入らないイベントは関連付けられたイベント・レジスタにそのままセットされ、CPU はストールされません。

TMS320C645x デバイスには、4 つのイベント・キュー (Queue0、Queue1、Queue2、Queue3) があります。Queue0 内のイベントに関連付けられた転送リクエスト (TR) は、TC0 に発行されます。同様に、Queue3 内のイベントに関連付けられた転送リクエストは、TC3 に発行されます。

他の DMA と QDMA の両方またはいずれかのペンディング・イベントよりもプライオリティが高いイベントは、適切なイベント・キューの最後尾に置かれます。各イベント・キューは、FIFO (先入れ先出し) 順に処理されます。イベントがそのキューの先頭に到達して、対応する転送コントローラが他の TR を受信可能になると、そのイベントはキューから取り出され、そのキューから取り出されたイベントに対応する PaRAM セットが処理され、関連付けられた EDMA3 転送コントローラに転送リクエスト・パケット (TRP) として発行されます。

Queue0 のプライオリティが最も高く、Queue3 のプライオリティが最も低くなります。Queue0 と Queue1 の両方に少なくとも 1 つのイベント・エントリがあり、TC0 と TC1 の両方が転送リクエストを受け入れ可能な場合は、Queue0 内のイベントが最初にキューから取り出され、その関連付けられた PaRAM セットが処理されて TC0 に転送リクエスト (TR) として発行されます。

システム・レベルのパフォーマンスに関する考慮事項については、2.11.4 項を参照してください。すべてのイベント・キュー内のすべてのイベント・エントリが、イベント・エントリ・レジスタ (Q0E0、Q0E1 ... Q1E15 など) にアクセスすることで (ライタブルではなく) ソフトウェア・リーダブルとなります。イベント・エントリ・レジスタはそれぞれ、キューに入っているイベントを、イベントのタイプ (手動、イベント、チェーン、または自動のいずれかのトリガ) とイベント番号で特徴付けます。キュー・イベント・エントリ・レジスタ内のビット・フィールドの説明については、4.2.4.1 項を参照してください。

2.11.1 DMA/QDMA チャンネルからイベント・キューへのマッピング

64 個の DMA チャンネルと 4 個の QDMA チャンネルはそれぞれ個別にプログラムされて、DMA キュー・ナンバー・レジスタ (DMAQNUM) と QDMA キュー・ナンバー・レジスタ (QDMANUM) を使用して、特定のキューにマップされます。DMA/QDMA チャンネルをマッピングすることは、EDMA に対して目的のパフォーマンス・レベルを実現し、特にリアルタイム・デッドラインに間に合わせる上で重要です。2.11.4 項を参照してください。

注: イベントをキューに積む準備ができていて、かつイベント・キューとそのイベント・キューに関連付けられた EDMA3 転送コントローラが両方とも空である場合、そのイベントはイベント・キューをバイパスして PaRAM 処理ロジックに送られ、最終的に転送リクエスト発行ロジックに送られて EDMA3TC に発行されます。この場合、そのイベントはイベント・キュー・ステータス・レジスタには記録されません。

2.11.2 キュー RAM デバッグの可視性

イベント・キュー内の 16 個のエントリはそれぞれ、EDMA3CC メモリマップド・レジスタを使用してリードされます。イベント・キューをリードすると、特定のキューで EDMA3 によって処理された最近の 16 個の TR の履歴を見ることができます。これはユーザ / ソフトウェアの可視性をもたらす、複数のイベントとイベント・ソースを伴うリアルタイムの問題 (通常、事後分析) をデバッグする際に便利です。

イベント・キュー・エントリ・レジスタ (QxEx) は、特定のイベント・タイプ (イベント・トリガ、手動トリガ、チェーン・トリガ、QDMA イベント) を、イベント番号と一緒に (すべての DMA/QDMA イベント・チャンネルに対して) 一意に識別します。

また、キュー・ステータス・レジスタ (QSTAT_n) は、デバイス内のすべてのキューに対するキューに積まれたイベントの履歴を提供します。QSTAT_n の STRIPTR ビットは、イベントの先頭エントリへのオフセットを提供します。QSTAT_n の NUMVAL ビットは、指定された時点でイベント・キューにあるエントリの合計数を提供します。

2.11.3 キュー・リソース追跡

EDMA3CC イベント・キューにはウォーターマーク / スレッシュホールド・ロジックが組み込まれているので、ユーザはすべてのイベント・キューの最大使用率を追跡することができます。これは特定の EDMA3 イベント・キューでの先頭のブロックにより発生する可能性があるリアルタイム・デッドライン違反をデバッグする際に便利です。

キュー・ウォーターマーク・スレッシュホールド A レジスタ (QWMTHRA) のスレッシュホールド値 (0 ~ 15) を設定することで、イベント・キューに入るイベントの最大数をプログラムすることができます。キューの最大使用率は、有効エントリ数の比較に基づき更新し続けるキュー・ステータス・レジスタ (QSTAT_n) のウォーターマーク (WM) ビットにアクティブに記録されます。これもまた QSTAT_n の NUMVAL ビットとエントリの最大数 (QSTAT_n の WM ビット) で見ることができます。

キューの使用率を超えると、このステータスは EDMA3CC レジスタ (チャンネル・コントローラ・エラー・レジスタ (CCERR) の QTHRXCDC_n ビットと QSTAT_n の THRXCDC ビット) で見ることができます。この *n* は、イベント・キュー番号を表します。CCERR にセットされるビットによっても、EDMA3CC エラー割り込みが生成されます。

2.11.4 パフォーマンスに関する考慮事項

メイン切り替え中央リソース (SCR) (データシートを参照) は、すべてのマスター (TC、CPU、HPI、PCI、EMAC、VLYNQ、RapidIO) から共有スレーブ・リソース (ペリフェラルとメモリ) へのバス・リクエストを調停します。

システム・クロスバー内の他のマスターに関する EDMA3 転送コントローラからの転送リクエスト (リードとライト・コマンド) のプライオリティは、キュー・プライオリティ・レジスタ (QUEPRI) を使用してプログラムされます。QUEPRI はイベント・キューのプライオリティ (すなわち、Queue_N 転送リクエストは TC_N に発行されるため間接的に TC0-TC3) をプログラムします。

このため、アンロード・キューのプライオリティは、転送のプライオリティと比べると二次効果があり、これらは EDMA3TC で実行されます (QUEPRI を使用してセットされるプライオリティで指定)。

2.12 EDMA3 転送コントローラ (EDMA3TC)

EDMA3 チャンネル・コントローラは EDMA3 のユーザ・インターフェイスであり、EDMA3 転送コントローラ (EDMA3TC) は EDMA3 のデータ転送エンジンです。EDMA3CC は転送リクエスト (TR) を EDMA3TC に発行し、EDMA3TC は TR が指定するデータ転送を行います。このため、EDMA3TC は EDMA3CC に対するスレーブになります。

2.12.1 アーキテクチャの詳細

2.12.1.1 コマンドのフラグメント化

TC リード・コントローラとライト・コントローラは、ソースとデスティネーション・レジスタ・セットとともに、最適なサイズのリードとライトをスレーブ・エンドポイントに発行します。最適なサイズのコマンドは、転送コントローラのデフォルト・バースト・サイズ (DBS) で定義されます (2.12.5 項を参照)。

EDMA3TC は、DBS 値または TR の ACNT/BCNT 値で制限されているように、可能な限り最大のコマンド・サイズを発行しようとします。EDMA3TC は次のルールに従います。

- ・ リード / ライト・コントローラは、DBS タイ・オフ値以下のコマンドを常に発行します。
- ・ 1D 転送コマンドの最初のコマンドは、以降のコマンドの DBS タイ・オフ値に常にアラインします。

表 2-15 に、EDMA3TC が準拠する TR セグメンテーション・ルールを示します。つまり、ACNT 値が DBS 値より大きいと、EDMA3TC は ACNT アレイをソース / デスティネーション・アドレスに対する DBS サイズのコマンドに分割します。それぞれの BCNT 数のアレイが、連続して処理されます。

ACNT バイトの BCNT アレイ (2D 転送) の場合、ACNT 値が DBS 値より小さいと、効率性を最大にするために TR が 1D 転送に最適化される場合があります。この最適化が行われるのは、2D 転送が 1 次元 (ACNT = BIDX) として構成され、ACNT 値が 2 の累乗であることを EDMA3TC が認識している場合です。

表 2-15 に、この最適化が実行される条件を示します。例 2-4 に、32 バイトの DBS に対するコマンドのフラグメント化を示します。

表 2-15. リード/ライト・コマンドの最適化ルール

ACNT ≤ DBS	ACNT が 2 の累乗	BIDX = ACNT	BCNT ≤ 1023	SAM/DAM = インクリメント	説明
はい	はい	はい	はい	はい	最適化される
いいえ	×	×	×	×	最適化されない
×	いいえ	×	×	×	最適化されない
×	×	いいえ	×	×	最適化されない
×	×	×	いいえ	×	最適化されない
×	×	×	×	いいえ	最適化されない

2.12.1.2 TR パイプライン方式

TR パイプライン方式とは、デスティネーション・アクティブ・レジスタ・セットにライトする前に処理を進めることができるソース・アクティブ・セットの機能を指します。基本的に、特定の TR のためのリードが、前の TR のライトが完了していなくても、すでに処理を開始している場合があります。

未処理 TR の数は、デスティネーション FIFO レジスタ・エントリの数により制限されます。

TR パイプライン方式は、双方向の小さい TR でスループットを保持する上で役立ちます。リードが前の TR ライトが行われているバックグラウンドで開始するため、スタートアップ時のオーバーヘッドが最小限に抑えられます。

例 2-4. コマンドのフラグメント化 (DBS = 64)

- ACNT = 8、BCNT = 8、SRCBIDX = 8、DSTBIDX = 10、SRCADDR = 64、DSTADDR = 191
リード・コントローラ：これは 2D 転送から 1D 転送に最適化されて、リード側が ACNT = 64、BCNT = 1 と同等になります。
Cmd0 = 64 バイト
ライト・コントローラ：DSTBIDX ≠ ACNT であるため、これは最適化されません。
Cmd0 = 8 バイト、Cmd1 = 8 バイト、Cmd2 = 8 バイト、Cmd3 = 8 バイト、Cmd4 = 8 バイト、Cmd5 = 8 バイト、Cmd6 = 8 バイト、Cmd7 = 8 バイト。
- ACNT = 128、BCNT = 1、SRCADDR = 63、DSTADDR = 513
リード・コントローラ：リード・アドレスはアラインされません。
Cmd0 = 1 バイト (ここで SRCADDR は次のコマンドに対して 64 にアラインされます)
Cmd1 = 64 バイト
Cmd2 = 63 バイト
ライト・コントローラ：ライト・アドレスもアラインされません。
Cmd0 = 63 バイト (ここで DSTADDR は次のコマンドに対して 64 にアラインされます)
Cmd1 = 64 バイト
Cmd2 = 1 バイト

2.12.1.3 パフォーマンスの調整

デフォルトでは、リードは可能な限り速く発行されます。場合によって、EDMA3TC が発行するリードによりスレーブの使用可能コマンド・バッファが一杯になり、他の(プライオリティが高い可能性のある)マスターがそのスレーブに対してコマンドを正常に発行できないことがあります。リード・コマンドが EDMA3TC から発行される転送レートは、RDRATE レジスタにより制御されます。RDRATE レジスタは、EDMA3TC リード・コントローラが特定の TR の後続コマンドを発行するまで待機するサイクル数を定義します。その結果、EDMA3TC が使用可能なスレーブ・リソースをすべて使い切ってしまう可能性を最小限に抑えます。RDRATE 値は、転送コントローラの対象がプライオリティの高い転送である場合は比較的小さい値にセットし、転送コントローラの対象がプライオリティの低い転送である場合は大きい値にセットします。

これに対し、ライト・インターフェイスの場合、ライト・コマンドが関連付けられたライト・データと一緒に発行される時、ライトでは常にコマンド間に間隔があるため、パフォーマンスの転換点がありません。

2.12.2 メモリ保護

転送コントローラは、プロキシ・メモリ保護の処理において重要な役割を果たします。転送には 2 つのアクセス特性が関連付けられ、たとえば、転送を開始するマスターの特権 ID (マスターに割り当てられたシステム全体の ID) と転送をプログラムするのに使用する特権レベル (ユーザまたはスーパーバイザ) があります。この情報は、チャンネル・コントローラでプログラムされるときに PaRAM セット内に保持されます。TR が転送コントローラに発行されると、この情報は EDMA3TC に対して使用可能となり、リード・コマンドとライト・コマンドの発行時に EDMA3TC も使用できます。リード・コマンドとライト・コマンドは、チャンネル・コントローラにおいて EDMA3 転送でプログラムされたものと同じ特権 ID と特権レベルをもっています。

2.12.3 エラー生成

エラーが生成される 3 つの条件は次のとおりです (イネーブルの場合)。

- EDMA3TC がソース・アドレスまたはデスティネーション・アドレスからのエラー信号を検出した。
- 設定メモリ・マップ内の無効アドレスに対してリードまたはライトしようとした。
- FIFO モード転送ルールに違反した FIFO モード TR を検出した (ソース / デスティネーション・アドレスとソース / デスティネーション・インデックスは 32 バイトにアラインする必要がある)。

エラー・タイプのいずれか、またはすべてをディスエーブルすることができます。エラー・ビットがセットされ、かつイネーブルされた場合は、関連付けられた転送コントローラに対するエラー割り込みのパルスが発生します。

2.12.4 デバッグ機能

DMA プログラム・レジスタ・セット、DMA ソース・アクティブ・レジスタ・セット、およびデスティネーション FIFO レジスタ・セットを使用すると、転送コントローラを介して処理される TR の簡単な履歴を取り出せます。

また、EDMA3TC ステータス・レジスタ (TCSTAT) には、転送コントローラの異なる部分で進行中の動作内容を示す専用のビット・フィールドがあります。

- SRCACTV ビットは、ソース・アクティブ・セットがアクティブかどうかを示します。
- DSTACTV ビットは、指定された時点でデスティネーション・レジスタ・アクティブ・セットにある TR の数を示します。
- PROGBUSY ビットは、有効な TR が DMA プログラム・セットにあるかどうかを示します。

TR の処理が進んでいる場合、EDMA3TC ステータス・レジスタからリードされる値は、EDMA3TC が進行中の動作内容によってこれらのレジスタの値を変更する可能性があるため、整合性がない場合があることを認識した上で注意する必要があります。

デバッグを容易にするために、EDMA3TC に対してこれ以上 TR を発行しないことをお勧めします。

2.12.4.1 デスティネーション FIFO レジスタ・ポイント

デスティネーション FIFO レジスタのポイントは、開始ポイントが DFSTRIPTR およびバッファの深さが通常 2 または 4 のサーキュラー・バッファとして実装されています。EDMA3TC は、必要に応じて拡張デバッグ時に使用する可能性がある 2 つの重要なステータスの詳細を TCSTAT 内に保持します。DFSTRIPTR ビットは開始ポイント、つまりデスティネーション FIFO レジスタの先頭へのインデックスです。DSTACTV ビットは、有効 (占有) エントリ数のカウンタです。これらのレジスタは、転送の簡単な履歴を得るために使用することがあります。

一部のレジスタ・フィールド値とその解釈の例を次に示します。

- DFSTRIPTR = 0 かつ DSTACTV = 0 は、デスティネーション FIFO レジスタに格納される TR はないことを示します。
- DFSTRIPTR = 1 かつ DSTACTV = 2h は、2 つの TR が存在することを示します。最初にペンディングされた TR はデスティネーション FIFO レジスタのエントリ 1 からリードされ、2 番目にペンディングされた TR はデスティネーション FIFO レジスタのエントリ 2 からリードされます。
- DFSTRIPTR = 3h かつ DSTACTV = 2h は、2 つの TR が存在することを示します。最初にペンディングされた TR はデスティネーション FIFO レジスタのエントリ 3 からリードされ、2 番目にペンディングされた TR はデスティネーション FIFO レジスタのエントリ 0 からリードされます。

2.12.5 EDMA3TC 設定

表 2-16 に、デバイスに存在する各 EDMA3 転送コントローラの設定内容を示します。

表 2-16. EDMA3 転送コントローラの設定内容

名前	TC0	TC1	TC2	TC3
FIFOSIZE	128 バイト	128 バイト	256 バイト	256 バイト
BUSWIDTH	16 バイト	16 バイト	16 バイト	16 バイト
DSTREGDEPTH	2 エントリ	4 エントリ	4 エントリ	4 エントリ
DBS	64 バイト	64 バイト	64 バイト	64 バイト

2.13 イベント・データフロー

ここでは、イベントがチャンネル・コントローラにラッチされた時点から、転送完了コードが戻される時点までの単一イベントのデータフローを要約します。次の手順では、EDMA3CC の動作シーケンスを示します。

1. イベントが外部ソース（ペリフェラルまたは外部割り込み）からアサートされます。これは、手動トリガ、チェーン・トリガ、または QDMA トリガのイベントでも同様です。イベントは $ER.En/ERH.En$ （つまり $CER.En/CERH.En$ 、 $ESR.En/ESRH.En$ 、 $QER.En$ ）ビットにラッチされます。
2. イベントはプライオリティが設定され適切なイベント・キューに積まれると、イベント・プライオリティ / 処理ロジックを通知するために、このイベントはすでにキューに積まれているのでこれを無視するように $SER.En/SERH.En$ （または $QSER.En$ ）ビットがセットされます。また、転送コントローラとイベント・キューが空の場合は、イベントはキューをバイパスします。
3. EDMA3CC 処理とその発行ロジックは適切な PaRAM セットを評価し、その転送リクエスト（TR）が非ヌルなのか非ダミーなのか判別します。
4. EDMA3CC は、TR が非ヌルであることを判別するとただちに、 $ER.En/ERH.En$ （または $CER.En/CERH.En$ 、 $ESR.En/ESRH.En$ 、 $QER.En$ ）ビットと $SER.En/SERH.En$ ビットをクリアします。ヌル・セットの場合、 $SER.En/SERH.En$ ビットはセットされたままです。これは非ヌル / 非ダミー TR を関連付けられた転送コントローラに発行します。TR に早期完了がプログラムされている場合は、EDMA3CC はただちにインタラプト・ペンディング・レジスタ（ $IPR.I[TCC]/IPRH.I[TCC]-32$ ）をセットします。
5. TR に通常完了がプログラムされている場合は、EDMA3TC が転送の完了を EDMA3CC に通知する（転送完了コードを返す）と、EDMA3CC はインタラプト・ペンディング・レジスタ（ $IPR.I[TCC]/IPRH.I[TCC]$ ）をセットします。
6. EDMA3CC が TR とともに関連付けられた EDMA3TC_n のプログラム・レジスタ・セットをプログラムします。
7. TR がソース・アクティブ・レジスタ・セットとデスティネーション FIFO レジスタ・セットに渡されます（レジスタ・セットが両方とも使用可能な場合）。
8. リード・コントローラがソース・スレープ・エンドポイントに対してリード・コマンドを発行して、その TR を処理します。リード・データが EDMA3TC_n のデータ FIFO に入ります。
9. データが十分あるとただちに、ライト・コントローラがデスティネーション・スレープ・エンドポイントに対してライト・コマンドを発行して TR の処理を開始します。
10. これは TR が完了して、EDMA3TC_n が完了ステータスの信号を EDMA3CC に送るまで続行されます。

2.14 EDMA3 によるプライオリティの設定

EDMA3 コントローラには、同時イベント / チャンネル、転送などを処理するための実装ルールが多くあります。以降の項では、同時動作が行われる場合のさまざまな調停について詳しく説明します。図 2-17 に、EDMA3 プライオリティが関係するさまざまな場所を示します。

2.14.1 チャンネル・プライオリティ

DMA イベント・レジスタ（ER と ERH）は最大 64 イベントを取り込み、同様に、QDMA イベント・レジスタ（QER）はすべての QDMA チャンネルの QDMA イベントを取り込みます。このため、DMA/QDMA イベント入力力で複数イベントの同時発生が可能です。イベントが同時に受信した場合、最も低いチャンネル番号に関連付けられたイベントが、イベント・キューに発行する場合に優先されます（DMA イベントの場合は、チャンネル 0 のプライオリティが最も高く、チャンネル 63 のプライオリティが最も低くなります。同様に、QDMA イベントの場合は、チャンネル 0 のプライオリティが最も高く、チャンネル 3 のプライオリティが最も低くなります）。このメカニズムは、イベント・キューに発行するために、同時イベントのソートのみを行います。

DMA と QDMA のイベントが同時に行われる場合は、常に DMA イベントが QDMA イベントよりもイベント・キューへの発行において優先されます。

EDMA3 によるプライオリティの設定

2.14.2 トリガ・ソース・プライオリティ

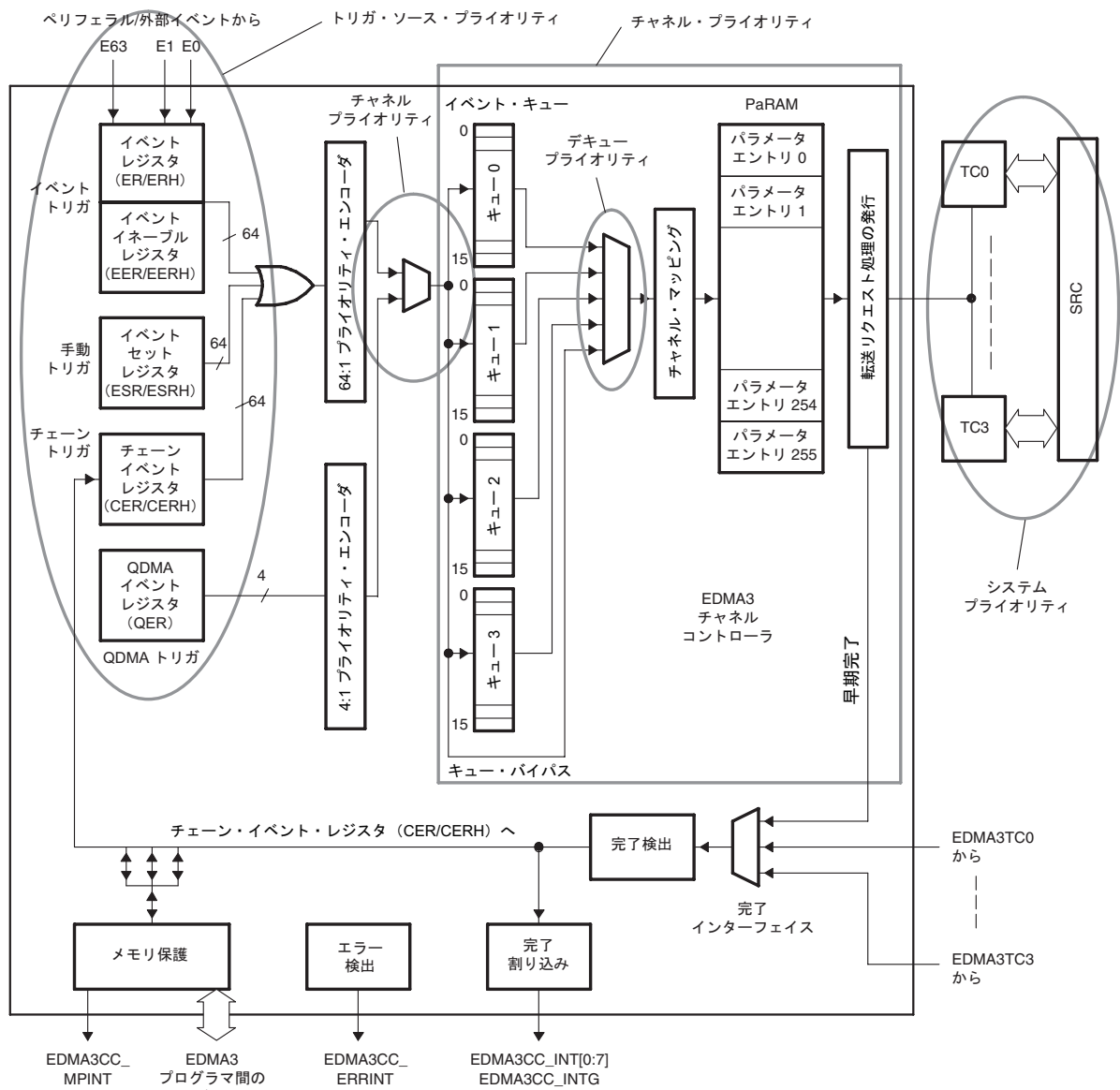
DMA チャンネルに複数のトリガ・ソース (イベント・トリガ、手動トリガ、チェーン・トリガ) が関連付けられている場合、また複数のイベントが同一のチャンネルに対して同時にセットされる (ER.En = 1、ESR.En = 1、CER.En = 1) 場合は、常に EDMA3CC はこれらのイベントをプライオリティ順に処理します。つまり、(ER を介する) イベント・トリガのプライオリティは (CER を介する) チェーン・トリガよりも高く、チェーン・トリガのプライオリティは (ESR を介する) 手動トリガよりも高くなります。

チャンネル 0 で同時に ER.E0 = 1 かつ CER.E0 = 1 となった場合は、常に ER.E0 イベントが CER.E0 イベントよりも前にキューに積まれます。

2.14.3 デキュー・プライオリティ

関連付けられた転送リクエスト (TR) プライオリティは、イベント発行 (DMAQNUM と QDMAQNUM で指定) に使用されるイベント・キューにより、さらに順位付けられます。TR を転送コントローラに発行するには、イベントはイベント・キューから取り出す必要があります。キュー 0 のデキュー・プライオリティが最も高く、キュー 3 のデキュー・プライオリティが最も低くなります。

図 2-17. EDMA3 によるプライオリティの設定



2.14.4 転送コントローラのプライオリティ

すべての転送コントローラには、(QUEPRI を介して) プログラムされたシステム・プライオリティがあります。これはシステム内の複数のマスターが同一のエンドポイントに対して競合している場合に実装されます。関連付けられた転送リクエスト (TR) のプライオリティは、転送コントローラのシステム・プライオリティ設定により決まります。このプライオリティは、複数のマスターがメイン SCR にリクエストを発行するときに SCR で機能します。

TC のデフォルト・プライオリティはすべて同じです (他のマスターに対して 0 または最上位のプライオリティ)。アプリケーションで EDMA3 がリアルタイム転送 (エージェント) と非リアルタイム転送の両方を処理する必要がある場合は、このプライオリティを変更することをお勧めします。

2.15 リセット時の考慮事項

ハードウェア・リセットを行うと、EDMA3 (EDMA3CC と EDMA3TC) および EDMA3 コンフィギュレーション・レジスタがリセットされます。デバイスのリセット後、PaRAM メモリ内容は未定義となり、パラメータが既知の状態にリセットされるとは限りません。PaRAM エントリは、使用する前に目的の値に初期化しておく必要があります。

2.16 エミュレーション時の考慮事項

エミュレータを使用する場合、デバッグ時にシングル・ステップ、ベンチマーク、プロファイル、またはその他のデバッグ目的で、CPU が実行パケット境界で停止することがあります。エミュレーションが停止している間、EDMA3 チャネル・コントローラと転送コントローラは引き続き動作します。イベントは引き続きラッチされて処理され、転送リクエストは引き続き発行されて処理されます。

EDMA3 は複数のマスターとスレーブのペリフェラルを処理するため、エミュレーションの停止に対して EDMA3 の単独動作を行うことはできません。EDMA3 機能は自身が処理しているペリフェラルと連結され、エミュレーションの停止時に異なる動作を行うことがあります。たとえば、McBSP がエミュレーション・アクセス時に停止した場合 (McBSP レジスタの FREE = 0 かつ SOFT = 0/1)、McBSP は EDMA に対する McBSP 受信または送信イベント (REVT または XEVT) の生成を停止します。McBSP から見ると、EDMA3 は中断されていますが、他のペリフェラル (タイマなど) は引き続きイベントをアサートし、EDMA により処理されています。

EDMA3 転送例

EDMA3 チャンネル・コントローラは、パラメータ設定によって多様な転送を行います。一般的な使用例に合わせた説明と PaRAM 設定について説明します。

項目	ページ
3.1 ブロック移動例.....	70
3.2 サブフレームの抽出例.....	72
3.3 データ・ソート例.....	74
3.4 ペリフェラル処理例.....	76

3.1 ブロック移動例

EDMA3 によって行われる最も基本的な転送は、ブロック移動です。デバイス動作時に、あるロケーションから他のロケーションに、通常、オンチップ・メモリとオフチップ・メモリ間でデータ・ブロックを転送することが必要になります。

この例では、データ・セクションは、外部メモリから内部 L2 SRAM へコピーされることになります。アドレス 8000 0000h (外部メモリ) に置かれる 256 ワードのデータ・ブロックは、内部アドレス 0080 0000h (L2) に転送する必要があります (図 3-1 を参照)。図 3-2 に、この転送のパラメータを示します。

転送のソース・アドレスは、外部メモリ内のデータ・ブロックの先頭にセットされます。また、デスティネーション・アドレスは、L2 内のデータ・ブロックの先頭にセットされます。データ・ブロックが 64K 未満の場合、A 同期にセットされた同期タイプを備えていれば上記のことが当てはまり、インデックスは 0 にクリアされます。データ量が 64K バイトより大きい場合には、BCNT および B インデックスは AB 同期にセットされる同期タイプを備えていれば適切にセットしておく必要があります。リンクを回避するために、OPT の STATIC ビットがセットされます。

また、この転送例では、QDMA を使用してセットアップしています。同じような性質の転送を連続的に発行する場合、転送を発行するために使われるサイクル数は転送パラメータを変更する数によって少なくなります。変動する PaRAM セットで最も数値の大きなオフセットになるように、QDMA トリガ・ワードをプログラムできます。

図 3-1. ブロック移動例

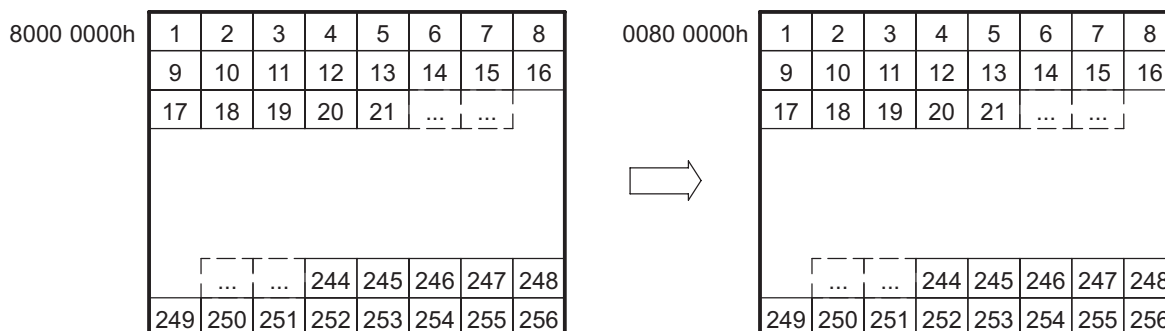


図 3-2. PaRAM 設定のブロック移動例

(a) EDMA パラメータ

パラメータ内容		パラメータ	
0010 0008h		チャンネル・オプション・パラメータ (OPT)	
8000 0000h		チャンネル・ソース・アドレス (SRC)	
0001h	0100h	2次元のカウンタ (BCNT)	1次元のカウンタ (ACNT)
0080 0000h		チャンネル・デスティネーション・アドレス (DST)	
0000h	0000h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0000h	FFFFh	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	0001h	予約	3次元のカウンタ (CCNT)

(b) チャンネル・オプション・パラメータ (OPT) 内容

31	30	28	27	24	23	22	21	20	19	18	17	16
0	000	0000		0	0	0	1	00		00		
PRIV	Reserved	PRIVID		ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved		TCC		
15	12	11	10	8	7	4		3	2	1	0	
0000		0	000	0000				1	0	0	0	
TCC		TCCMOD	FWID	Reserved				STATIC	SYNCDIM	DAM	SAM	

3.2 サブフレームの抽出例

EDMA3 は大きいデータ・フレームから小さいデータ・フレームを効率的に抽出できます。2D-to-1D 転送を実行することで、EDMA3 は CPU が処理するデータ部分を取り出します。この例では、640 x 480 ピクセルのビデオのデータ・フレームが外部メモリ CE2 にストアされています。各ピクセルは、16 ビット・ハーフワードで表現されています。CPU はデータ処理用にイメージから 16 x 12 ピクセルのサブフレームを抽出します。CPU でのデータ処理をより効率的にするために、EDMA3 は内部 L2 SRAM 内にサブフレームを配置します。図 3-3 に、外部メモリから L2 へのサブフレームの転送を示します。図 3-4 に、この転送のパラメータを示します。

同じ PaRAM エントリが DMA チャンネルと同様に QDMA チャンネルにも使われます。リンクを回避するために、OPT の STATIC ビットをセットします。連続して転送を行うために、チャンネルをトリガする前に変更されたパラメータをプログラムする必要があります。

図 3-3. サブフレームの抽出例

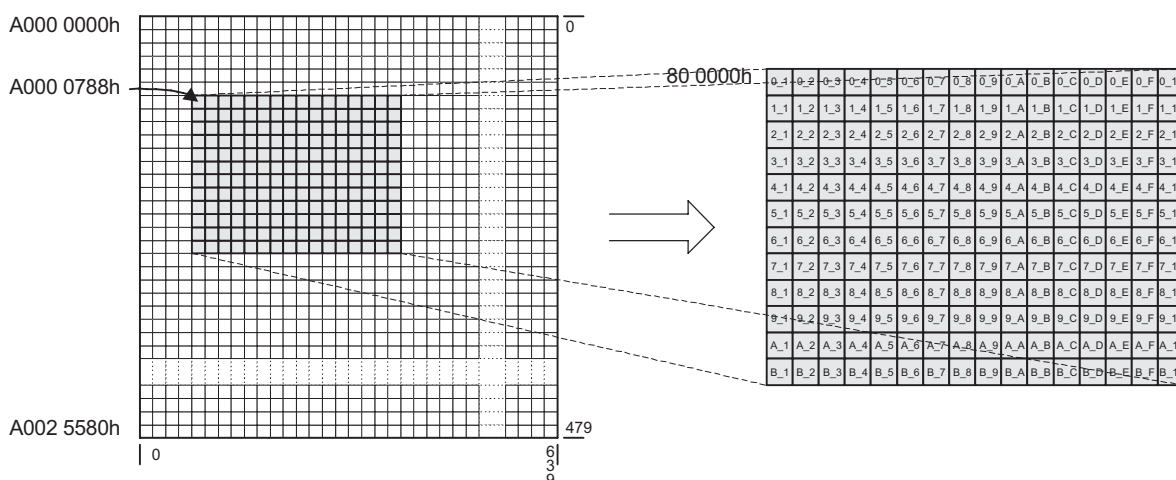


図 3-4. PaRAM 設定のサブフレーム抽出例

(a) EDMA パラメータ

パラメータ内容		パラメータ	
0010 000Ch		チャンネル・オプション・パラメータ (OPT)	
A000 0788h		チャンネル・ソース・アドレス (SRC)	
000Ch	0020h	2次元のカウンタ (BCNT)	1次元のカウンタ (ACNT)
0080 0000h		チャンネル・デスティネーション・アドレス (DST)	
0020h	0500h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0000h	FFFFh	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	0001h	予約	3次元のカウンタ (CCNT)

(b) チャンネル・オプション・パラメータ (OPT) 内容

31	30	28	27	24	23	22	21	20	19	18	17	16
0	000	0000		0	0	0	1	00		00		
PRIV	Reserved	PRIVID		ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved		TCC		
15	12	11	10	8	7	4		3	2	1	0	
0000		0	000	0000			1	1	0	0		
TCC		TCCMOD	FWID	Reserved			STATIC	SYNCDIM	DAM	SAM		

3.3 データ・ソート例

多くのアプリケーションは、複数のデータ・アレイの使用を要求します。しばしば各アレイの最初の元素同士が隣接し、2番目の元素同士が隣接しているというように、アレイが配置されることが望まれます。多くの場合、これはデータがデバイス内で配置されているような形態ではありません。転送データがペリフェラル経由でデータ・アレイに転送されるか、または連続したメモリ空間のある部分を占有するように各アレイが配置されています。これらの場合には、EDMA3はデータを指定されたフォーマットに再編成できます。図3-5に、データ・ソートを示します。

パラメータ・セットの値を決めるには、次の点を考慮する必要があります。

- ACNT - サイズ (元素のバイト数) になるように、この値をプログラムします。
- BCNT - フレームの元素数になるように、この値をプログラムします。
- CCNT - フレーム数になるように、この値をプログラムします。
- SRCBIDX - 元素のサイズまたは ACNT になるように、この値をプログラムします。
- DSTBIDX - CCNT x ACNT
- SRCCDX - ACNT x BCNT
- DSTCIDX - ACNT

パラメータ・セットに対する更新を可能にするために、同期タイプは AB 同期にする必要があり、かつ STATIC ビットは 0 です。ソートを行うには、通常の EDMA3 チャンルを使うことをお勧めします。

1回のトリガ・イベントでこれをソートすることはできません。その代わりに、チャンネル自体にチェーンするようにチャンネルをプログラムします。BCNT 元素をソートした後に、次々と BCNT 元素を転送していくことで、中間のチェーンを使ってチャンネルをトリガすることができます。図3-6に、この転送を行うためのパラメータ・セットのプログラミングを示します。チャンネル0および元素・サイズが4バイトであることを想定します。

図 3-5. データソート例

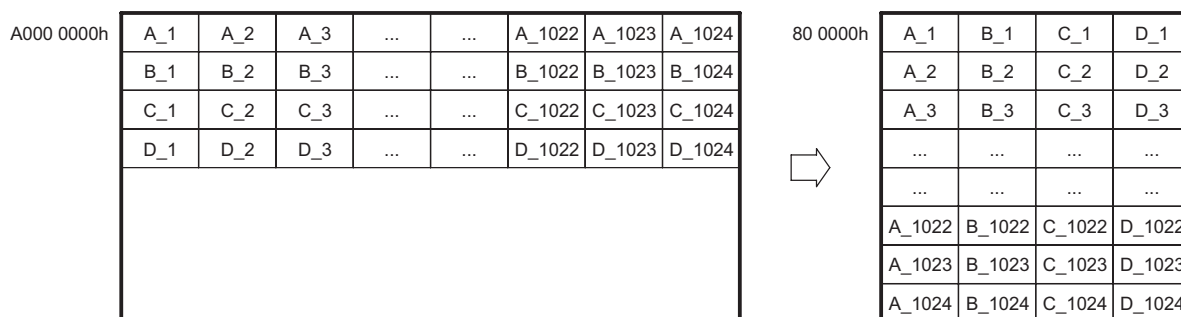


図 3-6. PaRAM 設定のデータ・ソート例

(a) EDMA パラメータ

パラメータ内容		パラメータ	
0090 0004h		チャンネル・オプション・パラメータ (OPT)	
A000 0000h		チャンネル・ソース・アドレス (SRC)	
0400h	0004h	2次元のカウンタ (BCNT)	1次元のカウンタ (ACNT)
0080 0000h		チャンネル・デスティネーション・アドレス (DST)	
0010h	0001h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0000h	FFFFh	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0001h	1000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	0004h	予約	3次元のカウンタ (CCNT)

(b) チャンネル・オプション・パラメータ (OPT) 内容

31	30	28	27	24	23	22	21	20	19	18	17	16
0	000	0000	1	0	0	1	00	00				
PRIV	Reserved	PRIVID	ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved	TCC				
15	12	11	10	8	7	4	3	2	1	0		
0000	0	000	0000	0	1	0	0					
TCC	TCCMOD	FWID	Reserved	STATIC	SYNCDIM	DAM	SAM					

3.4 ペリフェラル処理例

EDMA3 チャンネル・コントローラは CPU が動作しているバックグラウンドでも、CPU の介在なしにペリフェラルを処理しています。EDMA3 チャンネルを適切に初期化することで、デバイスが動作している間オンチップ・ペリフェラルでもオフチップ・ペリフェラルでも継続的に処理できるように設定できます。EDMA3 で使用可能な各イベントには、独自の専用のチャンネルがあり、すべてのチャンネルが同時に動作します。唯一の要件は特定の転送に対して適切なチャンネルを使用することであり、かつイベント・イネーブル・レジスタ (EER) のチャンネル・イベントをイネーブルすることです。ペリフェラルを処理するために EDMA3 チャンネルをプログラムするとき、どのようにしてデータが DSP へ渡されているか理解する必要があります。データは必ずある種の同期イベントで、イベントごとに 1 つのエレメント (非バースト) またはイベントごとに複数のイベント (バースト) のいずれかとして常に渡されます。

3.4.1 非バースト・ペリフェラル

非バースト・ペリフェラルには、オンチップのマルチチャンネル・バッファード・シリアルポート (McBSP) および多くの外部デバイス (コーデックなど) が含まれています。ペリフェラルに関係なく、EDMA3 チャンネル設定は同一です。オンチップ McBSP は C6000 DSP システムでは最も一般的に使用されるペリフェラルです。

McBSP 送信データ・ストリームと受信データ・ストリームは、EDMA3 が個別に処理します。送受信データ・ストリームのカウンタ、データ・サイズ、およびフォーマットは、完全に異ってもかまいません。図 3-7 に、受信 McBSP データの処理方法を示します。

L2 メモリ内の適切なロケーションに受信データ・ストリームを転送するには、EDMA3 チャンネルは A 同期を使用した 1D-to-1D 転送のセットアップが必要です。各ワードが到着するとワードごとにイベント (REVT0) が生成されるので、EDMA3 は各エレメントに対して転送要求を個別に発行する必要があります。図 3-8 に、この転送のパラメータを示します。EDMA3 チャンネルのソース・アドレスは、McBSP0 のデータ・レシーブ・レジスタ (DRR) のアドレスにセットされ、デスティネーション・アドレスは L2 内のデータ・ブロックの先頭にセットされます。DRR のアドレスは固定されているので、ソース B インデックスは 0 にクリアされ (変更なし)、デスティネーション B インデックスは 01b にセットされます (インクリメント)。

シリアル・データが通常ハイ・プライオリティになっているという前提に基づき、EDMA3 チャンネルはキュー 0 上にあるようにプログラムする必要があります。

図 3-7. 受信 McBSP データ処理例

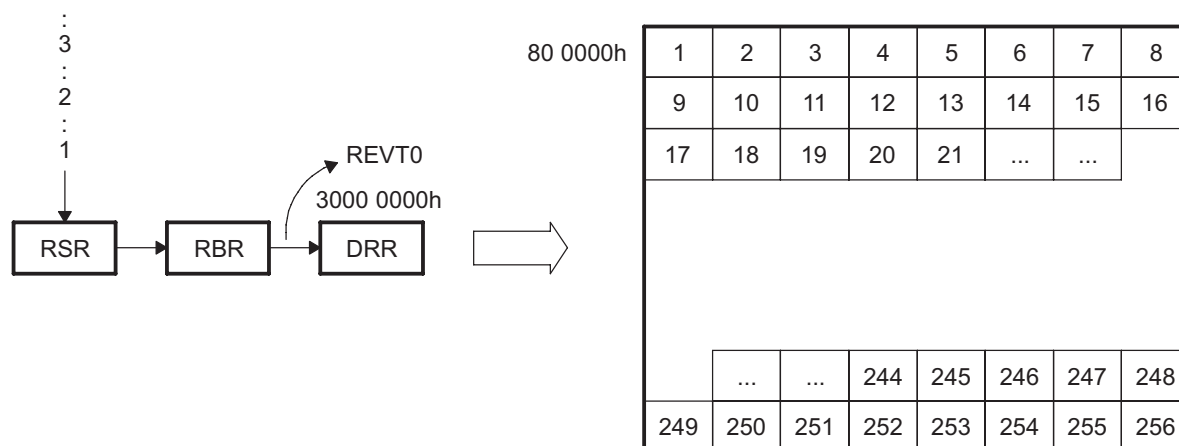


図 3-8. PaRAM 設定の受信 McBSP データ処理例

(a) EDMA パラメータ

パラメータ内容		パラメータ	
0010 0000h		チャンネル・オプション・パラメータ (OPT)	
3000 0000h		チャンネル・ソース・アドレス (SRC)	
0100h	0001h	2次元のカウンタ (BCNT)	1次元のカウンタ (ACNT)
0080 0000h		チャンネル・デスティネーション・アドレス (DST)	
0001h	0000h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0000h	FFFFh	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	0004h	予約	3次元のカウンタ (CCNT)

(b) チャンネル・オプション・パラメータ (OPT) 内容

31	30	28	27	24	23	22	21	20	19	18	17	16
0	000	0000		0	0	0	0	1	00	00		
PRIV	Reserved	PRIVID		ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved			TCC	
15	12	11	10	8	7	4		3	2	1	0	
0000		0	000	0000				0	0	0	0	
TCC		TCCMOD	FWID	Reserved				STATIC	SYNCDIM	DAM	SAM	

3.4.2 バースト・ペリフェラル

バンド幅の広いアプリケーションでは、各同期イベントごとに DSP へ複数のデータ・エレメントを渡す必要があります。このデータ・フレームは、同時に動作している複数のソースから、または DSP との間でデータを流す単一のハイ・スループット・ペリフェラルからのいずれかになります。

この例では、ビデオ・フレームは、カメラからビデオ・フレームを受け取り、DSP へ 1 アレイを一度に渡しています。ビデオ・イメージは 640 x 480 ピクセルです（各ピクセルは 16 ビット・エレメントで表されています）。イメージは、外部メモリにストアされます。図 3-9 に、この例を示します。

外部ペリフェラルから外部バッファヘデータ (EVT_n に基づき一度に 1 つのアレイ) を転送するには、チャンネル *n* を設定しておく必要があります。ビデオ・フレームはピクセルのアレイで構成されているというデータの性質上、デスティネーションは基本的に 2D になります。図 3-10 に、AB 同期を使って受信データを 1D-to-2D 転送で処理するパラメータを示します。ソース・アドレスはビデオ・フレーム・ペリフェラルのロケーションにセットされ、デスティネーション・アドレスはデータ・バッファの先頭にセットされます。入力アドレスは固定されているので、SRCBIDX は 0 です（ソース・アドレスには変更なし）。デスティネーションは、連続な順番のエレメントでアレイを構成します。このため、DSTBIDX ビットはピクセル・サイズ (2 バイト) にセットされます。ANCT はピクセル・サイズ (2 バイト) と等しくなります。BCNT はアレイのピクセル数 (640) にセットされます。CCNT はブロック内のアレイの合計数 (480) に等しくなります。ソース・アドレスがインクリメンタルされないため、SRCCIDX は 0 です。DSTCIDX は、各アレイの先頭アドレス間の差分と等しくなります。ピクセルは 16 ビット (2 バイト) なので、DSTCIDX は 640 x 2 と等しくなります。

図 3-9. ペリフェラル・バースト処理例

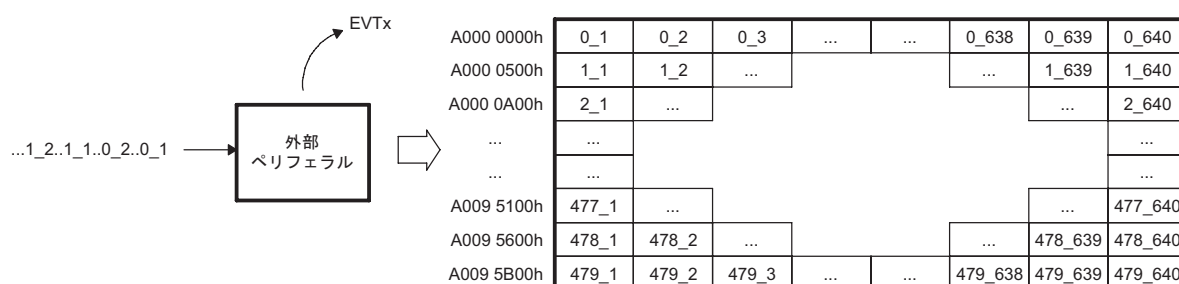


図 3-10. PaRAM 設定のペリフェラル・バースト処理例

(a) EDMA パラメータ

パラメータ内容		パラメータ	
0010 0004h		チャンネル・オプション・パラメータ (OPT)	
チャンネル・ソース・アドレス		チャンネル・ソース・アドレス (SRC)	
0280h	0002h	2次元のカウンタ (BCNT)	1次元のカウンタ (ACNT)
E000 0000h		チャンネル・デスティネーション・アドレス (DST)	
0002h	0000h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0000h	FFFFh	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0500h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	01E0h	予約	3次元のカウンタ (CCNT)

(b) チャンネル・オプション・パラメータ (OPT) 内容

31	30	28	27	24	23	22	21	20	19	18	17	16
0	000	0000	0	0	0	1	00	00				
PRIV	Reserved	PRIVID	ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved	TCC				
15	12	11	10	8	7	4	3	2	1	0		
0000	0	000	0000	0	1	0	0					
TCC	TCCMOD	FWID	Reserved	STATIC	SYNCDIM	DAM	SAM					

3.4.3 継続動作

単一のデータ・フレームを受信するために、EDMA3 チャンネルを設定することは役立ちます。また、複数のシステムに適用できます。しかし、大部分の時間において、データは継続的に DSP の処理の間中、送受信されます。この場合、EDMA3 チャンネルが連続的に必要なパラメータ・セットをリロードするようにリンクの形式を実装することが必要です。この例では、McBSP0 は T1 アレイのデータを送受信するように設定されます。例をわかりやすくするために、送受信データ・ストリームに対して、2 つのチャンネルだけがアクティブになっています。各チャンネルは、128 エLEMENTの packets を受信します。Packet は、シリアル・ポートと L2 メモリ間で転送されます (図 3-11 を参照)。

McBSP は各 ELEMENT を受信すると REVT0 を生成し、各 ELEMENT を送信すると XEVT0 を生成します。データ・ストリームを処理するために、A 同期の 1D-to-1D 転送に対して EDMA3 チャンネル 12 および 13 をセットアップする必要があります。

図 3-12 に、これらの転送に対するチャンネルのパラメータ・エントリを示します。DSP 動作の間中、McBSP を継続的に処理するために、チャンネルは PaRAM 内の複製された PaRAM エントリにリンクされる必要があります。すべてのフレームが転送された後、EDMA3 チャンネルはリロードし、続行します。図 3-13 に、チャンネルのリロード・パラメータを示します。

3.4.3.1 受信チャンネル

EDMA3 チャンネル 13 は、McBSP0 の受信データ・ストリームを処理します。ソース・アドレスはデータ・レシーブ・レジスタ (DRR) のアドレスにセットされ、デスティネーション・アドレスはデータ・ブロックの最初の ELEMENT にセットされます。処理される 2 つのデータ・チャンネル (A と B) があり、L2 SRAM 内に別々に配置されます。

継続動作を容易にするために、PaRAM セットの複製が PaRAM セット 64 内に配置されます。LINK オプションがセットされ、リンク・アドレスが PaRAM セット内に用意されます。チャンネル 13 のパラメータ・セットを使い切ってしまうと、リンク・アドレスに配置されているパラメータはチャンネル 13 パラメータ・セットにロードされ、動作は継続します。この機能は、CPU によって停止されるまでデバイスが動作している間中、継続します。

3.4.3.2 送信チャンネル

EDMA3 チャンネル 12 は、McBSP0 の送信データ・ストリームを処理します。デスティネーション・アドレスが更新する必要がない場合、それゆえに、パラメータ・セットは適宜変更します。またリンクは、PaRAM セット 65 で複製された PaRAM セット・エントリを使って、EDMA3 チャンネルにより継続動作を可能にするために使われます。

図 3-11. 継続 McBSP データ処理例

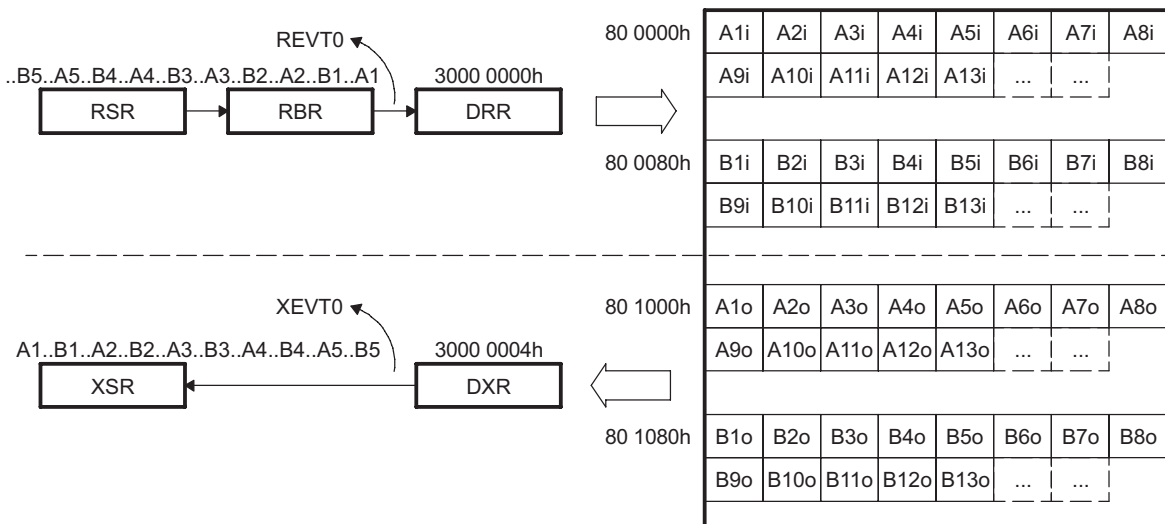


図 3-12. PaRAM 設定の継続 McBSP データ処理例

(a) PaRAM セット 64 にリンクされている受信チャンネル (PaRAM セット 13) の EDMA パラメータ

パラメータ内容		パラメータ	
0010 0000h		チャンネル・オプション・パラメータ (OPT)	
3000 0000h		チャンネル・ソース・アドレス (SRC)	
0080h	0001h	2次元のカウント (BCNT)	1次元のカウント (ACNT)
0080 0000h		チャンネル・デスティネーション・アドレス (DST)	
0001h	0000h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0080h	4800h	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	FFFFh	予約	3次元のカウント (CCNT)

(b) 受信チャンネル (PaRAM セット 13) のチャンネル・オプション・パラメータ (OPT) 内容

31	30	28	27	24	23	22	21	20	19	18	17	16
0	000	0000	0	0	0	0	1	00	00			
PRIV	Reserved	PRIVID	ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved	TCC				
15	12	11	10	8	7		4	3	2	1	0	
0000	0	000	0000	Reserved	STATIC	SYNCDIM	DAM	SAM				
TCC	TCCMOD	FWID										

(c) PaRAM セット 65 にリンクされている送信チャンネル (PaRAM セット 12) の EDMA パラメータ

パラメータ内容		パラメータ	
0010 1000h		チャンネル・オプション・パラメータ (OPT)	
0080 1000h		チャンネル・ソース・アドレス (SRC)	
0080h	0001h	2次元のカウント (BCNT)	1次元のカウント (ACNT)
3000 0004h		チャンネル・デスティネーション・アドレス (DST)	
0000h	0001h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0080h	4820h	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	FFFFh	予約	3次元のカウント (CCNT)

(d) 送信チャンネル (PaRAM セット 12) のチャンネル・オプション・パラメータ (OPT) 内容

31	30	28	27	24	23	22	21	20	19	18	17	16
0	000	0000	0	0	0	0	1	00	00			
PRIV	Reserved	PRIVID	ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved	TCC				
15	12	11	10	8	7		4	3	2	1	0	
0001	0	000	0000	Reserved	STATIC	SYNCDIM	DAM	SAM				
TCC	TCCMOD	FWID										

図 3-13. リロード PaRAM 設定の継続 McBSP データ処理例

(a) 受信チャンネルの EDMA リロード・パラメータ (PaRAM セット 64)

パラメータ内容		パラメータ	
0010 0000h		チャンネル・オプション・パラメータ (OPT)	
3000 0000h		チャンネル・ソース・アドレス (SRC)	
0080h	0001h	2次元のカウント (BCNT)	1次元のカウント (ACNT)
0080 0000h		チャンネル・デスティネーション・アドレス (DST)	
0001h	0000h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0080h	4800h	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	FFFFh	予約	3次元のカウント (CCNT)

(b) 受信チャンネル (PaRAM セット 64) のチャンネル・オプション・パラメータ (OPT) 内容

31	30	28	27	24	23	22	21	20	19	18	17	16
0	000	0000	0	0	0	0	1	00	00			
PRIV	Reserved	PRIVID	ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved	TCC				
15	12	11	10	8	7	4	3	2	1	0		
0000	0	000	0000	0	0	0	0	0	0			
TCC	TCCMOD	FWID	Reserved	STATIC	SYNCDIM	DAM	SAM					

(c) 送信チャンネルの EDMA リロード・パラメータ (PaRAM セット 65)

パラメータ内容		パラメータ	
0010 1000h		チャンネル・オプション・パラメータ (OPT)	
0080 1000h		チャンネル・ソース・アドレス (SRC)	
0080h	0001h	2次元のカウント (BCNT)	1次元のカウント (ACNT)
3000 0004h		チャンネル・デスティネーション・アドレス (DST)	
0000h	0001h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0080h	4820h	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	FFFFh	予約	3次元のカウント (CCNT)

(d) 送信チャンネル (PaRAM セット 65) のチャンネル・オプション・パラメータ (OPT) 内容

31	30	28	27	24	23	22	21	20	19	18	17	16
0	000	0000	0	0	0	0	1	00	00			
PRIV	Reserved	PRIVID	ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved	TCC				
15	12	11	10	8	7	4	3	2	1	0		
0001	0	000	0000	0	0	0	0	0	0			
TCC	TCCMOD	FWID	Reserved	STATIC	SYNCDIM	DAM	SAM					

3.4.4 ピンポン・バッファ

前述の設定を使用すると、EDMA3 はペリフェラルを継続的に処理できますが、CPU に多くの制約が生じます。入力バッファと出力バッファは継続的に一杯になったり空になったりするので、CPU はデータを処理するために、EDMA3 の速度と厳密に一致する必要があります。CPU が EDMA3 受信データにアクセスする前に、そのデータは必ずメモリ内に配置しておく必要があります。また、EDMA3 が出力データを転送する前に、CPU はそのデータを用意する必要があります。不可能なことではないのですが、これは不必要な挑戦です。2 レベル・キャッシュ方式では特にむずかしいことです。

ピンポン・バッファは単純なテクニックです。これを使用すると、CPU の動きと EDMA3 の動きとを別にできます。このことは、受信データ・ストリームと送信データ・ストリームに対する、データ・バッファが複数セット（通常は 2 つ）あることを示します。EDMA3 はデータがピン・バッファ間で転送しているとき、CPU はポン・バッファ内のデータを操作します。CPU と EDMA3 の動きの両方が完了すると、切り替えます。その後、EDMA3 は古い入力データを書き換え、新しい出力データを転送します。図 3-14 に、この例のピンポン方式を示しています。

ピンポン・バッファ方式を使用するように継続動作の例を変更するには、EDMA3 チャンネルに、わずかな変更が必要です。パラメータ・セットは、1 つではなく、2 つ必要です。1 つはピン・バッファ間とのデータ転送用で、もう 1 つはポン・バッファ間とのデータ転送用です。片方の転送が完了すると、チャンネルは他方の PaRAM セットをロードし、データ転送が続行します。図 3-14 に、必要な EDMA3 チャンネル設定を示します。

各チャンネルには、2 つのパラメータ・セット（ピンとポン）があります。EDMA3 チャンネルには、最初にピン・パラメータがロードされています（図 3-15 を参照）。ピン・セットのリンク・アドレスは、ポン・パラメータ・セットの PaRAM オフセットにセットされます（図 3-16 を参照）。ポン・セットのリンク・アドレスは、ピン・パラメータ・セットの PaRAM オフセットにセットされます（図 3-17 を参照）。各チャンネルのピン・パラメータとポン・パラメータ間で、チャンネル・オプション、カウント値、インデックス値はすべて同じです。違っているのは、用意されているリンク・アドレスとデータ・バッファへのアドレスだけです。

3.4.4.1 CPU との同期

ピンポン・バッファのテクニックを利用するために、システムは新しいデータ・セットにアクセスを開始するタイミングを CPU に通知する必要があります。CPU は入力バッファ（ピン）の処理を終了した後、別のバッファ（ポン）に切り替える前に、EDMA3 が完了するのを待ちます。この例では、両方のチャンネルはレポート・ワードとしてチャンネル番号を与え、完了後に割り込みを生成するために TCINTEN ビットを 1 にセットします。チャンネル 13 が入力バッファを一杯にすると、インタラプト・ペンディング・レジスタ（IPR）内の E13 ビットがセットされます。チャンネル 12 が出力バッファを空にすると、IPR 内の E12 ビットがセットされます。CPU は手動でこれらのビットをクリアする必要があります。チャンネル・パラメータ・セットを使用して、CPU は切り替えるタイミングを決定するために、IPR をポーリングします。EDMA3 および CPU はどちらかで、チャンネル完了が CPU に割り込むように設定できます。これを行うことで、EDMA3 が完了するのを待ちながら、CPU はバックグラウンド・タスクを処理できます。

図 3-14. McBSP データのピンポン・バッファ例

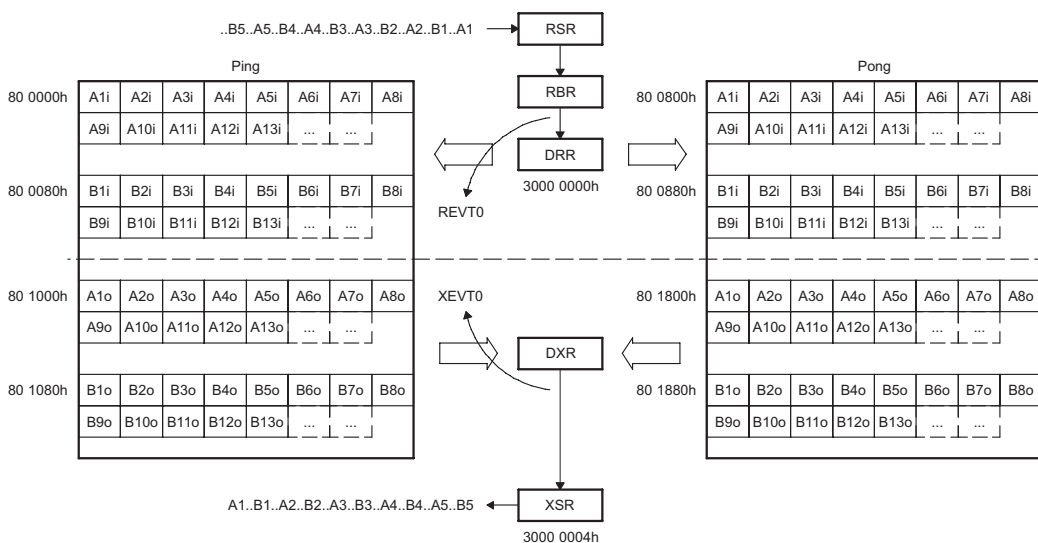


図 3-15. PaRAM 設定の McBSP データのピンポン・バッファ例

(a) チャンネル 13 の EDMA パラメータ (ボン・セット 64 にリンクされる PaRAM セット 13 を使用)

パラメータ内容		パラメータ	
0010 D000h		チャンネル・オプション・パラメータ (OPT)	
3000 0000h		チャンネル・ソース・アドレス (SRC)	
0080h	0001h	2次元のカウント (BCNT)	1次元のカウント (ACNT)
0080 0000h		チャンネル・デスティネーション・アドレス (DST)	
0001h	0000h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0080h	4800h	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	0001h	予約	3次元のカウント (CCNT)

(b) チャンネル 13 のチャンネル・オプション・パラメータ (OPT) 内容

31	30	28	27	24	23	22	21	20	19	18	17	16
0	000	0000	0	0	0	0	1	00	00			
PRIV	Reserved	PRIVID	ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved	TCC				
15	12	11	10	8	7	4	3	2	1	0		
1101	0	000	0000	0	0	0	0	0	0	0		
TCC	TCCMOD	FWID	Reserved	STATIC	SYNCDIM	DAM	SAM					

(c) チャンネル 12 の EDMA パラメータ (ボン・セット 65 にリンクされる PaRAM セット 12 を使用)

パラメータ内容		パラメータ	
0010 C000h		チャンネル・オプション・パラメータ (OPT)	
0080 1000h		チャンネル・ソース・アドレス (SRC)	
0080h	0001h	2次元のカウント (BCNT)	1次元のカウント (ACNT)
3000 0004h		チャンネル・デスティネーション・アドレス (DST)	
0000h	0001h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0080h	4840h	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	0001h	予約	3次元のカウント (CCNT)

(d) チャンネル 12 のチャンネル・オプション・パラメータ (OPT) 内容

31	30	28	27	24	23	22	21	20	19	18	17	16
0	000	0000	0	0	0	0	1	00	00			
PRIV	Reserved	PRIVID	ITCCHEN	TCCHEN	ITCINTEN	TCINTEN	Reserved	TCC				
15	12	11	10	8	7	4	3	2	1	0		
1100	0	000	0000	0	0	0	0	0	0	0		
TCC	TCCMOD	FWID	Reserved	STATIC	SYNCDIM	DAM	SAM					

図 3-16. ボン PaRAM 設定の McBSP データのピンボン・バッファ例

(a) セット 65 にリンクされるセット 64 でのチャンネル 13 の EDMA ボン・パラメータ

パラメータ内容		パラメータ	
0010 D000h		チャンネル・オプション・パラメータ (OPT)	
3000 0000h		チャンネル・ソース・アドレス (SRC)	
0080h	0001h	2次元のカウント (BCNT)	1次元のカウント (ACNT)
0080 0800h		チャンネル・デスティネーション・アドレス (DST)	
0001h	0000h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0080h	4820h	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	0001h	予約	3次元のカウント (CCNT)

(b) セット 67 にリンクされるセット 66 でのチャンネル 12 の EDMA ボン・パラメータ

パラメータ内容		パラメータ	
0010 C000h		チャンネル・オプション・パラメータ (OPT)	
0080 1800h		チャンネル・ソース・アドレス (SRC)	
0080h	0001h	2次元のカウント (BCNT)	1次元のカウント (ACNT)
3000 0004h		チャンネル・デスティネーション・アドレス (DST)	
0000h	0001h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0080h	4860h	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	0001h	予約	3次元のカウント (CCNT)

図 3-17. ピン PaRAM 設定の McBSP データのピンポン・バッファ例

(a) セット 64 にリンクされるセット 65 でのチャンネル 13 の EDMA ピン・パラメータ

パラメータ内容		パラメータ	
0010 D000h		チャンネル・オプション・パラメータ (OPT)	
3000 0000h		チャンネル・ソース・アドレス (SRC)	
0080h	0001h	2次元のカウント (BCNT)	1次元のカウント (ACNT)
0080 0000h		チャンネル・デスティネーション・アドレス (DST)	
0001h	0000h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0080h	4800h	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	0001h	予約	3次元のカウント (CCNT)

(b) セット 66 にリンクされるセット 67 でのチャンネル 12 の EDMA ピン・パラメータ

パラメータ内容		パラメータ	
0010 C000h		チャンネル・オプション・パラメータ (OPT)	
0080 1000h		チャンネル・ソース・アドレス (SRC)	
0080h	0001h	2次元のカウント (BCNT)	1次元のカウント (ACNT)
3000 0004h		チャンネル・デスティネーション・アドレス (DST)	
0000h	0001h	デスティネーション BCNT インデックス (DSTBIDX)	ソース BCNT インデックス (SRCBIDX)
0080h	4840h	BCNT リロード (BCNTRLD)	リンク・アドレス (LINK)
0000h	0000h	デスティネーション CCNT インデックス (DSTCIDX)	ソース CCNT インデックス (SRCCIDX)
0000h	0001h	予約	3次元のカウント (CCNT)

3.4.5 転送チェーン例

次の例では、チェーン転送中間完了機能を説明します。

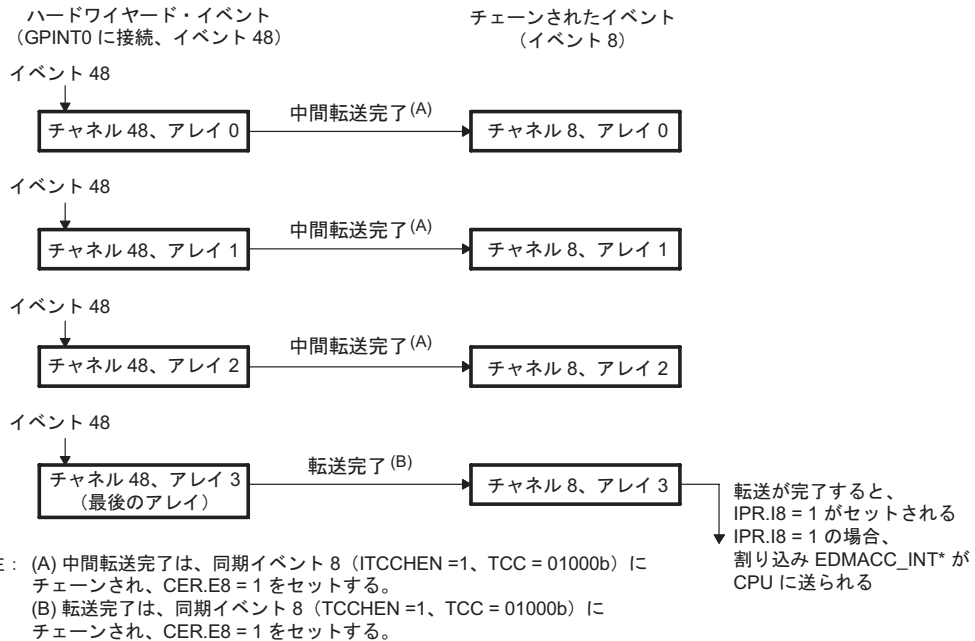
3.4.5.1 単一イベントを使用した入出力 FIFO の処理

多くのシステムでは、同じ速度で処理しなければならない、外部 FIFO をペアで使用する必要があります。片方の FIFO は入力データをバッファし、他方の FIFO は出力データをバッファします。このような FIFO を処理する EDMA3 チャンネルは、AB 同期転送を行うようにセットアップすることができます。各 FIFO が異なるパラメータ・セットで処理される時、両方の FIFO は単一イベントから通知できます。たとえば、外部割り込みピンが、一方の FIFO のステータス・フラグに接続しているとします。このイベントが到着したら、EDMA3 は入出力ストリームの両方に対して処理を実行する必要があります。チェーン転送中間完了機能がないと、これは 2 つのイベント、つまり 2 つの外部割り込みピンを必要とします。チェーン転送中間完了機能により、単一の外部イベントで実現できます（たとえば、GPIO イベント）。

図 3-18 に、この例の EDMA3 セットアップおよび説明を示します。

GPIO イベント（この場合、GPINT0）が、アレイ転送のトリガになります。チャンネル 48 の各中間アレイ転送が完了すると、チェーン転送中間完了は（TCC の 8 で指定される）チェーン・イベント・レジスタ（CER）の E8 ビットをセットし、チャンネル 8 に同期イベントを提供します。チャンネル 48 の最後のアレイ転送が完了すると、（チェーン転送中間完了ではない）転送完了チェーンは（TCCMODE:TCC で指定される）CER の E8 ビットをセットし、チャンネル 8 に同期イベントを提供します。チャンネル 8 が完了すると、（TCCMODE:TCC で指定される）インタラプト・ペンディング・レジスタ（IPR）の I8 ビットがセットされます。これは、インタラプト・イネーブル・レジスタ（IER）の I8 ビットがセットされる場合、CPU に割り込みを生成できます。

図 3-18. チェーン転送中間完了例



セットアップ
チェーンを行うための
チャンネル 48 のパラメータ

- 転送完了チェーンのイネーブル:
OPT.TCCHEN = 1
OPT.TCC = 01000b
- 中間転送完了チェーンのイネーブル:
OPT.ITCCHEN = 1
OPT.TCC = 01000b

チェーンを行うための
チャンネル 8 のパラメータ

- 転送完了チェーンのイネーブル:
OPT.TCINTEN = 1
OPT.TCC = 01000b
- 中間転送完了チェーンのディスエーブル:
OPT.ITCCHEN = 0

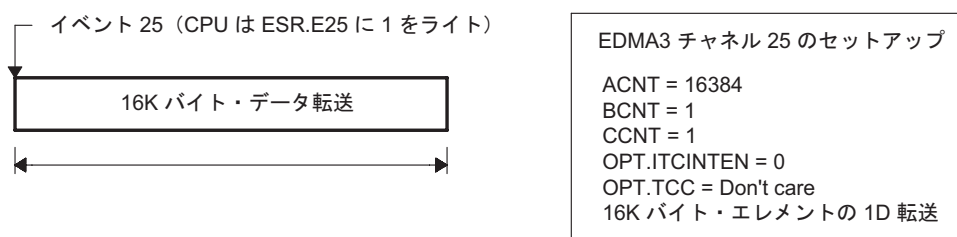
イベント・イネーブル・レジスタ
(EER)

- チャンネル 48 のイネーブル:
EER.E48 = 1

3.4.5.2 中間転送を使用した大規模転送の分割

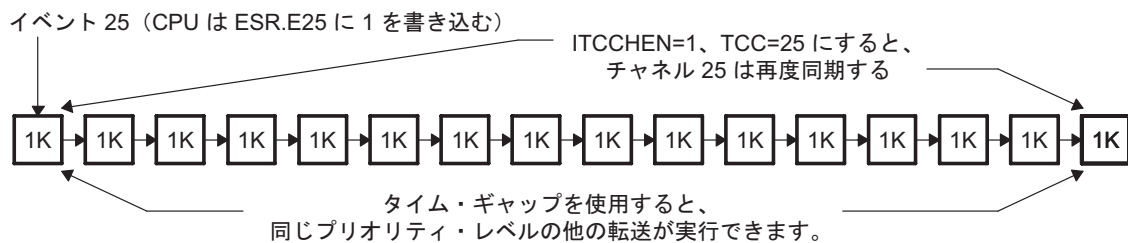
中間転送チェーン (ITCCHEN) のもう 1 つの機能は、大規模転送を分割することです。大規模転送は、同じプライオリティ・レベルの他の転送を転送中にロックアウトする場合があります。たとえば、内部メモリから EMIF を使用した内部メモリから外部メモリへのキュー 0 上の大規模転送は、同一キューにある他の EDMA3 転送を奪う場合があります。また、この大規模なハイ・プライオリティ転送が行われると、EMIF は他の下位のプライオリティ転送を長時間にわたり処理できない場合があります。大規模転送がハイプライオリティの場合、複数の小さな転送に分割してください。図 3-19 に、単一の大規模ブロック転送例の EDMA3 セットアップおよび説明を示します。

図 3-19. 単一の大規模ブロック転送例



中間転送チェーン・イネーブル (ITCCHEN) は、大規模転送をより小さな転送に分割する方法を提供します。たとえば、単一の大規模メモリ・ブロック (16K バイト) を移動するには、EDMA3 は A 同期転送を行います。エレメント・カウンタは、より少量のデータを移動するのにかかる時間から計算される妥当な値にセットされます。この例では、1K バイトが妥当な少量の転送であることを想定します。1K バイト・エレメントの 16 アレイを転送する (合計で 16K バイト・エレメント) ように、EDMA3 がセットアップされます。チャンネル・オプション・パラメータ (OPT) 内の TCC フィールドは、チャンネル番号と同じ値にセットされ、ITCCHEN がセットされます。この例では、EDMA3 チャンネル 25 が使われ、かつ TCC も 25 にセットされます。最後の 1K バイト・アレイが転送されると、TCINTEN も割り込み 25 のトリガになるようにセットされます。CPU はイベント・セット・レジスタ (ESR.E25) の適切なビットにライトすることにより、EDMA3 転送を開始します。EDMA3 は最初の 1K バイト・アレイを転送します。最初のアレイが完了すると、中間転送完了コード・チェーンはチャンネル 25 (TCC フィールドで指定された値) への同期イベントを生成します。このチェーン転送中間完了イベントで、EDMA3 チャンネル 25 は次の 1K バイト・アレイを転送します。この流れは転送パラメータを使い切るまで、すなわち EDMA3 が 16K バイト転送を完了するまで続きます。この方法は大規模転送をより小さなパケットに分割することで、他のイベントを処理できるように転送時の自然なタイム・スライスを提供します。図 3-20 に、より小さなパケット転送へ分割した EDMA3 セットアップおよび説明を示します。

図 3-20. より小さなパケット・データ転送例



EDMA3 チャンネル 25 のセットアップ
ACNT = 1024
BCNT = 16
CCNT = 1
OPT.SYNCDIM = A SYNC
OPT.ITCCHEN = 1
OPT.TCINTEN = 1
OPT.TCC = 25

レジスタ

4.1 レジスタ・メモリ・マップ

レジスタ・メモリ・マップについては、各デバイスのデータシートを参照してください。

4.2 EDMA3 チャンネル・コントローラ・コントロール・レジスタ

表 4-1 に、EDMA3 チャンネル・コントローラ (EDMACC) のメモリ・マップを示します。これらのレジスタのメモリ・アドレスおよびシャドウ領域アドレスについては、各デバイスのデータシートを参照してください。表 4-1 に記述されていない他のすべてのレジスタ・オフセット・アドレスは、予約されたロケーションと見なしてください。また、レジスタの内容は変更できません。

表 4-1. EDMACC レジスタ

オフセット	略称	レジスタの説明	参照先
00h	PID	ペリフェラル・アイデンティフィケーション・レジスタ	4.2.1.1 項
04h	CCCFG	EDMA3CC コンフィギュレーション・レジスタ	4.2.1.2 項
0100h-01FCh	DCHMAP0-63	DMA チャンネル 0-63 マッピング・レジスタ	4.2.1.3 項
0200h	QCHMAP0	QDMA チャンネル 0 マッピング・レジスタ	4.2.1.4 項
0204h	QCHMAP1	QDMA チャンネル 1 マッピング・レジスタ	4.2.1.4 項
0208h	QCHMAP2	QDMA チャンネル 2 マッピング・レジスタ	4.2.1.4 項
020Ch	QCHMAP3	QDMA チャンネル 3 マッピング・レジスタ	4.2.1.4 項
0240h	DMAQNUM0	DMA キュー・ナンバー・レジスタ 0	4.2.1.5 項
0244h	DMAQNUM1	DMA キュー・ナンバー・レジスタ 1	4.2.1.5 項
0248h	DMAQNUM2	DMA キュー・ナンバー・レジスタ 2	4.2.1.5 項
024Ch	DMAQNUM3	DMA キュー・ナンバー・レジスタ 3	4.2.1.5 項
0250h	DMAQNUM4	DMA キュー・ナンバー・レジスタ 4	4.2.1.5 項
0254h	DMAQNUM5	DMA キュー・ナンバー・レジスタ 5	4.2.1.5 項
0258h	DMAQNUM6	DMA キュー・ナンバー・レジスタ 6	4.2.1.5 項
025Ch	DMAQNUM7	DMA キュー・ナンバー・レジスタ 7	4.2.1.5 項
0260h	QDMAQNUM	QDMA キュー・ナンバー・レジスタ	4.2.1.6 項
0284h	QUEPRI	キュー・プライオリティ・レジスタ	4.2.1.7 項
0300h	EMR	イベント・ミスド・レジスタ	4.2.2.1 項
0304h	EMRH	イベント・ミスド・ハイ・レジスタ	4.2.2.1 項
0308h	EMCR	イベント・ミスド・クリア・レジスタ	4.2.2.2 項
030Ch	EMCRH	イベント・ミスド・クリア・ハイ・レジスタ	4.2.2.2 項
0310h	QEMR	QDMA イベント・ミスド・レジスタ	4.2.2.3 項

表 4-1. EDMACC レジスタ (続き)

オフセット	略称	レジスタの説明	参照先
0314h	QEMCR	QDMA イベント・ミスド・クリア・レジスタ	4.2.2.4 項
0318h	CCERR	EDMA3CC エラー・レジスタ	4.2.2.5 項
031Ch	CCERRCLR	EDMA3CC エラー・クリア・レジスタ	4.2.2.6 項
0320h	EEVAL	エラー・エバリュエイト・レジスタ	4.2.2.7 項
0340h	DRAE0	DMA リージョン・アクセス・イネーブル・リージョン 0 レジスタ	4.2.3.1 項
0344h	DRAEH0	DMA リージョン・アクセス・イネーブル・リージョン 0 ハイ・レジスタ	4.2.3.1 項
0348h	DRAE1	DMA リージョン・アクセス・イネーブル・リージョン 1 レジスタ	4.2.3.1 項
034Ch	DRAEH1	DMA リージョン・アクセス・イネーブル・リージョン 1 ハイ・レジスタ	4.2.3.1 項
0350h	DRAE2	DMA リージョン・アクセス・イネーブル・リージョン 2 レジスタ	4.2.3.1 項
0354h	DRAEH2	DMA リージョン・アクセス・イネーブル・リージョン 2 ハイ・レジスタ	4.2.3.1 項
0358h	DRAE3	DMA リージョン・アクセス・イネーブル・リージョン 3 レジスタ	4.2.3.1 項
035Ch	DRAEH3	DMA リージョン・アクセス・イネーブル・リージョン 3 ハイ・レジスタ	4.2.3.1 項
0360h	DRAE4	DMA リージョン・アクセス・イネーブル・リージョン 4 レジスタ	4.2.3.1 項
0364h	DRAEH4	DMA リージョン・アクセス・イネーブル・リージョン 4 ハイ・レジスタ	4.2.3.1 項
0368h	DRAE5	DMA リージョン・アクセス・イネーブル・リージョン 5 レジスタ	4.2.3.1 項
036Ch	DRAEH5	DMA リージョン・アクセス・イネーブル・リージョン 5 ハイ・レジスタ	4.2.3.1 項
0370h	DRAE6	DMA リージョン・アクセス・イネーブル・リージョン 6 レジスタ	4.2.3.1 項
0374h	DRAEH6	DMA リージョン・アクセス・イネーブル・リージョン 6 ハイ・レジスタ	4.2.3.1 項
0378h	DRAE7	DMA リージョン・アクセス・イネーブル・リージョン 7 レジスタ	4.2.3.1 項
037Ch	DRAEH7	DMA リージョン・アクセス・イネーブル・リージョン 7 ハイ・レジスタ	4.2.3.1 項
0380h-039Ch	QRAE0-7	QDMA リージョン・アクセス・イネーブル・リージョン 0-7 レジスタ	4.2.3.2 項
0400h-04FCh	Q0E0-Q3E15	イベント・キュー・エントリ・レジスタ Q0E0-Q3E15	4.2.4.1 項
0600h-060Ch	QSTAT0-3	キュー・ステータス・レジスタ 0-3	4.2.4.2 項
0620h	QWMTHRA	キュー・ウォーターマーク・スレッシュホールド A レジスタ	4.2.4.3 項
0640h	CCSTAT	EDMA3CC ステータス・レジスタ	4.2.4.4 項
0800h	MPFAR	メモリ・プロテクション・フォールト・アドレス・レジスタ	4.2.5.1 項
0804h	MPFSR	メモリ・プロテクション・フォールト・ステータス・レジスタ	4.2.5.2 項
0808h	MPFCR	メモリ・プロテクション・フォールト・コマンド・レジスタ	4.2.5.3 項
080Ch-082Ch	MPPA0-7	メモリ・プロテクション・ページ・アトリビュート・レジスタ 0-7	4.2.5.4 項
1000h	ER	イベント・レジスタ	4.2.6.1 項
1004h	ERH	イベント・ハイ・レジスタ	4.2.6.1 項
1008h	ECR	イベント・クリア・レジスタ	4.2.6.2 項
100Ch	ECRH	イベント・クリア・ハイ・レジスタ	4.2.6.2 項
1010h	ESR	イベント・セット・レジスタ	4.2.6.3 項
1014h	ESRH	イベント・セット・ハイ・レジスタ	4.2.6.3 項
1018h	CER	チェーン・イベント・レジスタ	4.2.6.4 項
101Ch	CERH	チェーン・イベント・ハイ・レジスタ	4.2.6.4 項
1020h	EER	イベント・イネーブル・レジスタ	4.2.6.5 項
1024h	EERH	イベント・イネーブル・ハイ・レジスタ	4.2.6.5 項

表 4-1. EDMACC レジスタ (続き)

オフセット	略称	レジスタの説明	参照先
1028h	EECR	イベント・イネーブル・クリア・レジスタ	4.2.6.6 項
102Ch	EECRH	イベント・イネーブル・クリア・ハイ・レジスタ	4.2.6.6 項
1030h	EESR	イベント・イネーブル・セット・レジスタ	4.2.6.7 項
1034h	EESRH	イベント・イネーブル・セット・ハイ・レジスタ	4.2.6.7 項
1038h	SER	セカンダリ・イベント・レジスタ	4.2.6.8 項
103Ch	SERH	セカンダリ・イベント・ハイ・レジスタ	4.2.6.8 項
1040h	SECR	セカンダリ・イベント・クリア・レジスタ	4.2.6.9 項
1044h	SECRH	セカンダリ・イベント・クリア・ハイ・レジスタ	4.2.6.9 項
1050h	IER	インタラプト・イネーブル・レジスタ	4.2.7.1 項
1054h	IERH	インタラプト・イネーブル・ハイ・レジスタ	4.2.7.1 項
1058h	IECR	インタラプト・イネーブル・クリア・レジスタ	4.2.7.2 項
105Ch	IECRH	インタラプト・イネーブル・クリア・ハイ・レジスタ	4.2.7.2 項
1060h	IESR	インタラプト・イネーブル・セット・レジスタ	4.2.7.3 項
1064h	IESRH	インタラプト・イネーブル・セット・ハイ・レジスタ	4.2.7.3 項
1068h	IPR	インタラプト・ペンディング・レジスタ	4.2.7.4 項
106Ch	IPRH	インタラプト・ペンディング・ハイ・レジスタ	4.2.7.4 項
1070h	ICR	インタラプト・クリア・レジスタ	4.2.7.5 項
1074h	ICRH	インタラプト・クリア・ハイ・レジスタ	4.2.7.5 項
1078h	IEVAL	インタラプト・エバリュエイト・レジスタ	4.2.7.6 項
1080h	QER	QDMA イベント・レジスタ	4.2.8.1 項
1084h	QEER	QDMA イベント・イネーブル・レジスタ	4.2.8.2 項
1088h	QEECR	QDMA イベント・イネーブル・クリア・レジスタ	4.2.8.3 項
108Ch	QEESR	QDMA イベント・イネーブル・セット・レジスタ	4.2.8.4 項
1090h	QSER	QDMA セカンダリ・イベント・レジスタ	4.2.8.5 項
1094h	QSECR	QDMA セカンダリ・イベント・クリア・レジスタ	4.2.8.6 項
シャドウ・リージョン 0 チャネル・レジスタ			
2000h	ER	イベント・レジスタ	
2004h	ERH	イベント・ハイ・レジスタ	
2008h	ECR	イベント・クリア・レジスタ	
200Ch	ECRH	イベント・クリア・ハイ・レジスタ	
2010h	ESR	イベント・セット・レジスタ	
2014h	ESRH	イベント・セット・ハイ・レジスタ	
2018h	CER	チェーン・イベント・レジスタ	
201Ch	CERH	チェーン・イベント・ハイ・レジスタ	
2020h	EER	イベント・イネーブル・レジスタ	
2024h	EERH	イベント・イネーブル・ハイ・レジスタ	
2028h	EECR	イベント・イネーブル・クリア・レジスタ	
202Ch	EECRH	イベント・イネーブル・クリア・ハイ・レジスタ	
2030h	EESR	イベント・イネーブル・セット・レジスタ	
2034h	EESRH	イベント・イネーブル・セット・ハイ・レジスタ	

表 4-1. EDMACC レジスタ (続き)

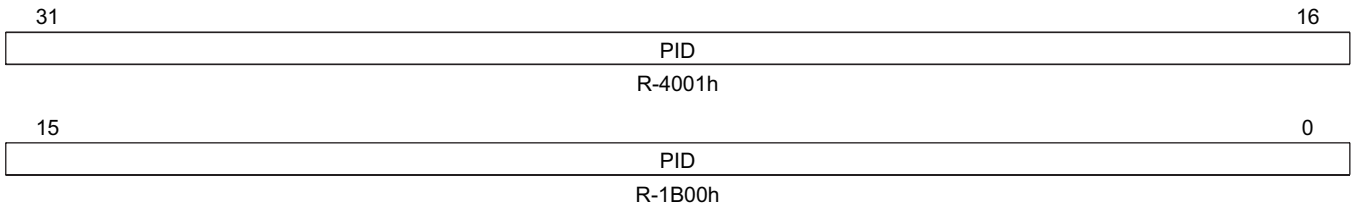
オフセット	略称	レジスタの説明	参照先
2038h	SER	セカンダリ・イベント・レジスタ	
203Ch	SERH	セカンダリ・イベント・ハイ・レジスタ	
2040h	SECR	セカンダリ・イベント・クリア・レジスタ	
2044h	SECRH	セカンダリ・イベント・クリア・ハイ・レジスタ	
2050h	IER	インタラプト・イネーブル・レジスタ	
2054h	IERH	インタラプト・イネーブル・ハイ・レジスタ	
2058h	IECR	インタラプト・イネーブル・クリア・レジスタ	
205Ch	IECRH	インタラプト・イネーブル・クリア・ハイ・レジスタ	
2060h	IESR	インタラプト・イネーブル・セット・レジスタ	
2064h	IESRH	インタラプト・イネーブル・セット・ハイ・レジスタ	
2068h	IPR	インタラプト・ペンディング・レジスタ	
206Ch	IPRH	インタラプト・ペンディング・ハイ・レジスタ	
2070h	ICR	インタラプト・クリア・レジスタ	
2074h	ICRH	インタラプト・クリア・ハイ・レジスタ	
2078h	IEVAL	インタラプト・エバリュエイト・レジスタ	
2080h	QER	QDMA イベント・レジスタ	
2084h	QEER	QDMA イベント・イネーブル・レジスタ	
2088h	QEECR	QDMA イベント・イネーブル・クリア・レジスタ	
208Ch	QEESR	QDMA イベント・イネーブル・セット・レジスタ	
2090h	QSER	QDMA セカンダリ・イベント・レジスタ	
2094h	QSECR	QDMA セカンダリ・イベント・クリア・レジスタ	
2200h-2294h	-	シャドウ・リージョン 1 チャンネル・レジスタ	
2400h-2494h	-	シャドウ・リージョン 2 チャンネル・レジスタ	
...		...	
2E00h-2E94h	-	シャドウ・チャンネル MP スペース 7 レジスタ	

4.2.1 グローバル・レジスタ

4.2.1.1 ペリフェラル・アイデンティフィケーション・レジスタ (PID)

ペリフェラル・アイデンティフィケーション・レジスタ (PID) は、EDMA3CC および EDMA3CC 固有のリビジョンを一意に識別します。PID の内容と説明をそれぞれ図 4-1 および表 4-2 に示します。

図 4-1. ペリフェラル・アイデンティフィケーション・レジスタ (PID)



凡例：R = リード専用。-n = リセット後の値。

表 4-2. ペリフェラル・アイデンティフィケーション・レジスタ (PID) フィールドの説明

ビット	フィールド	値	説明
31-0	PID	0-FFFF FFFFh	ペリフェラル識別子は、EDMA3CC および固有の EDMA3CC の固有のリビジョンを一意に認識します。

4.2.1.2 EDMA3CC コンフィギュレーション・レジスタ (CCCFG)

EDMA3CC コンフィギュレーション・レジスタ (CCCFG) は、特定のデバイスの EDMA3CC に機能およびリソースを提供します。CCCFG の内容と説明をそれぞれ図 4-2 および表 4-3 に示します。

図 4-2. EDMA3CC コンフィギュレーション・レジスタ (CCCFG)

31	Reserved				26	25	24
	R-x					MP_EXIST	CHMAP_EXIST
						R-1	R-1
23	22	21	20	19	18	16	
Reserved		NUM_REGN		Reserved	NUM_EVQUE		
	R-0	R-3h		R-x	R-3h		
15	14	12		11	10	8	
Reserved	NUM_PAENTRY		Reserved	NUM_INTCH			
R-x	R-4h		R-x	R-4h			
7	6	4		3	2	0	
Reserved	NUM_QDMACH		Reserved	NUM_DMACH			
R-x	R-2h		R-x	R-5h			

凡例：R = リード専用。-n = リセット後の値。-x = リセット後の値は不定。

表 4-3. EDMA3CC コンフィギュレーション・レジスタ (CCCFG) フィールドの説明

ビット	フィールド	値	説明
31-26	Reserved	0	予約
25	MP_EXIST	0	メモリ保護機能の有無。
		1	メモリ保護ロジック搭載
24	CHMAP_EXIST	0	チャンネル・マッピングの有無。
		1	チャンネル・マッピング・ロジック搭載
23-22	Reserved	0	予約
21-20	NUM_REGN	0-3h	MP とシャドウ領域の数。
		0-2h	予約
		3h	8 つの領域
19	Reserved	0	予約
18-16	NUM_EVQUE	0-7h	キューの数 / TC の数。
		0-2h	予約
		3h	4 つの EDMA3TC / イベント・キュー
		4h-7h	予約
15	Reserved	0	予約
14-12	NUM_PAENTRY	0-7h	PaRAM セットの数。
		0-3h	予約
		4h	256 個の PaRAM セット
		5h-7h	予約
11	Reserved	0	予約

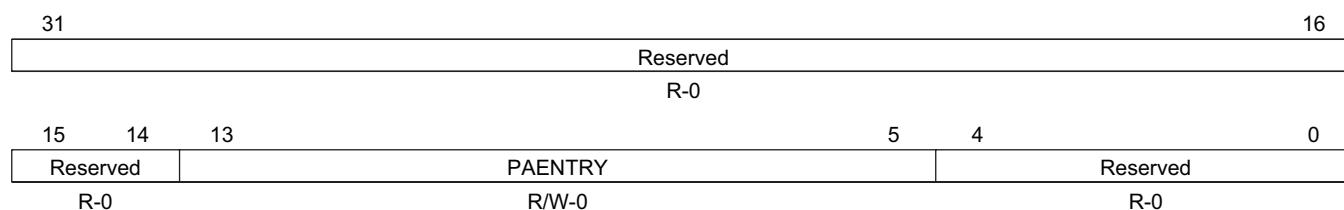
表 4-3. EDMA3CC コンフィギュレーション・レジスタ (CCCFG) フィールドの説明 (続き)

ビット	フィールド	値	説明
10-8	NUM_INTCH	0-7h 0-3h 4h 5h-7h	割り込みチャンネルの数。 予約 64 個の割り込みチャンネル。 予約
7	Reserved	0	予約
6-4	NUM_QDMACH	0-7h 0-1h 2h 3h-7h	QDMA チャンネルの数。 予約 4 個の QDMA チャンネル 予約
3	Reserved	0	予約
2-0	NUM_DMACH	0-7h 0-4h 5h 6h-7h	DMA チャンネルの数。 予約 64 個の DMA チャンネル 予約

4.2.1.3 DMA チャンネル・マップ n レジスタ (DCHMAP n)

DMA チャンネル・マップ n レジスタ (DCHMAP n) の内容と説明をそれぞれ図 4-3 および表 4-4 に示します。

図 4-3. DMA チャンネル・マップ n レジスタ (DCHMAP n)



凡例：R/W = リード / ライト。R = リード専用。- n = リセット後の値。

表 4-4. DMA チャンネル・マップ n レジスタ (DCHMAP n) フィールドの説明

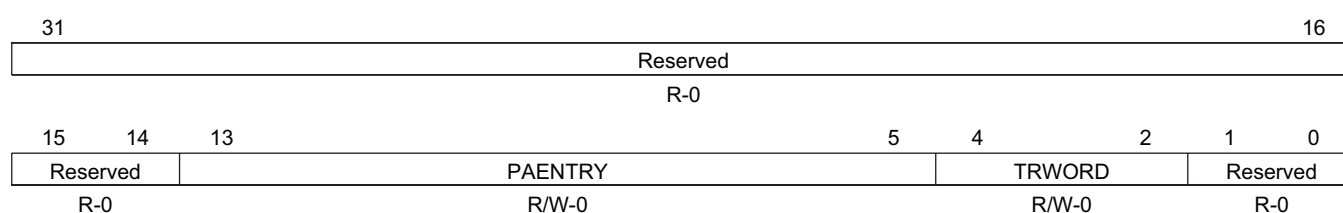
ビット	フィールド	値	説明
31-14	Reserved	0	予約
13-5	PAENTRY	0-1FFh	DMA チャンネル n の PaRAM セット番号を指します。
4-0	Reserved	0	予約

4.2.1.4 QDMA チャンネル・マップ n レジスタ (QCHMAP n)

EDMA3CC 内の各 QDMA チャンネルは、デバイス上で使用できる任意の PaRAM セットに関連付けられています。さらに、PaRAM セットの特定のトリガ・ワード (0-7) は、プログラムできます。QDMA チャンネル・レジスタごとの PaRAM セットの関連付けとトリガ・ワードは、QDMA チャンネル・マップ n レジスタ (QCHMAP n) を使って設定できます。QCHMAP n の内容と説明をそれぞれ図 4-4 および表 4-5 に示します。

注： リセット時に、すべての QDMA チャンネルの QDMA チャンネル・マップ・レジスタは PaRAM セット 0 を指します。アプリケーションが PaRAM セット 0 を指す DMA チャンネルと任意の QDMA チャンネルの両方を使う場合、QCHMAP n を適切にプログラムして別々の PaRAM エントリを指すことを確認してください。

図 4-4. QDMA チャンネル・マップ n レジスタ (QCHMAP n)



凡例：R/W = リード / ライト。R = リード専用。- n = リセット後の値。

表 4-5. QDMA チャンネル・マップ n レジスタ (QCHMAP n) フィールドの説明

ビット	フィールド	値	説明
31-14	Reserved	0	予約
13-5	PAENTRY	0-1FFh 0-FFh 100h-1FFh	PAENTRY は、QDMA チャンネル n の PaRAM セット番号を指します。 パラメータ・エントリ 0 ~ 255 予約
4-2	TRWORD	0-7h	PAENTRY で定義した PAENTRY セットの特定のトリガ・ワードを指します。トリガ・ワードにライトすると、QDMA イベントが認識されます。
1-0	Reserved	0	予約

4.2.1.5 DMA チャンネル・キュー n ナンバー・レジスタ (DMAQNUM n)

DMA チャンネル・キュー n ナンバー・レジスタ (DMAQNUM n) を使うと、EDMA3CC の 64 個の DMA チャンネルをそれぞれプログラムして、その関連付けられた同期イベントを EDMA3CC の任意のイベント・キューに発行することができます。リセット時に、すべてのチャンネルはイベント・キュー 0 を指します。DMAQNUM n の内容と説明をそれぞれ図 4-5 および表 4-6 に示します。表 4-7 に、DMAQNUM n のチャンネルとその対応するビットを示します。

注： EDMA3CC のイベント・キューは、転送コントローラへの固定された関連付けが含まれている、つまり Q0 TR は TC0 に発行され、Q1 TR は TC1 に発行され、以下同様です。特定の DMA チャンネル n の DMAQNUM n をプログラムすることで、どの転送コントローラでデータ転送を行うのか(またはどの EDMA3TC が TR リクエストを受け取るのか)も指示します。

図 4-5. DMA チャンネル・キュー n ナンバー・レジスタ (DMAQNUM n)

31	30	28	27	26	24	23	22	20	19	18	16
Rsvd	En	Rsvd	En	Rsvd	En	Rsvd	En	Rsvd	En	Rsvd	En
R-0	R/W-0	R-0	R/W-0	R-0	R/W-0	R-0	R/W-0	R-0	R/W-0	R-0	R/W-0
15	14	12	11	10	8	7	6	4	3	2	0
Rsvd	En	Rsvd	En	Rsvd	En	Rsvd	En	Rsvd	En	Rsvd	En
R-0	R/W-0	R-0	R/W-0	R-0	R/W-0	R-0	R/W-0	R-0	R/W-0	R-0	R/W-0

凡例：R/W = リード / ライト。R = リード専用。- n = リセット後の値。

表 4-6. DMA チャンネル・キュー n ナンバー・レジスタ (DMAQNUM n) フィールドの説明

ビット	フィールド	値	説明
31-0	En	0-7h	DMA キュー番号。対応する DMA チャンネルに使われるイベント・キュー番号が含まれます。イベント・キュー番号の DMAQNUM n を EDMA3CC で使用できるキューの番号より大きい値にプログラム (設定) すると、動作は不定になります。
		0	イベント n のキューは、Q0 上に積まれます。
		1h	イベント n のキューは、Q1 上に積まれます。
		2h	イベント n のキューは、Q2 上に積まれます。
		3h	イベント n のキューは、Q3 上に積まれます。
		4h-7h	予約

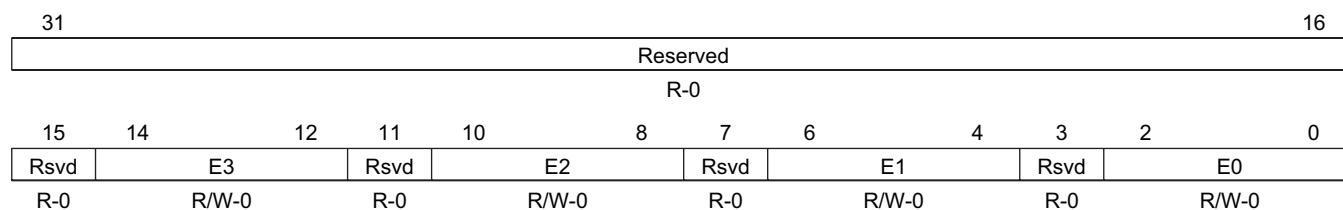
表 4-7. DMAQNUM n のビット

		チャンネル番号 (DMAQNUM n)							
En ビット	0	1	2	3	4	5	6	7	
0-2	E0	E8	E16	E24	E32	E40	E48	E56	
4-6	E1	E9	E17	E25	E33	E	E49	E57	
8-10	E2	E10	E18	E26	E34	E	E50	E58	
12-14	E3	E11	E19	E27	E35	E	E51	E59	
16-18	E4	E12	E20	E28	E36	E	E52	E60	
20-22	E5	E13	E21	E29	E37	E	E53	E61	
24-26	E6	E14	E22	E30	E38	E	E54	E62	
28-30	E7	E15	E23	E31	E39	E	E55	E63	

4.2.1.6 QDMA チャンネル・キュー・ナンバー・レジスタ (QDMAQNUM)

QDMA チャンネル・キュー・ナンバー・レジスタ (QDMAQNUM) を使うと、EDMA3CC のすべての QDMA チャンネルをそれぞれプログラムして、その関連付けられた QDMA イベントを EDMA3CC の任意のイベント・キューに発行することができます。QDMAQNUM の内容と説明をそれぞれ図 4-6 および表 4-8 に示します。

図 4-6. QDMA チャンネル・キュー・ナンバー・レジスタ (QDMAQNUM)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 4-8. QDMA チャンネル・キュー・ナンバー・レジスタ (QDMAQNUM) フィールドの説明

ビット	フィールド	値	説明
31-15	Reserved	0	予約
14-0	E_n	0-7h	QDMA キュー番号。対応する QDMA チャンネルに使われるイベント・キュー番号が含まれます。
		0	イベント n のキューは、Q0 上に積まれます。
		1h	イベント n のキューは、Q1 上に積まれます。
		2h	イベント n のキューは、Q2 上に積まれます。
		3h	イベント n のキューは、Q3 上に積まれます。
		4h-7h	予約

4.2.1.7 キュー・プライオリティ・レジスタ (QUEPRI)

キュー・プライオリティ・レジスタ (QUEPRI) を使うと、個々のキューのプライオリティ、およびキューに積まれるイベントに関連付けられている転送リクエスト (TR) のプライオリティを変更することができます。EDMA3TC マッピングへのキューは固定されているので、QUEPRI をプログラムするとデバイスの他のバス・マスターに関連して、関連付けられた転送コントローラのリード/ライト・コマンドのプライオリティが基本的に管理されます。EDMA3TC のプライオリティを変更して、目的のシステム性能を手に入れることができます。QUEPRI の内容と説明をそれぞれ図 4-7 および表 4-9 に示します。

図 4-7. キュー・プライオリティ・レジスタ (QUEPRI)

31															16																																																																																																																																																																				
Reserved																																																																																																																																																																																			
R-0																																																																																																																																																																																			
15															14															12															11															10															8															7															6															4															3															2															0														
Rsvd					PRIQ3					Rsvd					PRIQ2					Rsvd					PRIQ1					Rsvd					PRIQ0																																																																																																																																																
R-0					R/W-0					R-0					R/W-0					R/W-0					R-0					R/W-0																																																																																																																																																					

凡例：R/W = リード/ライト。R = リード専用。-n = リセット後の値。

表 4-9. キュー・プライオリティ・レジスタ (QUEPRI) フィールドの説明

ビット	フィールド	値	説明
31-15	Reserved	0	予約
14-12	PRIQ3	0-7h	キュー 3 のプライオリティ・レベル。デバイスの他のマスターとの間で TC3 が使用するプライオリティ・レベルを指示します。値 0 は、プライオリティが最も高いことを示します。また値 7 は、プライオリティが最も低いことを示します。
11	Reserved	0	予約
10-8	PRIQ2	0-7h	キュー 2 のプライオリティ・レベル。デバイスの他のマスターとの間で TC2 が使用するプライオリティ・レベルを指示します。値 0 は、プライオリティが最も高いことを示します。また値 7 は、プライオリティが最も低いことを示します。
7	Reserved	0	予約
6-4	PRIQ1	0-7h	キュー 1 のプライオリティ・レベル。デバイスの他のマスターとの間で TC1 が使用するプライオリティ・レベルを指示します。値 0 は、プライオリティが最も高いことを示します。また値 7 は、プライオリティが最も低いことを示します。
3	Reserved	0-1h	予約
2-0	PRIQ0	0-7h	キュー 0 のプライオリティ・レベル。デバイスの他のマスターとの間で TC0 が使用するプライオリティ・レベルを指示します。値 0 は、プライオリティが最も高いことを示します。また値 7 は、プライオリティが最も低いことを示します。

4.2.2 エラー・レジスタ

EDMA3CC には、DMA と QDMA の両方またはそのいずれかのミス・イベントに関する情報、またはイベント・キューのスレッシュホールドを超えた場合のインスタンスに関する情報を提供する一連のレジスタが含まれています。これらのレジスタのいずれかのビットがセットされている場合、EDMA3CC によってエラー割り込みが生成されます。

4.2.2.1 イベント・ミスド・レジスタ (EMR/EMRH)

特定の DMA チャンネルの場合、最初のイベントがクリアまたは処理される前に、2 番目のイベントを受け取ると、該当のチャンネルに対応するイベント・ミスド・レジスタ (EMR/EMRH) 内のビットはセットまたはアサートされます。すべてのトリガ・タイプは、個別に処理されます。つまり、手動トリガ (ESR/ESRH)、チェーン・トリガ (CER/CERH)、およびイベント・トリガ (ER/ERH) はすべて別々に処理されます。またあるチャンネルのイベントが NULL エントリを検出する (つまり NULL TR を受け取る) と、該当チャンネルの EMR/EMRH ビットもセットされます。任意の EMR/EMRH ビットがセットされる (かつこれ以外のエラー・レジスタ (QEMR、CCERR) のビットなどすべてのエラーが事前にクリアされる) と、EDMA3CC はエラー割り込みを生成します。EDMA3CC のエラー割り込みの生成に関する詳細は、2.9.4 項を参照してください。

EMR の内容と説明をそれぞれ図 4-8 および表 4-10 に示します。EMRH の内容と説明をそれぞれ図 4-9 および表 4-11 に示します。

図 4-8. イベント・ミスド・レジスタ (EMR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E31	E30	E29	E28	E27	E26	E25	E24	E23	E22	E21	E20	E19	E18	E17	E16
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-10. イベント・ミスド・レジスタ (EMR) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n		チャンネル 0-31 イベント・ミス。イベント・ミスド・クリア・レジスタ (EMCR) の対応するビットに 1 をライトすると E_n はクリアされます。
		0	イベント・ミスなし
		1	イベント・ミスあり

図 4-9. イベント・ミスド・ハイ・レジスタ (EMRH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E63	E62	E61	E60	E59	E58	E57	E56	E55	E54	E53	E52	E51	E50	E49	E48
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E47	E46	E45	E44	E43	E42	E41	E40	E39	E38	E37	E36	E35	E34	E33	E32
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-11. イベント・ミスド・ハイ・レジスタ (EMRH) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n		チャンネル 32-63 イベント・ミス。イベント・ミスド・クリア・ハイ・レジスタ (EMCRH) の対応するビットに 1 をライトすると E_n はクリアされます。
		0	イベント・ミスなし
		1	イベント・ミスあり

4.2.2.2 イベント・ミスド・クリア・レジスタ (EMCR/EMCRH)

イベント・ミスがイベント・ミスド・レジスタ (EMR/EMRH) にポストされると、ビットはセットされたままになるので、セットされたビットをクリアする必要があります。ビットをクリアするには、CPU からイベント・ミスド・クリア・レジスタ (EMCR/EMCRH) にライトします。いずれかのビットに 1 をライトすると、EMR/EMRH のイベント・ミス (ビット) がクリアされます。0 をライトしても影響はありません。

EMCR の内容と説明をそれぞれ図 4-10 および表 4-12 に示します。EMCRH の内容と説明をそれぞれ図 4-11 および表 4-13 に示します。

図 4-10. イベント・ミスド・クリア・レジスタ (EMCR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E31	E30	E29	E28	E27	E26	E25	E24	E23	E22	E21	E20	E19	E18	E17	E16
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-12. イベント・ミスド・クリア・レジスタ (EMCR) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント・ミス 0-31 のクリア。さらなるエラー割り込みが EDMA3CC によってアサートされる前に、すべてのエラー・ビットをクリアしておく必要があります。
		1	イベント・ミスド・レジスタ (EMR) のイベント・ミスド・ビットがクリアされます ($E_n = 0$)

図 4-11. イベント・ミスド・クリア・ハイ・レジスタ (EMCRH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E63	E62	E61	E60	E59	E58	E57	E56	E55	E54	E53	E52	E51	E50	E49	E48
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E47	E46	E45	E44	E43	E42	E41	E40	E39	E38	E37	E36	E35	E34	E33	E32
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-13. イベント・ミスド・クリア・ハイ・レジスタ (EMCRH) フィールドの説明

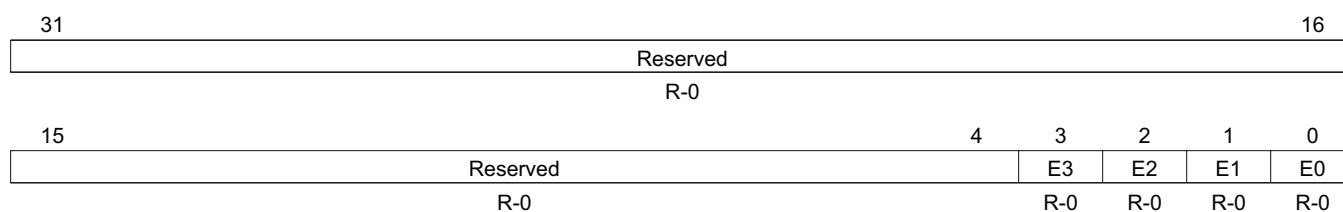
ビット	フィールド	値	説明
31-0	E_n	0	イベント・ミス 32-63 のクリア。さらなるエラー割り込みが EDMA3CC によってアサートされる前に、すべてのエラー・ビットをクリアしておく必要があります。
		1	イベント・ミスド・ハイ・レジスタ (EMRH) のイベント・ミスド・ビットがクリアされます ($E_n = 0$)

4.2.2.3 QDMA イベント・ミスド・レジスタ (QEMR)

特定の QDMA チャンネルの場合、最初のイベントがクリアまたは処理されないまま、2つの QDMA イベントが検出されると、該当のチャンネルに対応する QDMA イベント・ミスド・レジスタ (QEMR) 内のビットはセットまたはアサートされます。また、あるチャンネルの QDMA イベントが NULL エントリを検出する (つまり NULL TR が処理される) と、該当のチャンネルの QEMR ビットもセットされます。任意の QEMR ビットがセットされる (かつこれ以外のエラー・レジスタ (EMR/EMRH、CCERR) のビットなどすべてのエラーが事前にクリアされる) と、EDMA3CC はエラー割り込みを生成します。EDMA3CC のエラー割り込みの生成に関する詳細は、2.9.4 項を参照してください。

QEMR の内容と説明をそれぞれ図 4-12 および表 4-14 に示します。

図 4-12. QDMA イベント・ミスド・レジスタ (QEMR)



凡例：R = リード専用。-n = リセット後の値。

表 4-14. QDMA イベント・ミスド・レジスタ (QEMR) フィールドの説明

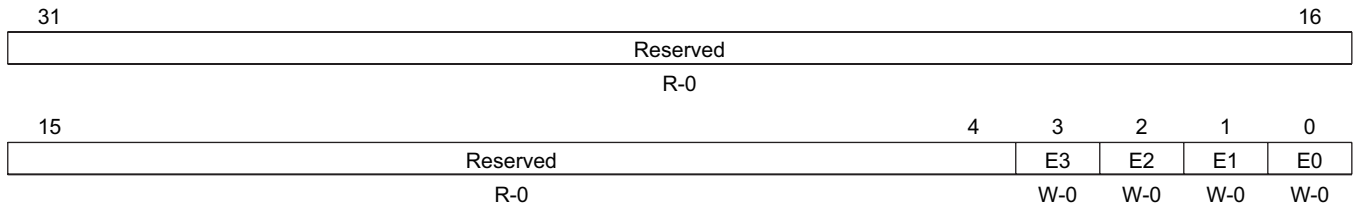
ビット	フィールド	値	説明
31-4	Reserved	0	予約
3-0	E_n	0	チャンネル 0-7 の QDMA イベント・ミス。QDMA イベント・ミスド・クリア・レジスタ (QEMCR) の対応するビットに 1 をライトすると E_n はクリアされます。
		0	イベント・ミスなし
		1	イベント・ミスあり

4.2.2.4 QDMA イベント・ミスド・クリア・レジスタ (QEMCR)

イベント・ミスが QDMA イベント・ミスド・レジスタ (QEMR) にポストされると、ビットはセットされたままになるので、セットされたビットをクリアする必要があります。ビットをクリアするには、CPU から QDMA イベント・ミスド・クリア・レジスタ (QEMCR) にライトします。いずれかのビットに 1 をライトすると、QEMR のイベント・ミス (ビット) がクリアされます。0 をライトしても影響はありません。

QEMCR の内容と説明をそれぞれ図 4-13 および表 4-15 に示します。

図 4-13. QDMA イベント・ミスド・クリア・レジスタ (QEMCR)



凡例：W = ライト専用。-n = リセット後の値。

表 4-15. QDMA イベント・ミスド・クリア・レジスタ (QEMCR) フィールドの説明

ビット	フィールド	値	説明
31-4	Reserved	0	予約
3-0	En	0	QDMA イベント・ミスのクリア。さらなるエラー割り込みが EDMA3CC によってアサートされる前に、すべてのエラー・ビットをクリアしておく必要があります。影響なし。
		1	QDMA イベント・ミスド・レジスタ (QEMR) のイベント・ミスド・ビットがクリアされます (En = 0)。

4.2.2.5 EDMA3CC エラー・レジスタ (CCERR)

EDMA3CC エラー・レジスタ (CCERR) は、任意の時点で、いずれかのイベント・キューに積まれたイベントの数がキュー・ウォーターマーク・スレッシュホールド・レジスタ (QWMTHRA) でセットされているスレッシュホールド / ウォーターマークの値を超えたかどうか、または等しくなったかどうかを示します。さらに、CCERR は、転送完了コードを EDMA3CC に返すようにプログラムされている未処理の TR の数が、最大の許容値 63 を超えているかどうかを示します。CCERR の任意のビットがセットされる (かつ、これ以外のエラー・レジスタ (EMR/EMRH、QEMR) のビットなどすべてのエラーが事前にクリアされる) と、EDMA3CC はエラー割り込みを生成します。EDMA3CC のエラー割り込みの生成に関する詳細は、2.9.4 項を参照してください。CCERR のエラー・ビットがセットされると、そのビットをクリアするには、EDMA3CC エラー・クリア・レジスタ (CCERRCLR) の対応するビットにライトします。

CCERR の内容と説明をそれぞれ図 4-14 および表 4-16 に示します。

図 4-14. EDMA3CC エラー・レジスタ (CCERR)

31	Reserved				17	16
					TCCERR	
R-0					R-0	
15	Reserved			4	3	2
				1	0	
R-0				QTHRXC3	QTHRXC2	QTHRXC1
				R-0	R-0	R-0
				QTHRXC0		
				R-0		

凡例：R = リード専用。-n = リセット後の値。

表 4-16. EDMA3CC エラー・レジスタ (CCERR) フィールドの説明

ビット	フィールド	値	説明
31-17	Reserved	0	予約
16	TCCERR	0	転送完了コード・エラー。TCCERR をクリアするには、EDMA3CC エラー・クリア・レジスタ (CCERRCLR) の対応するビットに 1 をライトします。
		0	未処理の許容 TCC の合計数に到達していません。
		1	許容 TCC の合計数に到達しました。
15-4	Reserved	0	予約
3	QTHRXC3	0	キュー 3 のキュー・スレッシュホールド・エラー。QTHRXC3 をクリアするには、EDMA3CC エラー・クリア・レジスタ (CCERRCLR) の対応するビットに 1 をライトします。
		0	ウォーターマーク / スレッシュホールドを超えていません。
		1	ウォーターマーク / スレッシュホールドを超えています。
2	QTHRXC2	0	キュー 2 のキュー・スレッシュホールド・エラー。QTHRXC2 をクリアするには、EDMA3CC エラー・クリア・レジスタ (CCERRCLR) の対応するビットに 1 をライトします。
		0	ウォーターマーク / スレッシュホールドを超えていません。
		1	ウォーターマーク / スレッシュホールドを超えています。
1	QTHRXC1	0	キュー 1 のキュー・スレッシュホールド・エラー。QTHRXC1 をクリアするには、EDMA3CC エラー・クリア・レジスタ (CCERRCLR) の対応するビットに 1 をライトします。
		0	ウォーターマーク / スレッシュホールドを超えていません。
		1	ウォーターマーク / スレッシュホールドを超えています。
0	QTHRXC0	0	キュー 0 のキュー・スレッシュホールド・エラー。QTHRXC0 をクリアするには、EDMA3CC エラー・クリア・レジスタ (CCERRCLR) の対応するビットに 1 をライトします。
		0	ウォーターマーク / スレッシュホールドを超えていません。
		1	ウォーターマーク / スレッシュホールドを超えています。

4.2.2.6 EDMA3CC エラー・クリア・レジスタ (CCERRCLR)

EDMA3CC エラー・クリア・レジスタ (CCERRCLR) は、EDMA3CC エラー・レジスタ (CCERR) にセットされている任意のエラー・ビットをクリアするために使われます。さらに、CCERRCLR は、特定のイベント・キューに関連付けられているキュー・ステータス・レジスタ (QSTAT_n) の一部のビット・フィールドの値もクリアします。いずれかのビットに 1 をライトすると、CCERR の対応するビットをクリアします。0 をライトしても影響はありません。

CCERRCLR の内容と説明をそれぞれ図 4-15 および表 4-17 に示します。

図 4-15. EDMA3CC エラー・クリア・レジスタ (CCERRCLR)

31					17	16
Reserved					TCCERR	
W-0					W-0	
15	4	3	2	1	0	
Reserved		QTHRXC3	QTHRXC2	QTHRXC1	QTHRXC0	
W-0		W-0	W-0	W-0	W-0	

凡例：W = ライト専用。-n = リセット後の値。

表 4-17. EDMA3CC エラー・クリア・レジスタ (CCERRCLR) フィールドの説明

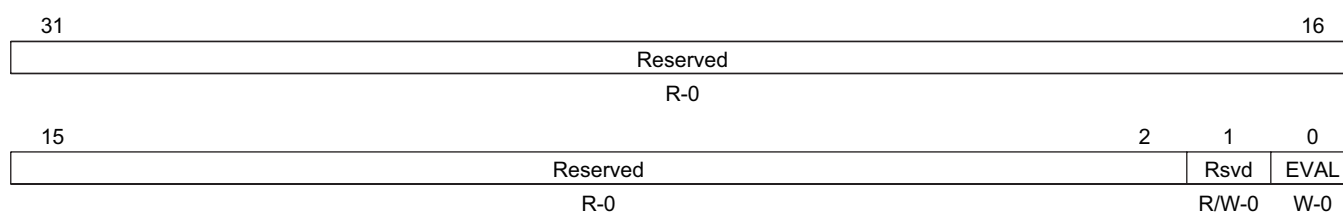
ビット	フィールド	値	説明
31-17	Reserved	0	予約
16	TCCERR	0	転送完了コード・エラーのクリア。 影響なし。
		1	EDMA3CC エラー・レジスタ (CCERR) の TCCERR ビットをクリアします。
15-4	Reserved	0	予約
3	QTHRXC3	0	キュー 3 のキュー・スレッシュホールド・エラーのクリア。 影響なし。
		1	EDMA3CC エラー・レジスタ (CCERR) の QTHRXC3 ビットおよびキュー・ステータス・レジスタ 3 (QSTAT3) の WM ビットと THRXC3 ビットをクリアします。
2	QTHRXC2	0	キュー 2 のキュー・スレッシュホールド・エラーのクリア。 影響なし。
		1	EDMA3CC エラー・レジスタ (CCERR) の QTHRXC2 ビットおよびキュー・ステータス・レジスタ 2 (QSTAT2) の WM ビットと THRXC2 ビットをクリアします。
1	QTHRXC1	0	キュー 1 のキュー・スレッシュホールド・エラーのクリア。 影響なし。
		1	EDMA3CC エラー・レジスタ (CCERR) の QTHRXC1 ビットおよびキュー・ステータス・レジスタ 1 (QSTAT1) の WM ビットと THRXC1 ビットをクリアします。
0	QTHRXC0	0	キュー 0 のキュー・スレッシュホールド・エラーのクリア。 影響なし。
		1	EDMA3CC エラー・レジスタ (CCERR) の QTHRXC0 ビットおよびキュー・ステータス・レジスタ 0 (QSTAT0) の WM ビットと THRXC0 ビットをクリアします。

4.2.2.7 エラー・エバリュエーション・レジスタ (EEVAL)

EDMA3CC エラー割り込みは、エラー・レジスタ (EMR/EMRH、QEMR、CCERR) のいずれかでエラー・ビットがセットされるたびにアサートされます。セットされている後続のエラー・ビットの場合、EDMA3CC エラー割り込みは「すべてのエラー・ビットがクリアされる」から「少なくとも1つのエラー・ビットがセットされる」へ遷移したときにのみ再アサートされます。他にも、CPU がエラー・エバリュエーション・レジスタ (EEVAL) の EVAL ビットに 1 をライトすると、以降のエラー条件により未処理のエラー・ビットがセットされている場合には、EDMA3CC エラー割り込みが再アサートされることとなります。0 をライトしても影響はありません。

EEVAL の内容と説明をそれぞれ図 4-16 および表 4-18 に示します。

図 4-16. エラー・エバリュエーション・レジスタ (EEVAL)



凡例：R/W = リード / ライト。R = リード専用。W = ライト専用。-n = リセット後の値。

表 4-18. エラー・エバリュエーション・レジスタ (EEVAL) フィールドの説明

ビット	フィールド	値	説明
31-2	Reserved	0	予約
1	Reserved	0	予約。このビットには常に 0 がライトされます。このビットに 1 をライトしてもサポートされません。1 をライトしても、その結果は不定です。
0	EVAL	0	エラー割り込みが評価されます。 影響なし。
		1	エラー・レジスタ (EMR/EMRH、QEMR、CCERR) のいずれかでエラーがクリアされていない場合に、EDMA3CC エラー割り込みは、パルス化されます。

4.2.3 リージョン・アクセス・イネーブル・レジスタ

リージョン・アクセス・イネーブル・レジスタ・グループは、DMA アクセス・イネーブル・レジスタ (DRAEm および DRAEHm) と QDMA アクセス・イネーブル・レジスタ (QRAEm) から構成されています。ここで、 m はデバイスの EDMA3CC メモリ・マップのシャドウ領域の数。これらのレジスタを設定すると、DMA/QDMA チャンネルの所有権を特定のシャドウ領域に割り当てることができます。

4.2.3.1 DMA リージョン・アクセス・イネーブル・リージョン m レジスタ (DRAEm)

DMA リージョン・アクセス・イネーブル・シャドウ・リージョン m レジスタ (DRAEm/DRAEHm) をプログラムして、DMA チャンネル・レジスタのシャドウ領域 m ビュー内のすべての DMA レジスタに対してビットごとに、リード / ライト・アクセスの有効化と無効化を設定できます。すべての DMA チャンネル・インタラプト・レジスタのリストは、シャドウ領域ビューにマップされる EDMA3CC レジスタのメモリ・マップ (表 4-1) を参照してください。さらに、DRAEm/DRAEHm の設定は、どの DMA チャンネルが完了すればシャドウ領域 m の DMA 完了割り込みがアサートされるのが決定します。

DRAEm の内容と説明をそれぞれ図 4-17 および表 4-19 に示します。DRAEHm の内容と説明をそれぞれ図 4-18 および表 4-19 に示します。

図 4-17. DMA リージョン・アクセス・イネーブル・リージョン m レジスタ (DRAEm)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E31	E30	E29	E28	E27	E26	E25	E24	E23	E22	E21	E20	E19	E18	E17	E16
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

凡例：R/W = リード / ライト。-n = リセット後の値。

図 4-18. DMA リージョン・アクセス・イネーブル・リージョン m ハイ・レジスタ (DRAEHm)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E63	E62	E61	E60	E59	E58	E57	E56	E55	E54	E53	E52	E51	E50	E49	E48
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E47	E46	E45	E44	E43	E42	E41	E40	E39	E38	E37	E36	E35	E34	E33	E32
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

凡例：R/W = リード / ライト。-n = リセット後の値。

表 4-19. DMA リージョン・アクセス・イネーブル・リージョン m レジスタ (DRAEm/DRAEHm) フィールドの説明

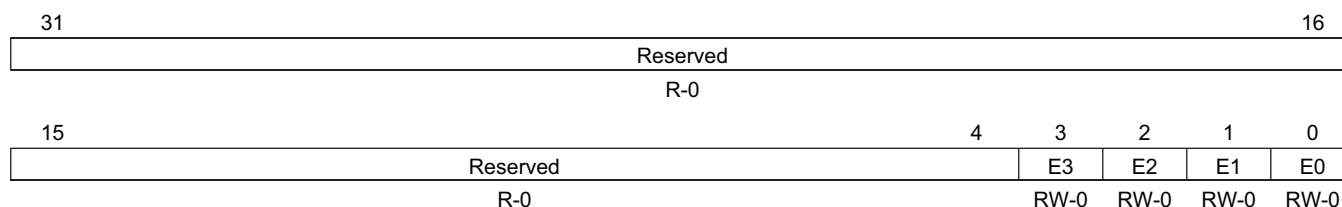
ビット	フィールド	値	説明
31-0	E_n	0	リージョン m のビット n / チャンネル n の DMA リージョン・アクセス・イネーブル。 領域 m のアドレス空間を介した任意の DMA チャンネル・レジスタのビット n へのアクセスは許可されていません。ビット n をリードすると 0 が返ります。値をライトしてもビット n の状態は変更されません。ビット n のイネーブルされた割り込みビットによって、シャドウ領域 m の転送完了が生成されることにはなりません。
		1	領域 m のアドレス空間を介した任意の DMA チャンネル・レジスタのビット n へのアクセスは許可されています。ビット n から値をリードすると値が返ります。値をライトするとビット n の状態が変更されます。ビット n のイネーブルされた割り込みビットによって、シャドウ領域 m の転送完了が生成されることとなります。

4.2.3.2 QDMA リージョン・アクセス・イネーブル・レジスタ (QRAEm)

QDMA リージョン・アクセス・イネーブル・シャドウ・リージョン m レジスタ (QRAEm) をプログラムして、QDMA レジスタのシャドウ領域 m ビュー内のすべての QDMA レジスタに対してビットごとに、リード/ライト・アクセスの有効化と無効化を設定できます。これには、すべての 4 ビット QDMA レジスタが含まれます。

QRAEm の内容と説明をそれぞれ図 4-19 および表 4-20 に示します。

図 4-19. QDMA リージョン・アクセス・イネーブル・リージョン m レジスタ (QRAEm)



凡例：R/W = リード / ライト。R = リード専用。- n = リセット後の値。

表 4-20. QDMA リージョン・アクセス・イネーブル・リージョン m レジスタ (QRAEm) フィールドの説明

ビット	フィールド	値	説明
31-4	Reserved	0	予約
3-0	E_n	0	領域 m のビット n /QDMA チャンネル n の QDMA リージョン・アクセス・イネーブル。 領域 m のアドレス空間を介した任意の QDMA チャンネル・レジスタのビット n へのアクセスは許可されていません。ビット n をリードすると 0 が返ります。値をライトしてもビット n の状態は変更されません。
		1	領域 m のアドレス空間を介した任意の QDMA チャンネル・レジスタのビット n へのアクセスは許可されています。ビット n からリードすると値が返ります。値をライトするとビット n の状態が変更されます。

4.2.4 ステータス / デバッグ・ビジビリティ・レジスタ

次のレジスタのセットを使うと、イベント・キューおよび TR のライフ・サイクルを視覚化できます。これらは、イベント・キューに積まれたイベントをさらに視覚化できるのでシステムのデバッグに役立ちます。また、EDMA3CC がイベントを受け取ったら、EDMA3CC のどの部分がアクティブになっているかに関する情報も提供します。

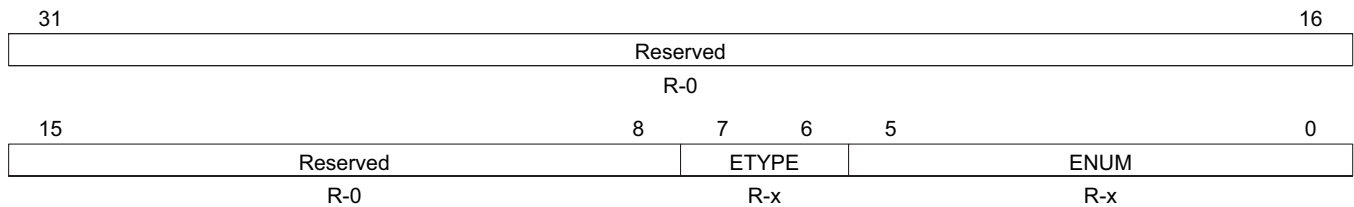
4.2.4.1 イベント・キュー・エントリ・レジスタ (QxEy)

イベント・キュー・エントリ・レジスタ (QxEy) には、EDMA3CC のすべてのイベント・キューを処理するために、全部で 16 個のキュー・エントリ (最大許容キュー・エントリ) が含まれています。

Q0E0 ~ Q0E15、Q1E0 ~ Q1E15、Q2E0 ~ Q2E15、および Q3E0 ~ Q3E15 があります。それぞれのレジスタは、イベント番号 (ENUM) およびイベント・タイプ (ETYPE) を表します。たとえば、Q1E4 の値が 000 004Fh としてリードされる場合、これはキュー 1 の 4 番目のエントリが手動によりトリガされた DMA チャンネル 15 のイベントであることを示します。

QxEy の内容と説明をそれぞれ図 4-20 および表 4-21 に示します。

図 4-20. イベント・キュー・エントリ・レジスタ (QxEy)



凡例：R = リード専用。-n = リセット後の値。-x = リセット後の値は不定。

表 4-21. イベント・キュー・エントリ・レジスタ (QxEy) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	予約
7-6	ETYPE	0-3h	キュー x のイベント・エントリ y 。イベント・キューの目的のエントリに対する固有のイベント・タイプを指定します。
		0	ER を介してトリガされたイベント。
		1h	ESR を介した手動によるトリガ。
		2h	CER を介したチェーンによるトリガ。
		3h	QER を介した自動的なトリガ。
5-0	ENUM	0-3Fh	キュー x のイベント・エントリ y 。イベント番号。
		0-7h	QDMA チャンネル番号 (0 ~ 3)
		0-3Fh	QDMA チャンネル / イベント番号 (0 ~ 63)

4.2.4.2 キュー・ステータス・レジスタ (QSTAT n)

キュー・ステータス・レジスタ (QSTAT n) の内容と説明をそれぞれ図 4-21 と表 4-22 に示します。

図 4-21. キュー・ステータス・レジスタ n (QSTAT n)

31	25	24	23	21	20	16
Reserved			THRXCDC	Reserved		WM
R-0			R-0	R-0		R-0
15	13	12	8	7	4	3
Reserved		NUMVAL		Reserved		STRTPTR
R-0		R-0		R-0		R-0

凡例：R = リード専用。- n = リセット後の値。

表 4-22. キュー・ステータス・レジスタ n (QSTAT n) フィールドの説明

ビット	フィールド	値	説明
31-25	Reserved	0	予約
24	THRXCDC	0	スレッシュホールドを超えました。THRXCDC をクリアするには、EDMA3CC エラー・クリア・レジスタ (CCERRCLR) の対応する QTHRXCDC n ビットに 1 をライトします。
		1	キュー・ウォーターマーク・スレッシュホールド A レジスタ (QWMTHTA) の Q n ビットで指定されたスレッシュホールドを超えていません。
			キュー・ウォーターマーク・スレッシュホールド A レジスタ (QWMTHTA) の Q n ビットで指定されたスレッシュホールドを超えています。
23-21	Reserved	0	予約
20-16	WM	0-1Fh	最大キュー使用を表すウォーターマーク。ウォーターマークは、リセット後またはウォーターマーク (WM) ビットがクリアされてからキュー n に留まっている最大のエンTRIES を追跡します。WM をクリアするには、EDMA3CC エラー・クリア・レジスタ (CCERRCLR) の対応する QTHRXCDC n ビットに 1 をライトします。有効な値は、0 (空) ~ 10h (一杯) です。
		11h-1Fh	予約
15-13	Reserved	0	予約
12-8	NUMVAL	0-1Fh	キュー n の有効なエンTRIES 数。指定した時点でのキュー・マネージャ FIFO に置かれるエンTRIES の合計数。常にイネーブル。有効な値は、0 (空) ~ 10h (一杯) です。
		11h-1Fh	予約
7-4	Reserved	0	予約
3-0	STRTPTR	0-Fh	開始ポイント。キュー n の先頭エンTRIES への (エンTRIES を単位にした) オフセット。常にイネーブル。有効な値は 0 (0 番目のエンTRIES) ~ Fh (15 番目のエンTRIES)。

4.2.4.3 キュー・ウォーターマーク・スレッシュホールド A レジスタ (QWMTHRA)

キュー・ウォーターマーク・スレッシュホールド A レジスタ (QWMTHRA) の内容と説明をそれぞれ図 4-22 および表 4-23 に示します。

図 4-22. キュー・ウォーターマーク・スレッシュホールド A レジスタ (QWMTHRA)

31	29	28	24	23	21	20	16
Reserved		Q3		Reserved		Q2	
R-0		R/W-10		R-0		R/W-10	
15	13	12	8	7	5	4	0
Reserved		Q1		Reserved		Q0	
R-0		R/W-10h		R-0		R/W-10h	

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 4-23. キュー・ウォーターマーク・スレッシュホールド A レジスタ (QWMTHRA) フィールドの説明

ビット	フィールド	値	説明
31-29	Reserved	0	予約
28-24	Q3	0-1Fh 0-10h 11h 12h-1Fh	キュー 3 のキュー・スレッシュホールド値。時間内に同時に、(QSTAT3 の NUMVAL ビットを介して視覚化できる) キュー 3 のイベント数が Q3 によって指定される値と等しいかその値を超える場合、EDMA3CC エラー・レジスタ (CCERR) の QTHRXCD3 ビットおよびキュー・ステータス・レジスタ 3 (QSTAT3) の THRXCD ビットがセットされます。 デフォルトは 16 (最大許容値) です。 スレッシュホールド・エラーをディスエーブルします。 予約
23-21	Reserved	0	予約
20-16	Q2	0-1Fh 0-10h 11h 12h-1Fh	キュー 2 のキュー・スレッシュホールド値。時間内に同時に、(QSTAT2 の NUMVAL ビットを介して視覚化できる) キュー 2 のイベント数が Q2 によって指定される値と等しいかその値を超える場合、EDMA3CC エラー・レジスタ (CCERR) の QTHRXCD2 ビットおよびキュー・ステータス・レジスタ 2 (QSTAT2) の THRXCD ビットがセットされます。 デフォルトは 16 (最大許容値) です。 スレッシュホールド・エラーをディスエーブルします。 予約
15-13	Reserved	0	予約
12-8	Q1	0-1Fh 0-10h 11h 12h-1Fh	キュー 1 のキュー・スレッシュホールド値。時間内に同時に、(QSTAT1 の NUMVAL ビットを介して視覚化できる) キュー 1 のイベント数が Q1 によって指定される値と等しいかその値を超える場合、EDMA3CC エラー・レジスタ (CCERR) の QTHRXCD1 ビットおよびキュー・ステータス・レジスタ 1 (QSTAT1) の THRXCD ビットがセットされます。 デフォルトは 16 (最大許容値) です。 スレッシュホールド・エラーをディスエーブルします。 予約
7-5	Reserved	0	予約
4-0	Q0	0-1Fh 0-10h 11h 12h-1Fh	キュー 0 のキュー・スレッシュホールド値。時間内に同時に、(QSTAT0 の NUMVAL ビットを介して視覚化できる) キュー 0 のイベント数が Q0 によって指定される値と等しいかその値を超える場合、EDMA3CC エラー・レジスタ (CCERR) の QTHRXCD0 ビットおよびキュー・ステータス・レジスタ 0 (QSTAT0) の THRXCD ビットがセットされます。 デフォルトは 16 (最大許容値) です。 スレッシュホールド・エラーをディスエーブルします。 予約

4.2.4.4 EDMA3CC ステータス・レジスタ (CCSTAT)

EDMA3CC ステータス・レジスタ (CCSTAT) には、任意の時点で、EDMA3CC ロジックのどの部分がアクティブになっているか表す複数のステータス・ビットがあります。CCSTAT の内容と説明をそれぞれ図 4-23 および表 4-24 に示します。

図 4-23. EDMA3CC ステータス・レジスタ (CCSTAT)

31	Reserved					24
R-0						
23	20	19	18	17	16	
Reserved		QUEACTV3	QUEACTV2	QUEACTV1	QUEACTV0	
R-0		R-0	R-0	R-0	R-0	
15	14	13	COMPACTV			8
R-0		R-0				
7	5	4	3	2	1	0
Reserved		ACTV	WSTATACTV	TRACTV	QEVTACTV	EVTACTV
R-0		R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-24. EDMA3CC ステータス・レジスタ (CCSTAT) フィールドの説明

ビット	フィールド	値	説明
31-20	Reserved	0	予約
19	QUEACTV3	0	キュー 3 アクティブ。 キュー 3 にはイベントが積まれていません。
		1	キュー 3 には少なくとも 1 つの TR が積まれています。
18	QUEACTV2	0	キュー 2 アクティブ。 キュー 2 にはイベントが積まれていません。
		1	キュー 2 には少なくとも 1 つの TR が積まれています。
17	QUEACTV1	0	キュー 1 アクティブ。 キュー 1 にはイベントが積まれていません。
		1	キュー 1 には少なくとも 1 つの TR が積まれています。
16	QUEACTV0	0	キュー 0 アクティブ。 キュー 0 にはイベントが積まれていません。
		1	キュー 0 には少なくとも 1 つの TR が積まれています。
15-14	Reserved	0	予約
13-8	COMPACTV	0-3Fh	完了リクエストのアクティブ。COMPACTV は、この転送コントローラに発行された完了リクエスト数のカウントを表します。このカウントは、TR が発行され、かつ完了を報告するようにプログラムされるたびにインクリメントします (TR に関連付けられているパラメータ・エントリにある OPT の TCINTEN または TCCCHEN ビットがセットされます)。カウントは、転送コントローラから有効な TCC が返ってくるたびにデクリメントします。カウントが常に値 63 に達した場合、カウントが 63 未満になるまで (つまりカウントをデクリメントすることになっている転送コントローラから転送完了コードが返されるまで) EDMA3CC は一部の新しい TR を処理しません。
		0	完了リクエストは未処理ではありません。
		1h-3Fh	合計で 1 ~ 63 の完了リクエストが未処理です。
7-5	Reserved	0	予約

表 4-24. EDMA3CC ステータス・レジスタ (CCSTAT) フィールドの説明 (続き)

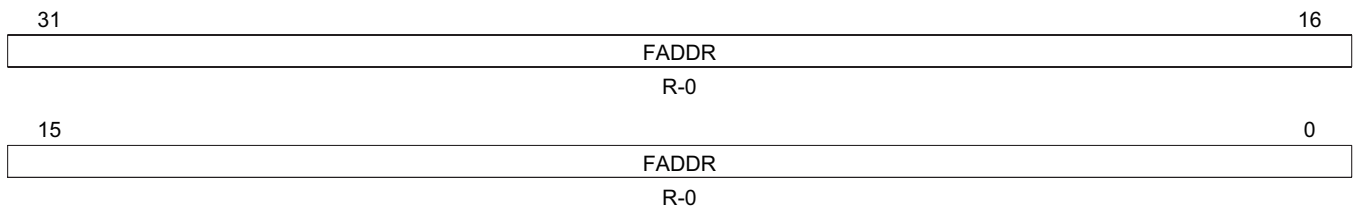
ビット	フィールド	値	説明
4	ACTV	0 1	チャンネル・コントローラがアクティブ。チャンネル・コントローラのアクティブは、それぞれ *ACTV ビットで論理 OR を取ります。ACTV ビットは、TR が存在する間 High に保持されなければなりません。 0 チャンネルはアイドルです。 1 チャンネルはビジーです。
3	WSTATACTV	0 1	ライト・ステータス・インターフェイスのアクティブ。 0 ライト・ステータス・リクエストがアイドルで、かつライト・ステータス FIFO もアイドルです。 1 ライト・ステータス・リクエストがアクティブか、追加ライト・ステータス・レスポンスがライト・ステータス FIFO の中でペンディングされています。
2	TRACTV	0 1	転送リクエストのアクティブ。 0 転送リクエスト処理 / 発行ロジックがインアクティブ。 1 転送リクエスト処理 / 発行ロジックがアクティブ。
1	QEV TACTV	0 1	QDMA イベントのアクティブ。 0 EDMA3CC 内には、イネーブルされた QDMA イベントでアクティブなものはありません。 1 EDMA3CC 内には、イネーブルされた QDMA イベント (QER) でアクティブなものが少なくとも 1 つあります。
0	EVTACTV	0 1	DMA イベントのアクティブ。 0 EDMA3CC 内には、イネーブルされた DMA イベントでアクティブなものはありません。 1 EDMA3CC 内には、イネーブルされた QDMA イベント (ER、EER、ESR、CER) でアクティブなものが少なくとも 1 つあります。

4.2.5 メモリ保護アドレス空間

4.2.5.1 メモリ・プロテクション・フォールト・アドレス・レジスタ (MPFAR)

メモリ・プロテクション・フォールト・アドレス・レジスタ (MPFAR) の内容と説明をそれぞれ図 4-24 および表 4-25 に示します。CPU がメモリ・プロテクション・フォールト・コマンド・レジスタ (MPFCR) の MPFCLR ビットに 1 をライトすると、MPFAR にストアされていたいずれかのエラー条件がクリアされる原因になります。

図 4-24. メモリ・プロテクション・フォールト・アドレス・レジスタ (MPFAR)



凡例 : R = リード専用。-n = リセット後の値。

表 4-25. メモリ・プロテクション・フォールト・アドレス・レジスタ (MPFAR) フィールドの説明

ビット	フィールド	値	説明
31-0	FADDR	0-FFFF FFFFh	フォールト・アドレス。メモリ・プロテクション・バイオレーションが検出された場合、この 32 ビットのリードオンリー・ステータス・レジスタには、フォールト・アドレスが含まれています。このレジスタの内容は、メモリ・プロテクション・フォールト・コマンド・レジスタ (MPFCR) を介してクリアできます。

4.2.5.2 メモリ・プロテクション・フォールト・ステータス・レジスタ (MPFSR)

メモリ・プロテクション・フォールト・ステータス・レジスタ (MPFSR) の内容と説明をそれぞれ図 4-25 および表 4-26 に示します。CPU がメモリ・プロテクション・フォールト・コマンド・レジスタ (MPFCR) の MPFCLR ビットに 1 をライトすると、MPFSR にストアされていたいずれかのエラー条件がクリアされる原因になります。

図 4-25. メモリ・プロテクション・フォールト・ステータス・レジスタ (MPFSR)

31	Reserved										16
R-0											
15	13	12	9	8	6	5	4	3	2	1	0
Reserved		FID		Reserved		SRE	SWE	SXE	URE	UWE	UXE
R-0		R-0		R-0		R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

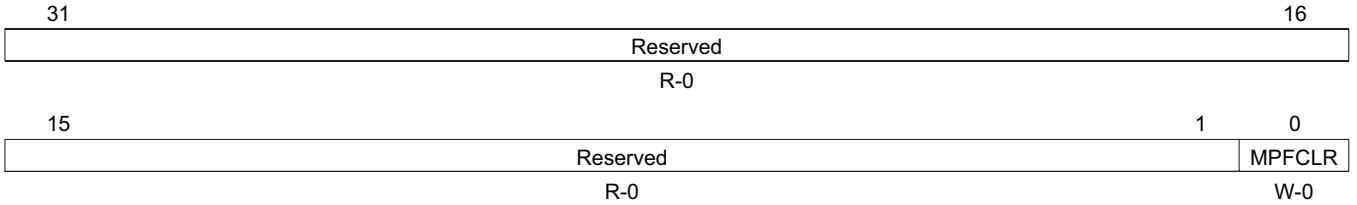
表 4-26. メモリ・プロテクション・フォールト・ステータス・レジスタ (MPFSR) フィールドの説明

ビット	フィールド	値	説明
31-13	Reserved	0	予約
12-9	FID	0-Fh	フォールトの識別。MP エラー・ビット (UXE、UWE、URE、SXE、SWE、SRE) のいずれかがゼロではない場合 (つまり、エラーが検出されている場合)、FID には有効な情報が含まれています。FID フィールドには、MP エラーを引き起こした固有のリクエスト / リクエストの特権 ID が含まれています。
8-6	Reserved	0	予約
5	SRE	0 1	スーパーバイザのリード・エラー。 0 エラーは検出されませんでした。 1 スーパーバイザ・レベルのタスクが SR の許可がないまま MP ページからリードしようとした。
4	SWE	0 1	スーパーバイザのライト・エラー。 0 エラーは検出されませんでした。 1 スーパーバイザ・レベルのタスクが SW の許可がないまま MP ページにライトしようとした。
3	SXE	0 1	スーパーバイザの実行エラー。 0 エラーは検出されませんでした。 1 スーパーバイザ・レベルのタスクが SX の許可がないまま MP ページから実行しようとした。
2	URE	0 1	ユーザのリード・エラー。 0 エラーは検出されませんでした。 1 ユーザ・レベルのタスクが UR の許可がないまま MP ページからリードしようとした。
1	UWE	0 1	ユーザのライト・エラー。 0 エラーは検出されませんでした。 1 ユーザ・レベルのタスクが UW の許可がないまま MP ページにライトしようとした。
0	UXE	0 1	ユーザの実行エラー。 0 エラーは検出されませんでした。 1 ユーザ・レベルのタスクが UX の許可がないまま MP ページから実行しようとした。

4.2.5.3 メモリ・プロテクション・フォールト・コマンド・レジスタ (MPFCR)

メモリ・プロテクション・フォールト・コマンド・レジスタ (MPFCR) の内容と説明をそれぞれ図 4-26 および表 4-27 に示します。

図 4-26. メモリ・プロテクション・フォールト・コマンド・レジスタ (MPFCR)



凡例：R = リード専用。W = ライト専用。-n = リセット後の値。

表 4-27. メモリ・プロテクション・フォールト・コマンド・レジスタ (MPFCR) フィールドの説明

ビット	フィールド	値	説明
31-1	Reserved	0	予約
0	MPFCLR	0	フォールト・クリア・レジスタ。 CPU が 0 をライトしても影響はありません。
		1	CPU が MPFCLR ビットに 1 をライトすると、メモリ・プロテクション・フォールト・アドレス・レジスタ (MPFAR) およびメモリ・プロテクション・フォールト・ステータス・レジスタ (MPFSR) にストアされているいずれかのエラー条件がクリアされる原因になります。

4.2.5.4 メモリ・プロテクション・ページ・アトリビュート・レジスタ (MPPAn)

メモリ・プロテクション・ページ・アトリビュート・レジスタ (MPPAn) の内容と説明をそれぞれ図 4-27 および表 4-28 に示します。

図 4-27. メモリ・プロテクション・ページ・アトリビュート・レジスタ (MPPAn)

Reserved															
R-0															
31														16	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AID5	AID4	AID3	AID2	AID1	AID0	EXT	Rsvd	Reserved	SR	SW	SX	UR	UW	UX	
RW-1	RW-1	RW-1	RW-1	RW-1	RW-1	RW-1	R-0	RW-1	RW-1	RW-1	RW-0	RW-1	RW-1	RW-0	

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 4-28. メモリ・プロテクション・ページ・アトリビュート・レジスタ (MPPAn) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約
15-10	AIDm	0	許容されている ID 'M'。
		1	特権 ID == M が付いたリクエストは、権限設定 (UW、UR、SW、SR) に関係なく領域 N には許容されていません。 権限設定 (UW、UR、SW、SR) により規定されているようにアクセス・タイプが許容されている場合には、特権 ID == M が付いたリクエストは許容されます。
9	EXT	0	外部の許容されている ID。
		1	特権 ID >= M が付いたリクエストは、権限設定 (UW、UR、SW、SR) に関係なく領域 N には許容されていません。 権限設定 (UW、UR、SW、SR) により規定されているようにアクセス・タイプが許容されている場合には、特権 ID >= 6 が付いたリクエストは許容されます。
8	Reserved	0	予約
7-6	Reserved	1	予約。このビットには常に 1 がライトされます。
5	SR	0	スーパーバイザのリード権限。 領域 N からのスーパーバイザのリード・アクセスは、許容されていません。
		1	領域 N アドレスからのスーパーバイザのリード・アクセスは、許容されています。
4	SW	0	スーパーバイザのライト権限。 領域 N へのスーパーバイザのライト・アクセスは、許容されていません。
		1	領域 N アドレスへのスーパーバイザのライト・アクセスは、許容されています。
3	SX	0	スーパーバイザの実行権限。 領域 N からのスーパーバイザの実行アクセスは、許容されていません。
		1	領域 N アドレスからのスーパーバイザの実行アクセスは、許容されています。
2	UR	0	ユーザのリード権限。 領域 N からのユーザのリード・アクセスは、許容されていません。
		1	領域 N アドレスからのユーザのリード・アクセスは、許容されています。
1	UW	0	ユーザのライト権限。 領域 N へのユーザのライト・アクセスは、許容されていません。
		1	領域 N アドレスへのユーザのライト・アクセスは、許容されています。

表 4-28. メモリ・プロテクション・ページ・アトリビュート・レジスタ (MPPAn) フィールドの説明 (続き)

ビット	フィールド	値	説明
0	UX	0	ユーザの実行権限。 領域 N からのユーザの実行アクセスは、許容されていません。
		1	領域 N アドレスからのユーザの実行アクセスは、許容されています。

4.2.6 DMA チャンネル・レジスタ

次のレジスタ・セットは 64 個の DMA チャンネルに関するものです。64 個の DMA チャンネルは、一連のレジスタ (ただし DMAQNUM_n を除く) から構成されており、それぞれのチャンネルは 64 ビットで、かつ各レジスタのビット位置は DMA チャンネル番号に一致しています。各レジスタには、DMA チャンネル 0 ~ 31 に対応する reg_name という形式の名前が、DMA チャンネル 32 ~ 64 に対応する reg_name_High という形式の名前が付けられています。

たとえば、イベント・レジスタ (ER) は DMA チャンネル 0 ~ 31 に対応しています。イベント・ハイ・レジスタ (ERH) は DMA チャンネル 32 ~ 63 に対応しています。通常レジスタは、イベント・レジスタと呼ばれています。

DMA チャンネル・レジスタは、グローバル・アドレス範囲へのリード/ライトを介してアクセスできます。またシャドウ・アドレス範囲へのリード/ライトを介してアクセスすることもできます。シャドウ領域のレジスタへのリード/ライトは、DMA リージョン・アクセス・レジスタ (DRAEm/DRAEHm) によって制御されています。レジスタの説明は 4.2.3.1 項を参照してください。また、シャドウ領域/グローバル領域の使い方の詳細は、2.7 節を参照してください。

4.2.6.1 イベント・レジスタ (ER、ERH)

すべての外部イベントは、イベント・レジスタ (ER/ERH) に取り込まれます。イベントがイネーブルされない場合にも、イベントはラッチされます。ラッチされたイベントに対応するイベント・ビットがイネーブルされている場合 (EER.En/EERH.En = 1) には、イベントは関連付けられている転送リクエストを転送コントローラに発行するために EDMA3CC ロジックによって評価されます。対応するイベントにプライオリティが設定され、処理されてから、イベント・レジスタのビットは自動的にクリアされます (ER.En/ERH.En = 0)。ER.En/ERH.En がすでにセットされ、かつ別のイベントを同じチャンネル/イベントに受け取ると、イベントがイネーブルされている場合には、対応するイベントがイベント・ミスド・レジスタ (EMR.En/EMRH.En) 内でラッチされます。

イベント *n* をクリアするには、CPU からイベント・クリア・レジスタの対応するイベント・ビットに 1 をライトします。イベントをセットするのは、(ハードウェアまたはソフトウェアを介して) クリアする動作と比較してプライオリティの高い動作です。セットおよびクリア条件が同時に起きた場合、セット条件が優先されます。イベントが事前にセットされている場合には、EMR/EMRH がセットされます。これはイベントがなくなるからです。イベントが事前にクリアされている場合には、イベントはセットされたままで、イベント・キュー発行のプライオリティが設定されます。

表 A-1 に、同期イベントの種類およびこれらの外部イベントのそれぞれに関連付けられている EDMA3CC チャンネルを示します。

ER の内容と説明をそれぞれ図 4-28 および表 4-29 に示します。ERH の内容と説明をそれぞれ図 4-29 および表 4-30 に示します。

図 4-28. イベント・レジスタ (ER)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E31	E30	E29	E28	E27	E26	E25	E24	E23	E22	E21	E20	E19	E18	E17	E16
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-29. イベント・レジスタ (ER) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 0-31。イベント 0-31 は EDMA3CC によって取り込まれ、ER にラッチされます。イベントがディスエーブルされている場合 (イベント・イネーブル・レジスタ (EER) で $E_n = 0$) でも、イベントはセットされます ($E_n = 1$)。
		1	EDMA3CC イベントはアサートされていません。
		1	EDMA3CC イベントはアサートされています。対応する DMA イベントは、EDMA3TC への発行を行うために、他のペンディングされている DMA/QDMA イベントに対してプライオリティが設定されています。

図 4-29. イベント・ハイ・レジスタ (ERH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E63	E62	E61	E60	E59	E58	E57	E56	E55	E54	E53	E52	E51	E50	E49	E48
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E47	E46	E45	E44	E43	E42	E41	E40	E39	E38	E37	E36	E35	E34	E33	E32
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-30. イベント・ハイ・レジスタ (ERH) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 32-63。イベント 32-63 は EDMA3CC によって取り込まれ、ERH にラッチされます。イベントがディスエーブルされている場合 (イベント・イネーブル・ハイ・レジスタ (EERH) で $E_n = 0$) でも、イベントはセットされます ($E_n = 1$)。
		1	EDMA3CC イベントはアサートされていません。
		1	EDMA3CC イベントはアサートされています。対応する DMA イベントは、EDMA3TC への発行を行うために、他のペンディングされている DMA/QDMA イベントに対してプライオリティが設定されています。

4.2.6.2 イベント・クリア・レジスタ (ECR、ECRH)

イベントがイベント・レジスタ (ER/ERH) 内にポストされると、そのイベントをクリアするには2つの方法があります。イベントがイベント・イネーブル・レジスタ (EER/EERH) 内でイネーブルで、かつ EDMA3CC がイベントの転送リクエストを EDMA3TC に発行すると、EDMA3CC はイベント・レジスタ内の対応するイベント・ビットをクリアします。イベントがイベント・イネーブル・レジスタ (EER/EERH) 内でディスエーブルの場合、CPU はイベント・クリア・レジスタ (ECR/ECRH) 経由でイベントをクリアできます。

いずれかのビットに1をライトすると、対応するイベントをクリアします。0をライトしても影響はありません。イベント・レジスタ内のイベント・ビットがセットされると、EDMA3CC がそのイベントの転送リクエストを発行するまで、または ECR/ECRH 内の対応するビットをセットして、CPU がイベントをクリアするまで、そのイベント・ビットはセットされたままです。

ECR の内容と説明をそれぞれ図 4-30 および表 4-31 に示します。ECRH の内容と説明をそれぞれ図 4-31 および表 4-32 に示します。

図 4-30. イベント・クリア・レジスタ (ECR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E31	E30	E29	E28	E27	E26	E25	E24	E23	E22	E21	E20	E19	E18	E17	E16
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-31. イベント・クリア・レジスタ (ECR) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 0-31 のイベント・クリア。ECR 内のイベント・ビットのいずれかが、イベント・レジスタ (ER) 内のイベント (E_n) をクリアするようにセットされます。0 をライトしても影響はありません。
		1	イベント・レジスタ (ER) の EDMA3CC イベントは、クリアされます。

図 4-31. イベント・クリア・ハイ・レジスタ (ECRH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E63	E62	E61	E60	E59	E58	E57	E56	E55	E54	E53	E52	E51	E50	E49	E48
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E47	E46	E45	E44	E43	E42	E41	E40	E39	E38	E37	E36	E35	E34	E33	E32
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-32. イベント・クリア・ハイ・レジスタ (ECRH) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 32-63 のイベント・クリア。ECRH 内のイベント・ビットのいずれかが、イベント・ハイ・レジスタ (ERH) 内のイベント (E_n) をクリアするようにセットされます。0 をライトしても影響はありません。
		1	イベント・ハイ・レジスタ (ERH) の EDMA3CC イベントは、クリアされます。

4.2.6.3 イベント・セット・レジスタ (ESR、ESRH)

イベント・セット・レジスタ (ESR/ESRH) を使うと、CPU (EDMA3 プログラマ) は手動でイベントをセットして、DMA 転送リクエストを開始できます。CPU がイベント・セット・レジスタ (E_n) ビットに 1 をライトすると、このレジスタの対応するビットがセットされます。セットされたイベントは、関連付けられた転送リクエストを転送コントローラに発行するために EDMA3CC ロジックによって評価されます。このビットに 0 をライトしても影響はありません。

イベント・セット・レジスタは、イベント・レジスタ (ER/ERH) とは独立して動作します。またイベントがイネーブルかどうかに関係なく、1 をライトすると常に有効なイベントと見なされます (対応するイベント・ビットが $EER.En/EERH.En$ でセットまたはクリアされます)。

イベントがイベント・セット・レジスタ内でセットされると、CPU がライトしてもイベントはクリアされません。つまり、イベント・クリア・レジスタ (ECR/ECRH) は ESR/ESRH の状態には影響しません。該当のイベントに対応する転送リクエストが転送コントローラに発行されると、ビットのみクリアされます。イベントをセットするのは、(ハードウェアを介して) クリアする動作と比較してプライオリティの高い動作です。セットおよびクリア条件が同時に起きた場合、セット条件が優先されます。イベントが事前にセットされている場合には、EMR/EMRH がセットされます。これはイベントがなくなるからです。イベントが事前にクリアされている場合には、イベントはセットされたままで、イベント・キュー発行のプライオリティが設定されます。

ESR/ESRH へのライトを介した手動トリガ転送を使うと、CPU はシステムの DMA リクエストを発行することができます。これらは、メモリ間転送のシナリオに相当します。ESR.En/ESRH.En ビットがすでにセットされていて、かつ別の CPU が同じビットに 1 をライトしようとする、イベント・ミスド・レジスタの対応するイベントがラッチされます ($EMR.En/EMRH.En = 1$)。

ESR の内容と説明をそれぞれ図 4-32 および表 4-33 に示します。ESRH の内容と説明をそれぞれ図 4-33 および表 4-34 に示します。

図 4-32. イベント・セット・レジスタ (ESR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E31	E30	E29	E28	E27	E26	E25	E24	E23	E22	E21	E20	E19	E18	E17	E16
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

凡例：R/W = リード / ライト。-n = リセット後の値。

表 4-33. イベント・セット・レジスタ (ESR) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 0-31 のイベント・セット。
		1	影響なし。 対応する DMA イベントは、EDMA3TC への発行を行うために、他のペンディングされている DMA/QDMA イベントに対してプライオリティが設定されています。

図 4-33. イベント・セット・ハイ・レジスタ (ESRH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E63	E62	E61	E60	E59	E58	E57	E56	E55	E54	E53	E52	E51	E50	E49	E48
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E47	E46	E45	E44	E43	E42	E41	E40	E39	E38	E37	E36	E35	E34	E33	E32
RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

凡例：R/W = リード / ライト。-n = リセット後の値。

表 4-34. イベント・セット・ハイ・レジスタ (ESRH) フィールドの説明

ビット	フィールド	値	説明
31-0	<i>En</i>	0	イベント 32-63 のイベント・セット。 影響なし。
		1	対応する DMA イベントは、EDMA3TC への発行を行うために、他のペンディングされている DMA/QDMA イベントに対してプライオリティが設定されています。

4.2.6.4 チェーン・イベント・レジスタ (CER、CERH)

PaRAM エントリの OPTIONS パラメータをプログラムして、チェーン完了コードを返す場合 (ITCCHEN = 1 と TCCHEN = 1 の両方またはそのいずれか) には、(OPT 内でもプログラムされる) TCC[5:0] によって指示される値は対応するイベント・ビットがチェーン・イベント・レジスタ内でセットされるように強制します。セットされたチェーン・イベントは、関連付けられた転送リクエストを転送コントローラに発行するために EDMA3CC ロジックによって評価されます。これにより、チェーン・トリガ転送になります。

チェーン・イベント・レジスタには、イネーブル・ビットは含まれていません。チェーン・イベントを生成することは、転送完了時の中間チェーンと最後のチェーンの両方またはそのいずれかで構成されている PaRAM エントリによって基本的に可能です。チェーン完了コードが転送コントローラのいずれかから返された、または早期の完了パスを介して生成された場合、(EER.En/EERH.En の状態に関係なく) *En* ビットはセットされます。対応するイベントにプライオリティが設定され、かつ処理された場合に、チェーン・イベント・レジスタのビットはクリアされます。

En ビットがすでにセットされていて、かつ別のチェーン完了コードが同じイベントに対して返されると、イベント・ミスド・レジスタの対応するイベントがラッチされます (EMR.En/EMRH.En = 1)。イベントをセットするのは、(ハードウェアを介して) クリアする動作と比較してプライオリティの高い動作です。セットおよびクリア条件が同時に起きた場合、セット条件が優先されます。イベントが事前にセットされている場合には、EMR/EMRH がセットされます。これはイベントがなくなるからです。イベントが事前にクリアされている場合には、イベントはセットされたままで、イベント・キュー発行のプライオリティが設定されます。

CER の内容と説明をそれぞれ図 4-34 および表 4-35 に示します。CERH の内容と説明をそれぞれ図 4-35 および表 4-36 に示します。

図 4-34. チェーン・イベント・レジスタ (CER)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E31	E30	E29	E28	E27	E26	E25	E24	E23	E22	E21	E20	E19	E18	E17	E16
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-35. チェーン・イベント・レジスタ (CER) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 0-31 のチェーン・イベント。
		1	影響なし。 対応する DMA イベントは、EDMA3TC への発行を行うために、他のペンディングされている DMA/QDMA イベントに対してプライオリティが設定されています。

図 4-35. チェーン・イベント・ハイ・レジスタ (CERH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E63	E62	E61	E60	E59	E58	E57	E56	E55	E54	E53	E52	E51	E50	E49	E48
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E47	E46	E45	E44	E43	E42	E41	E40	E39	E38	E37	E36	E35	E34	E33	E32
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-36. チェーン・イベント・ハイ・レジスタ (CERH) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 32-63 のチェーン・イベントのセット。
		1	影響なし。 対応する DMA イベントは、EDMA3TC への発行を行うために、他のペンディングされている DMA/QDMA イベントに対してプライオリティが設定されています。

4.2.6.5 イベント・イネーブル・レジスタ (EER、EERH)

EDMA3CC は、イベント・イネーブル・レジスタ (EER/EERH) を使って、イベント・レジスタ (ER/ERH) の各イベントを選択的にイネーブル/ディスエーブルするオプションを提供します。EER/EERH のイベント・ビットが (イベント・イネーブル・セット・レジスタ (EESR/EESRH) を使用して) セットされている場合、そのビットは対応するイベントをイネーブルします。他にも、EER/EERH のイベント・ビットが (イベント・イネーブル・クリア・レジスタ (EECR/EECRH) を使用して) クリアされている場合、そのビットは対応するイベントをディスエーブルします。

イベントがディスエーブルされていても (EDMA3CC はそのイベントを処理しませんが)、イベント・レジスタは EDMA3CC によって取り込まれたすべてのイベントをラッチします。イベント・レジスタにすでにセットされているベンディングしていたイベントを使って、あるイベントをイネーブルすると、EDMA3CC はその他の新しいイベントであるかのように、すでにセットされていたイベントを処理します。EER/EERH の設定は、チェーン・イベント (CER.En/CERH.En = 1) にも手動でセットされたイベント (ESR.En/ESRH.En = 1) にも影響しません。

EER の内容と説明をそれぞれ図 4-36 および表 4-37 に示します。EERH の内容と説明をそれぞれ図 4-37 および表 4-38 に示します。

図 4-36. イベント・イネーブル・レジスタ (EER)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E31	E30	E29	E28	E27	E26	E25	E24	E23	E22	E21	E20	E19	E18	E17	E16
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-37. イベント・イネーブル・レジスタ (EER) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 0-31 のイベント・イネーブル。 イベントはディスエーブルです。イベント・レジスタ (ER) でラッチされた外部イベントは、EDMA3CC では評価されません。
		1	イベントはイネーブルです。イベント・レジスタ (ER) でラッチされた外部イベントは、EDMA3CC で評価されます。

図 4-37. イベント・イネーブル・ハイ・レジスタ (EERH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E63	E62	E61	E60	E59	E58	E57	E56	E55	E54	E53	E52	E51	E50	E49	E48
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E47	E46	E45	E44	E43	E42	E41	E40	E39	E38	E37	E36	E35	E34	E33	E32
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-38. イベント・イネーブル・ハイ・レジスタ (EERH) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 32-63 のイベント・イネーブル。 イベントはディスエーブルです。イベント・ハイ・レジスタ (ERH) でラッチされた外部イベントは、EDMA3CC では評価されません。
		1	イベントはイネーブルです。イベント・ハイ・レジスタ (ERH) でラッチされた外部イベントは、EDMA3CC で評価されます。

4.2.6.6 イベント・イネーブル・クリア・レジスタ (EECR、EECRH)

イベント・イネーブル・レジスタ (EER/EERH) は、自身に直接ライトしても値を変更できません。このレジスタを使うのは、複数のタスクが同時にこれらのレジスタを変更しようとしている場合に、ソフトウェアの負担を軽減することが目的です。イベント・イネーブル・クリア・レジスタ (EECR/EECRH) は、イベントをディスエーブルするために使われます。EECR/EECRH のビットに 1 をライトすると、EER/EERH の対応するイベント・ビットをクリアします。0 をライトしても影響はありません。

EECR の内容と説明をそれぞれ図 4-38 および表 4-39 に示します。EECRH の内容と説明をそれぞれ図 4-39 および表 4-40 に示します。

図 4-38. イベント・イネーブル・クリア・レジスタ (EECR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E31	E30	E29	E28	E27	E26	E25	E24	E23	E22	E21	E20	E19	E18	E17	E16
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-39. イベント・イネーブル・クリア・レジスタ (EECR) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 0-31 のイベント・イネーブルのクリア。 影響なし。
		1	イベントはディスエーブルです。イベント・イネーブル・レジスタ (EER) の対応するビットがクリアされます ($E_n = 0$)。

図 4-39. イベント・イネーブル・クリア・ハイ・レジスタ (EECRH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E63	E62	E61	E60	E59	E58	E57	E56	E55	E54	E53	E52	E51	E50	E49	E48
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E47	E46	E45	E44	E43	E42	E41	E40	E39	E38	E37	E36	E35	E34	E33	E32
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-40. イベント・イネーブル・クリア・ハイ・レジスタ (EMCRH) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 32-63 のイベント・イネーブルのクリア。 影響なし。
		1	イベントはディスエーブルです。イベント・イネーブル・ハイ・レジスタ (EERH) の対応するビットがクリアされます ($E_n = 0$)。

4.2.6.7 イベント・イネーブル・セット・レジスタ (EESR、EESRH)

イベント・イネーブル・レジスタ (EER/EERH) は、自身に直接ライトしても値を変更できません。このレジスタを使うのは、複数のタスクが同時にこれらのレジスタを変更しようしている場合に、ソフトウェアの負担を軽減することが目的です。イベント・イネーブル・セット・レジスタ (EESR/EESRH) は、イベントをイネーブルするために使われます。EESR/EESRH のビットに 1 をライトすると、EER/EERH の対応するイベント・ビットをクリアします。0 をライトしても影響はありません。

EESR の内容と説明をそれぞれ図 4-40 および表 4-41 に示します。EESRH の内容と説明をそれぞれ図 4-41 および表 4-42 に示します。

図 4-40. イベント・イネーブル・セット・レジスタ (EESR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E31	E30	E29	E28	E27	E26	E25	E24	E23	E22	E21	E20	E19	E18	E17	E16
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-41. イベント・イネーブル・セット・レジスタ (EESR) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 0-31 のイベント・イネーブルのセット。 影響なし。
		1	イベントはイネーブルです。イベント・イネーブル・レジスタ (EER) の対応するビットがセットされます ($E_n = 1$)。

図 4-41. イベント・イネーブル・セット・ハイ・レジスタ (EESRH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E63	E62	E61	E60	E59	E58	E57	E56	E55	E54	E53	E52	E51	E50	E49	E48
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E47	E46	E45	E44	E43	E42	E41	E40	E39	E38	E37	E36	E35	E34	E33	E32
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-42. イベント・イネーブル・セット・ハイ・レジスタ (EESRH) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	イベント 32-63 のイベント・イネーブルのセット。 影響なし。
		1	イベントはイネーブルです。イベント・イネーブル・ハイ・レジスタ (EERH) の対応するビットがセットされます ($E_n = 1$)。

4.2.6.8 セカンダリ・イベント・レジスタ (SER、SERH)

セカンダリ・イベント・レジスタ (SER/SERH) は、DMA チャンネルまたはイベント (0 ~ 63) の状態に関する情報を提供します。EDMA3CC が手動によるトリガ、イベントによるトリガ、またはチェーンによるトリガのいずれかのソース (ESR.En/ESRH.En = 1、ER.En/ERH.En = 1、または CER.En/CERH.En = 1) になっている TR 同期を受け取り、SER/SERH の対応するイベントが設定されると、これは対応するイベントがキューの中にあるということを意味します。

イベントに対応するビットが SER/SERH にセットされると、EDMA3CC では同じ DMA チャンネルのイベントにはこれ以上プライオリティは設定されません。SER ビットを設定する原因となる条件によって、EDMA3CC ハードウェアまたは (SECR/SECRH を使う) ソフトウェアは、EDMA3CC がこれ以降のイベントを評価できるようにするために同じチャンネル上の SER/SERH ビットをクリアする必要があります。セカンダリ・イベント・レジスタがセットされる原因となる他の条件については、1.1 節を参照してください。

SER の内容と説明をそれぞれ図 4-42 および表 4-43 に示します。SERH の内容と説明をそれぞれ図 4-43 および表 4-44 に示します。

図 4-42. セカンダリ・イベント・レジスタ (SER)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E31	E30	E29	E28	E27	E26	E25	E24	E23	E22	E21	E20	E19	E18	E17	E16
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-43. セカンダリ・イベント・レジスタ (SER) フィールドの説明

ビット	フィールド	値	説明
31-0	En	0	セカンダリ・イベント・レジスタ。セカンダリ・イベント・レジスタは、イベントの状態に関する情報を提供するためにイベント・レジスタ (ER) と一緒に使われます。 現在、イベントはイベント・キューにストアされていません。
		1	現在、イベントがイベント・キューにストアされています。イベントを調停する際に、他のイベントにプライオリティは設定されません。

図 4-43. セカンダリ・イベント・ハイ・レジスタ (SERH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E63	E62	E61	E60	E59	E58	E57	E56	E55	E54	E53	E52	E51	E50	E49	E48
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E47	E46	E45	E44	E43	E42	E41	E40	E39	E38	E37	E36	E35	E34	E33	E32
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-44. セカンダリ・イベント・ハイ・レジスタ (SERH) フィールドの説明

ビット	フィールド	値	説明
31-0	En	0	セカンダリ・イベント・レジスタ。セカンダリ・イベント・レジスタは、イベントの状態に関する情報を提供するためにイベント・ハイ・レジスタ (ERH) と一緒に使われます。 現在、イベントはイベント・キューにストアされていません。
		1	現在、イベントがイベント・キューにストアされています。イベントの発行 / プライオリティを設定するロジックでは、他のイベントにプライオリティは設定されません。

4.2.6.9 セカンダリ・イベント・クリア・レジスタ (SECR、SECRH)

セカンダリ・イベント・クリア・レジスタ (SECR/SECRH) は、セカンダリ・イベント・レジスタ (SER/SERH) のステータスをクリアします。CPU が 1 をライトすると、SER/SERH の対応するセットされていたビットをクリアします。0 をライトしても影響はありません。

SECR の内容と説明をそれぞれ図 4-44 および表 4-45 に示します。SECRH の内容と説明をそれぞれ図 4-45 および表 4-46 に示します。

図 4-44. セカンダリ・イベント・クリア・レジスタ (SECR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E31	E30	E29	E28	E27	E26	E25	E24	E23	E22	E21	E20	E19	E18	E17	E16
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E15	E14	E13	E12	E11	E10	E9	E8	E7	E6	E5	E4	E3	E2	E1	E0
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-45. セカンダリ・イベント・クリア・レジスタ (SECR) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	セカンダリ・イベント・クリア・レジスタ。 影響なし。
		1	セカンダリ・イベント・レジスタ (SER) の対応するビットがクリアされます ($E_n = 0$)。

図 4-45. セカンダリ・イベント・クリア・ハイ・レジスタ (SECRH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
E63	E62	E61	E60	E59	E58	E57	E56	E55	E54	E53	E52	E51	E50	E49	E48
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
E47	E46	E45	E44	E43	E42	E41	E40	E39	E38	E37	E36	E35	E34	E33	E32
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-46. セカンダリ・イベント・クリア・ハイ・レジスタ (SECRH) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	セカンダリ・イベント・クリア・レジスタ。 影響なし。
		1	セカンダリ・イベント・ハイ・レジスタ (SERH) の対応するビットがクリアされます ($E_n = 0$)。

4.2.7 インタラプト・レジスタ

すべての DMA/QDMA チャンネルは、チャンネルに関連付けられている PaRAM エントリを適切に設定することにより、転送完了時に EDMA3CC 完了割り込みを CPU にアサートするようにセットされます。次のレジスタ・セットは EDMA3CC による転送完了割り込みの報告と生成を行うために使われます。EDMA3CC の完了割り込みの生成に関する詳細は、2.9 節を参照してください。

4.2.7.1 インタラプト・イネーブル・レジスタ (IER、IERH)

インタラプト・イネーブル・レジスタ (IER/IERH) は、EDMA3CC による転送完了割り込みの生成をすべての DMA/QDMA チャンネルに対してイネーブル/ディスエーブルするために使われます。IER/IERH には直接ライトすることができません。IER/IERH のいずれかの割り込みビットをセットするには、インタラプト・イネーブル・セット・レジスタ (IESR/IESRH) の対応するビットに 1 をライトする必要があります。同様に、IER/IERH のいずれかの割り込みビットをクリアするには、インタラプト・イネーブル・クリア・レジスタ (IECR/IECRH) の対応するビットに 1 をライトする必要があります。

IER の内容と説明をそれぞれ図 4-46 および表 4-47 に示します。IERH の内容と説明をそれぞれ図 4-47 および表 4-48 に示します。

図 4-46. インタラプト・イネーブル・レジスタ (IER)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I31	I30	I29	I28	I27I	I26	I25	I24	I23	I22	I21	I20	I19	I18	I17	I16
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-47. インタラプト・イネーブル・レジスタ (IER) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	チャンネル 0-31 の割り込みイネーブル。 割り込みはディスエーブル。
		1	割り込みはイネーブル。

図 4-47. インタラプト・イネーブル・ハイ・レジスタ (IERH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I63	I62	I61	I60	I59	I58	I57	I56	I55	I54	I53	I52	I51	I50	I49	I48
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I47	I46	I45	I44	I43	I42	I41	I40	I39	I38	I37	I36	I35	I34	I33	I32
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。-n = リセット後の値。

表 4-48. インタラプト・イネーブル・ハイ・レジスタ (IERH) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	チャンネル 32-63 の割り込みイネーブル。 割り込みはディスエーブル。
		1	割り込みはイネーブル。

4.2.7.2 インタラプト・イネーブル・クリア・レジスタ (IECR、IECRH)

インタラプト・イネーブル・クリア・レジスタ (IECR/IECRH) は、割り込みをクリアするために使われます。IECR/IECRH のビットに 1 をライトすると、インタラプト・イネーブル・レジスタ (IER/IERH) の対応する割り込みビットをクリアします。0 をライトしても影響はありません。

IECR の内容と説明をそれぞれ図 4-48 および表 4-49 に示します。IECRH の内容と説明をそれぞれ図 4-49 および表 4-50 に示します。

図 4-48. インタラプト・イネーブル・クリア・レジスタ (IECR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I31	I30	I29	I28	I27	I26	I25	I24	I23	I22	I21	I20	I19	I18	I17	I16
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-49. インタラプト・イネーブル・クリア・レジスタ (IECR) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	チャンネル 0-31 の割り込みイネーブルのクリア。
		1	影響なし。 インタラプト・イネーブル・レジスタ (IER) の対応するビットがクリアされます ($I_n = 0$)。

図 4-49. インタラプト・イネーブル・クリア・ハイ・レジスタ (IECRH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I63	I62	I61	I60	I59	I58	I57	I56	I55	I54	I53	I52	I51	I50	I49	I48
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I47	I46	I45	I44	I43	I42	I41	I40	I39	I38	I37	I36	I35	I34	I33	I32
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-50. インタラプト・イネーブル・クリア・ハイ・レジスタ (IECRH) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0	チャンネル 32-63 の割り込みイネーブルのクリア。
		1	影響なし。 インタラプト・イネーブル・ハイ・レジスタ (IERH) の対応するビットがクリアされます ($I_n = 0$)。

4.2.7.3 インタラプト・イネーブル・セット・レジスタ (IESR、IESRH)

インタラプト・イネーブル・セット・レジスタ (IESR/IESRH) は、割り込みをセットするために使われます。IESR/IESRH のビットに 1 をライトすると、インタラプト・イネーブル・レジスタ (IER/IERH) の対応する割り込みビットをセットします。0 をライトしても影響はありません。

IESR の内容と説明をそれぞれ図 4-50 および表 4-51 に示します。IESRH の内容と説明をそれぞれ図 4-51 および表 4-52 に示します。

図 4-50. インタラプト・イネーブル・セット・レジスタ (IESR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I31	I30	I29	I28	I27	I26	I25	I24	I23	I22	I21	I20	I19	I18	I17	I16
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-51. インタラプト・イネーブル・セット・レジスタ (IESR) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0 1	チャンネル 0-31 の割り込みイネーブルのセット。 影響なし。 インタラプト・イネーブル・レジスタ (IER) の対応するビットがセットされます ($I_n = 1$)。

図 4-51. インタラプト・イネーブル・セット・ハイ・レジスタ (IESRH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I63	I62	I61	I60	I59	I58	I57	I56	I55	I54	I53	I52	I51	I50	I49	I48
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I47	I46	I45	I44	I43	I42	I41	I40	I39	I38	I37	I36	I35	I34	I33	I32
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-52. インタラプト・イネーブル・セット・ハイ・レジスタ (IESRH) フィールドの説明

ビット	フィールド	値	説明
31-0	E_n	0 1	チャンネル 32-63 の割り込みイネーブルのセット。 影響なし。 インタラプト・イネーブル・ハイ・レジスタ (IERH) の対応するビットがセットされます ($I_n = 1$)。

4.2.7.4 インタラプト・ペンディング・レジスタ (IPR、IPRH)

チャネル・オプション・パラメータ (OPT) の TCINTEN と ITCINTEN の両方またはそのいずれかがチャネル (DMA または QDMA) に関連付けられた PaRAM エントリにセットされた場合、EDMA3TC (通常完了の場合) または EDMA3CC (早期完了の場合) は転送完了時または中間転送完了時に完了コードを返します。返される完了コードの値は、該当チャネルに関連付けられている PaRAM エントリに対する OPT の TCC ビットに等しくなります。

TCC = n となる割り込み転送完了コードが EDMA3CC で検出されると、インタラプト・ペンディング・レジスタの対応するビットがセットされます ($n = 0 \sim 31$ の場合 IPR.In。 $n = 32 \sim 63$ の場合 IPRH.In)。インタラプト・ペンディング・レジスタのビットがセットされると、セットされたままになることに注意してください。このような場合は、ユーザがこれらのビットをクリアしてください。IPR/IPRH にセットされているビットをクリアするには、インタラプト・クリア・レジスタ (ICR/ICRH) の対応するビットに 1 をライトします。

IPR の内容と説明をそれぞれ図 4-52 および表 4-53 に示します。IPRH の内容と説明をそれぞれ図 4-53 および表 4-54 に示します。

図 4-52. インタラプト・ペンディング・レジスタ (IPR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I31	I30	I29	I28	I27	I26	I25	I24	I23	I22	I21	I20	I19	I18	I17	I16
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。- n = リセット後の値。

表 4-53. インタラプト・ペンディング・レジスタ (IPR) フィールドの説明

ビット	フィールド	値	説明
31-0	In	0	TCC = 0-31 の割り込みペンディング。 割り込み転送完了コードが検出されないか、クリアされました。
		1	割り込み転送完了コードが検出されました ($In = 1$, $n = EDMA3TC[5:0]$)

図 4-53. インタラプト・ペンディング・ハイ・レジスタ (IPRH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I63	I62	I61	I60	I59	I58	I57	I56	I55	I54	I53	I52	I51	I50	I49	I48
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I47	I46	I45	I44	I43	I42	I41	I40	I39	I38	I37	I36	I35	I34	I33	I32
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例：R = リード専用。- n = リセット後の値。

表 4-54. インタラプト・ペンディング・ハイ・レジスタ (IPRH) フィールドの説明

ビット	フィールド	値	説明
31-0	In	0	TCC = 32-63 の割り込みペンディング。 割り込み転送完了コードが検出されないか、クリアされていました。
		1	割り込み転送完了コードが検出されました ($In = 1$, $n = EDMA3TC[5:0]$)

4.2.7.5 インタラプト・クリア・レジスタ (ICR、ICRH)

インタラプト・ペンディング・レジスタ (IPR/IPRH) のビットをクリアするには、インタラプト・クリア・レジスタ (ICR/ICRH) の対応するビットに 1 をライトします。0 をライトしても影響はありません。IPR/IPRH のセットされているすべてのビットは、EDMA3CC が追加の転送完了割り込みをアサートするためにクリアしておく必要があります。

ICR の内容と説明をそれぞれ図 4-54 および表 4-55 に示します。ICRH の内容と説明をそれぞれ図 4-55 および表 4-56 に示します。

図 4-54. インタラプト・クリア・レジスタ (ICR)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I31	I30	I29	I28	I27	I26	I25	I24	I23	I22	I21	I20	I19	I18	I17	I16
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I15	I14	I13	I12	I11	I10	I9	I8	I7	I6	I5	I4	I3	I2	I1	I0
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-55. インタラプト・クリア・レジスタ (ICR) フィールドの説明

ビット	フィールド	値	説明
31-0	In	0	TCC = 0-31 のインタラプト・クリア・レジスタ。
		1	影響なし。 インタラプト・ペンディング・レジスタ (IPR) の対応するビットがクリアされます (In = 0)。

図 4-55. インタラプト・クリア・ハイ・レジスタ (ICRH)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
I63	I62	I61	I60	I59	I58	I57	I56	I55	I54	I53	I52	I51	I50	I49	I48
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
I47	I46	I45	I44	I43	I42	I41	I40	I39	I38	I37	I36	I35	I34	I33	I32
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例：W = ライト専用。-n = リセット後の値。

表 4-56. インタラプト・クリア・ハイ・レジスタ (ICRH) フィールドの説明

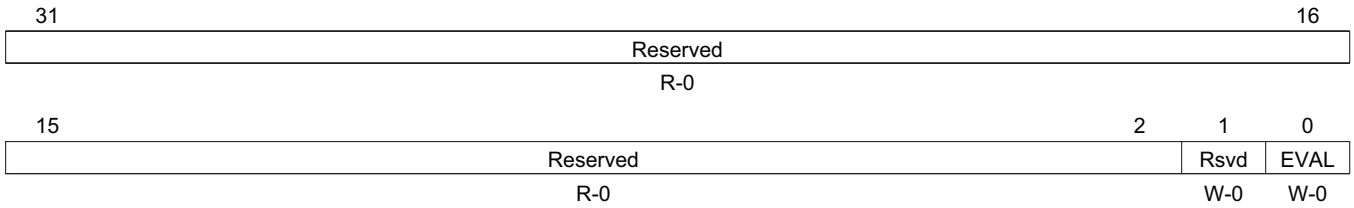
ビット	フィールド	値	説明
31-0	In	0	TCC = 32-63 のインタラプト・クリア・レジスタ。
		1	影響なし。 インタラプト・ペンディング・ハイ・レジスタ (IPRH) の対応するビットがクリアされます (In = 0)。

4.2.7.6 インタラプト・エバリュエイト・レジスタ (IEVAL)

インタラプト・エバリュエイト・レジスタ (IEVAL) は、グローバル領域とシャドウ領域の両方に物理的に存在する唯一のレジスタです。つまり、シャドウ領域 IEVAL のリード/ライト・アクセスは、DMA/QDMA リージョン・アクセス・レジスタ (DRAEm/DRAEHm、QRAEn/QRAEHn) の影響を受けません。割り込みが CPU によって割り込まれないことを確実にするには、IEVAL には、堅牢な ISR 動作が必要です。

IEVAL の内容と説明をそれぞれ図 4-56 および表 4-57 に示します。

図 4-56. インタラプト・エバリュエイト・レジスタ (IEVAL)



凡例：R = リード専用。W = ライト専用。-n = リセット後の値。

表 4-57. インタラプト・エバリュエイト・レジスタ (IEVAL) フィールドの説明

ビット	フィールド	値	説明
31-2	Reserved	0	予約
1	Reserved	0	予約。このビットには常に 0 がライトされます。このビットに 1 をライトしてもサポートされません。1 をライトしても、その結果は不定です。
0	EVAL	0 1	割り込みの評価。 影響なし。 イネーブルされた (IERn/IERHn = 1) 割り込みがペンディングされたままの場合、EDMA3CC 完了割り込みがパルス化される原因となります。 パルス化された EDMA3CC 完了割り込みは、IEVAL が用いられている IEVAL によって異なります。たとえば、IEVAL の EVAL ビットにライトするとグローバル完了割り込みをパルス化しますが、IEVAL0 の EVAL ビットにライトすると領域 0 完了割り込みをパルス化します。

4.2.8 QDMA レジスタ

次のレジスタ・セットは、EDMA3CC の QDMA チャンネルを制御します。QDMA チャンネル（ただし、QDMA キュー・ナンバー・レジスタを除く）は、レジスタ・セットから構成されており、それぞれのレジスタにはビット・ロケーションがあります。それぞれのビット位置は、QDMA チャンネル番号に対応します。QDMA チャンネル・レジスタは、グローバル・アドレス範囲へのリード/ライトを介してアクセスできます。またシャドウ・アドレス範囲へのリード/ライトを介してアクセスすることもできます。シャドウ領域アドレス範囲のリード/ライト・アクセスは、QDMA リージョン・アクセス・レジスタ (QRAEn/QRAEHn) によって制御されています。シャドウ領域/グローバル領域の使い方の詳細は、2.7 節を参照してください。

4.2.8.1 QDMA イベント・レジスタ (QER)

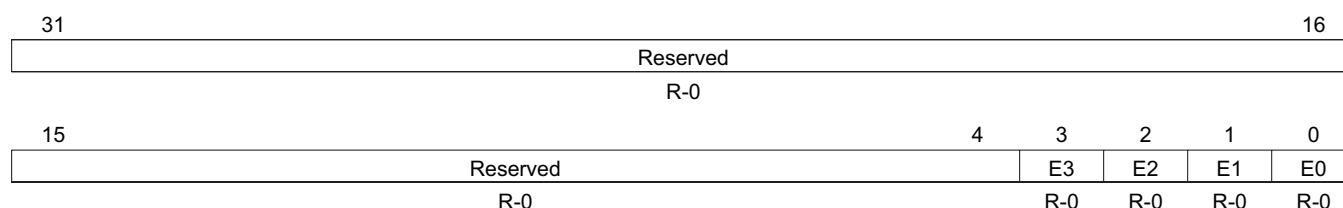
(QDMA チャンネル・マッピング・レジスタ (QCHMAPn) を使って) CPU または任意の EDMA3 プログラム (EDMA3 を含む) が、(QCHMAPn を使ってプログラムもされる) QDMA チャンネルの n ビットに関連付けられている PaRAM エントリのトリガ・ワードにライトすると、QDMA イベント・レジスタ (QER) チャンネルの n ビットはセットされます ($E_n = 1$)。また、QCHMAPn 設定に一致する PaRAM アドレス上で EDMA3CC がリンク更新を行うと、 E_n ビットもセットされます。QDMA イベントがラッチされるのは、QDMA イベント・イネーブル・レジスタ (QEER) チャンネルの n ビットもイネーブルの場合 ($QEER.E_n = 1$) だけです。QER のビットがセットされると、対応する QDMA イベント (自動トリガ) は関連付けられた転送リクエストを転送コントローラに発行するために EDMA3CC ロジックによって評価されます。QER ビットを設定する原因となるこれ以外の条件については、1.1 節を参照してください。

イベントをセットするのは、(ハードウェアを介して) クリアする動作と比較してプライオリティの高い動作です。セットおよびクリア条件が同時に起きた場合、セット条件が優先されます。イベントが事前にセットされている場合には、QDMA イベント・ミスド・レジスタ (QEMR) がセットされます。これはイベントがなくなるからです。イベントが事前にクリアされている場合には、イベントはセットされたままで、イベント・キュー発行のプライオリティが設定されません。

QER のセットされたビットがクリアされるのは、対応するチャンネルに関連付けられている転送リクエストが EDMA3CC によって処理されて、転送コントローラに発行される場合だけです。 E_n ビットがすでにセットされ、かつ同じ QDMA チャンネルの QDMA イベントが元のビットがクリアされる前に発生した場合には、2 番目に行われなかったイベントが QEMR にラッチされます ($E_n = 1$)。

QER の内容と説明をそれぞれ図 4-57 および表 4-58 に示します。

図 4-57. QDMA イベント・レジスタ (QER)



凡例：R = リード専用。-n = リセット後の値。

表 4-58. QDMA イベント・レジスタ (QER) フィールドの説明

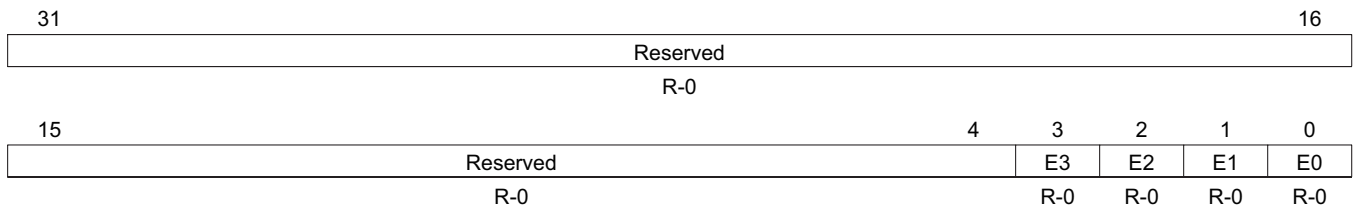
ビット	フィールド	値	説明
31-4	Reserved	0	予約
3-0	E_n	0	チャンネル 0-3 の QDMA イベント。 影響なし。
		1	対応する QDMA イベントは、EDMA3TC への発行を行うために、他のペンディングされている DMA/QDMA イベントに対してプライオリティが設定されています。

4.2.8.2 QDMA イベント・イネーブル・レジスタ (QEER)

EDMA3CC は、QDMA イベント・イネーブル・レジスタ (QEER) を使って、QDMA イベント・レジスタ (QER) の各チャンネルを選択的にイネーブル/ディスエーブルするオプションを提供します。QEER のいずれかのイベント・ビットが (QDMA イベント・イネーブル・セット・レジスタ (QEESR) を使用して) セットされている場合、そのビットは対応するイベントをイネーブルします。他にも、QEER のいずれかのイベント・ビットが (QDMA イベント・イネーブル・クリア・レジスタ (QEECR) を使用して) クリアされている場合、そのビットは対応する QDMA チャンネルをディスエーブルします。QDMA イベント・レジスタが QEER を介してイネーブルされない場合には、QDMA チャンネルのイベントはいずれもラッチされません。

QEER の内容と説明をそれぞれ図 4-58 および表 4-59 に示します。

図 4-58. QDMA イベント・イネーブル・レジスタ (QEER)



凡例：R = リード専用。-n = リセット後の値。

表 4-59. QDMA イベント・イネーブル・レジスタ (QEER) フィールドの説明

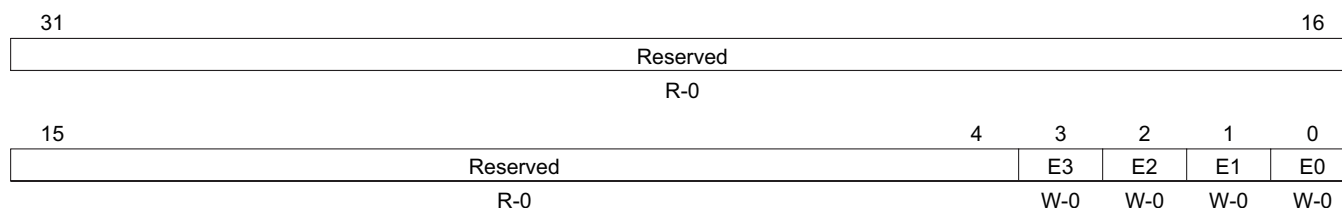
ビット	フィールド	値	説明
31-4	Reserved	0	予約
3-0	En	0	チャンネル 0-3 の QDMA イベントのイネーブル。 EDMA チャンネル <i>n</i> は、ディスエーブルです。QDMA イベントは認識されず、QDMA イベント・レジスタ (QER) にラッチしません。
		1	QDMA チャンネル <i>n</i> は、イネーブルです。QDMA イベントは認識され、QDMA イベント・レジスタ (QER) にラッチされます。

4.2.8.3 QDMA イベント・イネーブル・クリア・レジスタ (QEECR)

QDMA イベント・イネーブル・レジスタ (QEER) では、このレジスタに値を直接ライトしても変更できません。このレジスタを使うのは、複数のタスクが同時にこれらのレジスタを変更しようとしている場合に、ソフトウェアの負担を軽減することが目的です。QDMA イベント・イネーブル・クリア・レジスタ (QEECR) は、イベントをディスエーブルするために使われます。QEECR のビットに 1 をライトすると、QEER の対応する QDMA チャンネル・ビットをクリアします。0 をライトしても影響はありません。

QEECR の内容と説明をそれぞれ図 4-59 および表 4-60 に示します。

図 4-59. QDMA イベント・イネーブル・クリア・レジスタ (QEECR)



凡例：R = リード専用。W = ライト専用。-n = リセット後の値。

表 4-60. QDMA イベント・イネーブル・クリア・レジスタ (QEECR) フィールドの説明

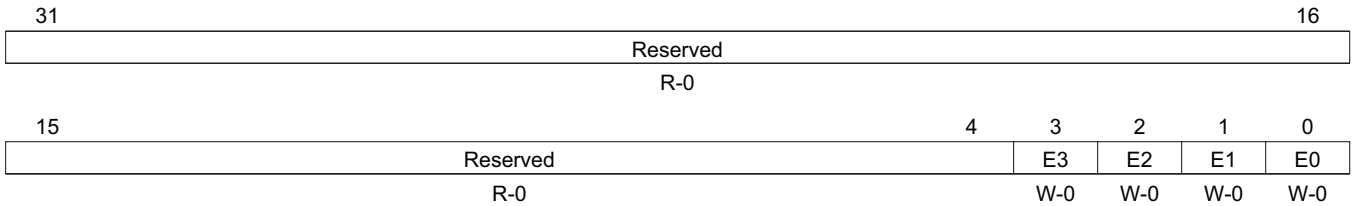
ビット	フィールド	値	説明
31-4	Reserved	0	予約
3-0	En	0	チャンネル 0-3 の QDMA イベントのクリア。 影響なし。
		1	QDMA イベントはディスエーブルです。QDMA イベント・イネーブル・レジスタ (QEER) の対応するビットがクリアされます (En = 0)。

4.2.8.4 QDMA イベント・イネーブル・セット・レジスタ (QEESR)

QDMA イベント・イネーブル・レジスタ (QEER) では、このレジスタに値を直接ライトしても変更できません。このレジスタを使うのは、複数のタスクが同時にこれらのレジスタを変更しようとしている場合に、ソフトウェアの負担を軽減することが目的です。QDMA イベント・イネーブル・セット・レジスタ (QEESR) は、イベントをイネーブルするために使われます。QEESR のビットに 1 をライトすると、QEER の対応する QDMA チャンネル・ビットをセットします。0 をライトしても影響はありません。

QEESR の内容と説明をそれぞれ図 4-60 および表 4-61 に示します。

図 4-60. QDMA イベント・イネーブル・セット・レジスタ (QEESR)



凡例 : R = リード専用。W = ライト専用。-n = リセット後の値。

表 4-61. QDMA イベント・イネーブル・セット・レジスタ (QEESR) フィールドの説明

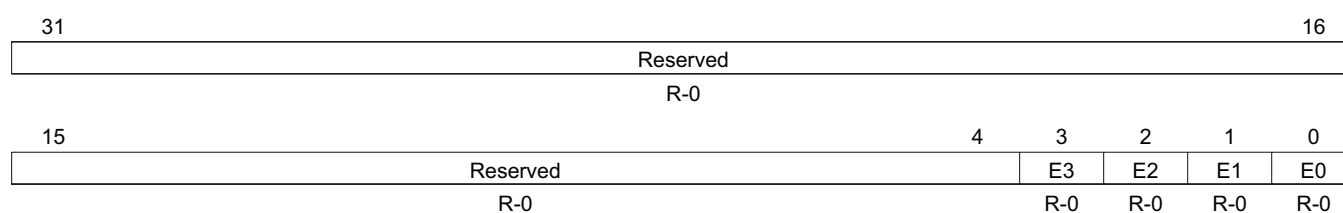
ビット	フィールド	値	説明
31-4	Reserved	0	予約
3-0	En	0	チャンネル 0-3 の QDMA イベント・イネーブルのセット。 影響なし。
		1	QDMA イベントはイネーブルです。QDMA イベント・イネーブル・レジスタ (QEER) の対応するビットがセットされます (En = 1)。

4.2.8.5 QDMA セカンダリ・イベント・レジスタ (QSER)

QDMA セカンダリ・イベント・レジスタ (QSER) は、QDMA イベントの状態に関する情報を提供します。QDMA チャンネルに対応するビットが QSER に常にセットされている場合、このことは対応する QDMA イベントがキューに残っていることを意味します。QDMA イベントに対応するビットが QSER にセットされると、EDMA3CC では同じ QDMA チャンネルのイベントにはこれ以上プライオリティは設定されません。QSER ビットを設定する原因となる条件によって、EDMA3CC ハードウェアまたは (QSECR を使う) ソフトウェアは、EDMA3CC がこれ以降のイベントを評価できるようにするために同じチャンネル上の QSER ビットをクリアする必要があります。関連付けられた TR リクエストが有効であるか、それともヌルまたはダミー TR であるかによって、QSER の状態に関する意味および別の QDMA 転送を発行するために必要なユーザの動作は異なることがあります。セカンダリ・イベント・レジスタ (QSER) がセットされる原因となる他の条件については、1.1 節を参照してください。

QSER の内容と説明をそれぞれ図 4-61 および表 4-62 に示します。

図 4-61. QDMA セカンダリ・イベント・レジスタ (QSER)



凡例：R = リード専用。-n = リセット後の値。

表 4-62. QDMA セカンダリ・イベント・レジスタ (QSER) フィールドの説明

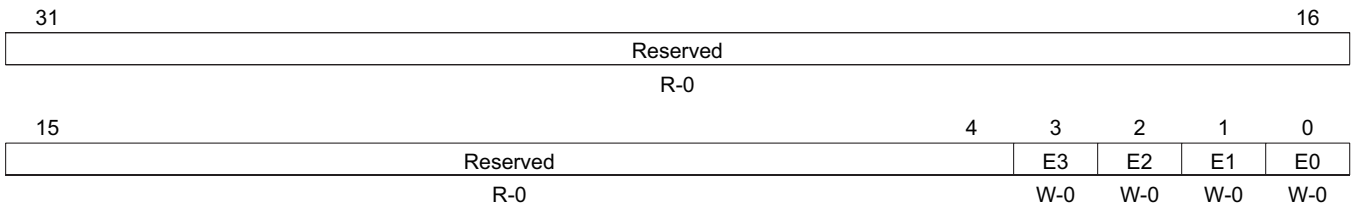
ビット	フィールド	値	説明
31-4	Reserved	0	予約
3-0	En	0	現在、QDMA イベントはイベント・キューにストアされていません。
		1	現在、QDMA イベントはイベント・キューにストアされています。EDMA3CC では、他のイベントにプライオリティは設定されません。

4.2.8.6 QDMA セカンダリ・イベント・クリア・レジスタ (QSECR)

QDMA セカンダリ・イベント・クリア・レジスタ (QSECR) は、QDMA セカンダリ・イベント・レジスタ (QSER) および QDMA イベント・レジスタ (QER) のステータスをクリアします。CPU が 1 をライトすると、QSER および QER の対応するセットされていたビットをクリアします。0 をライトしても影響はありません。これは、セカンダリ・イベント・レジスタ (SER) のビットをクリアするだけでイベント・レジスタに影響を与えないという点で、セカンダリ・イベント・クリア・レジスタ (SECR) の動作とは異なることに注意してください。

QSECR の内容と説明をそれぞれ図 4-62 および表 4-63 に示します。

図 4-62. QDMA セカンダリ・イベント・クリア・レジスタ (QSECR)



凡例：R = リード専用。W = ライト専用。-n = リセット後の値。

表 4-63. QDMA セカンダリ・イベント・クリア・レジスタ (QSECR) フィールドの説明

ビット	フィールド	値	説明
31-4	Reserved	0	予約
3-0	En	0	チャンネル 0-3 の QDMA セカンダリ・イベント・クリア・レジスタ。 影響なし。
		1	QDMA セカンダリ・イベント・レジスタ (QSER) および QDMA イベント・レジスタ (QER) の対応するビットがクリアされます (En = 0)。

4.3 EDMA3 転送コントローラ・コントロール・レジスタ

表 4-64 に、EDMA3 転送コントローラ (EDMA3TC) のメモリ・マップを示します。これらのレジスタのメモリ・アドレスについては、各デバイスのデータシートを参照してください。

表 4-64. EDMA3 転送コントローラ・コントロール・レジスタ

オフセット	略称	レジスタの説明	参照先
00h	PID	ペリフェラル・アイデンティフィケーション・レジスタ	4.3.1 項
04h	TCCFG	EDMA3TC コンフィギュレーション・レジスタ	4.3.2 項
0100h	TCSTAT	EDMA3TC チャンネル・ステータス・レジスタ	4.3.3 項
0120h	ERRSTAT	エラー・レジスタ	4.3.4.1 項
0124h	ERREN	エラー・イネーブル・レジスタ	4.3.4.2 項
0128h	ERRCLR	エラー・クリア・レジスタ	4.3.4.3 項
012Ch	ERRDET	エラー・ディテール・レジスタ	4.3.4.4 項
0130h	ERRCMD	エラー・インタラプト・コマンド・レジスタ	4.3.4.5 項
0140h	RDRATE	リード・レート・レジスタ	4.3.5 項
0240h	SAOPT	ソース・アクティブ・オプション・レジスタ	4.3.6.1 項
0244h	SASRC	ソース・アクティブ・ソース・アドレス・レジスタ	4.3.6.2 項
0248h	SACNT	ソース・アーカイブ・カウント・レジスタ	4.3.6.3 項
024Ch	SADST	ソース・アクティブ・デスティネーション・アドレス・レジスタ	4.3.6.4 項
0250h	SABIDX	ソース・アクティブ・ソース B インデックス・レジスタ	4.3.6.5 項
0254h	SAMPPRXY	ソース・アクティブ・メモリ・プロテクション・プロキシ・レジスタ	4.3.6.6 項
0258h	SACNTRL	ソース・アクティブ・カウント・リロード・レジスタ	4.3.6.7 項
025Ch	SASRCBREF	ソース・アクティブ・ソース・アドレス B リファレンス・レジスタ	4.3.6.8 項
0260h	SADSTBREF	ソース・アクティブ・デスティネーション・アドレス B リファレンス・レジスタ	4.3.6.9 項
0280h	DFCNTRL	デスティネーション FIFO セット・カウント・リロード	4.3.6.16 項
0284h	DFSRCBREF	デスティネーション FIFO セット・デスティネーション・アドレス B リファレンス・レジスタ	4.3.6.17 項
0288h	DFDSTBREF	デスティネーション FIFO セット・デスティネーション・アドレス B リファレンス・レジスタ	4.3.6.18 項
0300h	DFOPT0	デスティネーション FIFO オプション・レジスタ 0	4.3.6.10 項
0304h	DFSRC0	デスティネーション FIFO ソース・アドレス・レジスタ 0	4.3.6.11 項
0308h	DFCNT0	デスティネーション FIFO カウント・レジスタ 0	4.3.6.12 項
030Ch	DFDST0	デスティネーション FIFO デスティネーション・アドレス・レジスタ 0	4.3.6.13 項
0310h	DFBIDX0	デスティネーション FIFO BIDX レジスタ 0	4.3.6.14 項
0314h	DFMPPRXY0	デスティネーション FIFO メモリ・プロテクション・プロキシ・レジスタ 0	4.3.6.15 項
0340h	DFOPT1	デスティネーション FIFO オプション・レジスタ 1	4.3.6.10 項
0344h	DFSRC1	デスティネーション FIFO ソース・アドレス・レジスタ 1	4.3.6.11 項
0348h	DFCNT1	デスティネーション FIFO カウント・レジスタ 1	4.3.6.12 項
034Ch	DFDST1	デスティネーション FIFO デスティネーション・アドレス・レジスタ 1	4.3.6.13 項
0350h	DFBIDX1	デスティネーション FIFO BIDX レジスタ 1	4.3.6.14 項
0354h	DFMPPRXY1	デスティネーション FIFO メモリ・プロテクション・プロキシ・レジスタ 1	4.3.6.15 項
0380h	DFOPT2	デスティネーション FIFO オプション・レジスタ 2	4.3.6.10 項

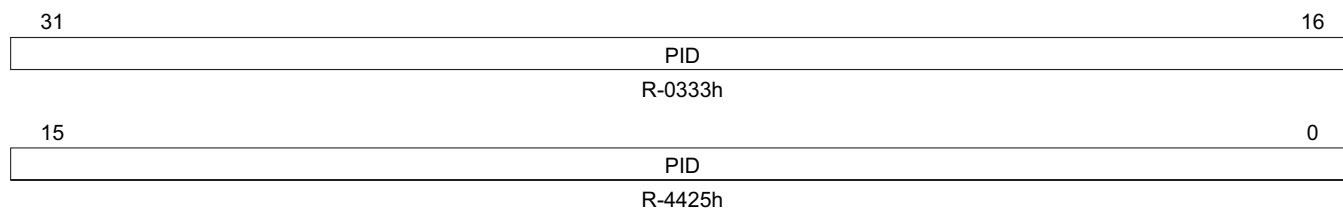
表 4-64. EDMA3 転送コントローラ・コントロール・レジスタ (続き)

オフセット	略称	レジスタの説明	参照先
0384h	DFSRC2	デスティネーション FIFO ソース・アドレス・レジスタ 2	4.3.6.11 項
0388h	DFCNT2	デスティネーション FIFO カウント・レジスタ 2	4.3.6.12 項
038Ch	DFDST2	デスティネーション FIFO デスティネーション・アドレス・レジスタ 2	4.3.6.13 項
0390h	DFBIDX2	デスティネーション FIFO BIDX レジスタ 2	4.3.6.14 項
0394h	DFMPPRXY2	デスティネーション FIFO メモリ・プロテクション・プロキシ・レジスタ 2	4.3.6.15 項
03C0h	DFOPT3	デスティネーション FIFO オプション・レジスタ 3	4.3.6.10 項
03C4h	DFSRC3	デスティネーション FIFO ソース・アドレス・レジスタ 3	4.3.6.11 項
03C8h	DFCNT3	デスティネーション FIFO カウント・レジスタ 3	4.3.6.12 項
03CCh	DFDST3	デスティネーション FIFO デスティネーション・アドレス・レジスタ 3	4.3.6.13 項
03D0h	DFBIDX3	デスティネーション FIFO BIDX レジスタ 3	4.3.6.14 項
03D4h	DFMPPRXY3	デスティネーション FIFO メモリ・プロテクション・プロキシ・レジスタ 3	4.3.6.15 項

4.3.1 ペリフェラル・アイデンティフィケーション・レジスタ (PID)

ペリフェラル・アイデンティフィケーション・レジスタ (PID) は、EDMA3TC および EDMA3TC 固有のリビジョンを一意に識別するコンスタント・レジスタです。PID の内容と説明をそれぞれ図 4-63 および表 4-65 に示します。

図 4-63. ペリフェラル・アイデンティフィケーション・レジスタ (PID)



凡例：R = リード専用。-n = リセット後の値。

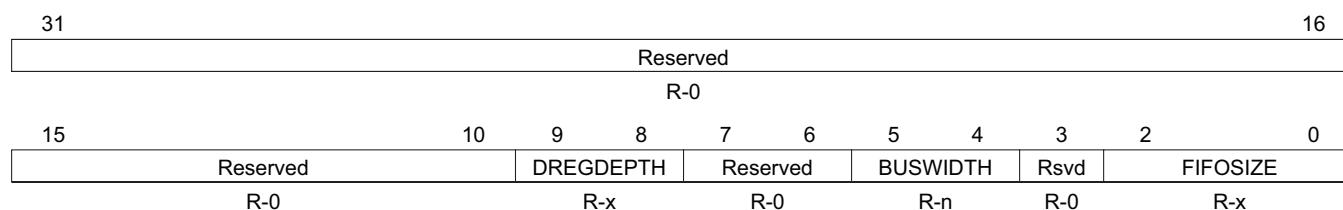
表 4-65. ペリフェラル・アイデンティフィケーション・レジスタ (PID) フィールドの説明

ビット	フィールド	値	説明
31-0	PID	0-FFFF FFFFh	ペリフェラル識別子。

4.3.2 EDMA3TC コンフィギュレーション・レジスタ (TCCFG)

EDMA3TC コンフィギュレーション・レジスタ (TCCFG) の内容と説明をそれぞれ図 4-64 および表 4-66 に示します。

図 4-64. EDMA3TC コンフィギュレーション・レジスタ (TCCFG)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。-x = リセット後の値は不定。

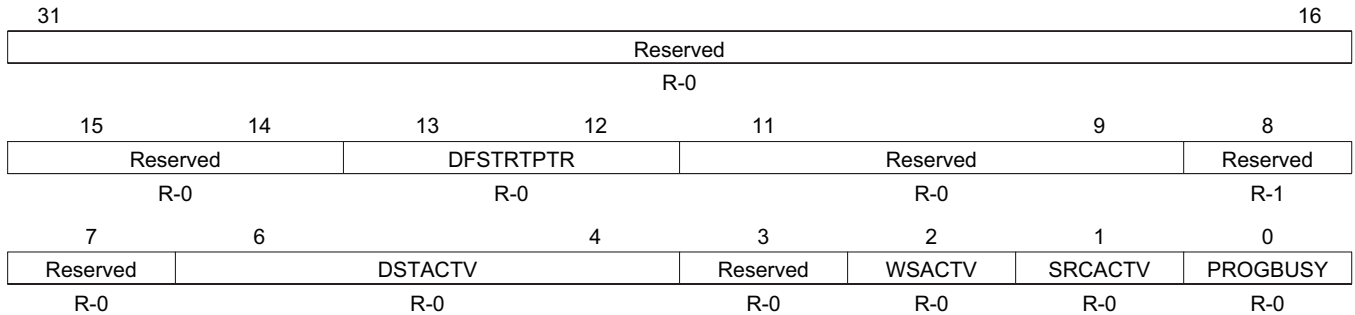
表 4-66. EDMA3TC コンフィギュレーション・レジスタ (TCCFG) フィールドの説明

ビット	フィールド	値	説明
31-10	Reserved	0	予約
9-8	DREGDEPTH	0-3h	デスティネーション レジスタ FIFO 段数パラメータ表示。
		0	予約
		1h	2 エントリ (TC0 の場合)
		2h	4 エントリ (TC1、TC2、TC3 の場合)
		3h	予約
7-6	Reserved	0	予約
5-4	BUSWIDTH	0-3h	バス幅パラメータ表示。
		0-1h	予約
		2h	128 ビット
		3h	予約
3	Reserved	0	予約
2-0	FIFOSIZE	0-7h	FIFO サイズ。
		0-1h	予約
		2h	128 バイト FIFO (TC0、TC1、TC2 の場合)
		3h	256 バイト FIFO (TC3 の場合)
		4h-7h	予約

4.3.3 EDMA3TC チャンネル・ステータス・レジスタ (TCSTAT)

EDMA3TC チャンネル・ステータス・レジスタ (TCSTAT) の内容と説明をそれぞれ図 4-65 および表 4-67 に示します。

図 4-65. EDMA3TC チャンネル・ステータス・レジスタ (TCSTAT)



凡例：R = リード専用。-n = リセット後の値。

表 4-67. EDMA3TC チャンネル・ステータス・レジスタ (TCSTAT) フィールドの説明

ビット	フィールド	値	説明
31-14	Reserved	0	予約
13-12	DFSTRTPTR	0-3h	デスティネーション FIFO 開始ポインタ。デスティネーション・レジスタ FIFO の先頭エントリに対するオフセットをエントリ数で表します。
		0	TC1、TC2、TC3：デスティネーション・レジスタ FIFO の段数パラメータ表示が 4 の場合。 TC0：デスティネーション・レジスタ FIFO の段数パラメータ表示が 2 の場合。
		1h	TC1、TC2、TC3：デスティネーション・レジスタ FIFO の段数パラメータ表示が 4 の場合。 TC0：デスティネーション・レジスタ FIFO の段数パラメータ表示が 2 の場合。
		2h	TC1、TC2、TC3：デスティネーション・レジスタ FIFO の段数パラメータ表示が 4 の場合。
		3h	TC1、TC2、TC3 の場合：デスティネーション・レジスタ FIFO の段数パラメータ表示が 4 の場合。
11-9	Reserved	0	予約
8	Reserved	1	予約。常に 1 としてリードされます。
7	Reserved	0	予約

表 4-67. EDMA3TC チャネル・ステータス・レジスタ (TCSTAT) フィールドの説明 (続き)

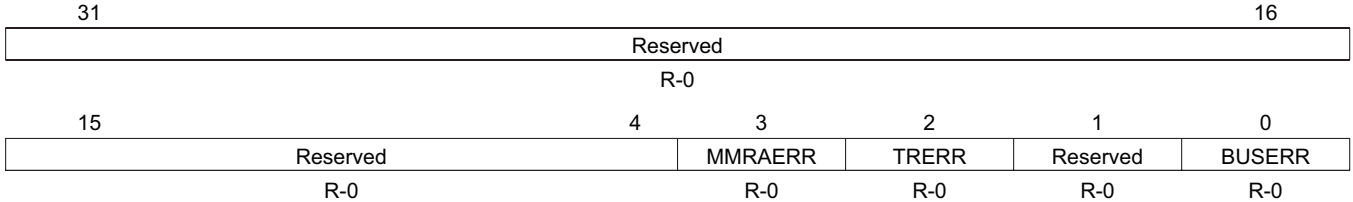
ビット	フィールド	値	説明
6-4	DSTACTV	0-7h 0 1h 2h 3h 4h 5h-7h	<p>デスティネーションのアクティブ状態。指定した時点でのデスティネーション・レジスタ FIFO に置かれる転送リクエスト (TR) の数を指定します。このビット・フィールドは主に高度なデバッグを行うために使われます。有効な値は、デスティネーション・レジスタ FIFO 段数パラメータ表示 (DSTREGDEPTH) パラメータに制限されています。</p> <p>0 デスティネーション FIFO は空です。</p> <p>1h デスティネーション FIFO には 1 つの TR が含まれています。</p> <p>2h デスティネーション FIFO には 2 つの TR が含まれています (DSTREGDEPTH = 2 の場合に、一杯になります)。</p> <p>3h デスティネーション FIFO には 3 つの TR が含まれています。</p> <p>4h デスティネーション FIFO には 4 つの TR が含まれています (DSTREGDEPTH = 4 の場合に、一杯になります)。</p> <p>デスティネーション・レジスタ FIFO が空の場合には、Prog セットにライトされた任意の TR は直ちにデスティネーション・レジスタ FIFO に遷移します。デスティネーション・レジスタ FIFO が空ではなく、かつ一杯でもない場合には、ソース・アクティブ状態 (SRCACTV) ビットがアイドルにセットされると、Prog セットにライトされた任意の TR は直ちにデスティネーション・レジスタ FIFO セットに遷移します。</p> <p>デスティネーション・レジスタ FIFO が一杯の場合には、TR はデスティネーション・レジスタ FIFO には遷移できません。デスティネーション・レジスタ FIFO の先頭にある TR が完了している場合には、デスティネーション・レジスタ FIFO は一杯にはなりません。</p> <p>5h-7h 予約</p>
3	Reserved	0	予約
2	WSACTV	0 1	<p>ライト・ステータスのアクティブ。</p> <p>0 ライト・ステータスはベンディングされていません。事前に発行されたライト・コマンドのライト・ステータスを受け取りました。</p> <p>1 ライト・ステータスはベンディングされています。事前に発行されたライト・コマンドのライト・ステータスを受け取っていません。</p>
1	SRCACTV	0 1	<p>ソースのアクティブ状態。</p> <p>0 ソース・コントローラはアイドルです。ソース・アクティブ・レジスタ・セットには、事前に処理された転送リクエストが含まれています。</p> <p>1 ソース・コントローラは、転送リクエストを処理しているためビジーです。</p>
0	PROGBUSY	0 1	<p>プログラム・レジスタ・セットのビジー。</p> <p>0 プログラムがアイドル状態にセットされ、EDMA3CC によるプログラムが可能です。</p> <p>1 プログラムはビジーにセットされています。</p>

4.3.4 エラー・レジスタ

4.3.4.1 エラー・レジスタ (ERRSTAT)

エラー・ステータス・レジスタ (ERRSTAT) の内容と説明をそれぞれ図 4-66 と表 4-68 に示します。

図 4-66. エラー・レジスタ (ERRSTAT)



凡例：R = リード専用。-n = リセット後の値。

表 4-68. エラー・レジスタ (ERRSTAT) フィールドの説明

ビット	フィールド	値	説明
31-4	Reserved	0	予約
3	MMRAERR	0	MMR アドレス・エラー。 条件は検出されません。
		1	ユーザがコンフィギュレーション・メモリ・マップの個々のアドレス間でリード/ライトしようとしていました。
2	TRERR	0	転送リクエスト (TR) エラー・イベント。 条件は検出されません。
		1	TR が FIFO モード転送 (SAM または DAM がセットされる) アライメント・ルールに違反したことを検出したか、それとも TR が ACNT == 0 または BCNT == 0 になっています。
1	Reserved	0	予約
0	BUSERR	0	バス・エラー・イベント。 条件は検出されません。
		1	EDMA3TC が、ソース・アドレスまたはデスティネーション・アドレスでエラーを検出しました。エラー情報はエラー・ディテール・レジスタ (ERRDET) からリードできます。

4.3.4.2 エラー・イネーブル・レジスタ (ERREN)

エラー・イネーブル・レジスタ (ERREN) の内容と説明をそれぞれ図 4-67 と表 4-69 に示します。

一部のイネーブル・ビットがセットされると、対応する ERRSTAT のセットされていたビットにより EDMA3TC 割り込みのアサートが発生します。

図 4-67. エラー・イネーブル・レジスタ (ERREN)

31	Reserved					16
R-0						
15	4	3	2	1	0	
Reserved		MMRAERR	TRERR	Reserved	BUSERR	
R-0		R/W-0	R/W-0	R-0	R/W-0	

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

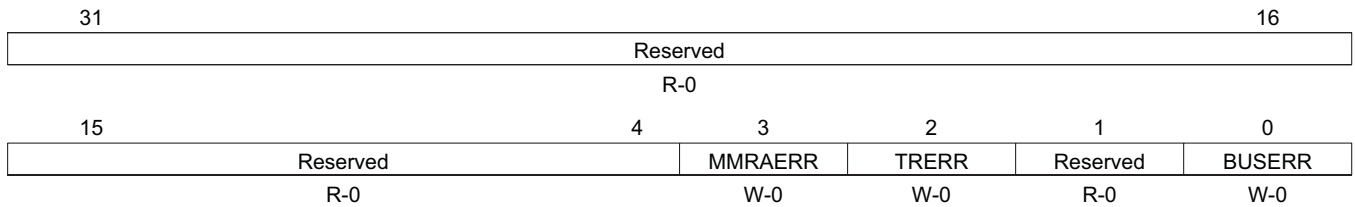
表 4-69. エラー・イネーブル・レジスタ (ERREN) フィールドの説明

ビット	フィールド	値	説明
31-4	Reserved	0	予約
3	MMRAERR	0	MMR アドレス・エラー (MMRAERR) の割り込みイネーブル。 MMRAERR はディスエーブルです。
		1	MMRAERR がイネーブルになっているので、EDMA3TC エラー割り込みを生成する状態になります。
2	TRERR	0	転送リクエスト・エラー (TRERR) の割り込みイネーブル。 TRERR はディスエーブルです。
		1	TRERR がイネーブルになっているので、EDMA3TC エラー割り込みを生成する状態になります。
1	Reserved	0	予約
0	BUSERR	0	バス・エラー (BUSERR) の割り込みイネーブル。 BUSERR はディスエーブルです。
		1	BUSERR がイネーブルになっているので、EDMA3TC エラー割り込みを生成する状態になります。

4.3.4.3 エラー・クリア・レジスタ (ERRCLR)

エラー・クリア・レジスタ (ERRCLR) の内容と説明をそれぞれ図 4-68 と表 4-70 に示します。

図 4-68. エラー・クリア・レジスタ (ERRCLR)



凡例：R = リード専用。W = ライト専用。-n = リセット後の値。

表 4-70. エラー・クリア・レジスタ (ERRCLR) フィールドの説明

ビット	フィールド	値	説明
31-4	Reserved	0	予約
3	MMRAERR	0	エラー・ステータス・レジスタ (ERRSTAT) の MMRAERR ビットの割り込みイネーブルのクリア。 影響なし。
		1	ERRSTAT の MMRAERR ビットをクリアしますが、エラー・ディテール・レジスタ (ERRDET) の対応するビットはクリアしません。
2	TRERR	0	エラー・ステータス・レジスタ (ERRSTAT) の TRERR ビットの割り込みイネーブルのクリア。 影響なし。
		1	ERRSTAT の TRERR ビットをクリアしますが、エラー・ディテール・レジスタ (ERRDET) の対応するビットはクリアしません。
1	Reserved	0	予約
0	BUSERR	0	エラー・ステータス・レジスタ (ERRSTAT) の BUSERR ビットの割り込みイネーブルのクリア。 影響なし。
		1	ERRSTAT の BUSERR ビットをクリアし、エラー・ディテール・レジスタ (ERRDET) の対応するビットもクリアします。

4.3.4.4 エラー・ディテール・レジスタ (ERRDET)

エラー・ディテール・レジスタ (ERRDET) の内容と説明をそれぞれ図 4-69 と表 4-71 に示します。

図 4-69. エラー・ディテール・レジスタ (ERRDET)

31											18	17	16
Reserved										TCCHEN		TCINTEN	
R-0										R-0		R-0	
15	14	13					8	7			4	3	0
Reserved		TCC				Reserved		STAT					
R-0		R-0				R-0		R-0					

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

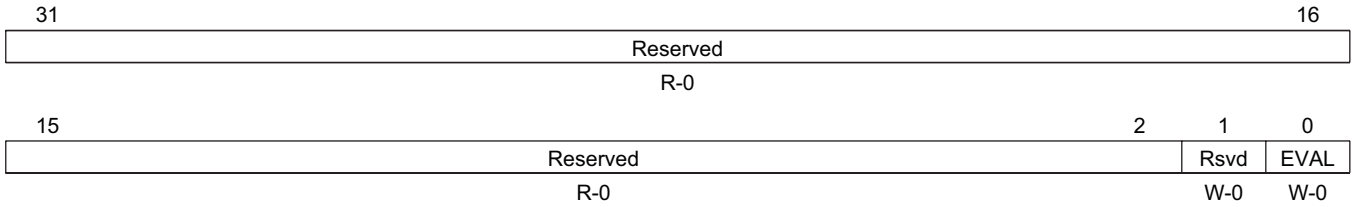
表 4-71. エラー・ディテール・レジスタ (ERRDET) フィールドの説明

ビット	フィールド	値	説明
31-8	Reserved	0	予約
17	TCCHEN	0-1	転送完了チェーンのイネーブル。チェーン・オプション・パラメータ (OPT) に、結果的にエラーになるリードまたはライト・トランザクションを行うチャンネル・コントローラによりプログラムされる TCCHEN 値を含みます。
16	TCINTEN	0-1	転送完了チェーン割り込みのイネーブル。チェーン・オプション・パラメータ (OPT) に、結果的にエラーになるリードまたはライト・トランザクションを行うチャンネル・コントローラによりプログラムされる TCINTEN 値を含みます。
15-14	Reserved	0	予約
13-8	TCC	0-3Fh	転送完了コード。チェーン・オプション・パラメータ (OPT) に、結果的にエラーになるリードまたはライト・トランザクションを行うチャンネル・コントローラによりプログラムされる TCC 値を含みます。
7-4	Reserved	0	予約
3-0	STAT	0-Fh	トランザクション・ステータス。リード・ステータスまたはライト・ステータス・バス上で検出されたゼロではないステータス / エラー・コードをストアします。リード・ステータスおよびライト・ステータスが同じサイクルで返されてから、EDMA3TC はゼロではないバージョンを選択します。いずれもがゼロではない場合には、ライト・ステータスがプライオリティが高いものとして扱われます。
		0	エラーなし。
		1h-7h	リード・エラー。
		8h-Fh	ライト・エラー。

4.3.4.5 エラー・インタラプト・コマンド・レジスタ (ERRCMD)

エラー・インタラプト・コマンド・レジスタ (ERRCMD) の内容と説明をそれぞれ図 4-70 と表 4-72 に示します。

図 4-70. エラー・インタラプト・コマンド・レジスタ (ERRCMD)



凡例：R = リード専用。W = ライト専用。-n = リセット後の値。

表 4-72. エラー・インタラプト・コマンド・レジスタ (ERRCMD) フィールドの説明

ビット	フィールド	値	説明
31-2	Reserved	0	予約
1	Reserved	0	予約。このビットに 1 をライトしてもサポートされません。値をライトしても、その結果は不定です。
0	EVAL	0 1	エラーの評価。 影響なし。 エラー・ステータス・レジスタ (ERRSTAT) のいずれかのビットがセットされる場合、EDMA3TC エラー・ラインはパルス化されます。

4.3.5 リード・レート・レジスタ (RDRATE)

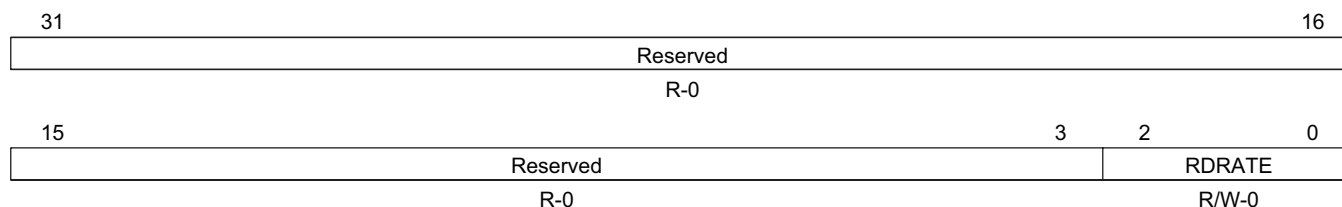
EDMA3 転送コントローラは、リード・レート・レジスタ (RDRATE) によって制御されるレートでリード・コマンドを発行します。RDRATE は、リード・コントローラが以降のコマンドを発行する前に待機する必要があるアイドル・サイクル数を規定しています。この規定は、転送リクエスト・パケット (TRP) 内部のコマンドおよび別の転送リクエスト (TR) にそれぞれ適用されます。たとえば、RDRATE でリードしてから次のリードまでが 4 サイクルにセットされると、リード間のインアクティブな期間は 3 サイクルになります。

RDRATE により、転送コントローラのエンドポイントへのアクセス・リクエストに柔軟に対応できます。アプリケーションの場合、RDRATE を操作してアクセス・レートを遅くすることで、エンドポイントはインアクティブな EDMA3TC サイクル中に他のマスターからのリクエストを処理できます。

RDRATE の内容と説明をそれぞれ図 4-71 および表 4-73 に示します。

注： アプリケーション要件に基づいて決められているように、転送コントローラの RDRATE 値は固定されていることを想定しています。この設定を動的に変更することはお勧めしません。

図 4-71. リード・レート・レジスタ (RDRATE)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 4-73. リード・レート・レジスタ (RDRATE) フィールドの説明

ビット	フィールド	値	説明
31-3	Reserved	0	予約
2-0	RDRATE	0-7h	リード・レート。リード・コマンド間でのサイクル数を制御します。これは、EDMA3TC のすべての TR に適用されるグローバル設定です。
		0	できるだけ速く発行されるリード。
		1h	リード間で 4 サイクル。
		2h	リード間で 8 サイクル。
		3h	リード間で 16 サイクル。
		4h	リード間で 32 サイクル。
5h-7h		予約	

4.3.6 EDMA3TC チャネル・レジスタ

EDMA3TC チャネル・レジスタは、プログラミング・レジスタ、ソース・アクティブ・レジスタ、およびデスティネーション FIFO レジスタの 3 つの部分に分類されます。ここでは、レジスタとその機能について説明します。プログラム・レジスタ・セットは、チャンネル・コントローラによってプログラムされ、内部的に使われます。これ以外の 2 つのレジスタ・セットはリード専用で、高度なデバッグ機能を利用できるようにするために提供されています。デスティネーション FIFO レジスタ・セットの数は、デスティネーション FIFO 段数によって異なります。

TC0 には段数 2 のデスティネーション FIFO があるので、TC0 に関連付けられたデスティネーション FIFO レジスタ・セットが 2 つあります。TC1、TC2、TC3 には段数 4 のデスティネーション FIFO があるので、これらの転送コントローラのそれぞれにはデスティネーション FIFO レジスタ・セットが 4 つあります。

4.3.6.1 ソース・アクティブ・オプション・レジスタ (SAOPT)

ソース・アクティブ・オプション・レジスタ (SAOPT) の内容と説明をそれぞれ図 4-72 と表 4-74 に示します。

図 4-72. ソース・アクティブ・オプション・レジスタ (SAOPT)

31	Reserved						23	22	21	20	19	18	17	16
R-0						TCCHEN	Rsvd	TCINTEN	Reserved		TCC			
R/W-0						R/W-0	R-0	R/W-0	R-0		R/W-0			
15	12	11	10	8	7	6	4		3	2	1	0		
TCC		Rsvd	FWID		Rsvd	PRI		Reserved		DAM	SAM			
R/W-0		R-0	R/W-0		R-0	R/W-0		R-0		R/W-0	R/W-0			

凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 4-74. ソース・アクティブ・オプション・レジスタ (SAOPT) フィールドの説明

ビット	フィールド	値	説明
31-23	Reserved	0	予約
22	TCCHEN	0 1	転送完了チェーンのイネーブル。 0 転送完了チェーンはディスエーブルです。 1 転送完了チェーンはイネーブルです。
21	Reserved	0	予約
20	TCINTEN	0 1	転送完了チェーン割り込みのイネーブル。 0 転送完了割り込みはディスエーブルです。 1 転送完了割り込みはイネーブルです。
19-18	Reserved	0	予約
17-12	TCC	0-3Fh	転送完了コード。この 6 ビット・コードは、EDMA3PCC モジュールの CER または IPR の関連するビットをセットするために使われます。
11	Reserved	0	予約
10-8	FWID	0-7h 0 1h 2h 3h 4h 5h 6h-7h	FIFO 幅。SAM または DAM のいずれかが FIFO モードにセットされている場合に適用されます。 0 FIFO 幅は 8 ビットです。 1h FIFO 幅は 16 ビットです。 2h FIFO 幅は 32 ビットです。 3h FIFO 幅は 64 ビットです。 4h FIFO 幅は 128 ビットです。 5h FIFO 幅は 256 ビットです。 6h-7h 予約

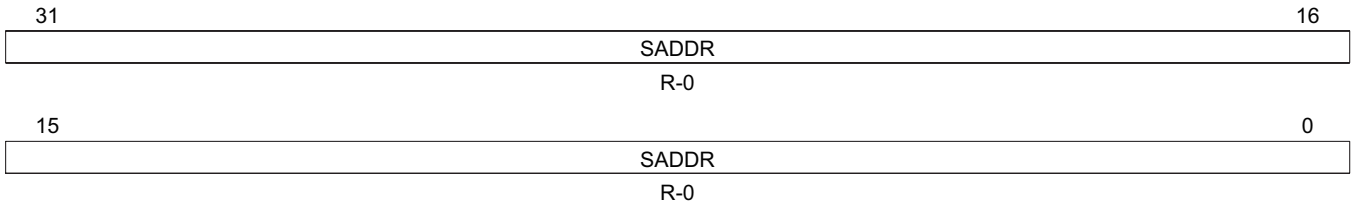
表 4-74. ソース・アクティブ・オプション・レジスタ (SAOPT) フィールドの説明 (続き)

ビット	フィールド	値	説明
7	Reserved	0	予約
6-4	PRI	0-7h 0 1h-6h 7h	転送のプライオリティ。EDMACC の QUEPRI レジスタにプログラムされている値を表します。 プライオリティ 0 (プライオリティが最も高い) プライオリティ 1 ~ プライオリティ 6。 プライオリティ 7 (プライオリティが最も低い)
3-2	Reserved	0	予約
1	DAM	0 1	配列内でのデスティネーション・アドレス・モード。 0 INCR: 配列内でデスティネーション・アドレスはインクリメントします。 1 FIFO: 配列内でデスティネーション・アドレスは FIFO 幅に達するたびに折り返します。
0	SAM	0 1	配列内でのソース・アドレス・モード。 0 INCR: 配列内でソース・アドレスはインクリメントします。 1 FIFO: 配列内でソース・アドレスは FIFO 幅に達するたびに折り返します。

4.3.6.2 ソース・アクティブ・ソース・アドレス・レジスタ (SASRC)

ソース・アクティブ・ソース・アドレス・レジスタ (SASRC) の内容と説明をそれぞれ図 4-73 と表 4-75 に示します。

図 4-73. ソース・アクティブ・ソース・アドレス・レジスタ (SASRC)



凡例：R = リード専用。-n = リセット後の値。

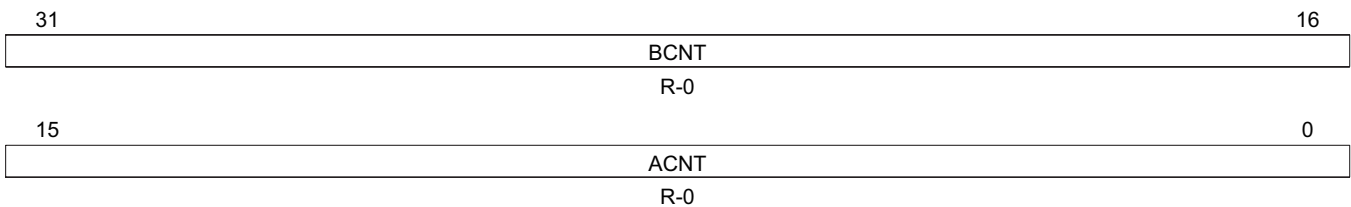
表 4-75. ソース・アクティブ・ソース・アドレス・レジスタ (SASRC) フィールドの説明

ビット	フィールド	値	説明
31-0	SADDR	0-FFFF FFFFh	プログラム・レジスタのソース・アドレスのセット。EDMA3TC はソース・アドレッシング・モード (ソース・アクティブ・オプション・レジスタ (SAOPT) の SAM ビット) に従って値を更新します。

4.3.6.3 ソース・アクティブ・カウント・レジスタ (SACNT)

ソース・アクティブ・カウント・レジスタ (SACNT) の内容と説明をそれぞれ図 4-74 と表 4-76 に示します。

図 4-74. ソース・アクティブ・カウント・レジスタ (SACNT)



凡例：R = リード専用。-n = リセット後の値。

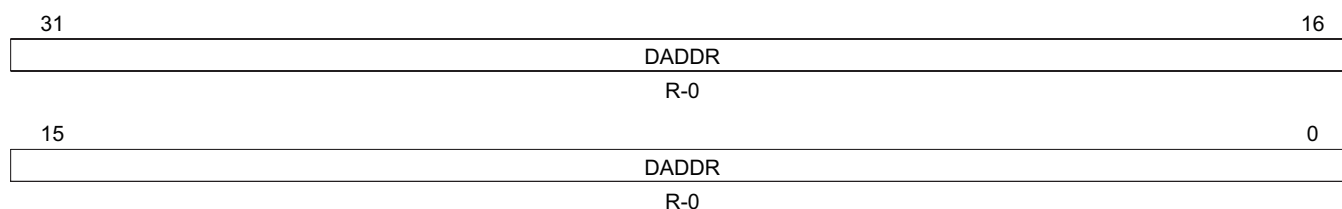
表 4-76. ソース・アクティブ・カウント・レジスタ (SACNT) フィールドの説明

ビット	フィールド	値	説明
31-16	BCNT	0-FFFFh	B 次元のカウント。転送される配列の数、ここでそれぞれの配列の長さは ACNT です。ビットの値は、各リード・コマンド実行後に適切にデクリメントされます。リードされている残りのデータ量を表します。転送リクエスト (TR) が完了したときに、その値は 0 になります。
15-0	ACNT	0-FFFFh	A 次元のカウント。最初の次元で転送されるバイト数。ビットの値は、各リード・コマンド実行後に適切にデクリメントされます。リードされる残りのデータ量を表します。転送リクエスト (TR) が完了したときに、その値は 0 になります。

4.3.6.4 ソース・アクティブ・デスティネーション・アドレス・レジスタ (SADST)

ソース・アクティブ・デスティネーション・アドレス・レジスタ (SADST) の内容と説明をそれぞれ図 4-75 と表 4-77 に示します。

図 4-75. ソース・アクティブ・デスティネーション・アドレス・レジスタ (SADST)



凡例：R = リード専用。-n = リセット後の値。

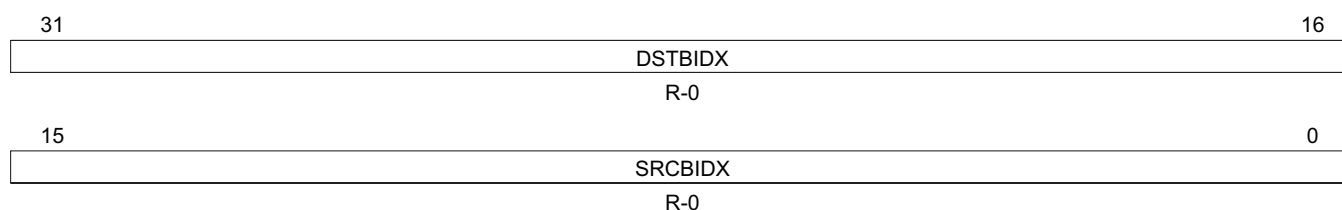
表 4-77. ソース・アクティブ・デスティネーション・アドレス・レジスタ (SADST) フィールドの説明

ビット	フィールド	値	説明
31-0	DADDR	0	常に 0 としてリードされます。

4.3.6.5 ソース・アクティブ・ソース B ディメンジョン・インデックス・レジスタ (SABIDX)

ソース・アクティブ B ディメンジョン・インデックス・レジスタ (SABIDX) の内容と説明をそれぞれ図 4-76 と表 4-78 に示します。

図 4-76. ソース・アクティブ・ソース B ディメンジョン・インデックス・レジスタ (SABIDX)



凡例：R = リード専用。-n = リセット後の値。

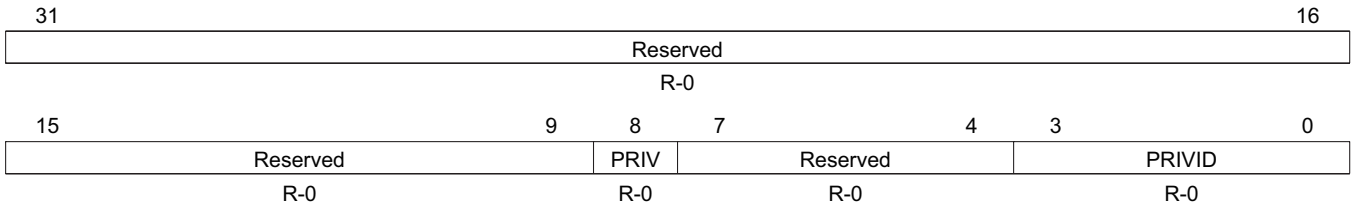
表 4-78. ソース・アクティブ・ソース B ディメンジョン・インデックス・レジスタ (SABIDX) フィールドの説明

ビット	フィールド	値	説明
31-16	DSTBIDX	0	デスティネーション配列間の B インデックス・オフセット。各デスティネーション配列の開始アドレス間のオフセット (バイト数) を表します。常に 0 としてリードされます。
15-0	SRCBIDX	0-FFFFh	ソース配列間の B インデックス・オフセット。各ソース配列の開始アドレス間のオフセット (バイト数) を表します。

4.3.6.6 ソース・アクティブ・メモリ・プロテクション・プロキシ・レジスタ (SAMPPrxy)

ソース・アクティブ・メモリ・プロテクション・プロキシ・レジスタ (SAMPPrxy) の内容と説明をそれぞれ図 4-77 と表 4-79 に示します。

図 4-77. ソース・アクティブ・メモリ・プロテクション・プロキシ・レジスタ (SAMPPrxy)



凡例：R = リード専用。-n = リセット後の値。

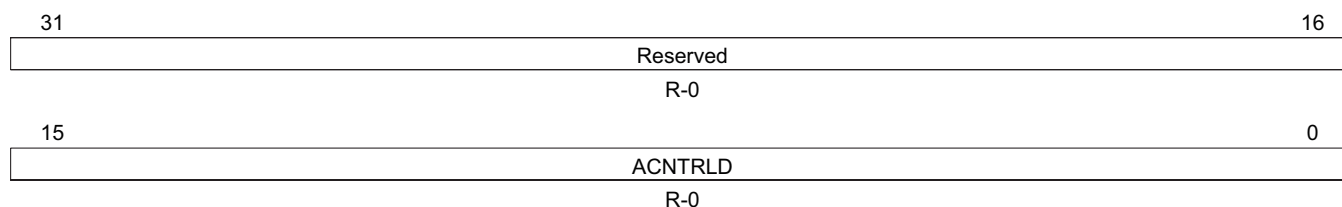
表 4-79. ソース・アクティブ・メモリ・プロテクション・プロキシ・レジスタ (SAMPPrxy) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約
8	PRIV	0 1	特権レベル。ホストがチャンネル・コントローラのパラメータ・エントリをセットアップするために使用する特権レベル。このフィールドは、関連付けられた TR が EDMA3TC に発行された場合にセットアップされます。 特権 ID は、リードおよびライト・コマンドをターゲットのエンドポイントに発行したときに使われるので、ターゲットのエンドポイントは DMA トランザクションをセットアップするホストの PRIV に基づきメモリ保護チェックを行うことができます。 0 ユーザレベル特権。 1 スーパーバイザレベル特権。
7-4	Reserved	0	予約
3-0	PRIVID	0-Fh	特権 ID。これには、ホストがチャンネル・コントローラのパラメータ・エントリをセットアップするために使用する特権 ID が含まれています。このフィールドは、関連付けられた TR が EDMA3TC に発行された場合にセットアップされます。 この PRIVID 値は、リードおよびライト・コマンドをターゲットのエンドポイントに発行したときに使われるので、ターゲットのエンドポイントは DMA トランザクションをセットアップするホストの PRIVID に基づきメモリ保護チェックを行うことができます。

4.3.6.7 ソース・アクティブ・カウント・リロード・レジスタ (SACNTRLD)

ソース・アクティブ・カウント・リロード・レジスタ(SACNTRLD)の内容と説明をそれぞれ図 4-78 と表 4-80 に示します。

図 4-78. ソース・アクティブ・カウント・リロード・レジスタ (SACNTRLD)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

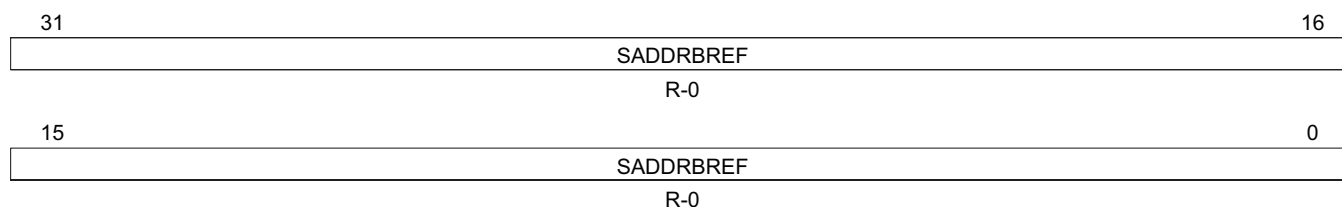
表 4-80. ソース・アクティブ・カウント・リロード・レジスタ (SACNTRLD) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約
15-0	ACNTRLD	0-FFFFh	A カウント・リロード値。本来プログラムされている ACNT の値を表します。リロード値は、それぞれの配列が処理された後に ACNT を再初期化するために使われます。

4.3.6.8 ソース・アクティブ・ソース・アドレス B リファレンス・レジスタ (SASRCBREF)

ソース・アクティブ・ソース・アドレス B リファレンス・レジスタ (SASRCBREF) の内容と説明をそれぞれ図 4-79 と表 4-81 に示します。

図 4-79. ソース・アクティブ・ソース・アドレス B リファレンス・レジスタ (SASRCBREF)



凡例：R = リード専用。-n = リセット後の値。

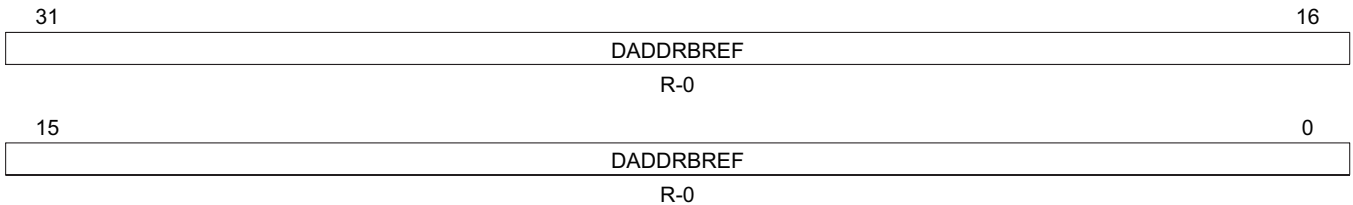
表 4-81. ソース・アクティブ・ソース・アドレス B リファレンス・レジスタ (SASRCBREF) フィールドの説明

ビット	フィールド	値	説明
31-0	SADDRBREF	0-FFFF FFFFh	ソース・アドレス B の参照。現在リードされている配列の開始アドレスを表します。

4.3.6.9 ソース・アクティブ・デスティネーション・アドレス B リファレンス・レジスタ (SADSTBREF)

ソース・アクティブ・デスティネーション・アドレス B リファレンス・レジスタ (SADSTBREF) の内容と説明をそれぞれ図 4-80 と表 4-82 に示します。

図 4-80. ソース・アクティブ・デスティネーション・アドレス B リファレンス・レジスタ (SADSTBREF)



凡例：R = リード専用。-n = リセット後の値。

表 4-82. ソース・アクティブ・デスティネーション・アドレス B リファレンス・レジスタ (SADSTBREF) フィールドの説明

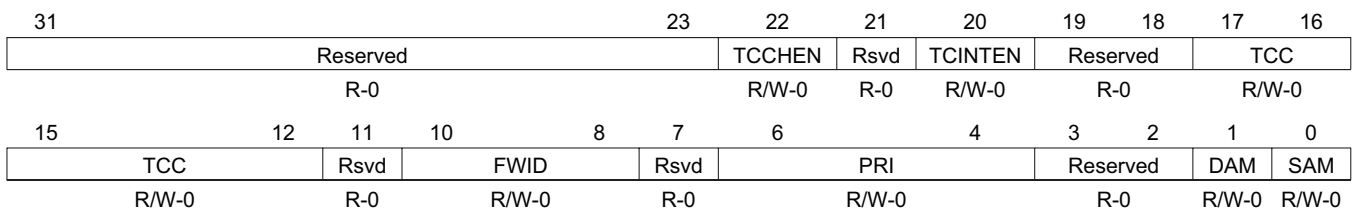
ビット	フィールド	値	説明
31-0	DADDRBREF	0	常に 0 としてリードされます。

4.3.6.10 デスティネーション FIFO オプション・レジスタ (DFOPTn)

デスティネーション FIFO オプション・レジスタ (DFOPTn) の内容と説明をそれぞれ図 4-81 と表 4-83 に示します。

注： n の値の範囲は、指定の EDMA3TC に合わせて 0 ~ DSTREGDEPTH です。

図 4-81. デスティネーション FIFO オプション・レジスタ (DFOPTn)



凡例：R/W = リード / ライト。R = リード専用。-n = リセット後の値。

表 4-83. デスティネーション FIFO オプション・レジスタ (DFOPTn) フィールドの説明

ビット	フィールド	値	説明
31-23	Reserved	0	予約
22	TCCHEN	0	転送完了チェーンのイネーブル。
		1	転送完了チェーンはディスエーブルです。
21	Reserved	0	予約

表 4-83. デスティネーション FIFO オプション・レジスタ (DFOPTn) フィールドの説明

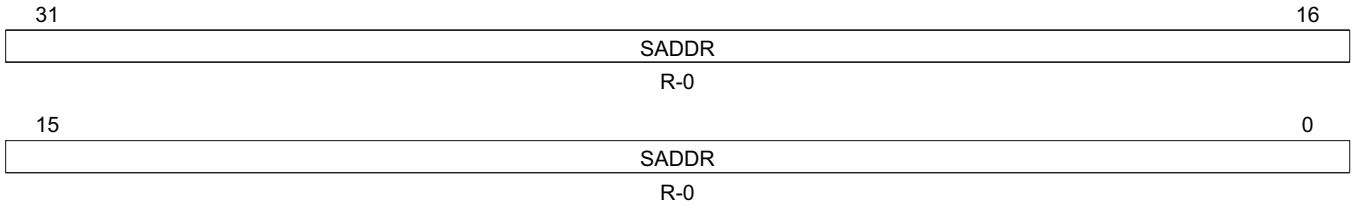
ビット	フィールド	値	説明
20	TCINTEN	0 1	転送完了チェーン割り込みのイネーブル。 転送完了割り込みはディスエーブルです。 転送完了割り込みはイネーブルです。
19-18	Reserved	0	予約
17-12	TCC	0-3Fh	転送完了コード。この 6 ビット・コードは、EDMA3PCC モジュールの CER または IPR の関連するビットをセットするために使われます。
11	Reserved	0	予約
10-8	FWID	0-7h 0 1h 2h 3h 4h 5h 6h-7h	FIFO 幅。SAM または DAM のいずれかが FIFO モードにセットされている場合に適用されます。 FIFO 幅は 8 ビットです。 FIFO 幅は 16 ビットです。 FIFO 幅は 32 ビットです。 FIFO 幅は 64 ビットです。 FIFO 幅は 128 ビットです。 FIFO 幅は 256 ビットです。 予約
7	Reserved	0	予約
6-4	PRI	0-7h 0 1h-6h 7h	転送のプライオリティ。 プライオリティ 0 (プライオリティが最も高い) プライオリティ 1 ~ プライオリティ 6。 プライオリティ 7 (プライオリティが最も低い)
3-2	Reserved	0	予約
1	DAM	0 1	配列内でのデスティネーション・アドレス・モード。 INCR: 配列内でデスティネーション・アドレスはインクリメントします。 FIFO: 配列内でデスティネーション・アドレスは FIFO 幅に達するたびに折り返します。
0	SAM	0 1	配列内でのソース・アドレス・モード。 INCR: 配列内でソース・アドレスはインクリメントします。 FIFO: 配列内でソース・アドレスは FIFO 幅に達するたびに折り返します。

4.3.6.11 デスティネーション FIFO ソース・アドレス・レジスタ (DFSRCn)

デスティネーション FIFO ソース・アドレス・レジスタ (DFSRCn) の内容と説明をそれぞれ図 4-82 と表 4-84 に示します。

注： n の値の範囲は、指定の EDMA3TC に合わせて $0 \sim \text{DSTREGDEPTH}$ です。

図 4-82. デスティネーション FIFO ソース・アドレス・レジスタ (DFSRCn)



凡例：R = リード専用。-n = リセット後の値。

表 4-84. デスティネーション FIFO ソース・アドレス・レジスタ (DFSRCn) フィールドの説明

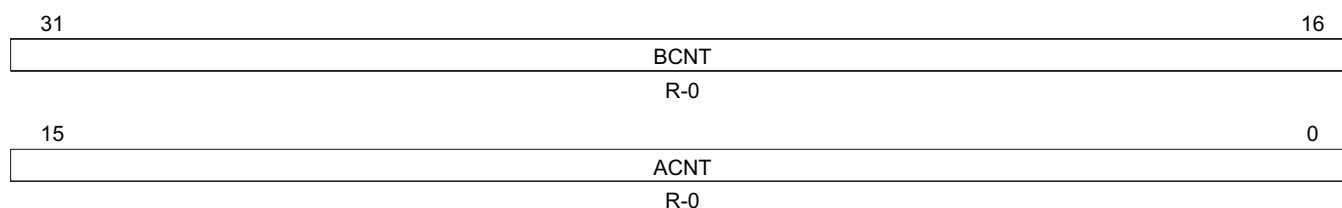
ビット	フィールド	値	説明
31-0	SADDR	0	常に 0 としてリードされます。

4.3.6.12 デスティネーション FIFO カウント・レジスタ (DFCNT n)

デスティネーション FIFO カウント・レジスタ (DFCNT n) の内容と説明をそれぞれ図 4-83 と表 4-85 に示します。

注： n の値の範囲は、指定の EDMA3TC に合わせて 0 ~ DSTREGDEPTH です。

図 4-83. デスティネーション FIFO カウント・レジスタ (DFCNT n)



凡例：R = リード専用。- n = リセット後の値。

表 4-85. デスティネーション FIFO カウント・レジスタ (DFCNT n) フィールドの説明

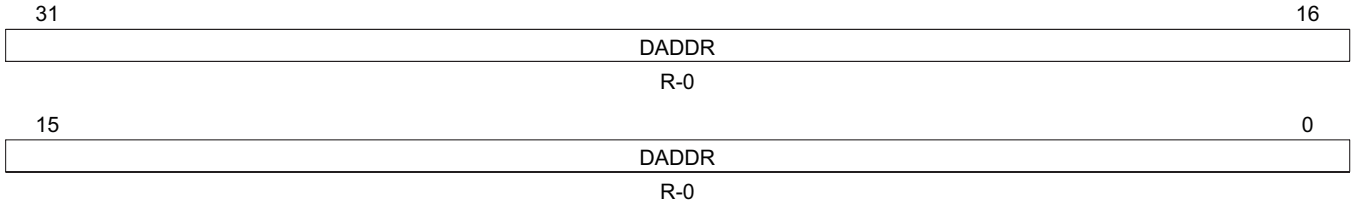
ビット	フィールド	値	説明
31-16	BCNT	0-FFFFh	B 次元のカウント。転送される配列の数、ここでそれぞれの配列の長さは ACNT です。デスティネーション・レジスタのセットされる残りのカウント。ライトされる残りのデータ量を表します。
15-0	ACNT	0-FFFFh	A 次元のカウント。最初の次元カウントまたは デスティネーション・レジスタのセットされる残りのカウントに転送されるバイト数。ライトされる残りのデータ量を表します。

4.3.6.13 デスティネーション FIFO デスティネーション・アドレス・レジスタ (DFDST n)

デスティネーション FIFO デスティネーション・アドレス・レジスタ (DFDST n) の内容と説明をそれぞれ図 4-84 と表 4-86 に示します。

注： n の値の範囲は、指定の EDMA3TC に合わせて 0 ~ DSTREGDEPTH です。

図 4-84. デスティネーション FIFO デスティネーション・アドレス・レジスタ (DFDST n)



凡例：R = リード専用。- n = リセット後の値。

表 4-86. デスティネーション FIFO デスティネーション・アドレス・レジスタ (DFDST n) フィールドの説明

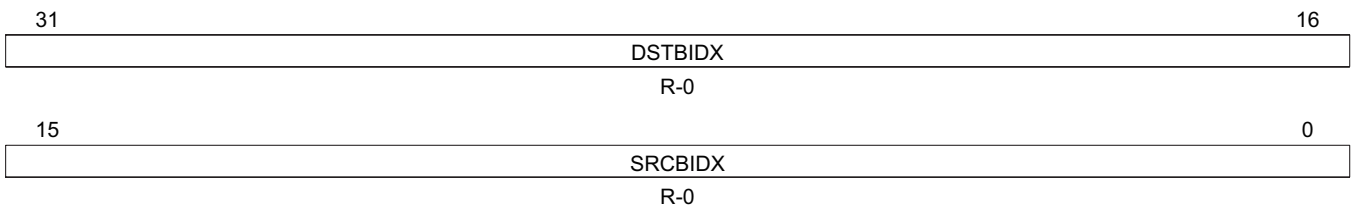
ビット	フィールド	値	説明
31-0	DADDR	0	デスティネーション FIFO レジスタのセットされるデスティネーション・アドレス。転送リクエスト (TR) が完了すると、最終的な値が、最後のライト・コマンドが発行されたときのアドレスになります。

4.3.6.14 デスティネーション FIFO B インデックス・レジスタ (DFBIDX n)

デスティネーション FIFO B インデックス・レジスタ (DFBIDX n) の内容と説明をそれぞれ図 4-85 と表 4-87 に示します。

注： n の値の範囲は、指定の EDMA3TC に合わせて 0 ~ DSTREGDEPTH です。

図 4-85. デスティネーション FIFO B インデックス・レジスタ (DFBIDX n)



凡例：R = リード専用。- n = リセット後の値。

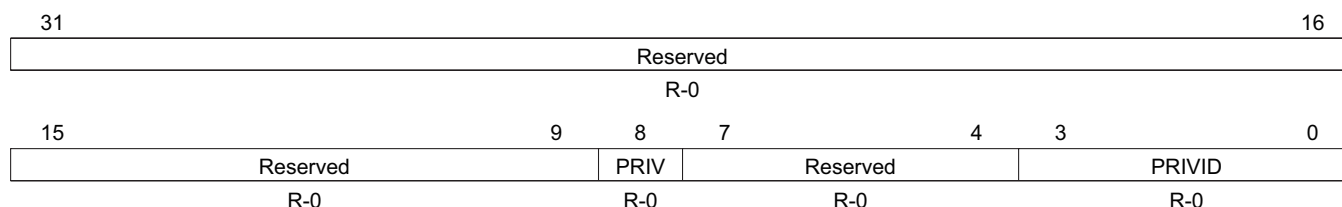
表 4-87. デスティネーション FIFO B インデックス・レジスタ (DFBIDX n) フィールドの説明

ビット	フィールド	値	説明
31-16	DSTBIDX	0-FFFFh	デスティネーション配列間の B インデックス・オフセット。各デスティネーションの開始アドレス間のオフセット (バイト数) を表します。
15-0	SRCBIDX	0	常に 0 としてリードされます。

4.3.6.15 デスティネーション FIFO メモリ・プロテクション・プロキシ・レジスタ (DFMPPRXY_n)

デスティネーション FIFO メモリ・プロテクション・プロキシ・レジスタ (DFMPPRXY_n) の内容と説明をそれぞれ図 4-86 と表 4-88 に示します。

図 4-86. デスティネーション FIFO メモリ・プロテクション・プロキシ・レジスタ (DFMPPRXY_n)



凡例：R = リード専用。-n = リセット後の値。

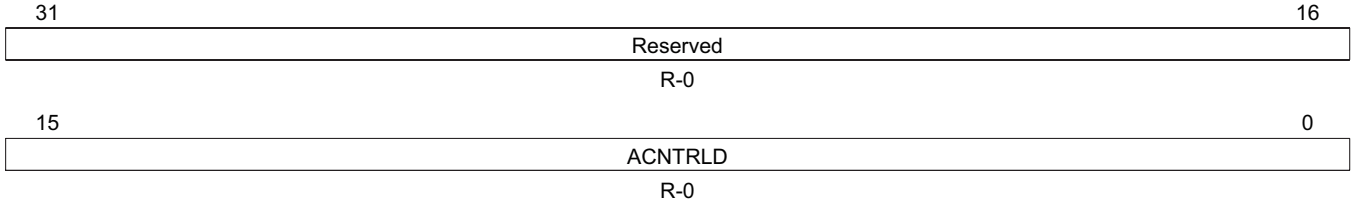
表 4-88. デスティネーション FIFO メモリ・プロテクション・プロキシ・レジスタ (DFMPPRXY_n) フィールドの説明

ビット	フィールド	値	説明
31-9	Reserved	0	予約
8	PRIV	0 1	特権レベル。これには、EDMA3 プログラムがチャネル・コントローラのパラメータ・エントリをセットアップするために使用する特権レベルが含まれています。このフィールドは、関連付けられた TR が EDMA3TC に発行された場合にセットアップされます。 特権 ID は、リードおよびライト・コマンドをターゲットのエンドポイントに発行したときに使われるので、ターゲットのエンドポイントは DMA トランザクションをセットアップするホストの PRIV に基づきメモリ保護チェックを行うことができます。 0 ユーザレベル特権。 1 スーパーバイザレベル特権。
7-4	Reserved	0	予約
3-0	PRIVID	0-Fh	特権 ID。これには、EDMA3 プログラムがチャネル・コントローラのパラメータ・エントリをセットアップするために使用する特権 ID が含まれています。このフィールドは、関連付けられた TR が EDMA3TC に発行された場合にセットアップされます。 この PRIVID 値は、リードおよびライト・コマンドをターゲットのエンドポイントに発行したときに使われるので、ターゲットのエンドポイントは DMA トランザクションをセットアップするホストの PRIVID に基づきメモリ保護チェックを行うことができます。

4.3.6.16 デスティネーション FIFO カウント・リロード・レジスタ (DFCNTRLD_n)

デスティネーション FIFO カウント・リロード・レジスタ (DFCNTRLD_n) の内容と説明をそれぞれ図 4-87 と表 4-89 に示します。

図 4-87. デスティネーション FIFO カウント・リロード・レジスタ (DFCNTRLD_n)



凡例：R = リード専用。-n = リセット後の値。

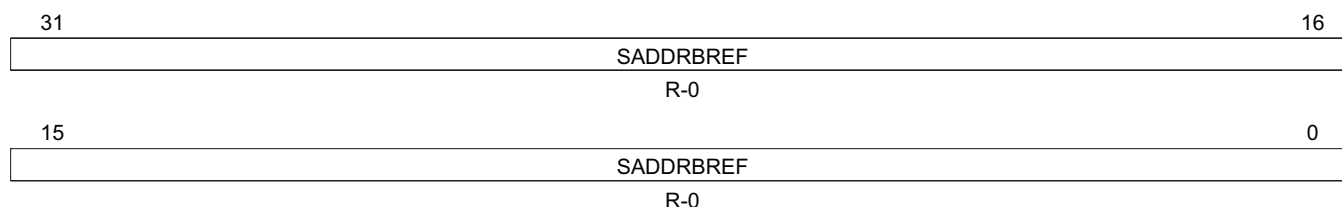
表 4-89. デスティネーション FIFO カウント・リロード・レジスタ (DFCNTRLD_n) フィールドの説明

ビット	フィールド	値	説明
31-16	Reserved	0	予約
15-0	ACNTRLD	0-FFFFh	A カウント・リロード値。本来プログラムされている ACNT の値を表します。リロード値は、それぞれの配列が処理された後に ACNT を再初期化するために使われます。

4.3.6.17 デスティネーション FIFO ソース・アドレス B リファレンス・レジスタ (DFSRCBREF n)

デスティネーション FIFO ソース・アドレス B リファレンス・レジスタ (DFSRCBREF n) の内容と説明をそれぞれ図 4-88 と表 4-90 に示します。

図 4-88. デスティネーション FIFO ソース・アドレス B リファレンス・レジスタ (DFSRCBREF n)



凡例：R = リード専用。- n = リセット後の値。

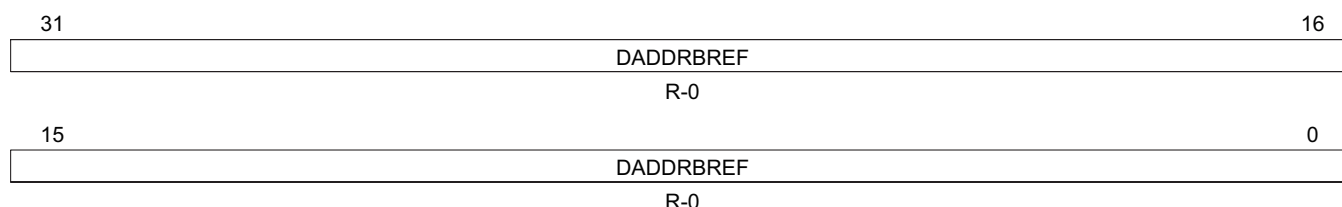
表 4-90. デスティネーション FIFO ソース・アドレス B リファレンス・レジスタ (DFSRCBREF n) フィールドの説明

ビット	フィールド	値	説明
31-0	SADDRBREF	0	適用されません。常に 0 としてリードされます。

4.3.6.18 デスティネーション FIFO デスティネーション・アドレス B リファレンス・レジスタ (DFDSTBREF n)

デスティネーション FIFO デスティネーション・アドレス B リファレンス・レジスタ (DFDSTBREF n) の内容と説明をそれぞれ図 4-89 と表 4-91 に示します。

図 4-89. デスティネーション FIFO デスティネーション・アドレス B リファレンス・レジスタ (DFDSTBREF n)



凡例：R = リード専用。- n = リセット後の値。

表 4-91. デスティネーション FIFO デスティネーション・アドレス B リファレンス・レジスタ (DFDSTBREF n) フィールドの説明

ビット	フィールド	値	説明
31-0	DADDRBREF	0-FFFF FFFFh	デスティネーション FIFO レジスタ・セットのデスティネーション・アドレスの参照。現在ライトされている配列の開始アドレスを表します。

A.1 デバッグ・チェックリスト

ここでは、EDMA3 を使ってアプリケーションをデバッグするときに考慮すべき点について説明します。

次の表に、一般的な問題とその考えられる原因や解決方法を示します。

表 A-1. デバッグ・リスト

問題	説明と解決方法
チャンネルに関連付けられている転送が行われない。チャンネルでは処理できない。	関連付けられた PaRAM セットが適切にプログラムされていても、EDMA3CC は転送リクエストを処理できない場合があります。次の点を確認してください。 <ol style="list-style-type: none"> 1) イベントがイネーブルされていることを確認してください。つまり、外部またはペリフェラル・イベントがイベント・レジスタ内でラッチされている場合、イベントがイベント・イネーブル・レジスタ (EER/EERH) でイネーブルされていることを確認してください。同様に、QDMA チャンネルの場合には、QDMA イベントが QDMA イベント・イネーブル・レジスタ (QEER) 内でイネーブルされていることを確認してください。 2) DMA または QDMA セカンダリ・イベント・レジスタ (SER/SERH/QSERH) の特定のイベントまたはチャンネルに対応するビットが、セットされていないことを確認してください。
セカンダリ・イベント・レジスタのビットがセットされていて、チャンネル上のさらなる転送を行うことができない。	チャンネル/ イベントに関連付けられているパラメータ・セットがそのチャンネル上の以前の転送を行うための NULL セットだった場合には、トリガ・イベントを受け取ることができます。これは次の 2 つのケースでは一般的です。 <ol style="list-style-type: none"> 1) QDMA チャンネル：通常、パラメータ・セットはノンスタティックであり、かつ NULL セットにより終了するものと見なされている場合 (つまり、OPT.STATIC = 0、LINK = 0xFFFF)、パラメータは最後の TR が発行された後に NULL セットで更新されます。QDMA チャンネルが自動的にトリガされるので、この更新によりイベントが発生します。NULL セットのために生成されたイベントはエラー条件の原因となり、その結果、QEMR および QSER の QDMA チャンネルに対応するビットがセットされます。これは、これ以上のチャンネルのプライオリティ設定をディスエーブルします。 2) 連続モードで使われる DMA チャンネル：ペリフェラルは、無限にイベントを連続的に生成するようにセットアップされている場合があります (たとえば、McBSP の場合、データが DXR レジスタからシフトアウトするたびに、XEVT が生成されます)。パラメータ・セットは、有限のイベント数のみを想定しており、NULL リンクにより終了処理が行われるようにプログラムされている場合があります。想定していたイベント数実行後に、パラメータ・セットには NULL パラメータ・セットがリロードされます。ペリフェラルはさらなるイベントを生成するので、SER.Ex および EMR.Ex セットにエラー条件がセットされ、これ以上イベントのプライオリティ設定は行われません。これ以降のイベントまたはチャンネルを転送しようとするときは事前に、受け取ったイベント数がパラメータ・セットをプログラムしたときに想定したイベント数に制限されていることを確認するか、特定のチャンネルまたはイベントに対応するビットがセカンダリ・イベント・レジスタ (SER/SERH/QSER) およびイベント・ミスド・レジスタ (EMR/EMRH/QEMR) にセットされていないことを確認しておく必要があります。

表 A-1. デバッグ・リスト (続き)

問題	説明と解決方法
完了割り込みがアサートされないか、または最初の完了割り込み後に、これ以上の割り込みを受け取らない。	<p>次の点を確認する必要があります。</p> <ol style="list-style-type: none"> 1) インタラプト・イネーブル・レジスタ (IER/IERH) を介した割り込みが EDMA3 チャンネル・コントローラでイネーブルされている。 2) 対応する割り込みがデバイス割り込みコントローラでイネーブルされている。 3) 転送完了割り込みサービス・ルーチン (ISR) を終了する前に、インタラプト・ペンディング・レジスタ (IPR/IPRH) でセットされた割り込みがクリアされる。EDMA3 ISR の記述に関する詳細は、2.9.1.2 項を参照してください。 4) シャドウ領域割り込みとともに動作させている場合には、DMA リージョン・アクセス・レジスタ (DRAE/DRAEH) が適切にセットアップされていることを確認します。これはシャドウ領域割り込みでは DRAE/DRAEH レジスタが IER/IERH レジスタと一緒にセカンダリ・イネーブルとして動作するからです。シャドウ領域割り込みとともに動作させている場合には、転送完了コード (TCC) の値に対応するビットも DRAE/DRAEH 内でイネーブルされていることを確認してください。たとえば、チャンネル 0 に関連付けられている PaRAM セットが完了コード 63 (OPT.TCC=63) を返す場合、DRAEH.E63 もシャドウ領域完了割り込みのためにセットされていることを確認してください。これはインタラプト・ペンディング・レジスタのビット・セットが (IPR.I0 ではなく) IPRH.I63 になるからです。

A.2 その他のプログラミング / デバッグ上のヒント

1. 一部のレジスタでは、ビットをセットしたりクリアしたりするには、別の専用のレジスタを介して行う必要があります。たとえば、イベント・レジスタ (ER/ERH) のビットをクリアするには、イベント・クリア・レジスタ (ECR/ECRH) の対応するビットに 1 をライトする以外に方法はありません。同様に、イベント・イネーブル・レジスタ (EER/EERH) のビットをセットするには、イベント・イネーブル・セット・レジスタ (EESR/EESRH) に 1 をライトする以外に方法はありません。またこのレジスタのビットをクリアするには、イベント・イネーブル・クリア・レジスタ (EECR/EECRH) の対応するビットに 1 をライトする以外に方法はありません。
2. シャドウ領域メモリ・マップにライトすると、リージョン・アクセス・レジスタ (DRAE/DRAEH/QRAE) によって管理されます。これらのレジスタの適切なチャンネルがイネーブルされていない場合、シャドウ領域メモリ間でのリード / ライト・アクセスはイネーブルされません。
3. シャドウ領域割り込みとともに動作させている場合には、領域ごとの DMA リージョン・アクセス・レジスタ (DRAE/DRAEH) は、(アプリケーションの要件でない限り) 相互に排他的な方法でセットされます。領域リソース割り当てに割り当てられたチャンネルおよび (インタラプト・ペンディング・レジスタのビットをセットする) 転送完了コードにオーバーラップがある場合、複数のシャドウ領域完了割り込みが発生します。たとえば、DRAE0.E0 および DRAE1.E1 の両方がセットされている場合には、TCC=0 を返す転送が完了すると、シャドウ領域 0 および 1 完了割り込みの両方が発生します。
4. 非ダミー・パラメータ・セットをプログラムしているときには、CCNT がゼロにならないようにしてください。
5. EDMA3CC エラー割り込みをデバイス・コントローラでイネーブルし、割り込みサービス・ルーチン (ISR) を置いて、エラー条件がアプリケーションで設定され、ISR を使って適切にアドレス指定されていることを確認してください。
6. アプリケーションによって、大規模な転送を小規模の転送に分割し、自己チェーン機能を使ってイベント・キュー内の他のイベントを実行させないようにする場合があります。
7. チェーン機能または他の方法を使用して大規模な転送を複数の小規模な転送に分割するアプリケーションでは、何度も転送を行う時間を短縮し、スループットを高めるために早期チェーン・オプションを使う方法を選択できます。ただし、EDMA3CC は内部的に完了信号を送るので、早期完了を使うと、すべてのデータは完了が報告されたらすぐにエンドポイントで受け取ることになりかねないということを考慮してください。
8. システム障害があった場合に (エントリがバイパスされないときには) 最後のわずかなイベントを決定するために、イベント・キューのエントリを見ることができます。

転送のセットアップ

次のリストに、転送をセットアップするときに行う一般的な手順に関するクイックガイドを示します。

1. DMA/QDMA チャンネルの開始
 - a. 使用するチャンネルのタイプ (QDMA または DMA) を決定します。
 - b. チャンネルのマッピング
 - a. QDMA チャンネルを使う場合、チャンネルのマッピング先となるパラメータ・セット番号やトリガ・ワードと組み合わせて QCHMAP をプログラムします。
 - b. DMA チャンネルを使う場合、チャンネルのマッピング先となるパラメータ・セット番号と組み合わせて DCHMAP をプログラムします。
 - c. チャンネルがシャドウ領域のコンテキストの中で使われている場合、該当領域の DRAE/DRAEH がシャドウ領域のメモリ・マップに含まれるイベント・レジスタおよびインタラプト・レジスタのビットへのリード/ライト・アクセスができるように適切にセットアップされていることを確認します。このプロセスのこれ以降のステップは、それぞれのシャドウ・リージョン・レジスタを使って行ってください (シャドウ領域の説明と使い方については、2.7.1 項を参照してください。)
 - d. 使用するトリガ・タイプを決めます。
 - a. 外部イベントを使用してトリガする場合 (DMA チャンネル) EESR/EESRH にライトすることにより EER/EERH のそれぞれのイベントをイネーブルします。
 - b. QDMA チャンネルを使う場合、QEESR にライトすることにより QEER の対応するチャンネルをイネーブルします。
 - e. キューのセットアップ
 - a. QDMA チャンネルを使う場合、QDMAQNUM をセットアップしてチャンネルをそれぞれのイベント・キューにマップします。
 - b. DMA チャンネルを使う場合、DMAQNUM をセットアップしてイベントをそれぞれのイベント・キューにマップします。
2. パラメータ・セットのセットアップ
 - a. チャンネルに関連付けられた PaRAM セット番号をプログラムします。QDMA チャンネルの場合、トリガ・ワードとして設定された PaRAM エントリは最後にライトされることに注意してください。他にも、トリガ・ワードにライトする直前に QDMA チャンネルをイネーブルします (上記ステップ 1-b-ii)。別のタイプの転送に関するパラメータ・セット・フィールドについては、第 3 章を参照してください。最後または中間の完了チェーンと割り込みの両方またはいずれかをセットアップする方法については、2.8 節「EDMA3 チャンネルのチェーン」および 2.9 節「EDMA3 割り込み」を参照してください。
3. 割り込みのセットアップ
 - a. IESR/IESRH にライトすることにより IER/IERH の割り込みをイネーブルします。
 - b. EDMA3CC 完了割り込み (グローバル領域割り込みまたはシャドウ領域割り込みのいずれか) は、デバイス割り込みコントローラの中で適切にイネーブルされることを確認します。
 - c. EDMA3CC 完了割り込み (これはグローバル領域割り込みまたはシャドウ領域割り込みのいずれかを指します) は、デバイス割り込みコントローラの中で適切にイネーブルされることを確認します。
 - d. 想定した EDMA3 割り込みを受け取れるように割り込みコントローラを適切にセットアップします。

4. 転送の開始

- a. このステップは、イベント・トリガ・ソースによって大幅に異なります。
 - a. ソースがペリフェラルに由来する外部イベントの場合、ペリフェラルは ER 転送にラッチされる関連の EDMA3 イベントの生成を開始するようにイネーブルされます。
 - b. QDMA イベントの場合、トリガ・ワードにライトする（上記ステップ 2-a）と転送が開始されます。
 - c. 手動トリガ転送は、イベント・セット・レジスタ（ESR/ESRH）にライトすることにより開始されます。
 - d. 以前の転送がチェーン・チャンネル番号と等しい転送完了コードを返すと、チェーン・トリガ・イベントが開始します。

5. 完了の待機

- a. ステップ 3 で前述したように割り込みがイネーブルされた場合には、結果的に転送完了がインタラプト・ペンディング・レジスタ（IPR/IPRH）の対応するビットをセットするたびに、EDMA3CC は完了割り込みを CPU に生成します。IPR/IPRH にセットされているビットをクリアするには、ICR/ICRH の対応するビットに値をライトする必要があります。
- b. 完了（デバイス・コントローラでイネーブルされていない割り込み）をポーリングする場合には、アプリケーション・コードでは IPR/IPRH にセットされている想定されたビットを待つ可能性があります。また、同じ転送完了コード値に対する次の一連の転送を行うときは事前に、IPR/IPRH のセットされているビットを ICR/ICRH を介して手動でクリアしておく必要があります。

改訂履歴

表 C-1 に、本書の旧版からの変更点を示します。

表 C-1. 資料改訂履歴

参照先	追加 / 変更 / 削除
図 3-2	OPT パラメータの内容、DAM ビット値、および SAM ビット値の変更。
図 3-4	OPT パラメータの内容、DAM ビット値、および SAM ビット値の変更。
図 3-6	OPT パラメータの内容、DAM ビット値、および SAM ビット値の変更。
図 3-8	OPT パラメータの内容、DAM ビット値、および SAM ビット値の変更。
図 3-10	OPT パラメータの内容、DAM ビット値、および SAM ビット値の変更。
図 3-12	OPT パラメータの内容、DAM ビット値、および SAM ビット値の変更。
図 3-13	OPT パラメータの内容、DAM ビット値、および SAM ビット値の変更。
図 3-15	OPT パラメータの内容、DAM ビット値、および SAM ビット値の変更。
図 3-16	OPT パラメータの内容の変更。
図 3-17	OPT パラメータの内容の変更。

日本テキサス・インスツルメンツ株式会社

本 社 〒160-8366 東京都新宿区西新宿6丁目24番1号 西新宿三井ビルディング3階 ☎03(4331)2000(番号案内)

西日本ビジネスセンター 〒530-6026 大阪市北区天満橋1丁目8番30号 OAPオフィスタワー26階 ☎06(6356)4500(代 表)

名古屋オフィス 〒460-0003 名古屋市中区錦2丁目4番3号 錦パークビル7階 ☎052(232)5601(代 表)

工場 大分県・日出町 / 茨城県・美浦村

研究開発センター 茨城県・つくば市(筑波テクノロジー・センター) / 神奈川県・厚木市(厚木テクノロジー・センター)

お問い合わせ先

日本 TI プロダクト・インフォメーション・センター (PIC) ————— FAX ☎ 0120-81-0036

URL: <http://www.tij.co.jp/pic/>

TMS320C645x DSP
エンハンスト DMA
(EDMA3) コントローラ
ユーザーズ・ガイド

第 1 版 2007 年 6 月

発行所 **日本テキサス・インスツルメンツ株式会社**
〒160-8366
東京都新宿区西新宿 6-24-1 (西新宿三井ビルディング)

