参考資料

Errata

F29H85x、F29P58x、および F29P32x リアルタイム MCU シリコン エラッタ (シリコン リビジョン B、A、0)

TEXAS INSTRUMENTS

概要

この文書では、機能仕様に対する既知の例外 (アドバイザリ) について説明します。本文書には、使用上の注意事項も記載されています。使用上の注意は、デバイスの動作が推定または文書化された動作と一致しない可能性がある状況を示しています。これには、デバイスの性能や機能の正確さに影響を与える動作が含まれる場合があります。

目次

1 使用上の注意およびアドバイザリ マトリックス....2
1.1 使用上の注意マトリックス....2
1.2 アドバイザリ マトリックス....2
2 命名法、パッケージのマーキングとリビジョンの識別....3
2.1 デバイスおよび開発ツールの命名規則....3
2.2 サポート対象デバイス....3
2.3 パッケージの記号表記およびリビジョンの識別....4
3 シリコン リビジョン B の使用上の注意とアドバイザリ....6
3.1 シリコン リビジョン B の使用上の注記....6
3.2 シリコン リビジョン B のアドバイザリ....6
4 シリコン リビジョン A の使用上の注意とアドバイザリ....22
4.1 シリコン リビジョン A の使用上の注記....22
4.2 シリコン リビジョン A のアドバイザリ....22
5 シリコン リビジョン 0 の使用上の注意とアドバイザリ....28
5.1 シリコン リビジョン 0 の使用上の注記....28
5.2 シリコン リビジョン 0 のアドバイザリ....28
6 ドキュメントのサポート....30
7 商標....30
8 改訂履歴....30

図の一覧

図 2-1. ZEX パッケージのパッケージ マーキング....4
図 2-2. PTS パッケージのパッケージ マーキング....4
図 2-3. RFS パッケージのパッケージ マーキング....4
図 2-4. PZS パッケージのパッケージ マーキング....5
図 3-1. 望ましくないトリップ イベントとブランキング ウィンドウの期限切れ....8
図 3-2. 結果として望ましくない ePWM 出力が発生する可能性があります....8
図 3-3. 同期 ISR ロード方式の例....12
図 3-4. 誤った電源投入シーケンスによりリセットがスタックします....19
図 3-5. リセット解除による正しい電源投入シーケンス....19

表の一覧

表 1-1. 使用上の注意マトリックス....2
表 1-2. アドバイザリ マトリックス....2
表 2-1. リビジョンの識別....5
表 5-1. クロック ソースのオプション....29

Copyright © 2026 Texas Instruments Incorporated

1 使用上の注意およびアドバイザリ マトリックス

表 1-1 に、すべての使用上の注意と、該当するシリコンのリビジョンを示します。表 1-2 にすべてのアドバイザリ、影響を受けるモジュール、および適用可能なシリコン リビジョンを一覧表示します。

1.1 使用上の注意マトリックス

表 1-1. 使用上の注意マトリックス

番号	タイトル	影響を受けるシリコンのリビジョン		
		0	A	B
セクション 4.1.1	セキュリティ:シリコン リビジョン B デバイスにプログラムされた新しい TI キー	あり	あり	なし

1.2 アドバイザリ マトリックス

表 1-2. アドバイザリ マトリックス

モジュール	説明	影響を受けるシリコンのリビジョン		
		0	A	B
ADC	ADC:INTxCONT (割り込み継続モード) が設定されていない場合、割り込みは停止する可能性があります	あり	あり	あり
MCAN	同じメッセージ ID で設定された専用 Tx バッファから送信する場合のメッセージ順序の反転	あり	あり	あり
ePWM	ePWM: ePWM グリッチは、ブランキング ウィンドウの終了時にトリップがアクティブのままの場合、発生する可能性があります	あり	あり	あり
ePWM	ePWM: PERCLKDIVSEL.EPWMCLKDIV = 1 の場合、ePWM TZFRC および TZCLR イベントが失われる場合があります	あり	あり	あり
ePWM	ePWM: トリップ ゾーン用の ESM ソースはサポートされていません	あり	あり	あり
ePWM	ePWM: ePWM ワンショット / CBC トリップ イベント DCxEVTy.force はトリップ条件を設定しません	あり	あり	あり
ePWM	ePWM: ワンショット ロード モードでグローバル ロードを使用する ePWM の場合、GLDCTL2.OSHTLD レジスタへの書き込みが、グローバル ロード イベントの 3 TBCLK 以内に発生すると、レジスタのグローバル ロードが遅延する場合があります	あり	あり	あり
フラッシュ	フラッシュ:フラッシュ プリフェッチが有効化された状態でのスタンドアロンの CPU1 / CPU3 リセットにより、NMI が CPU1 / CPU3 に発生する可能性があります	あり	あり	なし
FOTA	FOTA:暗号化を使用したセキュア FOTA が機能しません	あり	あり	なし
HRPWM	HRPWM:HRPWM 高分解能周期のシャドウからアクティブへのローディングは、期間中にシャドウからアクティブへのロードが同期時にのみロードに設定されていても、ゼロ イベントごとに発生します	あり	あり	あり
HSM	HSM:HSM ROM コードが 191KB を超えるサイズの HSMRT 画像をブートしません	あり	あり	なし
LIN	LIN:LIN は 0xF0 ウェークアップ キーを使用してウェーク アップできません	あり	あり	あり
MCD	MCD:PLL が有効 (PLLCLKEN = 1) のとき、クロック消失検出を無効化	あり	あり	あり
MEMSS	MEMSS:RAM 用のデータ ライン バッファ (DLB) は、データ コヒーレンシー (一貫性) の問題を引き起こします	あり	あり	あり
ROM	ROM:デフォルトでは、GPIO4 は ROM コードによって ERRORSTS として構成され、High に駆動されます	あり	なし	なし
SDFM	SDFM:スレッショルド設定 (LLT、HLT)、フィルタ タイプ、COSR 設定を動的に変更すると、スプリアス コンパレータ イベントがトリガされます	あり	あり	あり
SDFM	SDFM:データ フィルタ設定 (フィルタ タイプや DOSR など) を動的に変更すると、誤ったデータ確認イベントがトリガされます	あり	あり	あり
SDFM	SDFM:SD 変調器の 3 クロック サイクル以内に SDCPARMx レジスタのビット フィールド CEVT1SEL、CEVT2SEL、および HZEN に連続して 2 回書き込みを行うと、SDFM ステート マシンが破損し、誤ったコンパレータ イベントが発生する可能性があります	あり	あり	あり
C29 CPU サブシステム	C29 CPU サブシステム:HS-FS デバイス用の C29 CPU サブシステムでトリガされない DTHE 割り込みと DMA イベント	あり	あり	なし
システム	システム:VDDIO よりも前に VDD 電圧が上昇すると、デバイス リセットがアサートされたままになります	あり	あり	あり
システム	システム:CPU が障害状態に移行した後、パイプラインの整列不良読み出しが保留され、NMI ベクタのフェッチが防止されます	あり	あり	なし
システム	システム:リセットにより、CPU が BOOTROM NMI ハンドラでスタックします	あり	あり	なし
システム	システム:SYSCLKDIVSEL.PLLSYSCLKDIV = 0 の場合、デバイス リセット (XRSn) を発行すると、予期しないフォルトが発生する可能性があります	あり	あり	あり
UART	UART:連続デバッガ読み取りで、UART FIFO がクリアされます	あり	あり	あり
VSSOSC	VSSOSC:隣接するピン X1 または X2 からの結合は適切なブートを防止する場合があります	あり	なし	なし

Copyright © 2026 Texas Instruments Incorporated

2 命名法、パッケージのマーキングとリビジョンの識別

2.1 デバイスおよび開発ツールの命名規則

テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (TMDX) から、完全認定済みの量産ツール (TMDS) まであります。

デバイスの開発進展フロー：

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

P プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー：

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です」。

量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

2.2 サポート対象デバイス

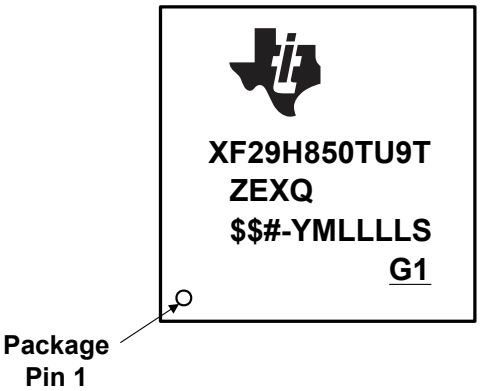
本文書は、以下のデバイスをサポートしています。

- F29H850TU
- F29H859TU-Q1
- F29H859TM-Q1
- F29H850DU
- F29H859DU-Q1
- F29H850DM
- F29H859DM-Q1
- F29P589DU-Q1
- F29P580DM
- F29P589DM-Q1
- F29P329SM-Q1

Copyright © 2026 Texas Instruments Incorporated

2.3 パッケージの記号表記およびリビジョンの識別

パッケージ マーキングを 図 2-1、図 2-2、図 2-3、および 図 2-4 に示します。表 2-1 に、シリコンのリビジョン コードを示します。

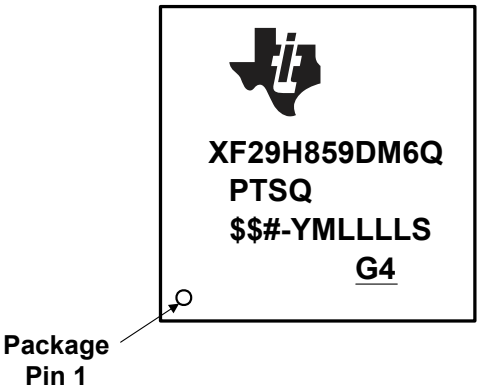


YMLLLLS = Lot Trace Code

$$ = Wafer Fab Code (one or two characters) as applicable
 # = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code

G1 = Green (Low Halogen and RoHS-compliant)

図 2-1. ZEX パッケージのパッケージ マーキング

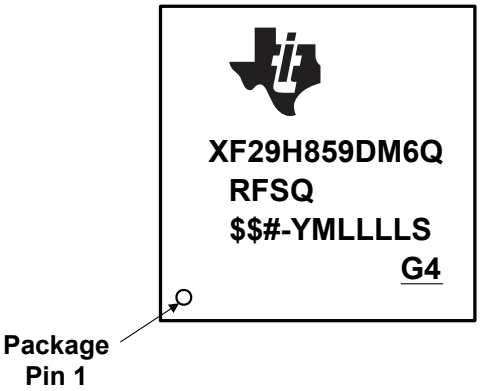


YMLLLLS = Lot Trace Code

$$ = Wafer Fab Code (one or two characters) as applicable
 # = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-2. PTS パッケージのパッケージ マーキング



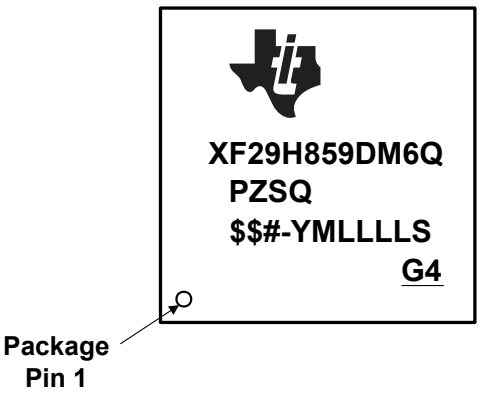
YMLLLLS = Lot Trace Code

$$ = Wafer Fab Code (one or two characters) as applicable
 # = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-3. RFS パッケージのパッケージ マーキング

Copyright © 2026 Texas Instruments Incorporated



YMLLLLS = Lot Trace Code

$$ = Wafer Fab Code (one or two characters) as applicable
 # = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code

G4 = Green (Low Halogen and RoHS-compliant)

図 2-4. PZS パッケージのパッケージ マーキング

表 2-1. リビジョンの識別

シリコンのリビジョン コード	シリコンのリビジョン	REVID[(1)] アドレス:0x3018 0028	備考[(2)]
空白	0	0x0000 0001	このシリコン リビジョンは量産開始前として供給されます。
A	A	該当なし[(3)]	このシリコン リビジョンは量産開始前として供給されます。
B	B	0x0000 0003	未定

(1) シリコンのリビジョン ID
(2) 注文可能なデバイス番号については、*F29H85x*、*F29P58x*、*および F29P32x リアルタイム マイクロコントローラ*のデータ シート のパッケージ情報表を参照してください。
(3) 「パッケージ記号化」図のシリコン リビジョン コードを参照してください。

Copyright © 2026 Texas Instruments Incorporated

3 シリコン リビジョン B の使用上の注意とアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

3.1 シリコン リビジョン B の使用上の注記

このセクションでは、シリコン リビジョン B およびそれ以前のシリコン リビジョンに適用されるすべての使用上の注意を一覧表示しています。

3.2 シリコン リビジョン B のアドバイザリ

このセクションでは、シリコン リビジョン B およびそれ以前のシリコン リビジョン に適用されるすべてのアドバイザリを一覧表示しています。

アドバイザリ ***ADC :INTxCONT (割り込み継続モード) が設定されていない場合、割り込みは停止する可能性があります***

影響を受けるリビジョン 0、A、B

詳細

ADCINTSELxNx[INTxCONT] = 0 の場合、ADCINTFLG が設定されると割り込みは停止し、追加の ADC 割り込みは発生しません。

ADCINTFLGCLR レジスタのソフトウェア書き込みとともに ADC 割り込みが同時に発生すると、ADCINTFLG が予期せず設定されたままになり、将来の ADC 割り込みをブロックします。

回避方法

1. ADCINTFLG が追加の ADC 割り込みをブロックしないように、Continue-to-Interrupt モードを使用します。

```
ADCINTSEL1N2[INT1CONT] = 1;
ADCINTSEL1N2[INT2CONT] = 1;
ADCINTSEL3N4[INT3CONT] = 1;
ADCINTSEL3N4[INT4CONT] = 1;
```

2. この状態を回避するために、次の ADC 割り込みが発生する前に、ADC ISR をサービスし、ADCINTFLG をクリアするのに十分な時間を常に確保してください。
3. ADCINTFLG をクリアするとき、ISR のオーバーフロー状態を確認します。ADCINTFLGCLR への書き込み直後に ADCINTOVF をチェックし、これが設定されている場合は、ADCINTFLGCLR をもう一度書き込んで ADCINTFLG がクリアされていることを確認します。ADCINTOVF レジスタが設定され、ADC 変換割り込みが失われたことを示します。

```
AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;        //clear INT1 flag
if(1 == AdcaRegs.ADCINTOVF.bit.ADCINT1)       //ADCINT overflow
{
    AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;    //clear INT1 again
// If the ADCINTOVF condition will be ignored by the application
// then clear the flag here by writing 1 to ADCINTOVFCLR.
// If there is a ADCINTOVF handling routine, then either insert
// that code and clear the ADCINTOVF flag here or do not clear
// the ADCINTOVF here so the external routine will detect the
// condition.
//    AdcaRegs.ADCINTOVFCLR.bit.ADCINT1 = 1;  // clear OVF
}
```


Copyright © 2026 Texas Instruments Incorporated

アドバイザリ	*同じメッセージ ID で設定された専用 Tx バッファから送信する場合のメッセージ順序の反転*
影響を受けるリビジョン	0、A、B
詳細	複数の Tx バッファが同じメッセージ ID で設定されます。これらの Tx バッファの送信は、個別の Tx 要求間に遅延を加えて、昇順に要求されます。個々の Tx 要求間の遅延によっては、Tx バッファは Tx バッファ番号の予想される昇順で送信されない場合があります。
回避方法	まず、同じメッセージ ID を持つ Tx メッセージのグループをメッセージ RAM に書き込みます。次に、**TXBAR** への単一の書き込みアクセスによって、これらすべてのメッセージの同時送信を要求します。 特定の順序で同じメッセージ ID を持つ複数のメッセージを送信するには、専用 Tx バッファの代わりに Tx FIFO を使用します。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ ***ePWM: ePWM グリッチは、ブランキング ウィンドウの終了時にトリップがアクティブのままの場合、発生する可能性があります***

影響を受けるリビジョン 0、A、B

詳細

ブランキング ウィンドウは通常、システムへの誤ったトリップを引き起こす可能性のある遷移中の PWM トリップ イベントをマスクするために使用されます。ブランキング ウィンドウ サイクルの終了後、3 未満の ePWM クロックの間 ePWM トリップ イベントがアクティブのまま維持されている場合、ePWM 出力に望ましくないグリッチが発生する可能性があります。

図 3-1 に、不要な EPWM 出力が発生する可能性のある時間を示します。

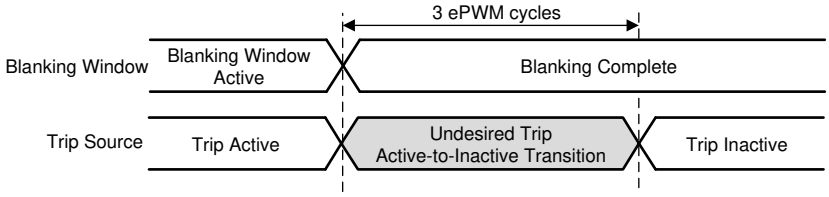


図 3-1. 望ましくないトリップ イベントとブランキング ウィンドウの期限切れ

図 3-2 に、ブランキング ウィンドウが閉じる前または 3 サイクル後にトリップイベントが 1 サイクル以内に終了した場合に可能性のある 2 つの ePWM 出力を示します。

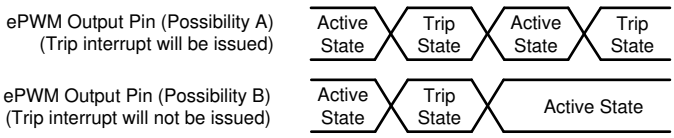


図 3-2. 結果として望ましくない ePWM 出力が発生する可能性があります

回避方法

ブランキング ウィンドウを延長または短縮して、不要なトリップ動作を回避します。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ ***ePWM: PERCLKDIVSEL.EPWMCLKDIV = 1 の場合、ePWM TZFRC および TZCLR イベントが失われる場合があります***

影響を受けるリビジョン 0、A、B

詳細

TZFRC ビットはソフトウェア強制トリップ イベントに使用され、TZCLR ビットはトリップ ゾーン イベントをクリアするために使用されます。EPWMCLKDIV を備えたデバイスでは、PERCLKDIVSEL.EPWMCLKDIV が 1 にプログラムされている場合、TZFRC および TZCLR 書き込みが失われ、出力に影響がない可能性があります。このビットはデフォルトで 1 にプログラムされています (EPWMCLK は PLLSYSCLK/2)。

回避方法

1. **EPWMCLK = PLLSYSCLK (PERCLKDIVSEL.EPWMCLKDIV = 0)** と設定します。
2. ユーザーが **EPWMCLK = PLLSYSCLK/2 (PERCLKDIVSEL.EPWMCLKDIV = 1)** を設定する必要がある場合は、次のドライバ ライブラリ ソフトウェア シーケンスを使用して、トリップに使用する EPWMXBAR の予約済み mux 入力の 1 つを選択します。

PWMXBAR → デジタル比較 → トリップ ゾーン

1. EPWMxA のデジタル比較出力 A イベントの 1 または 2 アクションと EPWMxB のデジタル比較出力 B イベントの 1 または 2 アクションの両方のトリップ ゾーン アクションを設定します。
   - EPWM_setTripZoneAction()
2. TRIPIN1-15 または TRIPIN1-15 の ORed 組み合わせロジックの入力信号を設定します。
   - EPWM_selectDigitalCompareTripInput()
3. DCAEVT1/2 と DCBEVT1/2 のデジタル比較条件を設定します。
   - EPWM_setTripZoneDigitalCompareEventCondition()
4. 予約済みになるように、デジタル比較サブモジュールへの PWMXBAR 入力を設定します。
   - XBAR_selectEpwmXbarInputSource()

アプリケーション コード

PWM をトリップするために、XBAR_invertOutputSignal() を使用して PWMXBAR の状態を反転できます。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ	***ePWM:** トリップ ゾーン用の **ESM** ソースはサポートされていません*
影響を受けるリビジョン	0、A、B
詳細	ESM から派生する ESM_GEN_EVENT は ePWM を適切にトリップしない可能性があるため、使用しないでください。 PWM のトリップには、以下のパスを使用しないでください。 ESM サブシステム (SYS ESM) → ESM_GEN_EVENT → PWM XBAR → ePWM デジタル比較 → ePWM トリップ ゾーン
回避方法	エラー ソースを使用して、対応する ESM CPU インスタンスから NMI 割り込みを生成します。NMI 割り込み内で、以下の Driverlib 機能を使用してソフトウェア書き込みを発行し、PWM 出力を強制的にトリップさせます。 EPWM_forceTripZoneEvent()

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ	***ePWM: ePWM ワンショット / CBC トリップ イベント DCxEVTy.force はトリップ条件を設定しません***
影響を受けるリビジョン	0、A、B
詳細	DCxEVTy.force 信号は、ワンショット トリップ イベントとサイクルバイサイクル トリップ イベントの入力として使用できます。DCxCTL[EVT1/2FRCSYNCSEL] = 1 に設定しても (非同期パス経由で DCxEVT 信号を渡します)、ワンショットまたはサイクルバイサイクルのトリップ イベント条件が適切に設定されず、トリップ イベントが検出されません。
回避方法	DCxCTL.EVT1/2FRCSYNCSEL と DCxCTL.EVT1/2LATSEL を備えたデバイスには、2 つの選択肢があります。それ以外の場合では、同期パスが、ワンショットまたはサイクルバイサイクルのトリップ イベントで使用できる唯一の選択肢となります。 非同期パス (非同期パスを介して DCxEVT 信号を渡します) 非同期パスを使用してワンショットまたはサイクルバイサイクルのトリップ条件をラッチするには、以下の設定を行う必要があります。 1. DCxCTL.EVT1/2FRCSYNCSEL = 1 2. DCxCTL.EVT1/2LATSEL = 1 同期パス (同期パスを経由して DCxEVT 信号を渡します) 1. DCxCTL.EVT1/2FRCSYNCSEL = 0

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ

***ePWM:** ワンショット ロード モードでグローバル ロードを使用する **ePWM** の場合、**GLDCTL2.OSHTLD** レジスタへの書き込みが、グローバル ロード イベントの **3 TBCLK** 以内に発生すると、レジスタのグローバル ロードが遅延する場合があります*

影響を受けるリビジョン

0、A、B

詳細

GLDCTL2.OSHTLD レジスタ ビットへの書き込みが、グローバル ロード イベント (GLDCTL.GLDMODE によって設定) の 3 TBCLK 以内に発生すると、レジスタのグローバル ロード (GLDCFG によって設定) が遅延し、意図しない波形が発生する可能性があります。

回避方法

この問題を回避するため、GLDCTL2.OSHTLD レジスタ ビットへの書き込みは、設定されたグローバル ロード イベントの少なくとも 3 TBCLK サイクル前である必要があります。

回避策 **1** (推奨):PWM への同期 ISR

1. 既知のイベント トリガ割り込みイベント (つまり、CMPC、CMPD イベントなど) に対して ISR を生成します。
2. グローバル ロード イベントと ISR が GLDCTL2.OSHTLD に書き込む際の間に、少なくとも 3 TBCTR サイクルが維持されるようにしてください。
   a. OSHTLD ビットに書き込む場合、割り込みを無効にして、これが無割り込みのコードであることを確認します。

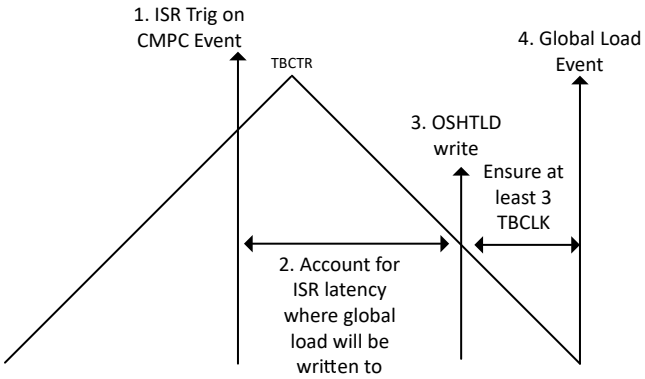


図 3-3. 同期 ISR ロード方式の例

回避方法 **2**:PWM レジスタへの非同期更新

1. GLDCTL2.OSHTLD レジスタに書き込む前に、グローバル ロードが有効化されている PWM インスタンスの TBCTR から読み出します。
2. グローバル ロード イベントと GLDCTL2.OSHTLD への書き込みの間に、少なくとも 3 サイクルが保持されるようにします。
   a. 割り込みを無効にすることで、TBCTR からのコードの読み出しと OSHTLD ビットへの書き込みが割り込み不可能なコードであることを確認します。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ

HRPWM :HRPWM 高分解能周期のシャドウからアクティブへのローディングは、期間中にシャドウからアクティブへのロードが同期時にのみロードに設定されていても、ゼロ イベントごとに発生します

影響を受けるリビジョン

0、A、B

詳細

高分解能周期が有効化されており (HRPCTL[HRPE]= 1)、かつ同期イベント時にロードするようにシャドウからアクティブへのローディングが設定されている場合 (TBCTL2[PRDLDSYNC] = 0x1 または 0x2)、同期イベント時ではなく、ゼロ イベントごとにロードが発生します。

回避方法

高分解能周期を使用する場合、同期イベントは無視され、シャドウからアクティブへのローディングはゼロ イベントごとに発生します。

高分解能周期が無効化されている場合、同期イベントは無視されず、同期イベント時にシャドウからアクティブへのロードが行われます。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ	***LIN :LIN は 0xF0 ウェークアップ キーを使用してウェーク アップできません***
影響を受けるリビジョン	0、A、B
詳細	この問題は、LIN をコマンダとして使用する場合にのみ該当します。LIN がウェークアップ キーとして 0xF0 を送信しようとすると、内部ステート マシンがスタックして回復せず、以後の転送はブロックされます。
回避方法	0xF0 ウェークアップ信号の代わりに未使用の LIN ヘッダを送信します。予約済み識別子 0x3E またはその他の未使用識別子を使用できます。ヘッダ内のブレーク フィールドは、他の LIN ノードに対する有効な LIN ウェークアップ コマンドとして機能し、内部 LIN POWERDOWN ビットを無効化します。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ	***MCD :PLL が有効 (PLLCLKEN = 1) のとき、クロック消失検出を無効化***
影響を受けるリビジョン	0、A、B
詳細	PLL には、入力 OSCCLK が存在しない場合でも低速の PLLRAWCLK 出力を提供するリンプモード機能があります。独立して、Missing Clock Detect (MCD) 回路は、OSCCLK 入力の欠落が検出されると、システム クロック ソースを強制的に INTOSC1 に切り替えます。これらのシステム クロック ソースを切り替える MCD マルチプレクサは、両方のクロック ソース (PLLRAWCLK と INTOSC1) がアクティブな場合、グリッチがないことが保証されません。まれに、クロックの欠落障害イベント中に予期しないデバイス動作が発生する可能性があります。
回避方法	システムで PLL が使用されている場合 (PLLCLKEN = 1)、MCDCR.MCLKOFF = 1 を書き込んで MCD を無効にします。 デュアル クロック コンパレータ (DCC) 回路は、クロック イベントの欠落により SYSCLK 周波数が目的の周波数から外れてリンプ モードに低下したかどうかを迅速に検出するように構成できます。 システムが PLL バイパス モード (PLLCLKEN = 0) で動作している場合でも、MCD 回路を使用して欠落したクロック イベントを検出し、クロック ソースを INTOSC1 に切り替えることができます。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ	***MEMSS :RAM 用のデータ ライン バッファ (DLB) は、データ コヒーレンシー (一貫性) の問題を引き起こします***
影響を受けるリビジョン	0、A、B
詳細	データ ライン バッファ (DLB) を有効化し (デフォルトで)、2 つの CPU が同じ RAM アドレス位置に対して同時に読み取り、書き込み動作を実行する場合、読み取り動作では、特定の条件において新しいデータの代わりに古いデータを受信することがあります。
回避方法	複数の CPU で RAM ブロックが共有されている場合、ユーザーは MEM_DLB_CONFIG レジスタの構成ビットを使用して DLB を無効化する必要があります。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ ***SDFM :スレッショルド設定 (LLT、HLT)、フィルタ タイプ、COSR 設定を動的に変更すると、スプリアス コンパレータ イベントがトリガされます***

影響を受けるリビジョン 0、A、B

詳細

SDFM コンパレータ設定 (フィルタ タイプ、下限/上限スレッショルド、コンパレータ OSR (COSR) 設定など) が実行中に動的に変更されると、誤ったコンパレータ イベントがトリガされてしまいます。スプリアス コンパレータ イベントは、適切に設定されている場合、対応する CPU 割り込み、ePWM X-BAR イベント、GPIO 出力 X-BAR イベントをトリガします。

回避方法

コンパレータ設定を動的に変更する必要がある場合は、以下の手順に従って、誤ったコンパレータ イベントによって CPU 割り込み、または X-BAR イベント (ePWM X-BAR / GPIO 出力 X-BAR イベント) が生成されないようにしてください。

1. コンパレータ フィルタを無効にします。
2. コンパレータ フィルタの少なくともレイテンシ + 3 SD-Cx クロックサイクルの遅延。
3. フィルタ タイプ、COSR、下限/上限スレッショルドなどのコンパレータ フィルタ設定を変更します。
4. コンパレータ フィルタの少なくともレイテンシ + 5 SD-Cx クロックサイクルの遅延。
5. コンパレータ フィルタを有効にします。

アドバイザリ ***SDFM :データ フィルタ設定 (フィルタ タイプや DOSR など) を動的に変更すると、誤ったデータ確認イベントがトリガされます***

影響を受けるリビジョン 0、A、B

詳細

実行時に SDFM データ設定 (フィルタ タイプや DOSR 設定など) が動的に変更されると、誤ったデータ フィルタ準備完了イベントがトリガされます。スプリアス データ準備完了イベントは、適切に構成されている場合、対応する CPU 割り込みおよび DMA トリガをトリガします。

回避方法

SDFM データ フィルタ設定を動的に変更する必要がある場合は、以下の手順に従って、スプリアス データ フィルタ準備完了イベントが生成されないようにします。

1. データフィルタを無効にします。
2. データフィルタの少なくともレイテンシー + 3 SD-Cx クロック サイクルの遅延。
3. フィルタ タイプや DOSR などのデータ フィルタ設定を変更します。
4. データフィルタの少なくともレイテンシー + 5 SD-Cx クロック サイクルの遅延。
5. データ フィルタを有効にします。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ

SDFM :SD 変調器の 3 クロック サイクル以内に SDCPARMx レジスタのビット フィールド CEVT1SEL、CEVT2SEL、および HZEN に連続して 2 回書き込みを行うと、SDFM ステート マシンが破損し、誤ったコンパレータ イベントが発生する可能性があります

影響を受けるリビジョン

0、A、B

詳細

3 つの SD モジュレータ クロック サイクル内で SDCPARMx レジスタ ビット フィールド CEVT1SEL、CEVT2SEL、および HZEN に連続書き込みをすると、SDFM ステート マシンが破損する可能性があり、誤ったコンパレータ イベントが発生する可能性があります。これにより、適切に構成されている場合は、CPU 割り込み、ePWM XBAR イベント、および GPIO 出力 X-BAR イベントがトリガされる可能性があります。

回避方法

3 つの SD モジュレータ クロック サイクル内での連続書き込みを避けるか、SDCPARMx レジスタ ビット フィールドを 1 回のレジスタ書き込みで構成します。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ *システム:VDDIO よりも前に VDD 電圧が上昇すると、デバイス リセットがアサートされたままになります*

影響を受けるリビジョン 0、A、B

詳細

VDD 電源電圧が VDDIO 電源より前または同時に上昇すると、デバイスの XRSn リセット信号は Low (reset アサート) 状態に維持されます。その結果、デバイスは起動に失敗します。

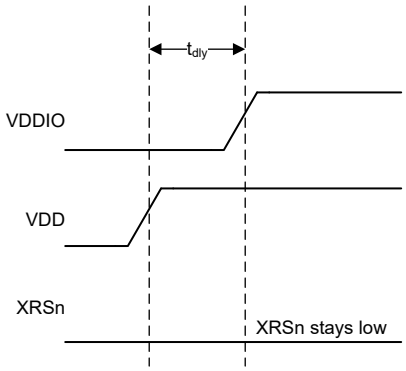


図 3-4. 誤った電源投入シーケンスによりリセットがスタックします

回避方法

VDD 電源電圧を上昇させる前に、VDDIO 電源が少なくとも 1ms 以上完全に上昇していることを確認してください。

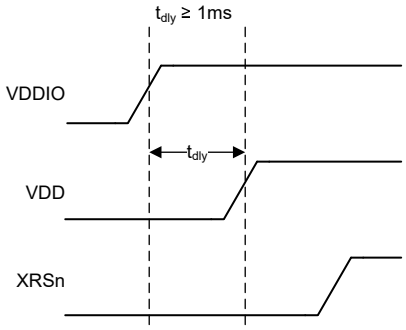


図 3-5. リセット解除による正しい電源投入シーケンス

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ

システム:SYSCLKDIVSEL.PLLSYSCLKDIV = 0 の場合、デバイス リセット (XRSn) を発行すると、予期しないフォルトが発生する可能性があります

影響を受けるリビジョン

0、A、B

詳細

デバイス リセット (XRSn — 内部または外部) を発行すると、SYSCLKDIVSEL.PLLSYSCLKDIV = 0 (1 分周) のとき、デバイスが予期しないフォルト状態になる可能性があります。

回避方法

SYSCLKDIVSEL.PLLSYSCLKDIV = 0 (1 分周) を使用しないでください。代わりに、SYSCLKDIVSEL.PLLSYSCLKDIV = 1 (2 分周) 以上を使用してください。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ	***UART :連続デバッガ読み取りで、UART FIFO がクリアされます***
影響を受けるリビジョン	0、A、B
詳細	UART IP は、デバッガと CPU の読み取りを同じ方法で処理します。その結果、CCS から UART_DR レジスタを連続的に読み取ると、コードが実際に読み取る前に FIFO はクリアされます。
回避方法	UART データ転送中は、メモリ ブラウザを開いたままにしないでください。

Copyright © 2026 Texas Instruments Incorporated

4 シリコン リビジョン A の使用上の注意とアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

4.1 シリコン リビジョン A の使用上の注記

シリコン リビジョンに適用される使用上の注意が、新しいシリコン リビジョンで見つかりました。詳細については、シリコン リビジョン B の使用上の注意を参照してください。

4.1.1 セキュリティ:シリコン リビジョン B デバイスにプログラムされた新しい TI キー

影響を受けるリビジョン:0, A

シリコン リビジョン B ユニットに新しい FEK (ファイル暗号化キー) 値がプログラムされています。お客様はキーを変更し、OTP KW バージョンと TIFS (TI Foundational Security) パッケージ 1.2.1 を使用する必要があります。シリコン リビジョン B ユニットは、記載するパッケージのバージョンでのみ動作します。

4.2 シリコン リビジョン A のアドバイザリ

シリコン リビジョンに適用されるアドバイザリが、新しいシリコン リビジョンで見つかりました。詳細については、シリコン リビジョン B のアドバイザリを参照してください。

アドバイザリ	***フラッシュ:フラッシュ プリフェッチが有効化された状態でのスタンドアロンの CPU1 / CPU3 リセットにより、NMI が CPU1 / CPU3 に発生する可能性があります***
影響を受けるリビジョン	0, A
詳細	フラッシュのプリフェッチが有効化されている場合、CPU1 または CPU3 に対して発行されたスタンドアロン リセット (たとえば、CCS からのデバッグ リセット) により、訂正不可能な ECC エラーが原因で、CPU に NMI が発生する可能性があります。以下に、スタンドアロンの CPU リセットのソースを示します。 CPU1: 1. デバッグ リセット 2. HSM → CPU1.RSn CPU3: 1. デバッグ リセット 2. HSM → CPU3.RSn 3. CPU3 WD リセット 4. CPU3 NMIWD リセット 5. SSU_CPU3_CFG_REGS → CPU_RST_CTRL.SW_SYSRSN
回避方法	CPU に対してスタンドアロン リセットを発行する前に、フラッシュのプリフェッチ (FRIx_INTF_CTRL.PREFETCH_EN = 0) を無効にします。 CPU1 → FRI1_INTF_CTRL.PREFETCH_EN = 0 CPU3 → FRI3_INTF_CTRL.PREFETCH_EN = 0 ゾーン 1 が有効化されている場合、FRIx_INTF_CTRL.PREFETCH_EN は CPU1.LINK2 および CPU1 / 3 デバッガから書き込むことができます。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ	***FOTA :暗号化を使用したセキュア FOTA が機能しません***
影響を受けるリビジョン	0, A
詳細	ブート シーケンスにバグがあると、Firmware-Over-The-Air (FOTA) イメージへの暗号化とキー派生が適用されなくなります。
回避方法	なし。これは、シリコン リビジョン B で固定されています。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ	***HSM :HSM ROM コードが 191KB を超えるサイズの HSMRT 画像をブートしません***
影響を受けるリビジョン	0, A
詳細	ハードウェア セキュリティ モジュール (HSM) ROM は、フラッシュ ブート モードで 191KB より大きいサイズの HSMRT 画像をブートしません。
回避方法	HSMRT 画像のサイズは 191KB 未満にしてください。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ	***C29 CPU サブシステム:HS-FS デバイス用の C29 CPU サブシステムでトリガされない DTHE 割り込みと DMA イベント***
影響を受けるリビジョン	0, A

詳細

高セキュリティ、フィールドでのセキュア化可能 (HS-FS) デバイスのライフサイクル状態では、ブート証明書拡張オプションを使用して暗号化エンジンを C29 CPU サブシステムに自動的に割り当てることができます。このオプションを証明書で設定すると、エンジンは C29 CPU にマッピングされますが、対応する割り込み信号と DMA イベントは C29 CPU にルーティングされないため、C29 アプリケーションの実行時にはトリガされません。

回避方法

暗号化アクセラレータ エンジンによって生成されたイベントを検出するには、それぞれの割り込みまたは DMA ステータス レジスタをポーリングします。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ	***システム:CPU が障害状態に移行した後、パイプラインの整列不良読み出しが保留され、NMI ベクタのフェッチが防止されます***
影響を受けるリビジョン	0, A
詳細	読み取りの不一致によって 3 つ以上の連続した C29 CPU 障害が発生すると、NMI ハンドラは実行できません。CPU パイプラインに 2 つ以上の障害がある場合、CPU は期待どおりに NMI ベクタをフェッチしません。
回避方法	ERAD-SEC カウンタを使用します。 1. EPWMXBAR への入力として ESM_GEN_EVENT を選択します。 2. ERAD-SEC1 カウンタをスタート-ストップ モードに設定します。スタート イベントを EPWMXBAR イベントとして、ストップ イベントを SEC1 イベント自体として設定します。このカウンタは SYSCLK サイクルをカウントします。 3. ERAD-SEC リファレンス レジスタを構成して、一致イベントを生成し、50 カウントで NMI (SEC_CNTL レジスタの INT_EN ビットと NMI_EN ビット) をトリガします。 4. ESM CPU1 を構成して、ERAD_CPU1_NMI イベントで NMI を生成します。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ ***システム:リセットにより、CPU が BOOTROM NMI ハンドラでスタックします***

影響を受けるリビジョン 0, A

詳細

F29P32x デバイスでは ADCE が存在しませんが、BOOTROM コードが ADCE レジスタにアクセスするため、CPU はアクセス フォルトを起こし、BOOTROM NMI ハンドラでスタックします。これにより、フラッシュのプログラミング エラーなどの問題が発生する可能性があります。

回避方法

- この問題はパワーアップ時には発生しないため、ユーザーは CCS のフラッシュ設定内にある「Reset target before flash programming/operations」(フラッシュのプログラミング / 操作前にターゲットをリセットする) オプションのチェックを外す必要があります。
- デバイスのリセットを回避するため、アプリケーション内で WD を無効化してください。また、アプリケーションからリセットを発行しないでください。
- デバイスをリセットする必要がある場合は、パワー サイクルしてください。

Copyright © 2026 Texas Instruments Incorporated

5 シリコン リビジョン 0 の使用上の注意とアドバイザリ

このセクションには、このシリコン リビジョンの使用上の注意およびアドバイザリが記載されています。

5.1 シリコン リビジョン 0 の使用上の注記

シリコン リビジョンに適用される使用上の注意が、新しいシリコン リビジョンで見つかりました。詳細については、シリコン リビジョン B の使用上の注意を参照してください。

5.2 シリコン リビジョン 0 のアドバイザリ

シリコン リビジョンに適用されるアドバイザリが、新しいシリコン リビジョンで見つかりました。詳細については、シリコンのリビジョン A のアドバイザリとシリコンのリビジョン B のアドバイザリを参照してください。

アドバイザリ ***ROM：デフォルトでは、GPIO4 は ROM コードによって ERRORSTS として構成され、High に駆動されます***

影響を受けるリビジョン 0

詳細

ROM コードは、SECCFG フィールドの設定に基づいて、デバイス リセット (XRSn) 後の ERRORSTS 機能用の GPIO ピンを構成します。デフォルトでは、ROM コードは GPIO4 ピンを ERRORSTS ピンとして設定します。ERRORSTS (GPIO4) ピンはエラー通知モジュール (ESM) によって制御され、デフォルトで High に駆動されます (エラーなし)。GPIO4 ピンを使って重要なシステム機能を駆動すると、この High 状態によって基板の問題が発生する可能性があります。たとえば、EPWM3_A 機能に GPIO4 が使用される場合、ハイパワー FET が誤ってオンになり、ボードが損傷する可能性があります。

回避方法

1. 基板上の重要なシステム機能 (ハイパワー FET の駆動など) に GPIO4 を使用しないようにしてください。
2. 重要なシステム機能のために GPIO4 を使用する必要がある場合は、SECCFG フィールドを適切に設定して、ERRORSTS については別の GPIO を選択します。ERRORSTS pinmux オプションの変更方法については、SDK の empty_driverlib_project_secure サンプルを参照してください。

   ROM コードは、デバイス リセット (XRSn) 時にのみ ERRORSTS 機能用に GPIO ピンを設定しますが、デバッガ リセットによっても ERRORSTS ピンマルチプレクサ構成はクリアされるため、ユーザーは ERRORSTS の ROM コード構成を再実行するために完全なデバイス リセット (XRSn) を発行する必要があります。

Copyright © 2026 Texas Instruments Incorporated

アドバイザリ ***VSSOSC：隣接するピン X1 または X2 からの結合により、適切なブートが防止される場合があります***

影響を受けるリビジョン 0

詳細

シリコン リビジョン 0 デバイスの場合、VSSOSC ノイズにより INTOSC2 グリッチが発生し、INTOSC2 がデバイスのクロックソースである場合にデバイスが障害状態になる可能性があります。INTOSC2 は、ブート、フラッシュ プログラミング、およびアプリケーションで構成されるその他の時点でデバイスへのプライマリ クロックとして使用されます。

隣接する X1 または X2 ピンの高速エッジレートにより、VSSOSC ピンにノイズが生じる可能性があるため、シリコン リビジョン 0 デバイスでは避ける必要があります。シリコン リビジョン 0 より後のデバイスにはこの感度がありません。

回避方法

シリコン リビジョン 0 デバイスでは、X1 ピンまたは X2 ピンで高速エッジを使用しないでください。たとえば、シングルエンド水晶振動子を使用して X1 を駆動しないでください。

表 5-1. クロック ソースのオプション

アプリケーション クロック ソース	シリコン リビジョン 0	シリコン リビジョン A	シリコン リビジョン B
X1–X2 水晶振動子	優先順位が高い	許容する	許容する
外部発振器からの X1 シングルエンド入力	回避する	許容する	許容する
INTOSC2	より広い INTOSC 周波数精度が許容可能な場合は許容されます		

Copyright © 2026 Texas Instruments Incorporated

6 ドキュメントのサポート

デバイス固有のデータシートおよび関連ドキュメントについては、TI の Web サイト https://www.ti.com をご覧ください。

F29H85x、F29P58x、F29P32x デバイスの詳細については、以下のドキュメントを参照してください。

- *F29H85x、F29P58x および F29P32x リアルタイム マイクロコントローラ* データ シート
- *F29H85x および F29P58x リアルタイム マイコン テクニカル リファレンス マニュアル*

7 商標

すべての商標は、それぞれの所有者に帰属します。

8 改訂履歴

Changes from SEPTEMBER 30, 2025 to MARCH 31, 2026 (from Revision B (September 2025) to Revision C (March 2026)) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新。 2
- LIN：0xF0 ウェークアップ キーを使用して LIN をウェークアップできませんアドバイザリを更新。 14
- アドバイザリを追加 — システム：SYSCLKDIVSEL.PLLSYSCLKDIV = 0 の場合、デバイス リセット (XRSn) を発行すると、予期しないフォルトが発生する可能性があります 20
- アドバイザリを追加 — システム：リセットにより、CPU が BOOTROM NMI ハンドラでスタックします 27

Copyright © 2026 Texas Instruments Incorporated

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月