

TI Designs: TIDA-01419

TPS53647を使用する Intel® Arria®10GX FPGA用の4相、150A リファレンス・デザイン



概要

このリファレンス・デザインでは、Intel® Arria®10 GX FPGA (Field-Programmable Gate Array)の駆動に適した、小型で高性能なマルチフェーズ・ソリューションについて、10AX115U145IVGバリエーションを中心に解説します。内蔵の PMBus™により、出力電圧を簡単に設定でき、主要な設計パラメータを遠隔で測定可能です。この設計により、プログラミング、構成、スマートVID調整、および電源の制御が可能になるとともに、入力と出力の電圧、電流、電力、温度を監視できます。TIの Fusion Digital Power™ Designer を使用して、FPGA電力設計のプログラミング、監視、検証、特性評価を行います。

リソース

TIDA-01419

デザイン・フォルダ

TPS53647

プロダクト・フォルダ

CSD95472Q5MC

プロダクト・フォルダ

Fusion Digital Power Designer

プロダクト・フォルダ



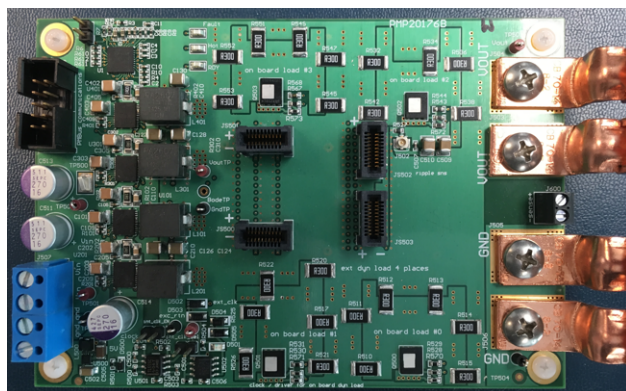
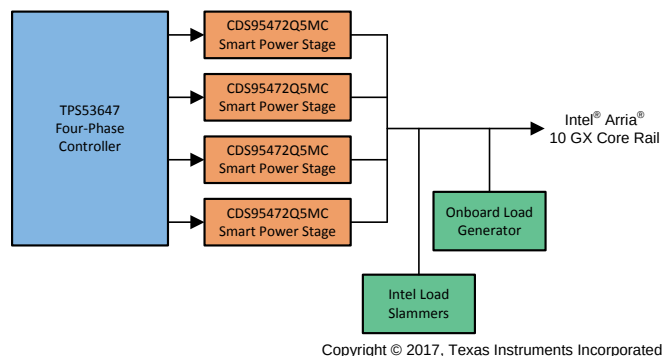
[E2Eエキスパートに質問](#)

特長

- すべての出力コンデンサはセラミック製
- D-CAP+™変調器による優れた電流共有能力と過渡応答
- 600kHzでピーク効率89% ($V_{OUT} = 0.8V$)および90% ($V_{OUT} = 0.9V$)
- 無気流の状況で非常に優れた熱特性
- 過電圧、過電流、過熱保護機能
- 出力電圧設定のPMBus互換性と、 V_{IN} 、 V_{OUT} 、 I_{OUT} 、温度の遠隔測定
- PMBusおよびピンストラッピングのプログラミング・オプション

アプリケーション

- FPGAのコア・レール電源
- イーサネット・スイッチ
- ファイアウォールとルーター
- テレコム・ベース・バンド装置
- 試験および測定機器



使用許可、知的財産、その他免責事項は、最終ページにあるIMPORTANT NOTICE(重要な注意事項)をご参照くださいますようお願いいたします。英語版のTI製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.comで閲覧でき、その内容が常に優先されます。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

1 System Description

The TIDA-01419 is a high-efficiency, power-dense design featuring a four-phase buck controller and TI's proprietary Smart Power Stages optimized for use in Intel® Arria® 10 GX FPGA core rail applications. These FPGAs are typically used in enterprise switching, telecom infrastructure, test and measurement, and cloud computing infrastructure environments with high utilization percentages that call for the high current and fast transient response that this design provides.

A 600-kHz switching frequency is used to minimize the size and number of output filter components while maintaining a thermal design current efficiency of 88.0%. The TPS53647 controller uses the D-CAP+™ multiphase modulator for fast transient response capabilities and tight regulation of the output voltage. The D-CAP+ modulator offers reliable current balancing between the four phases of the design that provides stability over a wide range of operating conditions and simple Type II compensation of the control loop. Additionally, the TPS53647 is compatible with TI's Smart Power Stages, like the CSD95472 used in this design, which offer optimized driver-FET solutions for high efficiency and integrated current-monitoring circuitry, that saves layout area and eliminates the requirement for external current sensing components.

Design modifications can be done in WEBENCH® Designer if a lower-power Altera 10 GX FPGA is used, or a different output capacitor mix is desired.

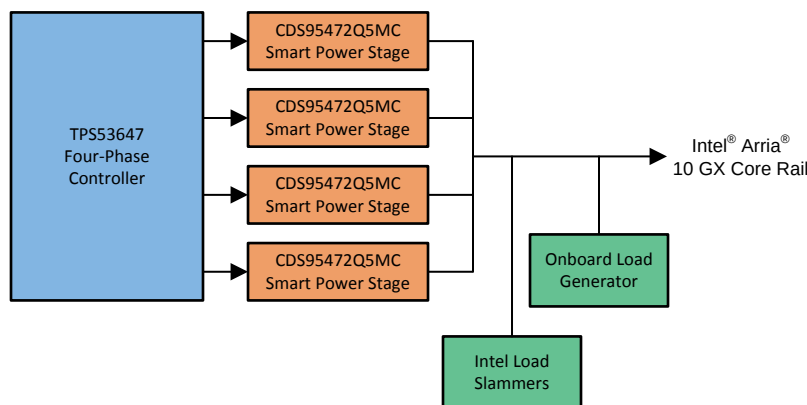
1.1 Key System Specifications

表 1. Key System Specifications

PARAMETER	SPECIFICATIONS
Input supply	12 V $\pm 5\%$
Nominal output voltage	0.9 V
DC regulation	<1.2%
DC ripple	2% max
AC ripple	$\pm 5\%$
Max output current	150 A
Typical output current	100 A
Max load step	75 A at 500 A/ μ s
Number of phases	4
Switching frequency	600 kHz

2 System Overview

2.1 Block Diagram



Copyright © 2017, Texas Instruments Incorporated

図 1. TIDA-01419 Block Diagram

2.2 Highlighted Products

2.2.1 TPS53647 – Four-Phase, D-CAP+™ Step-Down Buck Controller With NVM and PMBus™ Interface for ASIC Power and High-Current Point-of-Load

Features:

- 8-bit selectable boot voltage through pinstrap or non-volatile memory (NVM)
- One-, two-, three-, or four-phase operation
- 1.8-V or 3.3-V compatible PMBus™ system interface for fault monitoring and voltage, current, power, and temperature telemetry
- D-CAP+ modulator and eight independent levels of overshoot and undershoot reduction for excellent transient response
- Adjustable voltage positioning
- Dynamic phase shedding with programmable current threshold
- 6×6-mm, 40-pin, QFN PowerPAD™ integrated circuit package

2.2.2 CSD95472Q5MC – 60-A Synchronous Buck NexFET™ Smart Power Stage With DualCool™ Package

Features:

- 60-A continuous current capability
- Low power loss of 2.3 W at 30 A
- High-frequency operation up to 1.25 MHz
- 3.3-V and 5-V pulse-width modulation (PWM) compatible
- Temperature-compensated bidirectional current sense
- Analog temperature output
- Integrated bootstrap diode and optimized deadtime

- 5-mm × 6-mm SON, low inductance, DualCool™ packaging

3 Hardware, Software, and Test Setup

3.1 Required Hardware and Software

3.1.1 Hardware

- +12-V supply capable of 20 A
- +5-V supply capable of 1 A
- Function generator capable of pulses with < 1- μ s rise times (optional)
- Oscilloscope with differential and passive probes
- Digital multimeter
- Three 25-A Intel load mini slammers and associated control board[6] (optional)
- USB interface adapter EVM

The function generator must be used if the onboard clock generator is not used to drive the onboard load transient generator. Intel mini load slammers can be used in place of the entire onboard load circuitry if desired.

3.1.2 Software

This design uses TI's Digital Fusion Power Designer software.

3.2 Test Setup

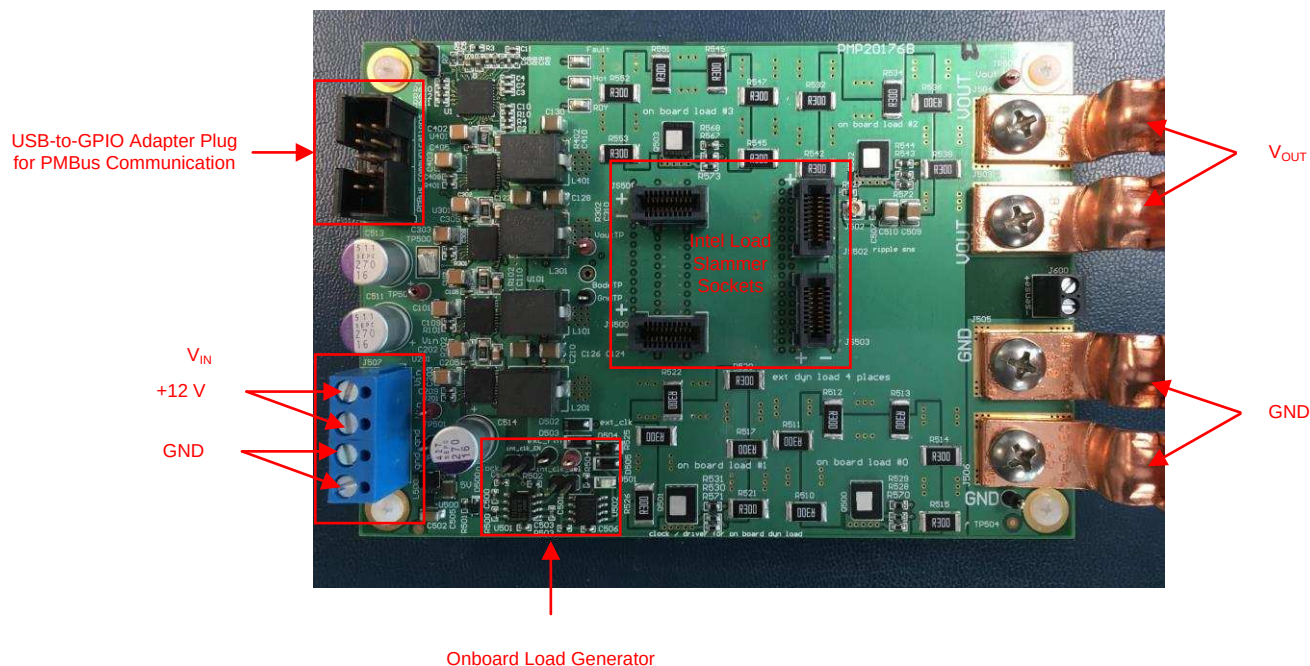


図 2. TIDA-01419 Test Setup

4 Test Results

4.1 Efficiency and Power Loss

Peak efficiencies of 89% ($V_{OUT} = 0.8\text{ V}$) and 90% ($V_{OUT} = 0.9\text{ V}$) were measured for this design. At the thermal design current (TDC) of 100 A, the efficiencies were 87% and 88% for 0.8 V and 0.9 V, respectively. When the load current was set to the maximum current of 150 A the efficiency was 83% for $V_{OUT} = 0.8\text{ V}$ and 84% for $V_{OUT} = 0.9\text{ V}$. The curves also include the losses associated with the 5-V power stage VDD rail.

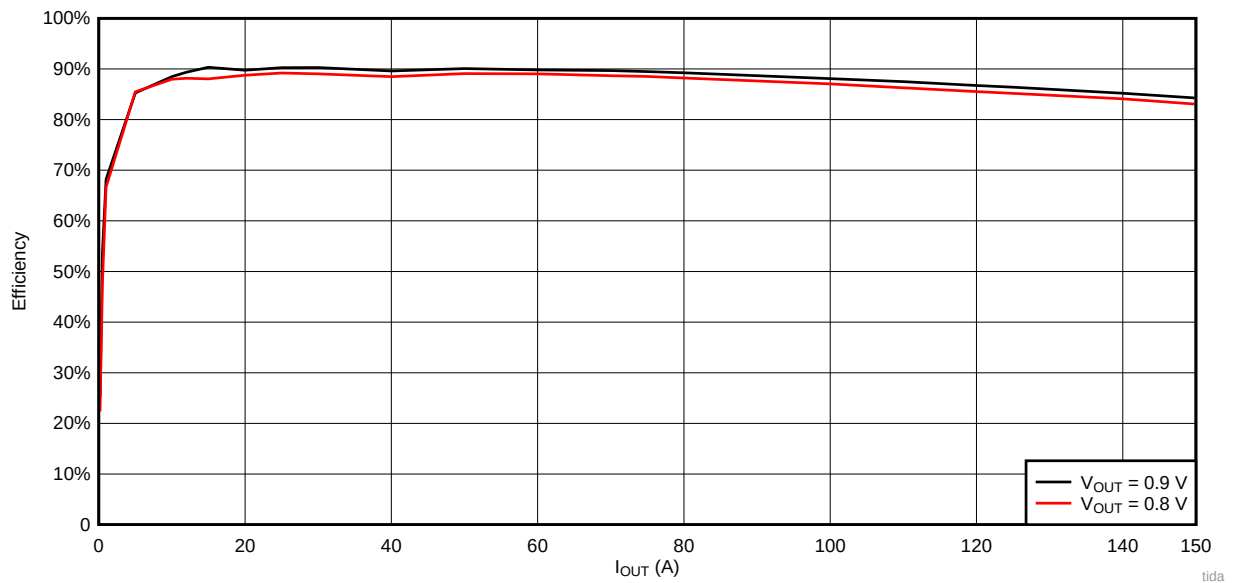


図 3. TIDA-01419 Efficiency Curves – $V_{IN} = 12\text{ V}$, 600 kHz

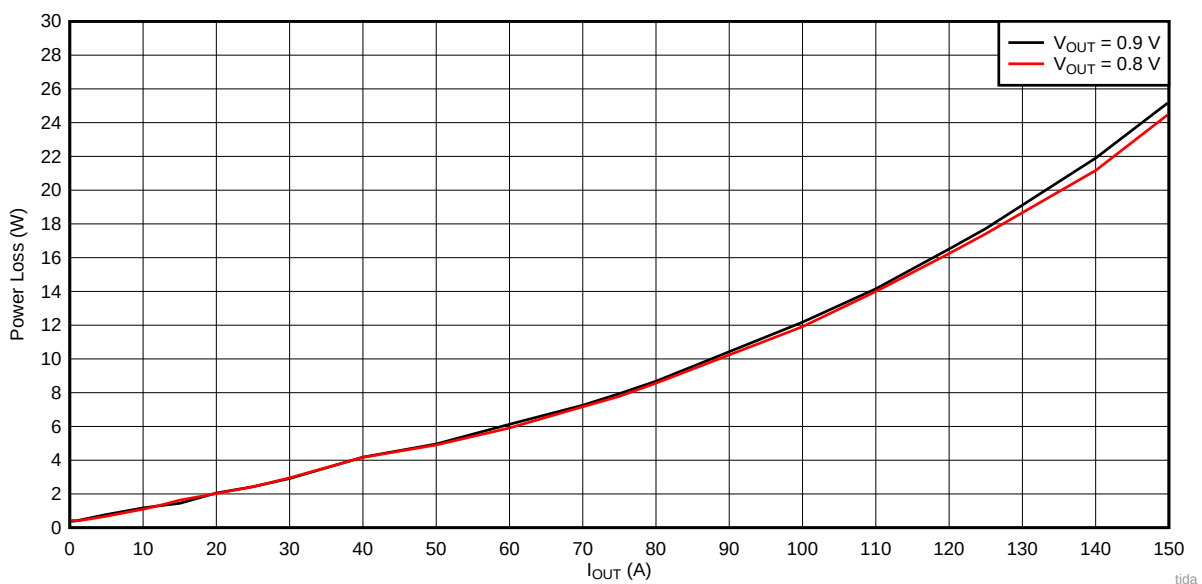


図 4. TIDA-01419 Power Loss Curves – $V_{IN} = 12\text{ V}$, 600 kHz

4.2 Steady-State Regulation

Steady-state stability, switching frequency, and DC ripple were tested at the 100-A TDC current for output voltages of 0.8 V and 0.9 V. No abnormalities were seen during testing. Care should be taken to ensure that the noise floor of the output voltage differential probe does not impact the results causing false failures in output ripple or stability. TI recommends to monitor a phase node as well to check against any possible questions regarding stability that may be attributed to a noisy differential probe. The design is likely stable if the switching frequency is consistent between phase pulses and varies within the TPS53647 datasheet limits.

Load regulation and the PMBus output voltage setting feature were also tested and found to comply with the specifications of the design. Note that the voltages steps in [Figure 6](#) are exaggerated to be easily seen through the Fusion Digital Power™ graphical user interface (GUI) monitoring software. The actual application keeps the output voltage between 0.8 V and 0.9 V.

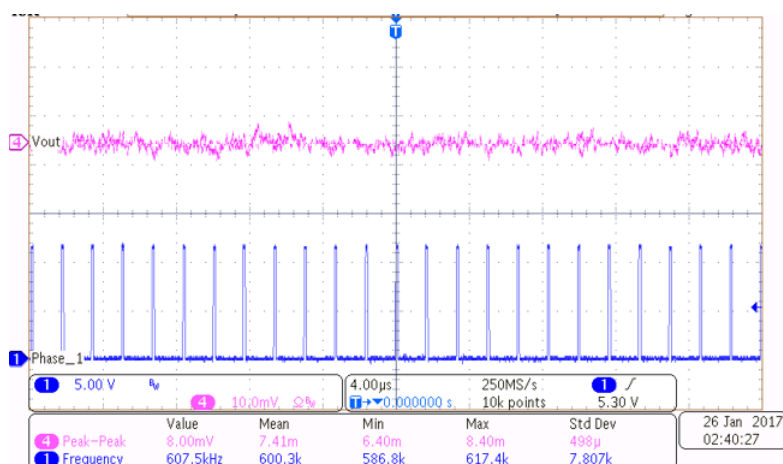


図 5. Steady State: 0.8 V, 100 A

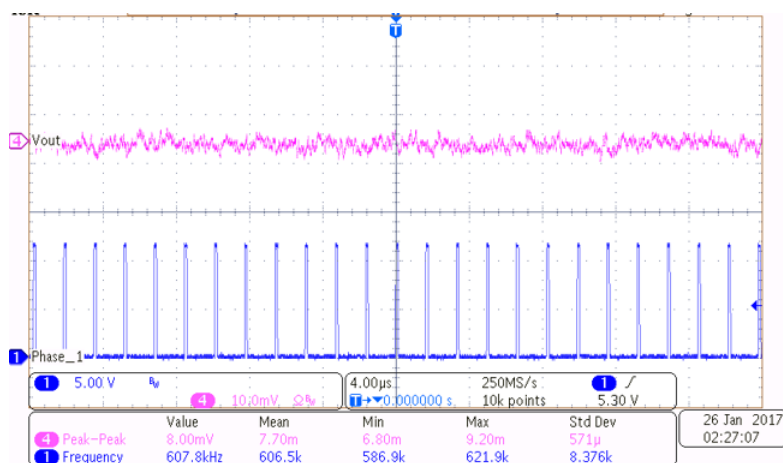


図 6. Steady State: 0.9 V, 100 A

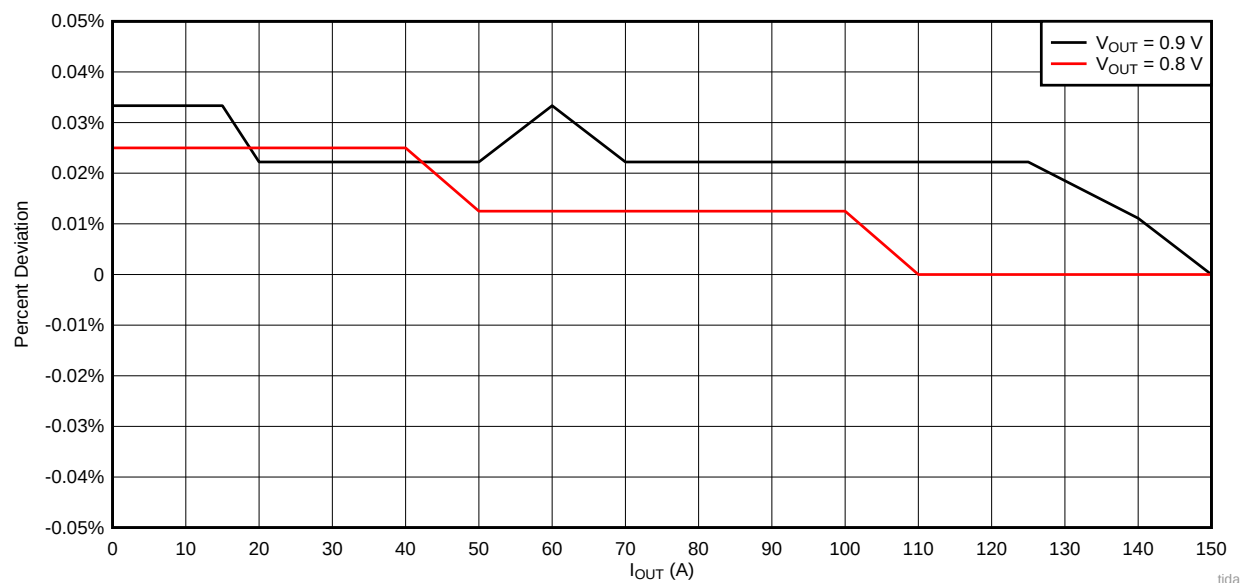


図 7. TPS53647 Load Regulation – V_{IN} = 12 V, 600 kHz

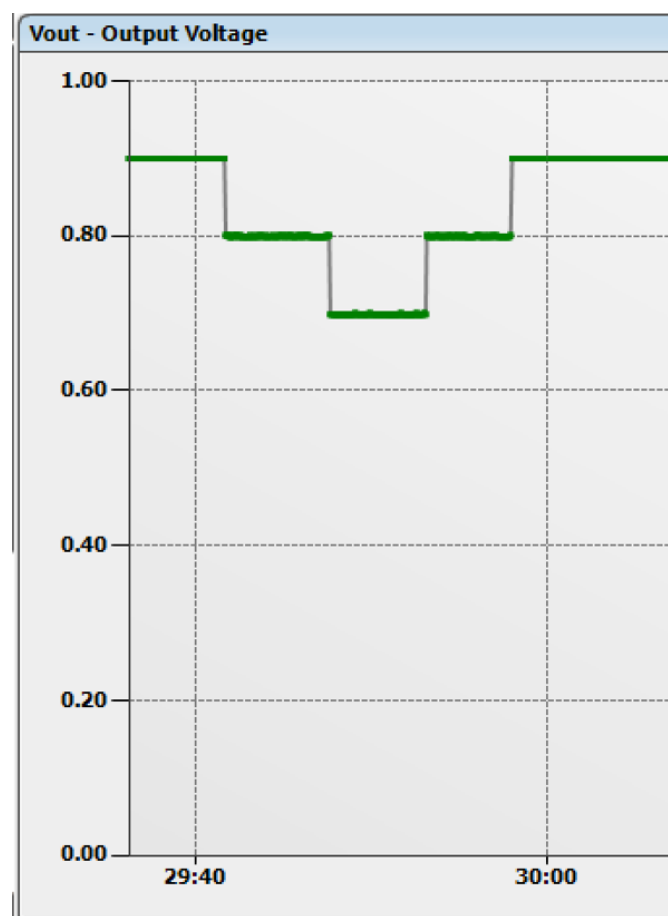


図 8. FPGA Core Smart VID Adjustment Using PMBus™ Commands

4.3 Thermal Performance

The design was placed under 25-A, 50-A, and 100-A loads at an output voltage of 0.9 V for five minutes before measurements were taken of the power stages and inductors using an infrared camera. During testing, the ambient temperature was 25°C with no airflow across the board or heatsinks placed on the CSD95472 power stages.

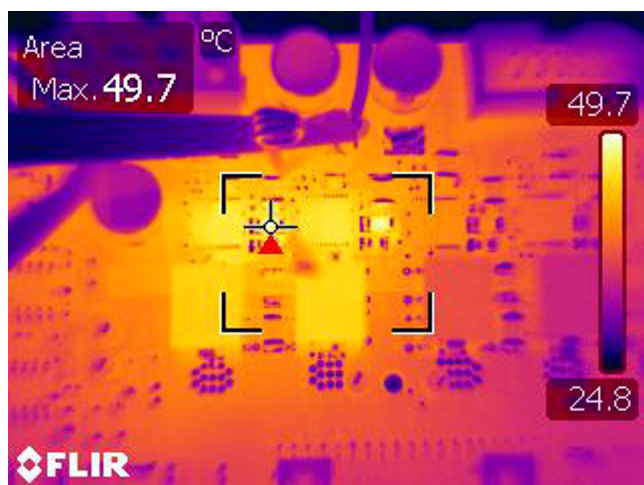


図 9. CSD95472 Temperature: 25-A Load

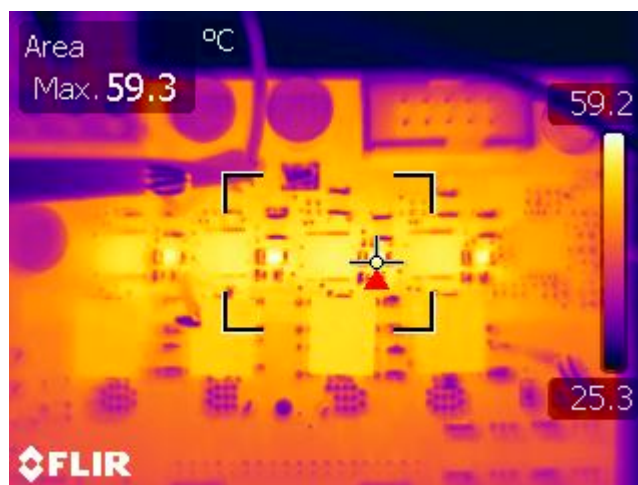


図 10. CSD95472 Temperature: 50-A Load

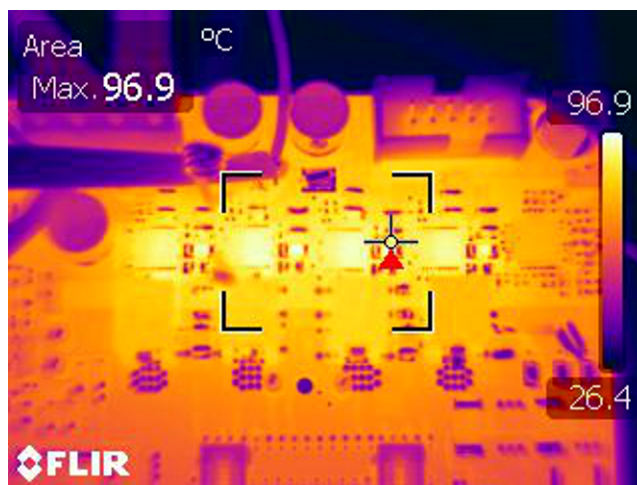


図 11. CSD95472 Temperature: 100-A Load

4.4 Transient Response

A load step of 75 A was applied to the TPS53647 regulator under two test conditions. The first test condition being from 50 A to 125 A and the second from 75 A to the maximum load of 150 A. Under both conditions the duty cycle was swept from 10% to 83% to check for stability under a wider range of operational corners. With no DC load line and an AC tolerance of $\pm 5\%$, a peak-to-peak voltage swing of 90 mVpp is allowed at the nominal output voltage of 0.9 V. No stability issues were seen during testing and the output voltage remained within the regulation window.

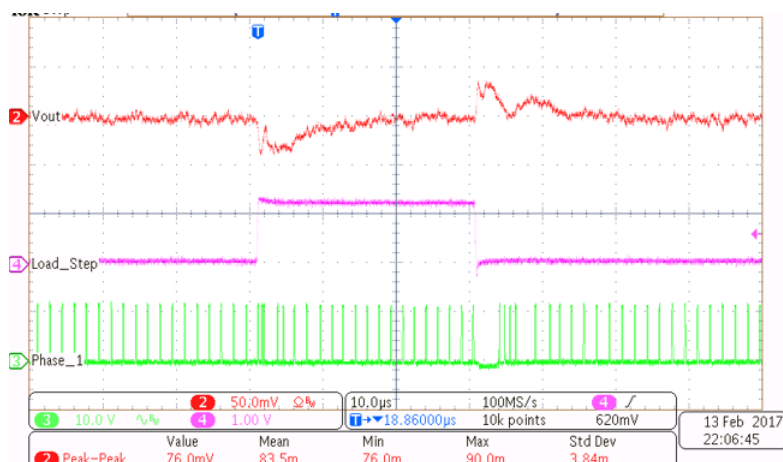


図 12. 50-A to 125-A Transient, 10% Duty Cycle

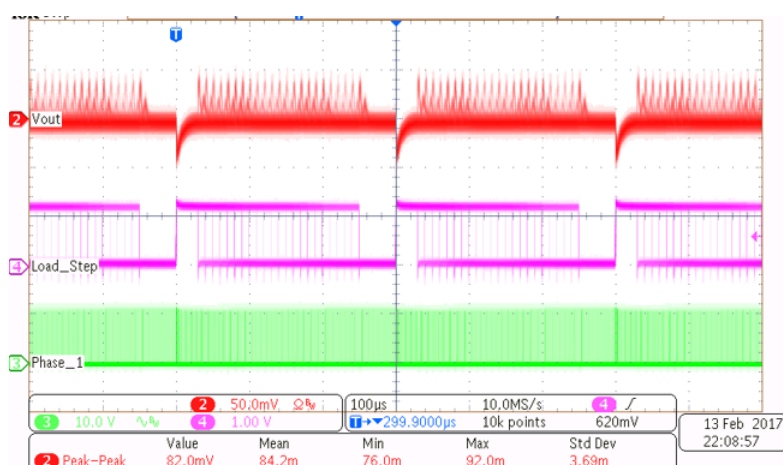


図 13. 50-A to 125-A Transient, 10% to 83% Duty Cycle Sweep

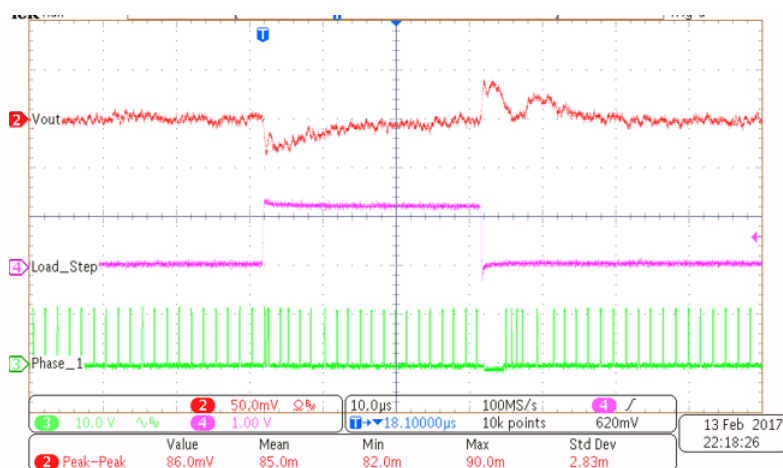


図 14. 75-A to 150-A Transient, 10% Duty Cycle

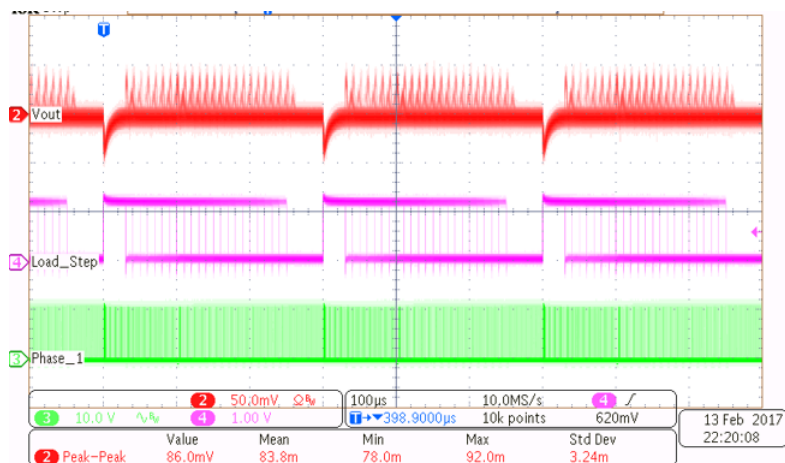


図 15. 75-A to 150-A Transient, 10% to 83% Duty Cycle Sweep

表 2. Transient Response Validation Results

LOAD STEP	TRANSIENT SPECIFICATION AT NOMINAL OUTPUT VOLTAGE	VALIDATION RESULTS
75 A to 125 A	90 mVpp (± 45 mV)	83.8 mVpp
100 A to 150 A	90 mVpp (± 45 mV)	84.2 mVpp

4.5 Start-Up and Shutdown

Start-up and shutdown waveforms were taken at 10-A and 25-A loads while monitoring the enable, output voltage, and main phase node.

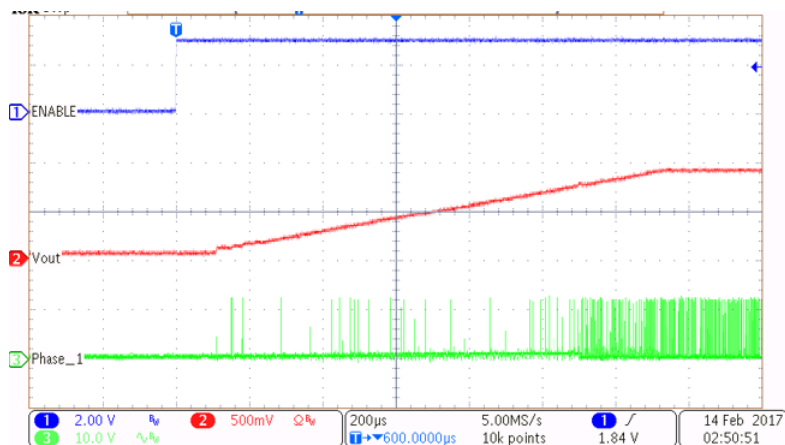


図 16. 10-A Start-Up

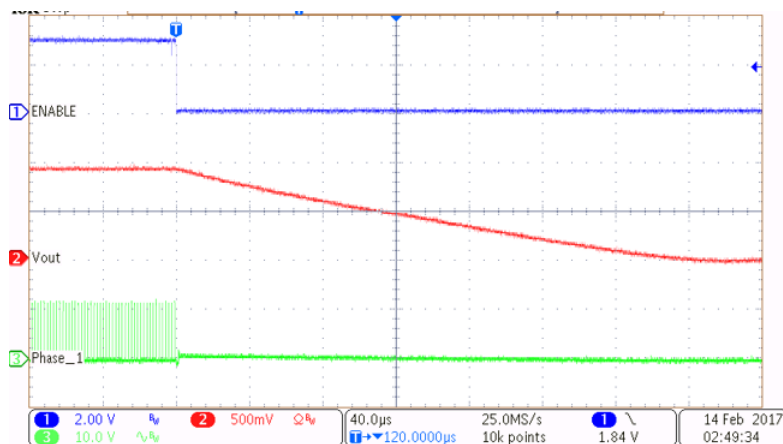


図 17. 10-A Shutdown

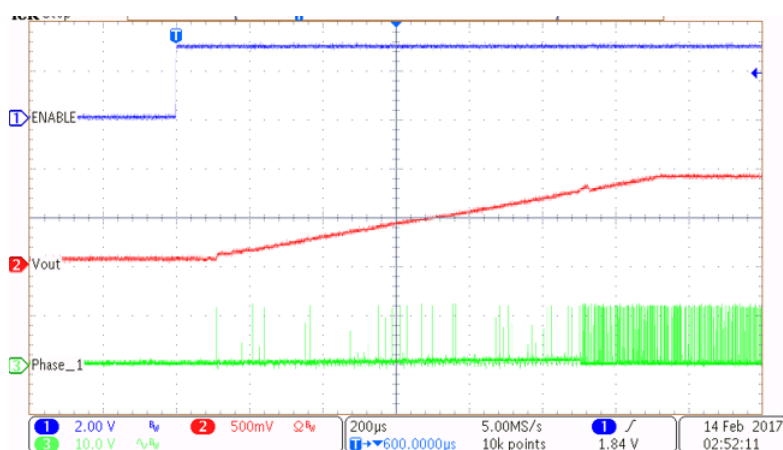


図 18. 25-A Start-Up

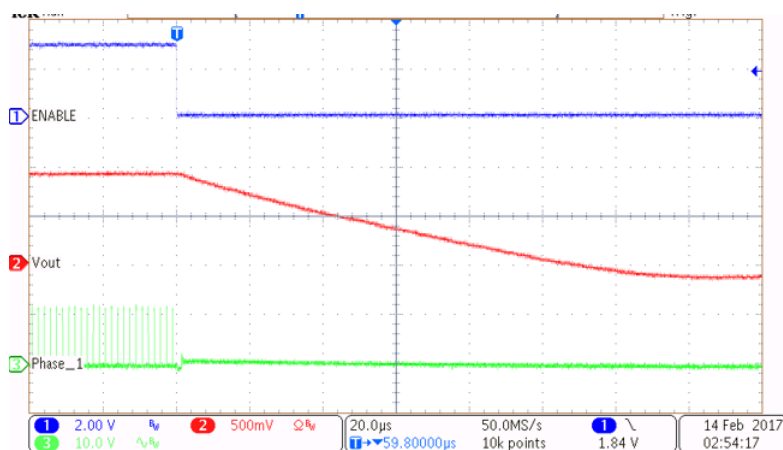


図 19. 25-A Shutdown

4.6 Protection Circuitry

When testing the protection circuit for this application, the TPS53647 device also performed admirably. The overcurrent and overtemperature protection features worked as intended when triggered, preventing the load and power field-effect transistors (FETs) from damage. Upon hitting the overcurrent limit, the controller went into hiccup mode and attempted to restart. Successful power-up only occurred after the high current was removed. After the overtemperature threshold was crossed, the phase node was tri-stated and the output voltage decayed to 0 V (according to the load current) until the part had cooled off.

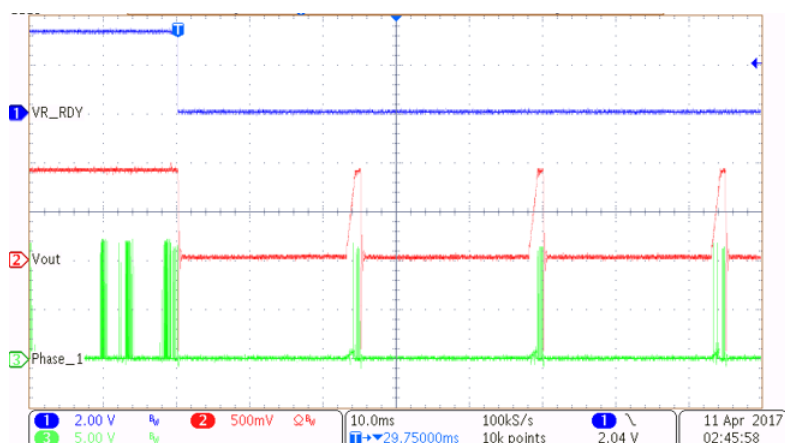


図 20. Overcurrent Shutdown Event With Hiccup Mode

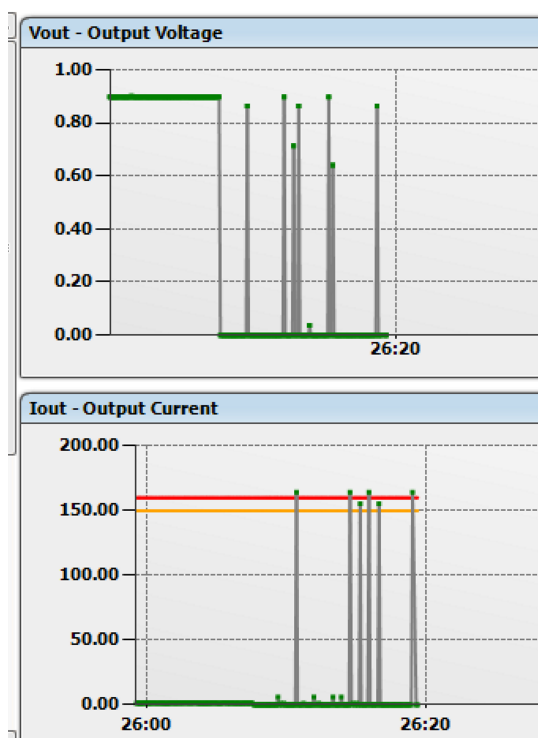


図 21. Overcurrent Event as Seen in Fusion GUI

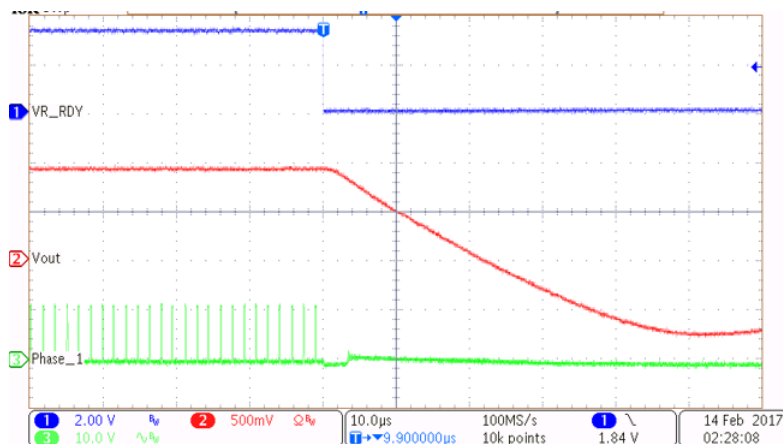


図 22. Overtemperature Shutdown Event

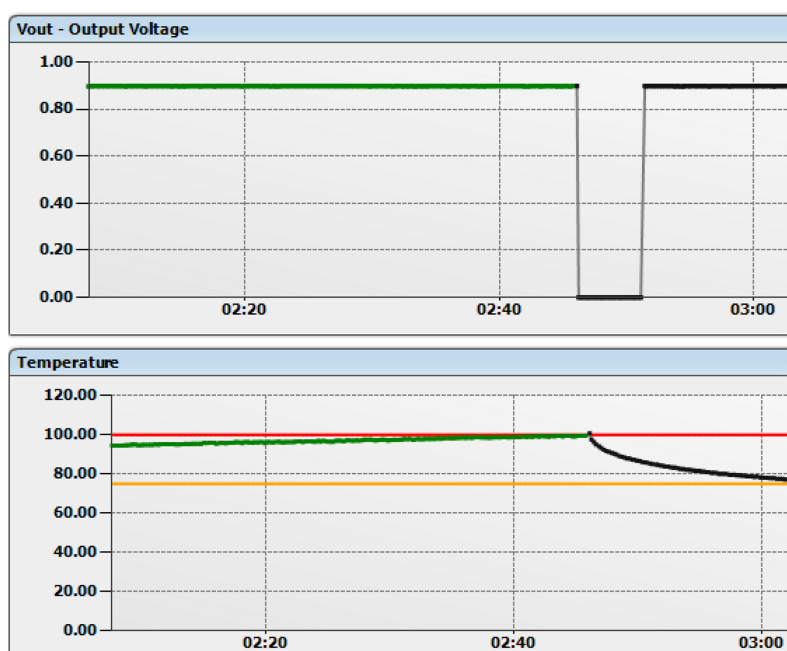


図 23. Overtemperature Event as Seen in Fusion GUI

5 Design Files

5.1 Schematics

To download the schematics, see the design files at [TIDA-01419](#).

5.2 Bill of Materials

To download the bill of materials (BOM), see the design files at [TIDA-01419](#).

5.3 PCB Layout Recommendations

Follow all the layout instructions as specified in the respective datasheet for each part when laying out a design using the TPS53647 controller and CSD95472 Smart Power Stage. Some other guidelines to consider include:

- Keep the layout for all four phases identical to ensure optimal current balancing and thermal performance between phases.
- Route noisy traces such as PWM and the PMBus lines on a separate layer than the sensitive analog sense lines such as VSP, VSN, COMP, IMON, and so forth.
- Use quality capacitors for both the input and output decoupling to obtain the maximum performance possible with respect to DC ripple and transient response. Capacitors must be voltage rated to at least 16 V on V_{IN} and 2.5 V on V_{OUT} with a dielectric rating of X5R or better.
- Ensure that the VOUT and GND nodes are routed on multiple layers of copper and connected with enough vias to handle the current requirements for the best thermal performance. Following this guideline allows for a maximum amount of heat to flow out of the power stages and inductors into the board.

5.3.1 Layout Prints

To download the layer plots, see the design files at [TIDA-01419](#).

5.4 Altium Project

To download the Altium project files, see the design files at [TIDA-01419](#).

5.5 Gerber Files

To download the Gerber files, see the design files at [TIDA-01419](#).

5.6 Assembly Drawings

To download the assembly drawings, see the design files at [TIDA-01419](#).

6 Software Files

To download the Fusion Digital Power Designer software, see the following [tool folder](#).

7 Related Documentation

1. Texas Instruments, [TPS53647 4-Phase, D-CAP+, Step-Down, Buck Controller with NVM and PMBus™ Interface for ASIC Power and High-Current Point-of-Load](#), TPS53647 Datasheet (SLUSC39)
2. Texas Instruments, [CSD95472Q5MC Synchronous Buck NexFET™ Smart Power Stage](#), CSD95472Q5MC Datasheet (SLPS599)
3. Intel, [Intel® Arria® 10 GX, GT, and SX Device Family Pin Connection Guidelines](#), PCG-01017 (https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/dp/arria-10/pcg-01017.pdf)
4. Intel, [Power Reduction Features in Arria 10 Devices](#), AN-711 (https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/an/an711.pdf)
5. Intel, [SmartVID Controller IP Core User Guide](#), UG-SVID (https://www.altera.com/content/dam/altera-www/global/en_US/pdfs/literature/ug/ug_smartvid.pdf)
6. Intel, [25A Mini Slammer](#), Product Page (https://designintools.intel.com/25A_Mini_Slammer_p/q6uj9a00ms25.htm)

7.1 商標

Fusion Digital Power, D-CAP+, PowerPAD, NexFET, DualCool are trademarks of Texas Instruments. WEBENCH is a registered trademark of Texas Instruments. Intel, Arria are registered trademarks of Intel Corporation. PMBus is a trademark of SMIF, Inc. すべての商標および登録商標はそれぞれの所有者に帰属します。

8 About the Author

CARMEN PARISI is a Senior Applications Engineer working in the Multiphase and Control Solutions (MCS) group at TI developing reference designs and application notes. He has six years of experience in power electronics working on mobile, desktop, and server V_{CORE} applications; battery chargers; and system PMICs. Carmen earned a combined BS/MS degree in electrical engineering from the Rochester Institute of Technology.

TIの設計情報およびリソースに関する重要な注意事項

Texas Instruments Incorporated ("TI")の技術、アプリケーションその他設計に関する助言、サービスまたは情報は、TI製品を組み込んだアプリケーションを開発する設計者に役立つことを目的として提供するものです。これにはリファレンス設計や、評価モジュールに関係する資料が含まれますが、これらに限られません。以下、これらを総称して「TIリソース」と呼びます。いかなる方法であっても、TIリソースのいずれかをダウンロード、アクセス、または使用した場合、お客様(個人、または会社を代表している場合にはお客様の会社)は、これらのリソースをここに記載された目的にのみ使用し、この注意事項の条項に従うことに合意したものとします。

TIによるTIリソースの提供は、TI製品に対する該当の発行済み保証事項または免責事項を拡張またはいかなる形でも変更するものではなく、これらのTIリソースを提供することによって、TIにはいかなる追加義務も責任も発生しないものとします。TIは、自社のTIリソースに訂正、拡張、改良、およびその他の変更を加える権利を留保します。

お客様は、自らのアプリケーションの設計において、ご自身が独自に分析、評価、判断を行う責任がお客様にあり、お客様のアプリケーション(および、お客様のアプリケーションに使用されるすべてのTI製品)の安全性、および該当するすべての規制、法、その他適用される要件への遵守を保証するすべての責任をお客様のみが負うことを理解し、合意するものとします。お客様は、自身のアプリケーションに関して、(1) 故障による危険な結果を予測し、(2) 障害とその結果を監視し、および、(3) 損害を引き起こす障害の可能性を減らし、適切な対策を行う目的で、安全策を開発し実装するために必要な、すべての技術を保持していることを表明するものとします。お客様は、TI製品を含むアプリケーションを使用または配布する前に、それらのアプリケーション、およびアプリケーションに使用されているTI製品の機能性を完全にテストすることに合意するものとします。TIは、特定のTIリソース用に発行されたドキュメントで明示的に記載されているもの以外のテストを実行していません。

お客様は、個別のTIリソースにつき、当該TIリソースに記載されているTI製品を含むアプリケーションの開発に関連する目的でのみ、使用、コピー、変更することが許可されています。明示的または黙示的を問わず、禁反言の法理その他どのような理由でも、他のTIの知的所有権に対するその他のライセンスは付与されません。また、TIまたは他のいかなる第三者のテクノロジーまたは知的所有権についても、いかなるライセンスも付与されるものではありません。付与されないものには、TI製品またはサービスが使用される組み合わせ、機械、プロセスに関連する特許権、著作権、回路配置利用権、その他の知的所有権が含まれますが、これらに限られません。第三者の製品やサービスに関する、またはそれらを参照する情報は、そのような製品またはサービスを利用するライセンスを構成するものではなく、それらに対する保証または推奨を意味するものでもありません。TIリソースを使用するため、第三者の特許または他の知的所有権に基づく第三者からのライセンス、あるいはTIの特許または他の知的所有権に基づくTIからのライセンスが必要な場合があります。

TIのリソースは、それに含まれるあらゆる欠陥も含めて、「現状のまま」提供されます。TIは、TIリソースまたはその仕様に関して、明示的か暗黙的にかかわらず、他のいかなる保証または表明も行いません。これには、正確性または完全性、権原、続発性の障害に関する保証、および商品性、特定目的への適合性、第三者の知的所有権の非侵害に対する黙示の保証が含まれますが、これらに限られません。

TIは、いかなる苦情に対しても、お客様への弁済または補償を行う義務はなく、行わないものとします。これには、任意の製品の組み合わせに関連する、またはそれらに基づく侵害の請求も含まれますが、これらに限られず、またその事実についてTIリソースまたは他の場所に記載されているか否かを問わないものとします。いかなる場合も、TIリソースまたはその使用に関連して、またはそれらにより発生した、実際の、直接的、特別、付随的、間接的、懲罰的、偶発的、または、結果的な損害について、そのような損害の可能性についてTIが知らされていたかどうかにかかわらず、TIは責任を負わないものとします。

お客様は、この注意事項の条件および条項に従わなかったために発生した、いかなる損害、コスト、損失、責任からも、TIおよびその代表者を完全に免責するものとします。

この注意事項はTIリソースに適用されます。特定の種類の資料、TI製品、およびサービスの使用および購入については、追加条項が適用されます。これには、半導体製品(<http://www.ti.com/sc/docs/stdterms.htm>)、評価モジュール、およびサンプル(<http://www.ti.com/sc/docs/sampterm.htm>)についてのTIの標準条項が含まれますが、これらに限られません。