

Design Guide: TIDA-050072

65W、GaN ベース USB PD 3.0 USB Type-C[®] アダプタのリファレンス デザイン



概要

このリファレンス デザインは、携帯電話、ラップトップ、タブレットを含む多くの充電アプリケーションを対象とした 65W USB Power Delivery (PD) 3.0 アダプタです。この設計は、内蔵 GaN (窒化ガリウム) 技術を使用して、高い効率と電力密度を実現しています。疑似共振フライバックにより高効率を実現し、シンプルさと低いスイッチング損失との間でバランスを維持します。疑似共振方式では、ラインおよび負荷にわたってスイッチング周波数を変化させながら、1 次電界効果トランジスタ (FET) が可能な限り低いドレイン電圧でスイッチングを行うようにします。さらに効率を高めるために、GaN デバイスの内蔵センス エミュレーションにより、実質的にロスレスの電流センシングが実現します。内蔵 GaN デバイスの高周波対応により高い電力密度を実現しています。この結果、インダクタンスの小型化、コア サイズの小型化、1 次巻線の総数の削減を実現できます。

リソース

TIDA-050072

デザイン・フォルダ

LMG3624

プロダクト・フォルダ



テキサス・インスツルメンツの TI E2E™ サポート・エキスパートにお問い合わせください

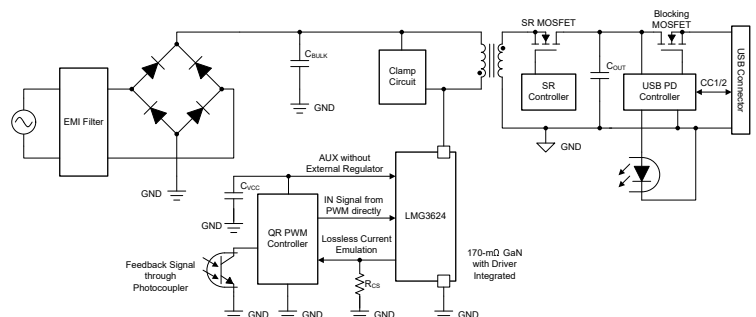


特長

- コンパクトなアダプタ設計向けに 25.29W/in³ の電力密度を達成
- 全負荷、90Vac 入力時に 92.83% の効率
- 全負荷、115Vac 入力時に 94.09% の効率
- 全負荷、230Vac 入力時に 94.32% の効率
- ロスレス電流センシング機能を内蔵し、損失を 70mW 低減
- 115Vac 入力時に 30mW のスタンバイ消費電力
- GaN デバイスの採用による低温動作を通じて、シンプルな熱管理が可能
- ユニバーサル AC 入力電圧能力

アプリケーション

- モバイル向け充電器の設計
- USB 電源コンセント
- 補助電源



1 システムの説明

このリファレンス デザインは、65W の USB PD 3.0 アプリケーションでの電力密度と効率の最適化を重視しています。この動作を可能にする主要なデバイスは、1 次側スイッチング デバイスである LMG3624、電流センス エミュレーション機能付き 170mΩ 内蔵 GaN FET です。

この設計は、疑似共振フライバックトポロジと同期整流を採用し、性能とシンプルさのバランスを実現しています。フライバックトランスは、高いスイッチング周波数で動作して磁化インダクタンスの要件を低く抑えることで、サイズを最小限に抑えています。

この設計は、20V | 3.25A、15V | 3A、9V | 3A、5V | 3A の出力で USB PD 3.0 負荷に電力を供給できます。

1.1 主なシステム仕様

パラメータ	値
入力電圧	90Vac~265Vac
出力	20V 3.25A、15V 3A、9V 3A、5V 3A
Maximum switching frequency	163 kHz
Minimum switching frequency	76 kHz

2 システム概要

2.1 ブロック図

このリファレンス デザインは、QR フライバック電力段、SR 制御、USB PD 制御を搭載した、低コスト、高効率、高密度の 65W USB PD デザインに基づいています。

QR フライバック電力段は、GaN FET と電流センシング機能を内蔵した 170mΩ GaN FET である LMG3624 を採用しています。LMG3624 は高周波動作が可能のため、トランスの設計を最小限に抑えることができます。統合型の電流センシング機能は、従来型の電流シャント抵抗による損失を低減し、システム効率の向上とコストの低減を実現します。

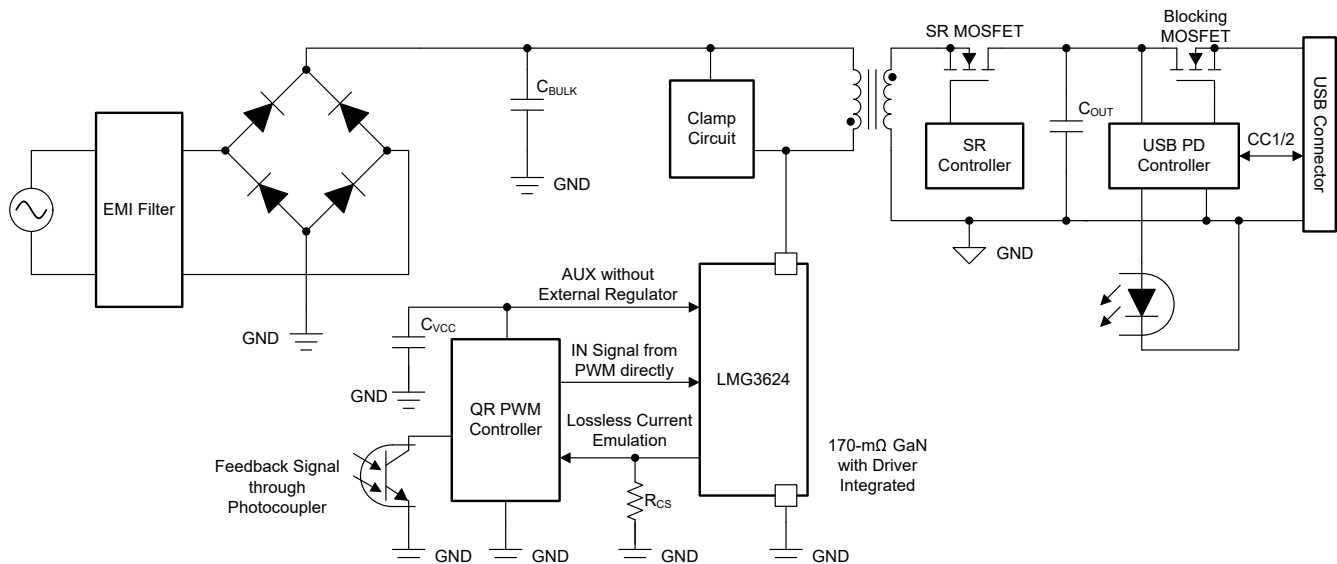


図 2-1. 65W USB PD リファレンス デザインのシステム ブロック図

2.2 設計上の考慮事項 {必須トピック}

{ "設計の詳細をご記入ください" }

2.3 主な使用製品

2.3.1 LMG3624

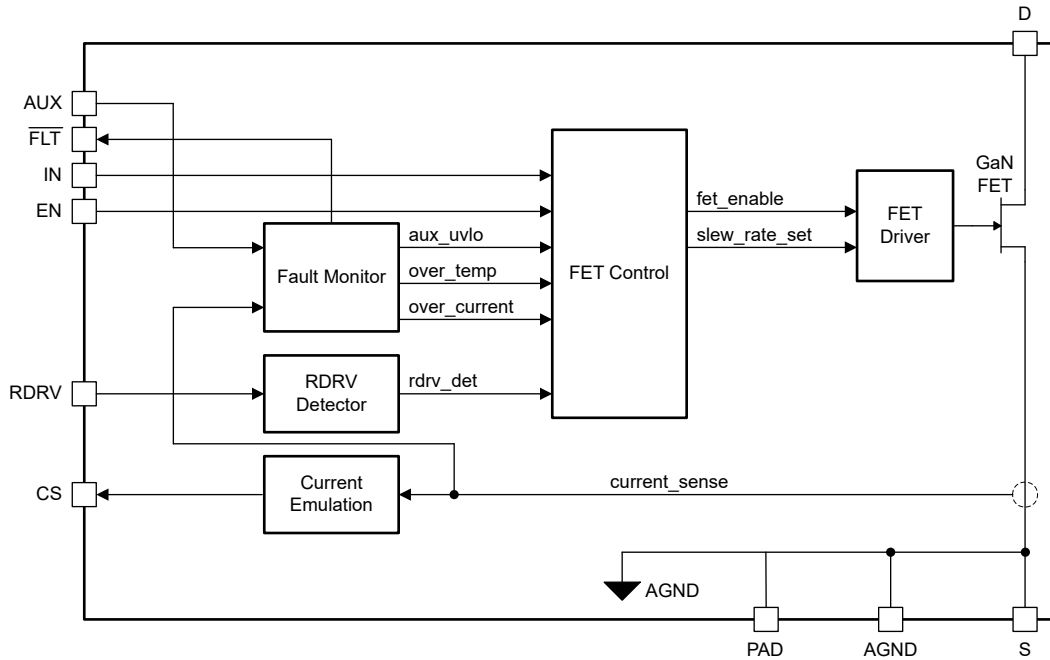


図 2-2. LMG3624 機能ブロック図

LMG3624 は、スイッチ モード電源アプリケーション向けの 650V 170mΩ GaN パワー FET です。LMG3624 は、8mm × 5.3mm の QFN パッケージに GaN FET とゲートドライバを内蔵することで、設計の簡素化と部品点数の削減を実現しています。

プログラマブルなターンオン・スルーレートにより、EMI とリンギングを制御できます。電流検出エミュレーション機能により、従来の電流検出抵抗方式よりも消費電力を低減でき、またローサイドのサーマルパッドを冷却用 PCB 電源グラウンドに接続できます。

低い静止電流と高速な起動時間により、コンバータの軽負荷効率要件とバーストモード動作に対応できます。

次のリストに、拡張機能の説明を示します。

- 650V、170mΩ GaN パワー FET
- 伝搬遅延が小さく、ターンオン・スルーレート制御を調整可能な内蔵ゲート・ドライバ
- 広い帯域幅で高精度の電流検出エミュレーション
- サイクル単位の過電流保護
- FLT ピン通知付きの過熱保護
- AUX 静止電流: 240μA
- AUX スタンバイ静止電流: 50μA
- 電源および入力ロジック・ピン最大電圧: 26V
- サーマルパッド付きの 8mm × 5.3mm QFN パッケージ

3 システム設計理論

3.1 疑似共振動作

疑似共振コンバータを選択しているのは、このコンバータがコスト、電力損失、シンプルさの間で最良のバランスを実現するためです。

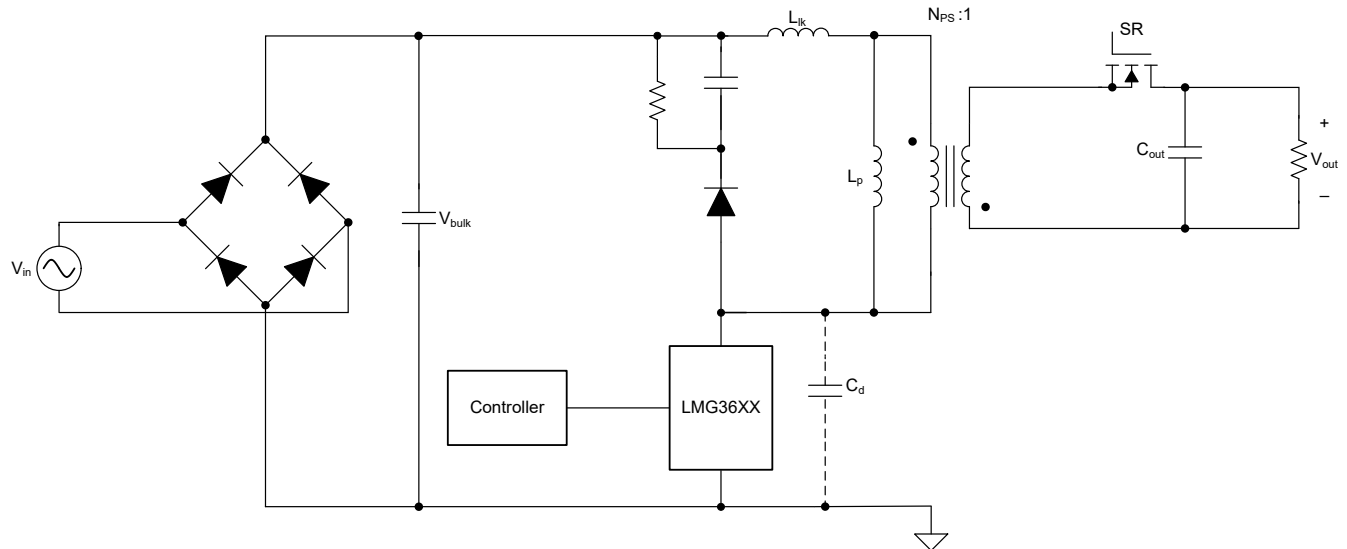


図 3-1. 疑似共振コンバータ概要回路図

このコンバータは、ダイオード整流段、スイッチング FET、固有の磁化インダクタンスを持つトランス、パッシブ RC クランプ、同期 2 次側整流器、出力コンデンサで構成されます。

ダイオード整流段は、ダイオードブリッジとバルクコンデンサで構成されます。ダイオードブリッジは AC ライン電圧を整流してバルクコンデンサにエネルギーを蓄積し、比較的一定の正電圧を維持します。

コントローラは FET のオン/オフを切り替えて、2 次側にエネルギーを供給します。FET がオン状態のとき、トランスの磁化インダクタンスで電流 (エネルギー) が蓄積されます。

これは、式 1 によって示されます。

$$E_{\text{STORED}} = \frac{1}{2} L_{\text{MAG}} \times I_{\text{PK}}^2 \quad (1)$$

消費電力は、式 2 で計算できます。

$$P = E_{\text{STORED}} \times f_{\text{SW}} \quad (2)$$

FET がオフ状態の間、トランスの 2 次側にある整流器がオンになり、電流を負荷に供給します。

最大の効率を実現するため、このコンバータは磁化インダクタンス L_{MAG} の共振とスイッチノードの総容量 C_D によって形成される共振電圧バレーで FET をオンにすることで、疑似共振動作で動作します。

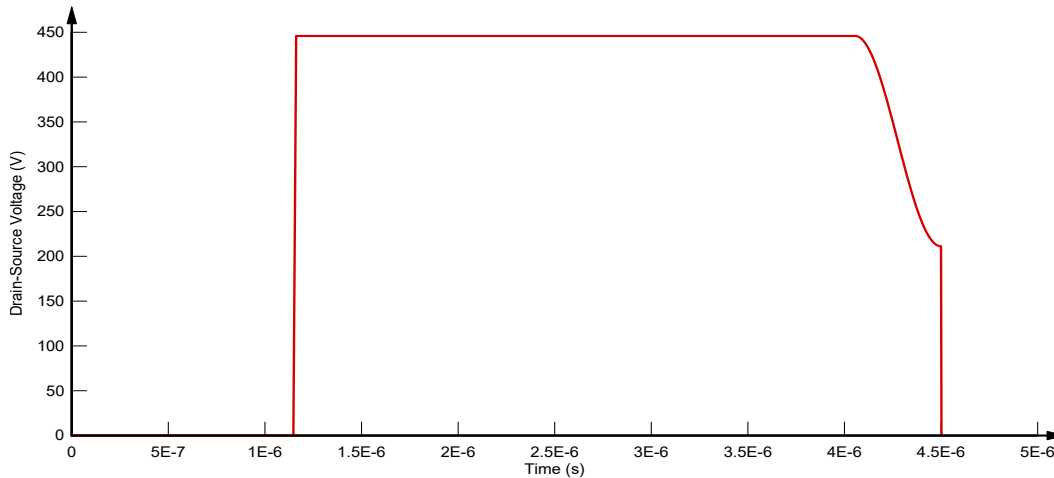


図 3-2. 共振バレーでのドレイン - ソース間の波形スイッチング

この電圧バレーでは、式 3 を使用して記述されているように、FET は可能な限り最小のターンオン スwitchング電力損失にさらされます。

$$P_{\text{LOSS, TURN-ON-ENERGY}} = E_{\text{COSS}} \times f_{\text{SW}} = \frac{1}{2} C_D \times V_{\text{VALLEY}}^2 \times f_{\text{SW}} \quad (3)$$

ここで、

- C_D はスイッチング ノードの集中容量で、FET 出力容量、トランスの巻線間容量、寄生基板容量で構成されます
- V_{Valley} は、FET がオンになったときのドレイン - ソース間電圧です
- f_{sw} はスイッチング周波数です

コンバータがスイッチング可能な最小のバレーは、式 4 で与えられます。

$$V_{\text{VALLEY, MIN}} = V_{\text{IN, DC}} - N_{\text{PS}} \times V_{\text{OUT}} = \sqrt{2} \times V_{\text{AC}} - N_{\text{PS}} \times V_{\text{OUT}} \quad (4)$$

式 4 は、整流された入力電圧 $V_{\text{IN, DC}}$ が反射電圧 $N_{\text{PS}} \times V_{\text{OUT}}$ 以下のとき、 $V_{\text{VALLEY, MIN}}$ が 0V に達することを示しています。したがって、この疑似共振コンバータは、入力電圧が低く反射電圧が高い条件下では、ゼロ電圧スイッチングで動作します。つまり、デバイスの損失は導通のみに支配されます。

3.2 変圧器の設計

GaN の利点は、スイッチング周波数を高くして損失を低減できることです。高密度設計の全体的な効率を改善するために、トランスの設計が重要な役割を果たします。

ワーストケースのシステム効率は、最低入力電圧条件 $90V_{\text{AC}}$ で発生します。フライバックトポロジの場合、メイン スイッチがオンになって磁化インダクタンス (L_{MAG}) にエネルギーを蓄積し、デバイスがオフになったときにそのエネルギーを出力に転送します。消磁期間中、2 次巻線は出力電圧 V_{OUT} にクランプされ、2 次側から 1 次側への反射電圧 V_{RF} は式 5 で計算されます。

$$V_{\text{RF}} = V_{\text{OUT}} \times N_{\text{PS}} \quad (5)$$

ここで

- N_{PS} は 1 次側と 2 次側の間の巻線比です

式 6 で最大デューティ サイクルを計算します。

$$D_{MAX} = \frac{V_{RF}}{V_{DC_MIN} + V_{RF}} \quad (6)$$

ここで、

- V_{DC_MIN} は、最低 AC 入力電圧条件での最小 DC 電圧です

QR フライバックの動作では、磁化エネルギーが放電された後にメイン デバイスがオンになり、スイッチ ノード電圧が最低点まで共振します。つまり、 $V_{RF} > V_{DC}$ の場合、スイッチング FET はゼロ電圧スイッチ (ZVS) でオンになり、導通損失が全体の効率を支配します。

動作周波数 f_{RUN_MIN} を V_{DC_MIN} での最小周波数とし、トランスの 1 次側インダクタンス L_P を式 7 で計算するとします。

$$L_P = \frac{(V_{DC_MIN} \times D_{MAX})^2 \times \eta}{2 \times f_{RUN_MIN} \times P_{OUT}} \quad (7)$$

ここで

- P_{OUT} は出力電力、 η はシステムの効率です

この条件では、式 8 を使用してピーク電流 I_{PK_MAX} が求められます。

$$I_{PK_MAX} = \frac{2 \times P_{OUT}}{V_{DC_MIN} \times D_{MAX} \times \eta} \quad (8)$$

1 次側 RMS 電流 I_{RMS} は式 9 で決定されます。

$$I_{RMS} = \sqrt{\frac{D_{MAX}}{3}} \times I_{PK_MAX} \quad (9)$$

これらの計算から、固定出力電力の場合、デバイスの導通損失は V_{DC_MIN} と D_{MAX} に依存し、これが巻線比 N_{PS} のみに関係することがわかります。要約すると、QR フライバック設計のワースト ケースは最低 AC 入力電圧で発生します。この状況では、スイッチング デバイスが ZVS でオンになります。これは、導通損失がシステム損失の支配的な要因になりますが、これらの損失は巻線比にのみ関係することを意味します。言い換えると、巻線比が高いほど I_{RMS} は小さくなります。スイッチング デバイスでの損失は固定されています。

スイッチング周波数の選択に関する話し合いを容易にするため、式 7 を次のように書き換えることができます。

$$L_P \times f_{RUN_MIN} = \frac{(V_{DC_MIN} \times D_{MAX})^2 \times \eta}{2 \times P_{OUT}} \quad (10)$$

上記は、周波数が高いほどインダクタンス値が小さくなることを示しています。トランスの設計では、フェライト コアが飽和しないように、磁束密度を最小化する必要があります。最大磁束密度 B_{MAX} は、式 11 を使用して求められます。

$$B_{MAX} = \frac{L_{MAG} \times I_{PK_MAX}}{A_E \times N_P} \quad (11)$$

ここで、

- A_E は、フェライト コアの有効領域であり、コアの形状に依存します
- N_P は 1 次側巻線の巻き数です。

式 11 から、 B_{MAX} と A_E が一定に保たれると、動作周波数が高いほど、巻線数が小さくなり、 L_{MAG} の値も小さくなります。この場合、Litz 線をより多くのより線とともに使用して銅損を低減し、効率と熱の成果を向上させることができます。

このリファレンス デザインでは、漏れインダクタンスを最小化するために、分割 1 次巻線方式を使用して巻線比を 32:5 に選択しています。1 次巻線は 0.1mm × 15P Litz 線、2 次巻線は 0.05mm × 320P トリプル絶縁 Litz 線です。

3.3 GaN FET スイッチング デバイス

疑似共振コンバータは、高いスイッチング周波数でトランスのサイズを最小化するように設計されているため、スイッチング デバイスは大きな電力損失低下の影響を受けることなく、高周波動作をサポートする必要があります。

スイッチング デバイスに選択する際に考慮する必要がある損失には、周波数に依存する スイッチング損失と、電流に依存する導通損失の 2 種類があります。

疑似共振フライバック アプリケーションでは、スイッチング損失の主な要因は式 12 を使用して説明しているように、ターンオン時の蓄積エネルギー損失に起因する可能性があります。

$$P_{\text{LOSS, TURN-ON-ENERGY}} = \frac{1}{2} C_D \times V_{\text{VALLEY}}^2 \times f_{\text{SW}} \quad (12)$$

この場合、 C_D 項はスイッチング デバイスの出力容量に大きく依存します。LMG3624 の内蔵 GaN FET は、このスイッチング損失を最適化するために選択されます。これは、実効出力容量 C_{OSS} が、同様のオン抵抗を持つ対応するシリコン FET よりも大幅に低いことを考慮しています。

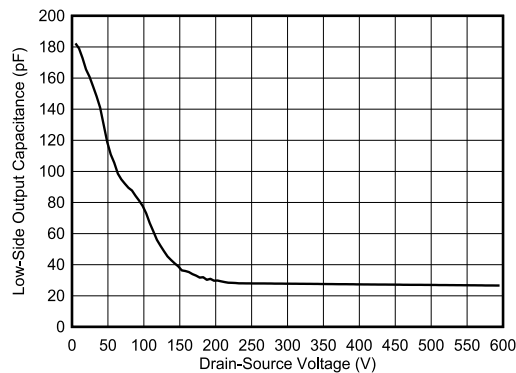


図 3-3. LMG3624 の C_{OSS} と V_{DS} 特性との関係

図 3-3 に、LMG3624 デバイスの C_{OSS} と V_{DS} の特性を示します。

400V から 0V に切り替える場合、デバイスの実効エネルギー関連の出力容量 $C_{\text{O,ER}}$ はわずか 29pF です。式 12 を使用し、 $f_{\text{SW}} = 150\text{kHz}$ を仮定すると、 $C_{\text{O,ER}}$ のこの値により、ターンオンの蓄積エネルギー損失は 348mW、システム効率の約 0.53% に相当します。実際には、バレー スイッチング動作によりこの設計は 400V 未満でスイッチングしているため、消費電力を大幅に削減できます。

導通損失部品は、式 13 で計算できます。

$$P_{\text{CONDUCTION}} = I_{\text{RMS}}^2 \times R_{\text{DS(on)}} \quad (13)$$

ここで、

- I_{RMS} は GaN デバイスを流れる RMS 電流です (1.2A)
- $R_{\text{DS(on)}}$ はオン抵抗 (170mΩ) です

この 65W アプリケーションでは、90V_{AC} 入力時のワーストケースの導通損失は 261mW となり、システム効率の 0.40% に相当します

スイッチング損失と導通損失の主要部品を考慮すると、GaN デバイスの寄与率はシステム全体の損失の 0.9% 未満であり、シンプルな熱設計と高いシステム効率を実現できます。

3.4 電流センス エミュレーション抵抗

電流センス抵抗 R_{CS} は、従来の電流センス抵抗 $R_{CS(trad)}$ の値を最初に計算した後で決定されます。 $R_{CS(trad)}$ の初期値は、式 14 で説明されているように、帰還電圧や帰還ループの他のゲイン係数を考慮して選択できます。

$$V_{FB} = K_{FB} \times I_{PK} \times R_{CS(TRAD)} \quad (14)$$

ここで、

- V_{FB} はコントローラへの帰還電圧入力です
- K_{FB} は、フィードバックループの追加ゲインを考慮するための一般的な変数です
- I_{PK} は FET を流れるピーク電流です

次に、 R_{CS} は従来の電流センス設計抵抗 $R_{CS(trad)}$ を求め、1,036mA/A に等しい、電流センスゲイン G_{CSE} の逆数を乗算して決定されます。従来の電流センス設計では、GaN パワー FET のドレイン電流 I_D を $R_{CS(trad)}$ 経由で渡すことで、電流センス電圧 $V_{CS(trad)}$ が生成されます。LMG3624 は、CS ピンの出力電流 I_{CS} を R_{CS} 経由で渡すことで、電流センス電圧 V_{CS} を生成します。電流センス電圧は、どちらの設計でも同じである必要があります。

$$V_{CS} = I_{CS} \times R_{CS} = V_{CS(trad)} = I_D \times R_{CS(trad)} \quad (15)$$

$$R_{CS} = I_D / I_{CS} \times R_{CS(trad)} = 1 / G_{CSE} \times R_{CS(trad)} \quad (16)$$

$$R_{CS} = 1,036 \times R_{CS(trad)} \quad (17)$$

4 ハードウェア、テスト要件、およびテスト結果

4.1 必要なハードウェア

4.1.1 ハードウェア

図 4-1 と 図 4-2 に、全体の寸法が 54mm × 26mm × 30mm の TIDA-050072 基板を示します。

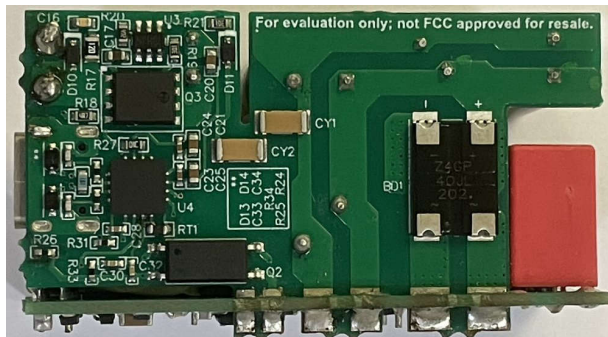


図 4-1. TIDA-050072 ドーターカードの図

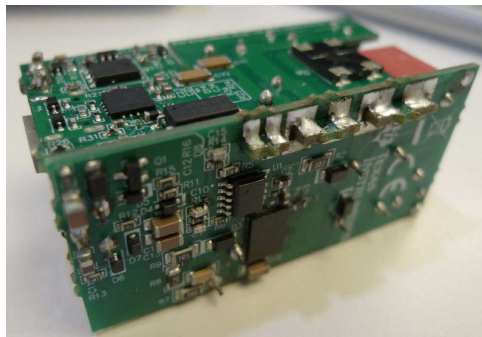


図 4-2. TIDA-050072 の斜図

4.1.2 テスト装置

このリファレンス デザインを使用するには、以下のテスト装置が必要です。

電圧源: 264V_{RMS} および 100W の電力レベルに対応可能な絶縁型 AC ソースまたは可変 AC トランス。

注意

テスト時には、この基板に DC 電圧を印加しないでください。機器や部品が損傷する可能性があります。

電圧計: デジタル電圧計

電力アナライザ: 1mW～100W の入力電力を測定でき、264V_{RMS} の入力電圧に対応可能。電力アナライザによっては、5W 以下の入力電力を測定するために入力電流を測定するために高精度のシャント抵抗が必要な場合があります。フルパワーおよびスタンバイ電力の適切な測定設定については、電力アナライザのユーザー マニュアルを参照してください。

オシロスコープ: 4 チャンネル、500MHz 帯域幅。600V 対応のプロープ。

負荷: TIDA-050072 には USB Type-C® PD コントローラが実装されており、5V、9V、15V、20V を取得するようにボードの出力を調整するには、オンボードの USB Type-C コネクタを経由して USB Type-C PD 負荷に外部接続する必要があります。基板を評価するには、USB Type-C PD 通信負荷が必要です。このような負荷の例として、PM125、USB Power Delivery Tester、PassMark® Software があります。このような通信負荷が存在しない場合、ボード出力の USB Type-C コネクタは可変出力電圧を供給しません。5V、9V、15V の全負荷電流 3.00A を得るには、標準の USB Type-C ケーブルを使用できますが、20V 出力で 3.25A を得るには、E マーカー USB Type-C ケーブルを使用する必要があります。USB Type-C PD 通信を使用せずに EVM を負荷でテストする必要がある場合、出力電圧は C18 から取得できますが、取得できるのはわずか 5V で最大 3.00A です。

4.2 テスト設定

このセクションでは、リファレンス デザイン基板のテスト設定について説明します。

警告

このリファレンス デザインはカプセル化されておらず、**50V_{DC}** を超えるアクセス可能な電圧が存在します。けがを防止するため、適切な取り扱い上の注意に従ってください。

AC 入力電力は、電力アナライザを使用してリファレンス デザイン基板をサポートします。出力は **USB Type-C** コンセントから **USB Type-C** 負荷に供給されます。正確な電圧測定のために、電子負荷のリモート センス機能を出力コンデンサ (C18) に接続します。テスト設定図については、[図 4-3](#) を参照してください。

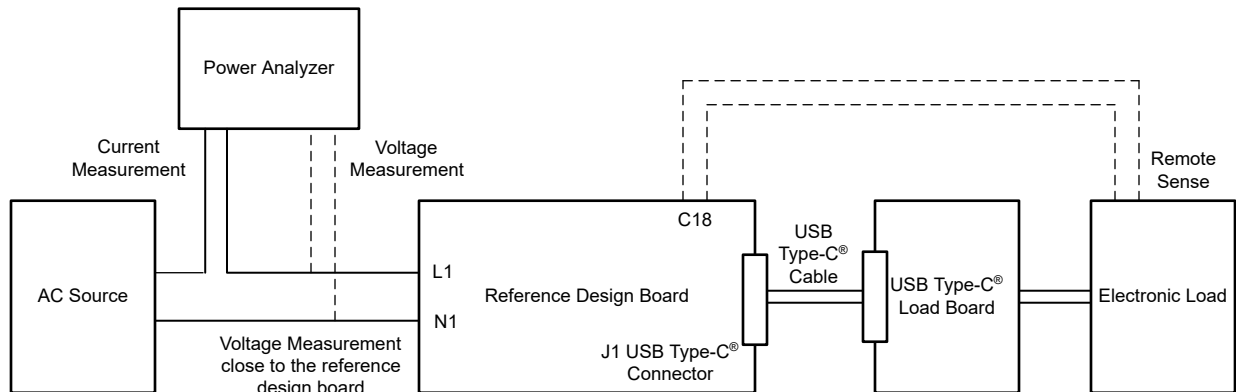


図 4-3. テスト設定図

このリファレンス デザインは、テスト ポイントを使用しないコンパクトな設計です。設計者は、F1 と CX1 の近くに基板の L1 と N1 の AC インレットを接続する必要があります。[図 4-4](#) に示すように、L1 と N1 は AC 入力接続であり、電力アナライザの電圧センスです。電力アナライザの電圧測定は、L1 と N1 の近くに配置します。入力電圧範囲を設定するときは、AC ケーブルの電圧降下の影響を低減するために適切な入力電圧が得られるように電力アナライザを確認してください。電力アナライザの平均または積分機能を使用して入力電力を読み取ります。

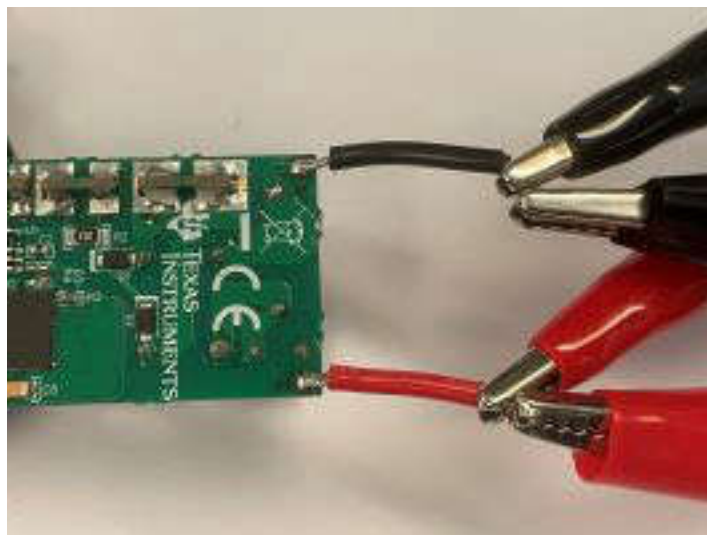


図 4-4. AC 入力の接続

出力には、J1 からの USB Type-C ケーブルを使用して USB PD 負荷基板に接続し、次に電子負荷に接続します。図 4-5 に示すように、リモート センスを C18 の端子に接続することで、出力ケーブルの電圧降下による損失を低減しています。電子負荷からの出力電力を直接読み取ります。

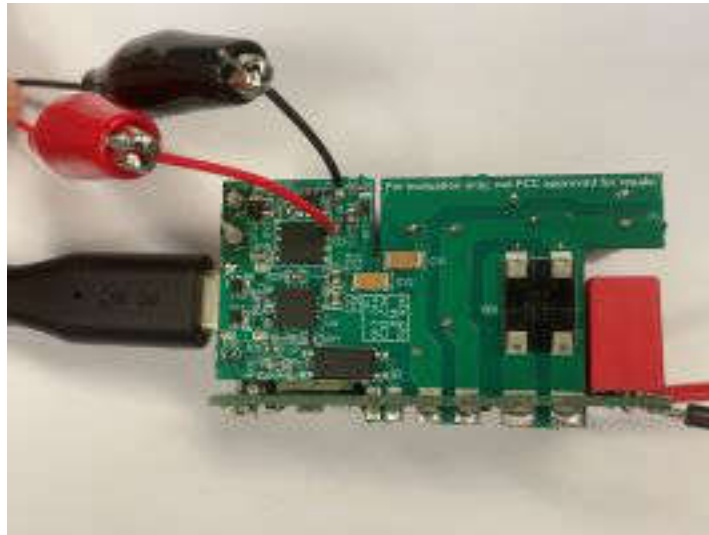


図 4-5. 出力用のリモート センス接続

4.3 テスト結果

4.3.1 効率性の成果

図 4-6、図 4-7、表 4-1、および表 4-2 に、115V_{AC} および 230V_{AC} 入力で収集される効率データを示します。「テスト設定」セクションで説明した設定を使用しました。

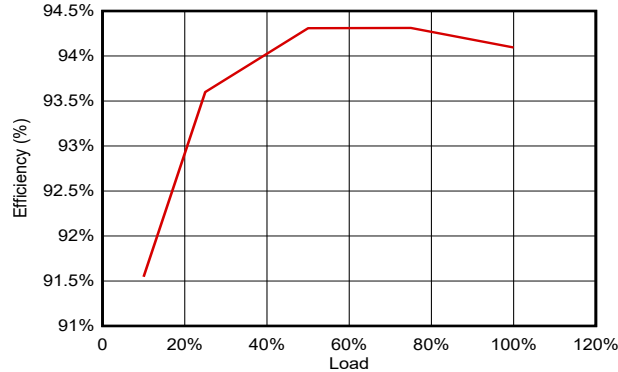


図 4-6. 115V_{AC}、負荷範囲全体で 60Hz の効率

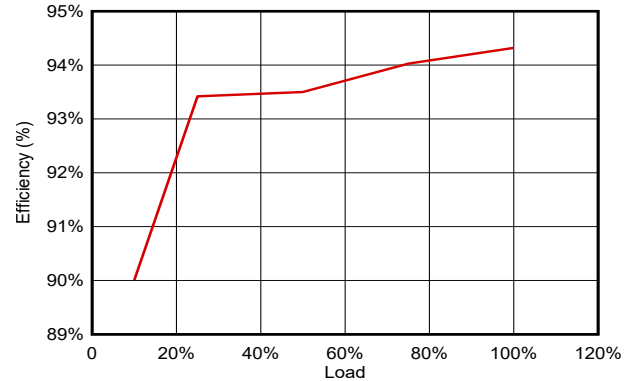


図 4-7. 230V_{AC}、負荷範囲全体で 50Hz の効率

表 4-1. 115V_{AC}、60Hz での効率

LOAD	V _{OUT}	I _{OUT}	P _{OUT} /	P _{IN}	効率
100%	20.133	3.2564	65.561	69.676	94.09%
75%	20.109	2.4306	48.877	51.825	94.31%
50%	20.074	1.6220	32.561	34.526	94.31%
25%	20.048	0.8120	16.278	17.391	93.60%
10%	20.034	0.3149	6.308	6.891	91.55%
平均的					94.08%
スタンバイ消費電力					29.498mW

表 4-2. 230V_{AC}、50Hz での効率

LOAD	V _{OUT}	I _{OUT}	P _{OUT} /	P _{IN}	効率
100%	20.139	3.2550	65.552	69.501	94.32%
75%	20.111	2.4296	48.861	51.965	94.03%
50%	20.083	1.6200	32.534	34.796	93.50%
25%	20.055	0.8118	16.281	17.428	93.42%
10%	20.043	0.3148	6.310	7.011	90.01%
平均的					93.82%
スタンバイ消費電力					37.304mW

4.3.2 熱の成果

図 4-8 から図 4-19 に、各種入力電圧条件で全負荷動作を行ったシステムのサーマル キャプチャを示します。浸漬時間は周囲温度 25°C で 30 分でした。メインボード画像の場合、Bx1 = LMG3624 です。ドーターカード画像の場合、Bx1 = SR コントローラ、Bx2 = SR、Bx3 = ダイオード ブリッジです。上面図画像の場合、Bx2、Bx3 = トランスです。

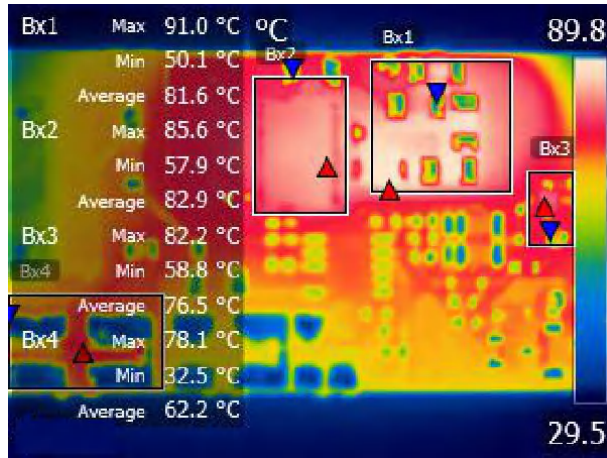


図 4-8. $V_{IN} = 90V_{AC}$ 、メインボード

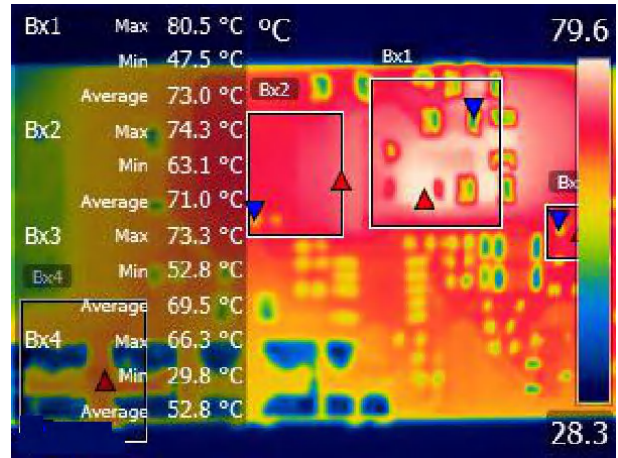


図 4-9. $V_{IN} = 115V_{AC}$ 、メインボード

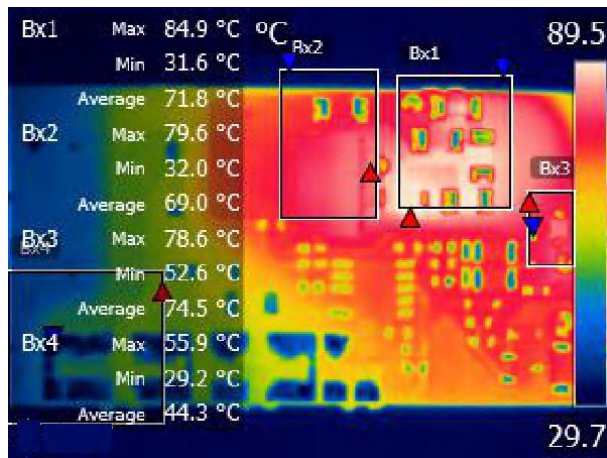


図 4-10. $V_{IN} = 230V_{AC}$ 、メインボード

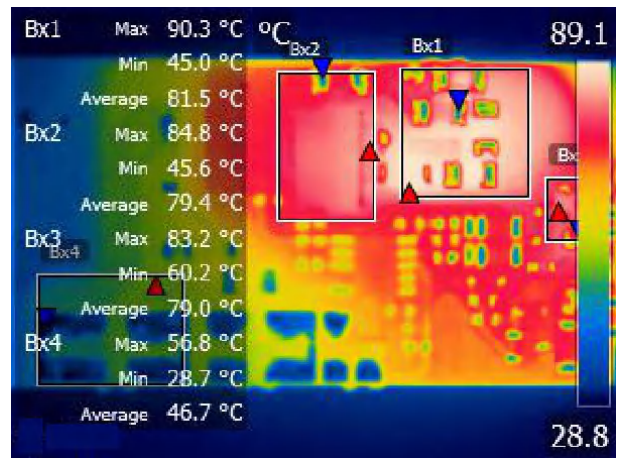


図 4-11. $V_{IN} = 265V_{AC}$ 、メインボード

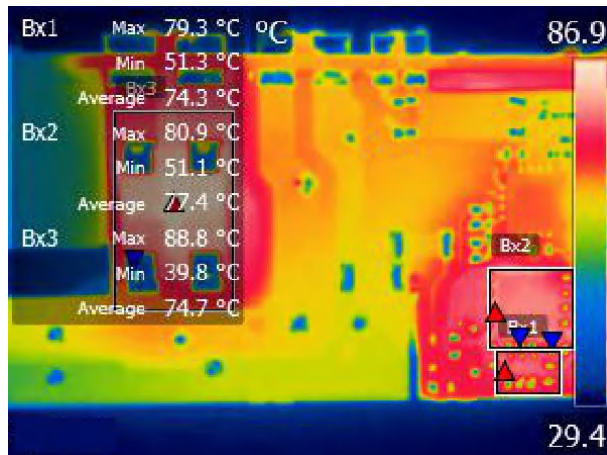


図 4-12. $V_{IN} = 90V_{AC}$ 、ドーターボード

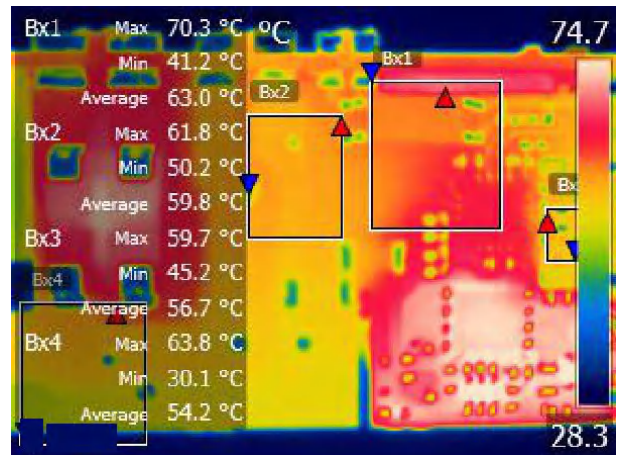


図 4-13. $V_{IN} = 115V_{AC}$ 、ドーターボード

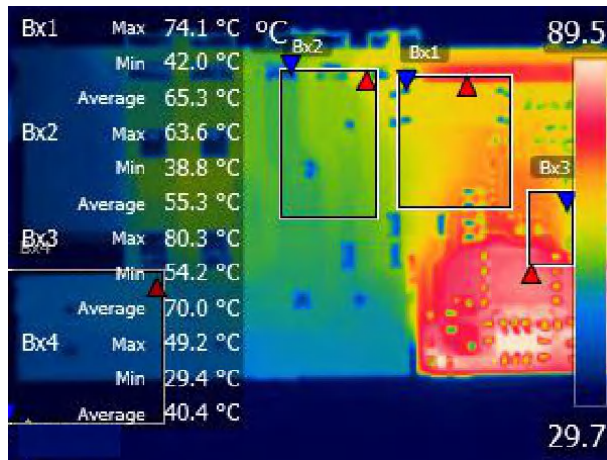


図 4-14. $V_{IN} = 230V_{AC}$ 、ドーターボード

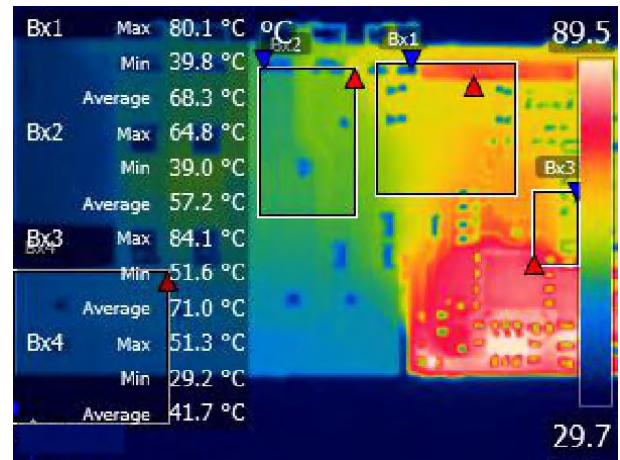


図 4-15. $V_{IN} = 265V_{AC}$ 、ドーターボード

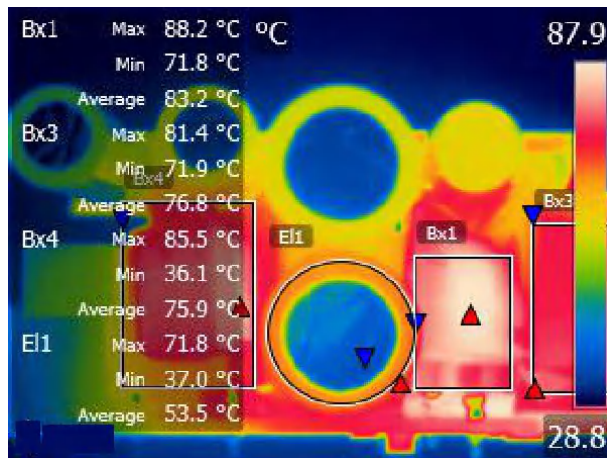


図 4-16. $V_{IN} = 90V_{AC}$ 、上面図

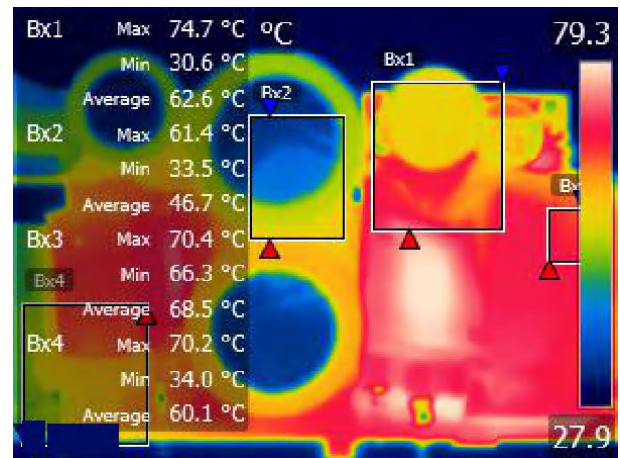


図 4-17. $V_{IN} = 115V_{AC}$ 、上面図

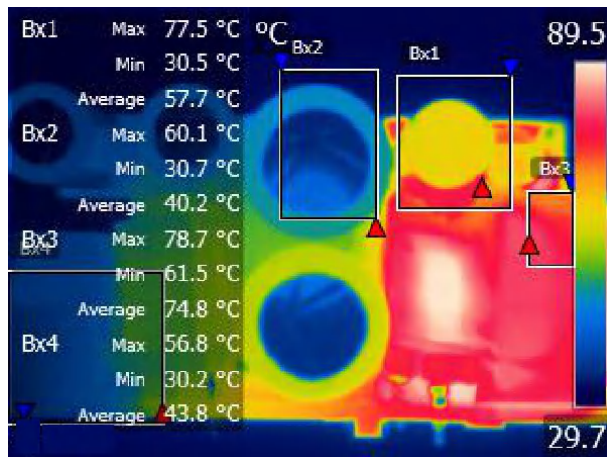


図 4-18. $V_{IN} = 230V_{AC}$ 、上面図

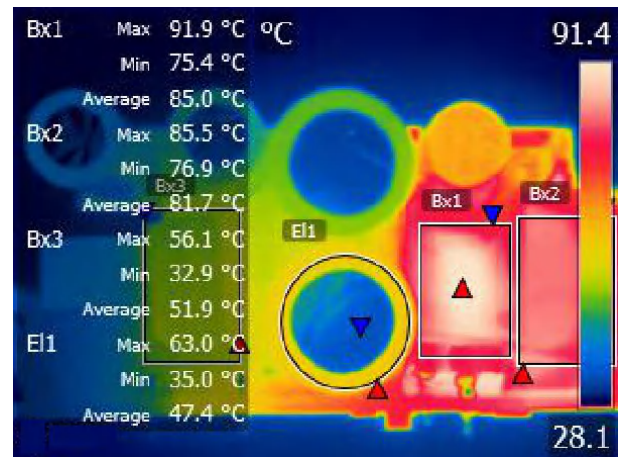


図 4-19. $V_{IN} = 265V_{AC}$ 、上面図

4.3.3 スイッチング波形

図 4-20 から図 4-29 に、さまざまな入力電圧および負荷条件でのシステム スイッチング波形のオシロスコープによるキャプチャ結果を示します。

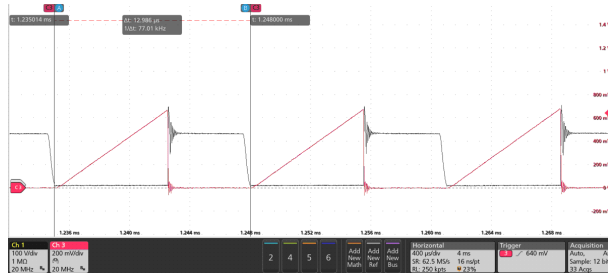


図 4-20. $V_{IN} = 90V_{AC}$ 、出力 = 20V/3.25A

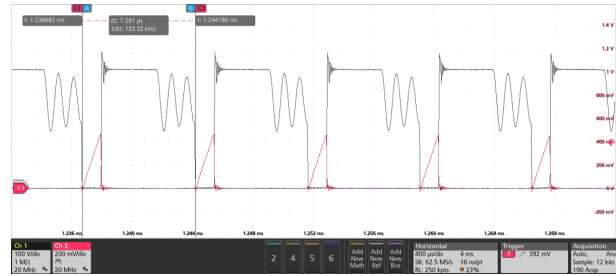


図 4-21. $V_{IN} = 264V_{AC}$ 、出力 = 20V/3.25A

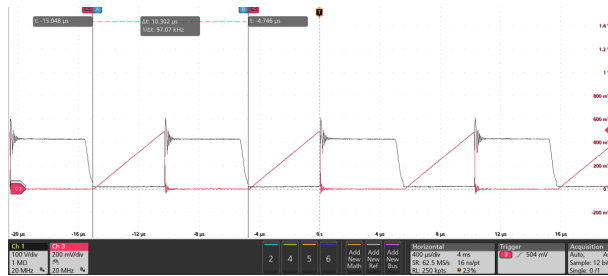


図 4-22. $V_{IN} = 90V_{AC}$ 、出力 = 15V/3A

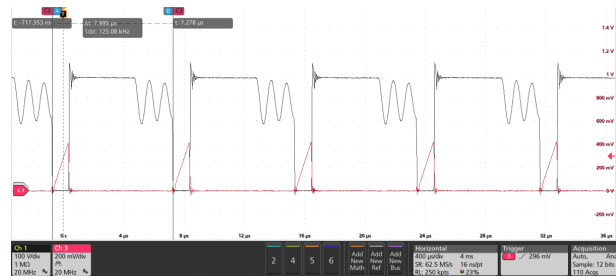


図 4-23. $V_{IN} = 264V_{AC}$ 、出力 = 15V/3A

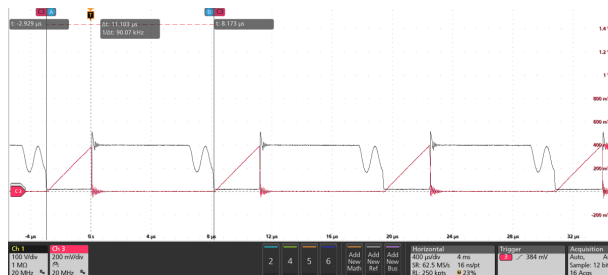


図 4-24. $V_{IN} = 90V_{AC}$ 、出力 = 9V/3A

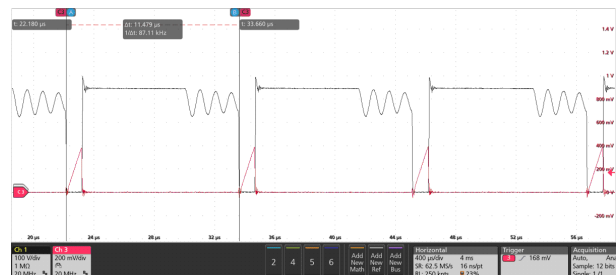


図 4-25. $V_{IN} = 264V_{AC}$ 、出力 = 9V/3A

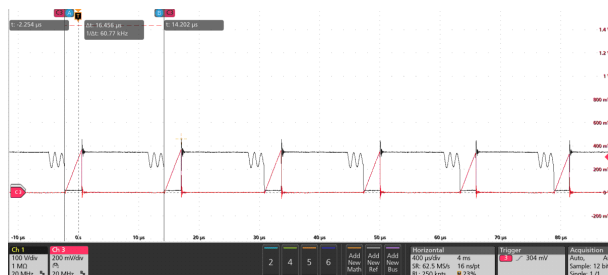


図 4-26. $V_{IN} = 90V_{AC}$ 、出力 = 5V/3A

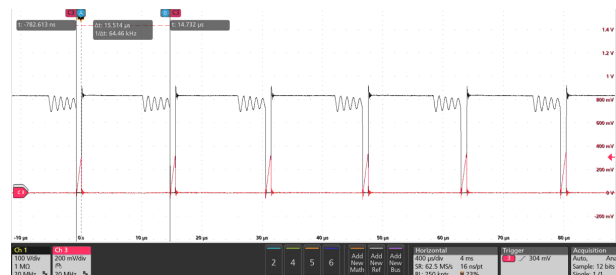


図 4-27. $V_{IN} = 264V_{AC}$ 、出力 = 5V/3A

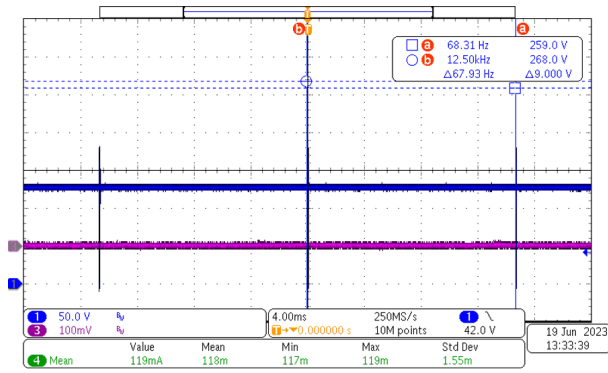


図 4-28. $V_{IN} = 265V_{AC}$ 、出力 = 0W

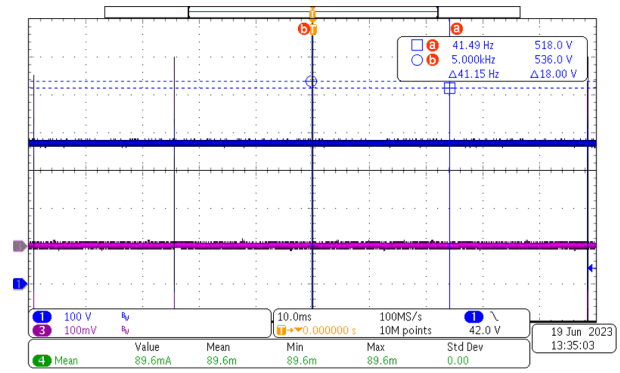


図 4-29. $V_{IN} = 265V_{AC}$ 、出力 = 0W

4.3.4 スwitchング過渡

図 4-30 から図 4-37 にさまざまな出力電圧での 10% 負荷から 90% 負荷への過渡応答を示します。過渡デューティサイクルは 50% に設定され、電流スルーレートは $2.5A/\mu s$ でした。

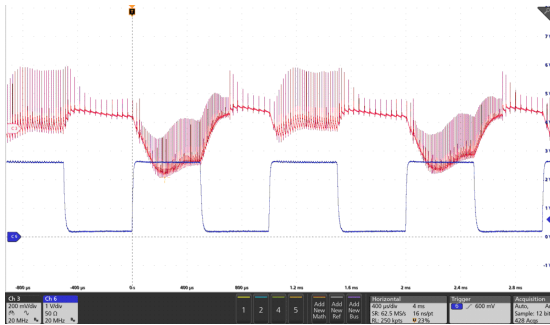


図 4-30. 出力 = 20V、 $V_{IN} = 90V_{AC}$

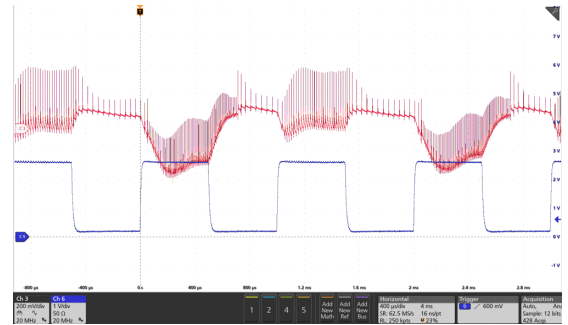


図 4-31. 出力 = 20V、 $V_{IN} = 265V_{AC}$

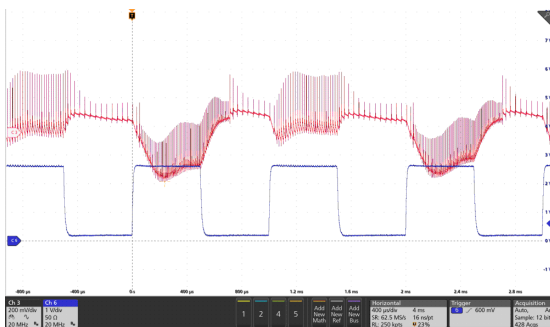


図 4-32. 出力 = 15V、 $V_{IN} = 90V_{AC}$

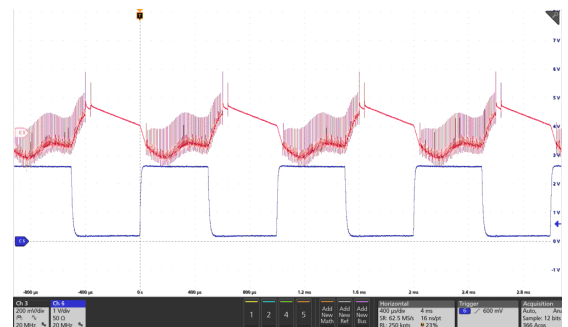


図 4-33. 出力 = 15V、 $V_{IN} = 265V_{AC}$



図 4-34. 出力 = 9V、 $V_{IN} = 90V_{AC}$

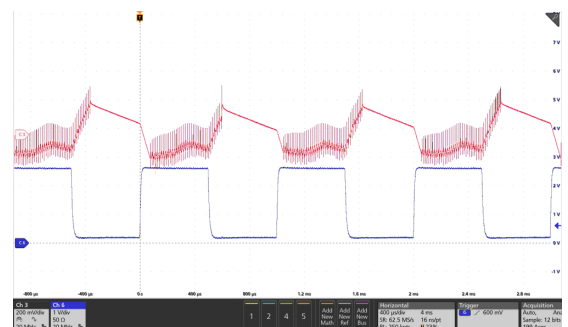


図 4-35. 出力 = 9V、 $V_{IN} = 265V_{AC}$

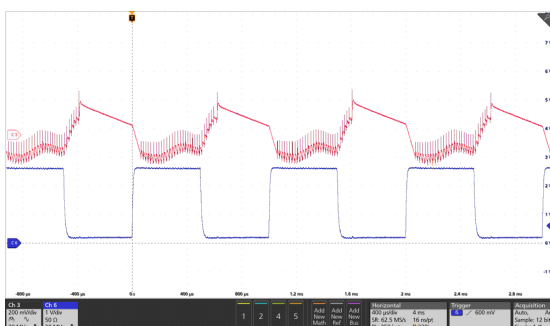


図 4-36. 出力 = 5V、 $V_{IN} = 90V_{AC}$

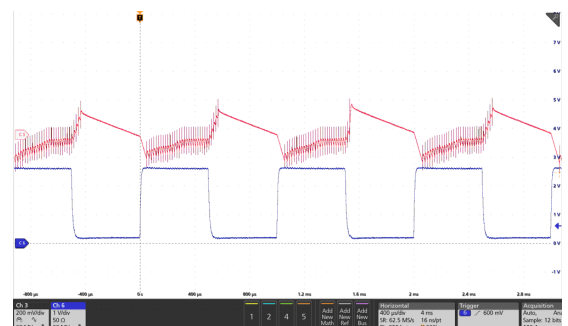


図 4-37. 出力 = 5V、 $V_{IN} = 265V_{AC}$

5 設計とドキュメントのサポート

5.1 設計ファイル

5.1.1 回路図

回路図をダウンロードするには、[TIDA-050072](#) のデザイン ファイルを参照してください。

5.1.2 BOM

部品表 (BOM) をダウンロードするには、[TIDA-050072](#) の設計ファイルを参照してください。

5.2 ツールとソフトウェア

ツール

[LMG36XX-CALC](#)

疑似共振フライバック出力段デザイン カリキュレータ

5.3 ドキュメントのサポート {必須トピック}

1. テキサス・インスツルメンツ、[『LMG3624 650V 170mΩ GaN FET、ドライバおよび電流センス エミュレーション機能内蔵』データシート](#)

5.4 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

5.5 商標

TI E2E™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

USB Type-C® is a registered trademark of USB Implementers Forum.

PassMark® is a registered trademark of PassMark Software Pty Ltd.

すべての商標は、それぞれの所有者に帰属します。

6 著者について

MARTIN HUANG は、テキサス・インスツルメンツ GaN のシステム アプリケーション エンジニアです。

JOHN GOMEZ は、テキサス・インスツルメンツ GaN のアプリケーション エンジニアです。

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス・デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、または [ti.com](https://www.ti.com) やかかる TI 製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、TI はそれらに異議を唱え、拒否します。

郵送先住所 : Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023, Texas Instruments Incorporated